

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4731670号
(P4731670)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年4月28日(2011.4.28)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)

H01L 21/90

M

H01L 23/522 (2006.01)

H01L 21/316

X

H01L 21/316 (2006.01)

請求項の数 14 (全 15 頁)

(21) 出願番号 特願2000-319053 (P2000-319053)
 (22) 出願日 平成12年10月19日 (2000.10.19)
 (65) 公開番号 特開2001-168193 (P2001-168193A)
 (43) 公開日 平成13年6月22日 (2001.6.22)
 審査請求日 平成19年10月3日 (2007.10.3)
 (31) 優先権主張番号 09/426056
 (32) 優先日 平成11年10月22日 (1999.10.22)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591007686
 エルエスアイ コーポレーション
 アメリカ合衆国カリフォルニア州9503
 5, ミルピタス, バーバー・レーン 16
 21
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100071124
 弁理士 今井 庄亮
 (74) 代理人 100076691
 弁理士 増井 忠式
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100096013
 弁理士 富田 博行

最終頁に続く

(54) 【発明の名称】バイア被毒を緩和しつつ金属ライン間にボイドフリー低k誘電性材料を提供する集積回路構造のための低K誘電性複合材層

(57) 【特許請求の範囲】

【請求項1】

近接して間隔を空けて離れた金属ラインを有する半導体基板上の集積回路構造の酸化物層上に低k酸化ケイ素誘電性材料の複合材層を形成するための方法、ここで低kは3.5以下の誘電性材料の誘電率を定義する、であって、

該低k酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び標準k酸化ケイ素に匹敵する他の領域における堆積速度を呈し、バイア被毒特性を呈することなく、

下記工程：

a) 前記酸化物層及び前記金属ラインの上に、前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低k酸化ケイ素誘電性材料の第一の層を、前記低k酸化ケイ素誘電性材料が前記酸化物層上の金属ラインのトップのレベルに達するまで、形成する工程、及び

b) 前記第一の層よりも高い堆積速度で、前記第一の層の上に、低k酸化ケイ素誘電性材料の第二の層を形成する工程、

を含み、

前記第一の層を形成する前記低k酸化ケイ素誘電性材料が前記酸化物層上の前記金属ラインの高さに達したときに、低k酸化ケイ素誘電性材料の前記第一の層を形成する前記工程を止める、方法。

【請求項2】

10

20

前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層を形成する前記工程の後に、前記第一の層が、低 k 酸化ケイ素誘電性材料の第二の層を形成する前記工程に先だって、平坦化される請求項 1 に記載の方法。

【請求項 3】

低 k 酸化ケイ素誘電性材料の前記第一の層を平坦化する前記工程が、更に、ケミカルメカニカル研磨 (C M P) 工程を含む請求項 2 に記載の方法。

【請求項 4】

半導体基板上の集積回路構造の酸化物層上に低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層を形成するための方法、ここで低 k は 3.5 以下の誘電性材料の誘電率を定義する 10 であって、該低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び非炭素ドープ酸化ケイ素に匹敵する堆積速度を呈し、バイア被毒特性を呈することがなく、

下記工程：

a) 前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料を形成するために、炭素置換シラン反応物と過酸化水素とを、低 k 炭素ドープ酸化ケイ素誘電性材料の反応生成物の得られる堆積が該酸化物層上の該金属ラインの少なくともトップのレベルに達するまで反応させることにより、前記酸化物層及び前記金属ラインの上に、低 k 炭素ドープ酸化ケイ素誘電性材料の第一の層を形成する工程、 20

b) 低 k 酸化ケイ素誘電性材料の第一の層を前記金属ラインのトップまで平坦化する工程、そして

c) 炭素ドープ低 k 酸化ケイ素誘電性材料の第二の層を、前記平坦化された第一の層の上及び前記金属ラインのトップの上に、該低 k 炭素ドープ酸化ケイ素誘電性層の好適な厚み全体まで、プラズマエンハンスド化学蒸着 (P E C V D) によって形成し、これにより、前記第一の層よりも高い堆積速度で、低 k 酸化ケイ素誘電性材料の前記第二の層が堆積される工程、を含む方法。

【請求項 5】

低 k 酸化ケイ素誘電性材料の前記第二の層が、前記第一の層の上に、P E C V D プロセスにおいて、シラン、O₂、及び C H₄、C₄F₈ 及び Si F₄ からなる群より選ばれる 1 以上の反応物の反応によって形成される請求項 4 に記載の方法。 30

【請求項 6】

半導体基板上の集積回路構造の酸化物層上に低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層を形成するための方法、ここで低 k は 3.5 以下の誘電性材料の誘電率を定義する 、 であって、該低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び非炭素ドープ酸化ケイ素に匹敵する堆積速度を呈し、バイア被毒特性を呈することがなく、

下記工程：

a) 前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料を形成するために、炭素置換シラン反応物と過酸化水素とを、低 k 炭素ドープ酸化ケイ素誘電性材料の反応生成物の得られる堆積が該酸化物層上の該金属ラインのトップのレベルに達するまで反応させることにより、前記酸化物層及び前記金属ラインの上に、低 k 炭素ドープ酸化ケイ素誘電性材料の第一の層を形成する工程、及び 40

b) 炭素ドープ低 k 酸化ケイ素誘電性材料の第二の層を、前記第一の層の上に、該低 k 炭素ドープ酸化ケイ素誘電性層の好適な厚み全体まで、プラズマエンハンスド化学蒸着 (P E C V D) によって形成し、これにより、前記第一の層よりも高い堆積速度で、低 k 酸化ケイ素誘電性材料の前記第二の層が堆積される工程、を含み、

前記第一の層を形成する前記低 k 炭素ドープ酸化ケイ素誘電性材料が前記酸化物層上の前記金属ラインの高さに達したときに、低 k 炭素ドープ酸化ケイ素誘電性材料の前記第一

10

20

30

40

50

の層を形成する前記工程を止める、方法。

【請求項 7】

近接して間隔を空けて離れた金属ラインを有する半導体基板上の集積回路構造の酸化物層上に低 k 酸化ケイ素誘電性材料の複合材層を形成するための方法、ここで低 k は 3 . 5 以下の誘電性材料の誘電率を定義する、であって、

該低 k 酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び標準 k 酸化ケイ素に匹敵する他の領域における堆積速度を呈し、バイア被毒特性を呈することがなく、

下記工程：

a) 前記酸化物層及び前記金属ラインの上に、前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層を、前記低 k 酸化ケイ素誘電性材料が前記酸化物層上の金属ラインの少なくともトップのレベルに達するまで、形成する工程、

b) 低 k 酸化ケイ素誘電性材料の第一の層を前記金属ラインのトップまで平坦化する工程、そして

c) 前記第一の層よりも高い堆積速度で、前記平坦化された第一の層の上及び前記金属ラインのトップの上に、低 k 酸化ケイ素誘電性材料の第二の層を形成する工程、を含む方法。

【請求項 8】

前記第二の層が複合材低 k 酸化ケイ素誘電性層の好適な厚み全体まで堆積される請求項 7 に記載の方法。

【請求項 9】

高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の前記第一の層が、炭素置換シランと酸化剤との反応によって形成される請求項 7 に記載の方法。

【請求項 10】

前記酸化剤が、過酸化水素を含む請求項 9 に記載の方法。

【請求項 11】

前記炭素置換シランが、モノメチルシラン、ジメチルシラン及びトリメチルシランからなる群より選ばれる請求項 9 に記載の方法。

【請求項 12】

前記炭素置換シランが、炭素原子に結合した一級水素のみを有し且つ式： $\text{SiH}_x((\text{C})_y(\text{CH}_3)_z)_{(4-x)}$ (ここで、 x は 1 ~ 3 の範囲であり、 y は分岐アルキル基のための 1 ~ 4 の整数及び環状アルキル基のための 3 ~ 5 の整数であり、 z は分岐アルキル基のための $2y + 1$ 及び環状アルキル基のための $2y - 1$ である) を有する炭素置換シランを含む請求項 9 に記載の方法。

【請求項 13】

高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の前記第一の層が、酸素と、炭素置換シラン、フッ素置換シラン又はこれらの混合物のいずれかとの高密度プラズマにおける反応によって形成される請求項 7 に記載の方法。

【請求項 14】

低 k 酸化ケイ素誘電性材料の前記第二の層が、前記第一の層の上に、PECVD プロセスにおけるシラン、 O_2 、及び CH_4 、 C_4F_8 及び SiF_4 からなる群より選ばれる 1 以上の反応物の反応によって形成され、これにより、低 k 酸化ケイ素誘電性材料の第二の層が第一の層より高い堆積速度で堆積される請求項 7 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、集積回路構造に関する。より詳細には、本発明は、集積回路構造の金属ライン上及び間に複合材低 k 誘電性層を形成することに関する。

10

20

30

40

50

【0002】

【関連技術の説明】

集積回路構造における規模の継続的な削減において、金属の相互連結又はラインの幅と、このような相互連結のいずれの特定のレベルについてのこのような金属ライン間の水平間隔との両方が、次第に小さくなっている。その結果、水平静電容量がそのような伝導性要素間で増大してきている。この静電容量 (capacitance) における増大は、異なる層上の金属ライン間に存在する垂直静電容量と共に、速度の損失及び増大したクロストークをもたらす。その結果、このような静電容量、特に水平静電容量、の削減は、多くの注目を受けてきている。この高静電容量の問題を解決するために提案されている1つの対策は、従来の酸化ケイ素 (SiO_2) 誘電性材料 (約 4.0 の誘電率 (k) を有する) をより低い誘電率を有する別の誘電性材料で置き換えて、これにより、静電容量を低下させることである。

10

【0003】

"Pursuing the Perfect Low-K Dielectric"と題する L.Peters による論文 (Semiconductor International, Volume 21, No.10, 1998年9月、64~74頁) において、多くのこのような別の誘電性材料が開示され、検討されている。それら誘電性材料には、英国のGwent, Newport に所在する Trikon Technologies によって開発された化学的蒸着 (CVD) プロセスを使用して形成される約 3.0 の誘電率を有する低 k 誘電性材料の記載が含まれている。Trikon プロセスは、メチルシラン ($\text{CH}_3\text{-SiH}_3$) と過酸化水素 (H_2O_2) とを反応させてモノシリシックアシッドを形成すると言われている。モノシリシックアシッドは、冷却水上でコンデンスし、アモルファスマチルドープ酸化ケイ素に変換される。このアモルファスマチルドープ酸化ケイ素は、400 でアニールされて湿分を除去する。この論文は、更に、メチルシランを超えて、研究が、Trikon プロセスにおいてジメチルシランを使用して 2.75 の最大 k を示すことを述べている。Peters の論文は、更に、高密度プラズマ CVD (HDP-CVD) において、メチルシラン又はジメチルシラン及び O_2 から形成される誘電性材料は、2.75 もの低い k を与えることができること、及び、トリメチルシラン (Dow Corning から入手できる) が低 k (2.6) 誘電性フィルムを堆積することに使用され得ることを述べている。

20

【0004】

この種の低 k 材料の使用は、従来の酸化ケイ素の誘電率よりも低い誘電率を有する誘電性材料による、平行な、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域におけるボイドフリー充填の形成をもたらし、これにより、同じ金属配線レベル上のそのような隣接した金属ライン間の水平静電容量の実質的低下をもたらすことが見出されている。

30

【0005】

しかしながら、従来の酸化ケイ素絶縁をこのような低 k 誘電性材料に置換することは、それ自体問題がないというものではない。Trikon プロセスによる低 k 炭素ドープ誘電性材料の形成は、従来のドープされない酸化ケイ素誘電性材料の形成よりもかなり遅い。例えば、単一のウェハー上に Trikon プロセスにより低 k 誘電性材料の層を形成するのにかかる時間内には、5枚ものウェハー上に同じ厚さの従来の誘電性材料を堆積することが可能となるであろう。

40

【0006】

しかしながら、より重要なことは、このような低 k 誘電性材料を通じてその下の伝導部 (例えば、金属ライン)、即ちアクティブデバイス上の接点、へのバイア、即ち接点開口、の連続的な形成は、バイア被毒 (via poisoning; この場合、続いてバイア内に堆積される充填材料 (例えば、窒化チタンライナー及びタンゲステン充填材料) は、バイア表面に接着しない。) として知られる現象に寄与することができる。明らかに、Trikon プロセスにより形成される低 k 誘電性材料において炭素の存在は、その材料を、続く構造の製造の間の損傷に対してより影響されやすくする。例えば、接点開口、即ちバイア、は、通常、レジストマスクを通じて誘電性層内にエッチングされる。レジストマスクが次にアッシン

50

グプロセスによって除去されるとき、損傷は低 k 材料の新たに形成されたバイア表面に起これり得、このようなバイア被毒をもたらす。

【 0 0 0 7 】

Petersの論文で上述したように、高密度プラズマ (HDP) は、また、ボイドフリー低 k 誘電性材料を形成することにも使用されてきている。このプロセスでは、高密度プラズマは、メチルシラン又はジメチルシラン及びO₂と共に使用され、2.75と低いと言われる誘電率を有する低 k 酸化ケイ素誘電性層を形成する。しかしながら、HDP低 k 誘電性材料の堆積速度は、Trikonプロセスのものと同様であり、低 k 誘電性材料の層を形成するためには経済的に魅力的でないものとなっている。

【 0 0 0 8 】

他のプロセス（例えば、シラン、O₂及びアルゴンガスの混合物と共に、CH₄及び/又はC₄F₈及び/又は四弗化珪素 (SiF₄) を使用したプラズマエンハンスド化学的蒸着 (PECVD)）によって、低 k 酸化ケイ素誘電性材料を堆積することも提案されている。プラズマエンハンスド化学的蒸着は、"Silicon Processing for the VLSI Era" (Process Technology(1986)、第1巻、171～174頁) 中に、Wolf及びTauberによって、より詳しく記載されている。

【 0 0 0 9 】

PECVDによる低 k 酸化ケイ素誘電性材料の形成は、Trikonプロセス又はHDP-CVDプロセスによる同じ厚さの低 k 酸化ケイ素誘電性層の形成よりも非常に速い（即ち、従来の酸化ケイ素の堆積速度に迫る速度である）。その一方、PECVDにより堆積される低 k 酸化ケイ素誘電性材料は、高アスペクト比領域における乏しい充填特性を有しており、このような構造中の近接して間隔を空けて離れた金属ライン (closely spaced apart metal lines) 間のスペースにおいて、PECVDにより堆積される誘電性材料中にボイドを形成することとなる。

【 0 0 1 0 】

「バイア充填材料との改善された適合性を有する、集積回路構造のための、低誘電率の酸化ケイ素に基づく誘電性層、及びその製造方法」と題する共係属出願 (Docket No. A3-4318) は、本願と同じ日に、他の者と共に我々の内の一人によって出願され、本願と同じ譲受人に対して譲渡されている。Docket No. A3-4318の実体的事項は、ここに、レファレンスによって挿入される。その出願の一態様において、高い炭素ドープレベルを有する低 k 酸化ケイ素誘電性材料が、近接して間隔を空けて離れた金属ライン間の高アスペクト領域に形成され、その後、より低い炭素含量を有する低 k 酸化ケイ素誘電性材料を含む第二の層が第一の層及び金属ラインの上に堆積される。しかしながら、両層は、Trikonプロセスによって形成されるので、堆積速度は、根本的に変わっていない。

【 0 0 1 1 】

「低誘電率の材料を有し且つ近接して間隔を空けて離れた金属ライン上にシリコンオキシナイトライドのキャップを有する集積回路構造」と題する共係属出願 (Docket No.99-060) も、本願と同じ日に、他の者と共に我々の内の一人によって出願され、本願と同じ譲受人に対して譲渡されている。Docket No.99-060の実体的事項は、ここに、レファレンスによって挿入される。その出願において、シリコンオキシナイトライド (SiON) の層が金属ラインのトップ表面上に形成され、アンチ反射被覆 (ARC)、金属ラインの形成のためのハードマスク及びケミカルメカニカル研磨 (CMP) のための緩衝層として寄与する。高い炭素ドーピングレベルを有する低 k 酸化ケイ素誘電性材料は、その後、シリコンオキシナイトライドのレベルまで、近接して間隔を空けて離れた金属ライン間の高アスペクト領域に形成される。CMPは、その後、エッチストップ (etch stop) としてのSiON層を使用して、低 k 炭素ドープ酸化ケイ素誘電性層の上面を平坦化 (planarize) するために、即ち、SiON層のトップと共に、ボイドフリー低 k 酸化ケイ素誘電性層のレベルをもたらすために、適用される。酸化ケイ素誘電性材料の従来の（非-低 k）層は、その後、プラズマエンハンスド化学的蒸着 (PECVD) によって、低 k 層及びSiON層上に堆積される。バイアが、その後、第二の誘電性層及びSiONを通して金属ライン

10

20

30

40

50

のトップまで貫通する。バイアは決して金属ライン間の低 k 層と接触しないので、バイアによる低 k 層の露出によるバイア被毒は起こらない。

【0012】

しかしながら、続いて低 k 誘電性材料中に形成されるバイア被毒を緩和しつつ且つ堆積装置内でスループット (throughput) の減少が少ない、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域のためのボイドフリー充填特性を有する低 k 誘電性材料の複合材層を形成することができ、そのような複合材層を形成するためのすべての工程が同じ減圧プロセッシング装置において行われ得るようなプロセスを使用する、低 k 誘電性層を有する構造及びその製法を提供することが非常に好ましいであろう。即ち、堆積工程は、例えば、同様な減圧装置内の多数の区画 (station) 又は多数のチャンバーで行うことができ、堆積材料の汚染を低減し並びに設備投資及び要求される空間を含めたプロセス経済を改善する。

【0013】

【発明の概要】

本発明によれば、低 k 酸化ケイ素誘電性材料の複合材層が、近接して間隔を空けて離れた金属ラインを有する半導体基板上の集積回路構造の酸化物層上に形成される。この低 k 酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、標準 k 酸化ケイ素に匹敵する他の領域における堆積速度、及び低減されたバイア被毒特性を呈する。該低 k 酸化ケイ素誘電性材料の複合材層は、酸化物層上に及び近接して間隔を空けて離れた金属ライン間の高アスペクト比領域に、ボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層を、低 k 酸化ケイ素誘電性材料の得られる堆積が前記酸化物層上の金属ラインのトップのレベルに達するまで堆積することによって形成される。その後、前記第一の層よりも速い堆積速度を有する低 k 酸化ケイ素誘電性材料の第二の層は、前記第一の層の上に、該低 k 酸化ケイ素誘電性層の好適な厚み全体まで堆積される。好適な態様では、低 k 酸化ケイ素誘電性材料の得られる複合材層を形成する工程は、すべて单一の減圧プロセッシング装置において、前記半導体基板を該減圧装置から移動することなく行われる。

【0014】

【発明の実施の形態】

最も幅広い形態では、本発明は、集積回路構造の酸化物層上に形成された低 k 酸化ケイ素誘電性材料の複合材層を含む。この低 k 酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、標準 k 酸化ケイ素に比する他の領域における堆積速度、及び低減されたバイア被毒特性を呈する。該低 k 酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層を、酸化物層及び金属ラインの上に、低 k 酸化ケイ素誘電性材料の得られる堆積が前記酸化物層上の金属ラインのトップのレベルに達するまで堆積することによって形成される。その後、前記第一の層よりも速い堆積速度を有する低 k 酸化ケイ素誘電性材料の第二の層は、前記第一の層の上に、該低 k 酸化ケイ素誘電性層の好適な厚み全体 (desired overall thickness) まで堆積される。

【0015】

本明細書で使用する「低 k 」との用語は、3.5 以下の誘電性材料の誘電率 (dielectric constant) を定義することを意図する。好ましくは、「低 k 」材料の誘電率は、3.0 以下である。

【0016】

金属ライン間の高アスペクト領域中に形成される低 k 誘電性材料の第一の層においてボイド (voids) が存在しないことを記載するために本明細書で使用する「ボイドフリー」との用語は、走査型電子顕微鏡 (SEM) を使用して断面中に認識できるボイドが存在しない材料を定義することを意図する。

【0017】

10

20

30

40

50

さて、図1～4を参照して、本発明の好適なプロセスを説明する。図1は、集積回路構造2上に形成された絶縁層10（例えば、酸化物層（例えば、酸化ケイ素））と共に半導体基板（図示せず）上及び内に形成された、予め形成された集積回路構造2を示す。絶縁層10は、集積回路構造2の一部を形成する金属相互連結（金属ライン）の下地層の上に形成されてもよいし、また、絶縁層10は、半導体基板内に形成されたデバイス（例えば、MOSトランジスター）上に直接に形成されてもよい。絶縁層10上に形成された、いくつかの平行な及び近接して間隔を空けて離れた金属ライン14a～14cが、示されている。金属ライン14a～14cは、通常、金属及び金属化合物の伝導層のスタック（例えば、チタンの底層、窒化チタンの層、アルミニウム（又はアルミニウム／銅）の主層及び窒化チタンのキャッピング層を含むスタック）を含む。各層は、特定の目的に寄与し、そのスタックは、集積回路構造のある部分と別の部分との電気的接続のために集合的に機能する。実施例として、金属ライン14aは、図1に示されており、これら金属ラインは、伝導性材料（例えば、タンゲステン）で満たされたバイア（即ち接点開口）18によって下部の集積回路構造2に接続されている。
10

【0018】

図2には、金属ライン14a～14c及び絶縁層10が示されており、これらは、プラズマエンハンスド化学的蒸着（PECVD）によって堆積された従来の（標準k）酸化ケイ素の薄層などの絶縁の薄いコンフォーマルバリアー層20で覆われている。バリアー層20は、下部の酸化物層18及び金属ライン14a～14cからバリアー層20上に適用されることになる第一の低k誘電性層を分離するために寄与する。基層は、約50ナノメートル（nm）の最小厚さ（好適な冶金分離を提供するのに十分な厚さ）から約500ナノメートル（nm）の最大厚さまでの厚さの範囲を有する。バリアー層20は、より厚くしてもよいが、バリアー層20は、低誘電性材料を含まないので、酸化物層18及び金属ライン14a～14cを第一の低k誘電性層から分離するのに必要な最小厚みよりも大きな厚みの使用が、構造の全体の静電容量についての不利な効果を有すると認められるであろう。
20

【0019】

酸化物層18及び金属ライン14a～14c上にバリアー層20を堆積した後、低k酸化ケイ素誘電性材料の第一の層24は、近接して間隔を空けて離れた金属ライン14a～14c間の高アスペクト比領域においてそれぞれボイドフリー低k誘電性材料24a及び24bを形成するために、構造上に堆積される。これら領域を満たすために使用される低k誘電性材料及びプロセスは、少なくとも2.5の高アスペクト比を有する開口中に3以下の誘電率を有するボイドフリー誘電性材料を形成できなければならない。
30

【0020】

このようなボイドフリー低k酸化ケイ素誘電性材料は、過酸化水素と炭素置換シラン（例えば、Dobson米国特許第5,874,367号（この米国特許の実体的事項はリファレンスによりここに挿入される）に記載されているようなメチルシラン）との反応によって堆積されてもよい。ボイドフリー低k酸化ケイ素誘電性材料は、また、マイルドな酸化剤（例えば、過酸化水素）と炭素置換シラン材料（Aronowitzらによる1999年3月22日に出願され、本願の譲受人に譲渡された出願番号第09/274,457号（この出願の実体的事項もリファレンスによりここに挿入される）に開示されたもの）との反応によって堆積されてもよい。
40

【0021】

一方、ボイドフリー低k誘電性材料は、高密度プラズマ（HDP-CVD）プロセスを使用することによって、形成されてもよい。HDP-CVDプロセスでは、酸素（O₂）は、シラン及びアルゴン及び炭素置換シランの混合物あるいはシラン及びアルゴン及びフッ素化シランの混合物のいずれか一方と反応する。高密度プラズマ化学的蒸着（HDP-CVD）は、低周波数パワー（例えば、400kHz）で行われるプラズマ堆積プロセス及び高周波数（例えば、13.56MHz）で行われるスパッタエッティングプロセスの上位に位置し、ボイドフリー堆積を与える。
50

【0022】

近接して間隔を空けて離れた金属ライン間の高アスペクト比領域にボイドフリー低 k 酸化ケイ素誘電性材料を形成できる全ての他の堆積プロセスは、上述したプロセスのために置きかえることができる。

【0023】

使用されるプロセスにかかわらず、本発明によれば、ボイドフリー低 k 酸化ケイ素誘電性材料は、低 k 酸化ケイ素誘電性材料の層 24 が金属ライン 14a ~ 14c の高さに達するまで堆積される。この時点で、堆積プロセスは、終了する。この終了点は、経験的に決定されてもよい。十分な低 k 誘電性材料を、金属ライン 14a ~ 14c のトップに達するために堆積できないと、誘電性材料中にボイドが存在しないか、或いは、隣接する金属ライン間に水平に発達された静電容量のいずれか一方について、負の衝撃が存在することになるだろう。一方、金属ライン 14a ~ 14c の高さを超えて堆積されたボイドフリー低 k 酸化ケイ素誘電性材料の過剰量によっては、バイア被毒について不利な効果がもたらされ並びに構造を形成するためのスループット時間全体を小さくすることとなり得るであろう。しかしながら、図 3 に示されるように、24c ~ 24e で、金属ライン 14a ~ 14c のトップ上に、ボイドフリー低 k 誘電性材料のやや過剰な堆積があるが、避け難いものでもよい。一般に、堆積されたボイドフリー低 k 誘電性層の高さは、金属ラインの高さの約 ± 50 nm であるべきである。

10

【0024】

さて、図 4 にもどって、低 k 誘電性材料の第二の層 30 は、複合材誘電性層の好適な厚みまで全構造上に堆積される。この低 k 誘電性材料の第二の層は、少なくとも第一の層の堆積速度よりも速い速度で、好適には、従来の（非 - 低 k ）誘電性材料の堆積速度に匹敵する堆積速度で、堆積することができる低 k 誘電性材料を含む。例えば、低 k 炭素及び / 又はフッ素ドープ酸化ケイ素誘電性層は、低 k 酸化ケイ素誘電性層を非 - 低 k 誘電性材料に匹敵する堆積速度で低 k 酸化ケイ素誘電性層を堆積する P E C V D プロセス中で、CH₄ 及び / 又は C₄F₈ 及び / 又は四弗化ケイ素 (SiF₄) を添加剤又はドーパントとして、シラン、O₂ 及びアルゴンガスの混合物に添加することにより形成されてもよい。

20

【0025】

第二の誘電性層 30 の総厚さは、複合材層中の低 k 誘電性材料（低 k 誘電性層 24 及び低 k 誘電性層 30 ）の好適な総厚さに依存する。多くの半導体の誘電性用途は、約 1.8 マイクロメートル (μm) の厚い誘電性フィルムが初期に形成され、その後、C M P により約 700 nm (7 k オングストローム) まで研磨されて、金属ラインの次の層のために所望の平滑な表面が提供されることを要求する。こうして、金属ライン 14a ~ 14c の高さ（及び、それゆえ、誘電性材料の第一の低 k 誘電性層 24 ）が、560 nm (5.6 k オングストローム) であり、層 24 及び層 30 を含む複合材低 k 誘電性層の好適な総高さは、1800 nm (18 k オングストローム) であり、第二の低 k 誘電性層 30 の高さ又は厚みは、約 1240 nm (12.4 k オングストローム) となる。通常、複合材低 k 誘電性層の総厚みは、約 1600 nm (16 k オングストローム) ~ 約 3000 nm (30 k オングストローム) の範囲であり、金属ラインの高さは、約 500 nm (5 k オングストローム) ~ 約 1200 nm (12 k オングストローム) の範囲であり、第二の低 k 誘電性層 30 の厚みは、約 1000 nm (10 k オングストローム) ~ 約 2400 nm (24 k オングストローム) の範囲である。

30

【0026】

第二の低 k 酸化ケイ素誘電性層 30 を形成した後、バイアは、第二の層 30 を貫通して下の金属ラインへと達する（例えば、図 4 には、層 30 を貫通して金属ライン 14b へと達する充填されたバイア 34 が示されている）。第一の低 k 誘電性層 24 の高さが金属ライン 14a ~ 14c の高さをやや上回るとき、第二の低 k 誘電性層 30 を貫通するバイア（例えばバイア 34 ）は、第一の低 k 誘電性層 24 （金属ライン 14a ~ 14c より上である）の部分（例えば、24c ~ 24e ）を貫通することは、注目されるであろう。金属ライン 14a ~ 14c より上であるこの低 k 誘電性層 24 の部分が薄い（即ち、100 nm (1000 オングストローム) 未満である）場合、バイアの形成による第一の低 k 誘電性

40

50

層 2 4 のこの部分の露出に起因するすべての不利なバイア被毒効果が最小であるべきである。

【 0 0 2 7 】

図 1 ~ 4 で説明され示された好適な態様において、得られた低 k 酸化ケイ素誘電性材料の複合材層を形成する工程は、多数の区画又は多数の減圧チャンバーを有する単一の減圧プロセッシング装置において、全て行われてもよい。これにより、複合材低 k 誘電性層を形成するプロセス全体が、ウェハーを該減圧装置から移動することなく行われる。これにより、スループットを増大させることができるので、プロセス経済における利点がもたらされ、単一の減圧装置を使用するのみなので、設備投資及び床スペースの節約が与えられる。また、単一の減圧装置内で全ての工程を行うことによって、大気に露出することによる汚染が低減され、フィルム特性及び粒子汚染についてこのような大気による汚染の効果の打撃を最小化する。

【 0 0 2 8 】

図 5 は、プロセスの工程が単一の減圧装置内で行われるときに使用してもよい、典型的な、市販された、多チャンバー減圧装置（例えば、Applied Materials, Inc. から入手できるEndura 多チャンバー減圧装置）を示す。減圧プロセス装置（その中心部は、通常、40 で示される）は、減圧ポンプ 110 によってポート 100 を通じて減圧下に維持される。半導体基板（既に、酸化物層上に金属ラインを有する）は、第一のロードロック 50 を通じて減圧装置内に導入される。中央減圧チャンバー 60 内のロボットアーム 54 は、中央チャンバー 60 を通じてロードロック 50 から半導体基板を、スリットバルブ 64 を通じて第一減圧プロセスチャンバー 62 へと移動する。第一減圧プロセスチャンバー 62 は、例えば、PECVD により基板上の金属ライン及び酸化物層上にベース誘電性層 20 を堆積するために、使用されることがあるだろう。バリアー層 20 の堆積の後、スリットバルブ 64 を開けて、ロボットアーム 54 が被覆された基板を中央減圧チャンバー 60 へともどす。第二減圧プロセスチャンバー 72 上のスリットバルブ 74 は、その後、開かれ、基板は、ロボットアーム 54 により第二プロセスチャンバー内に配置される。このチャンバーでは、ボイドフリー低 k 誘電性材料が堆積され、近接して間隔を空けて離れた金属ライン間のスペースを満たす。

【 0 0 2 9 】

この特定の堆積工程は、より多くのプロセス時間を要するので、次の減圧プロセスチャンバー 82 は、また、金属ライン間にボイドフリー低 k 材料を堆積することに使用されてもよい。即ち、チャンバー 72 及び 82 は、同時に、好ましくは、ずれているが重複している時間で、二つの異なる基板を製造するために、平行なプロセスチャンバーとして使用することができるだろう。ロボットアーム 54 は、その後、チャンバー 72 からスリットバルブ 74 を通じて、或いは、チャンバー 82 からスリットバルブ 84 を通じて、基板を移動させ、スリットバルブ 94 を通じて減圧プロセスチャンバー 92 へと基板を挿入する。低 k 誘電性材料の第二の層は、その後、例えば、PECVD によって、基板上の金属ライン上に及び金属ライン間の低 k 誘電性材料のボイドフリーな第一の層上に、複合材層の好適な厚みが達成されるまで、堆積される。この基板は、その後、チャンバー 92 から移動されるが、その後、更なるプロセス（例えば、複合材層を通じたバイアの形成、及び複合材層の上に形成される更なる層又は金属相互連結のレベルの形成、のための準備におけるCMP 工程を含んでもよい）のための減圧装置から移動されてもよい。

【 0 0 3 0 】

こうして、バリアー層 20、ボイドフリーの第一の低 k 誘電性層 24 及び第二の低 k 誘電性層 30 の形成は、全て同じ減圧装置の多チャンバー内で行われることができ、その結果、プロセス経済性及びプロセスの質の両方において改善がみられる。

【 0 0 3 1 】

単一の減圧チャンバー内において複合材低 k 誘電性層を形成する堆積工程が全て行われることが好ましいと考えられる一方で、いくつかの用途では、金属ラインのトップ上のボイドフリー層のすべての部分を除去して、その結果、続いて金属ラインに下りて形成される

10

20

30

40

50

バイアが、第一の（ボイドフリー）低 k 誘電性層を全く貫通しないようにすることが好ましいことも認識されるべきである。図 6 及び 7 にもどって、これら図には、この態様が示されている。図 6 において、平坦化工程（例えば、C M P 工程）の後の図 3 の構造が示されている。この平坦化工程は、ボイドフリー部分 2 4 a' 及び 2 4 b' を残して、ボイドフリーの第一の低 k 誘電性層 2 4' の一部分 2 4 c ~ 2 4 e を、上部金属ライン 1 4 a ~ 1 4 c から除去する。もちろん、これは、ボイドフリーの第一の低 k 誘電性層 2 4' を形成する工程の後、減圧堆積装置から基板を取り出すことを要求する。しかしながら、図 7 に示すように、続く第二の低 k 誘電性層 3 0' の堆積、及び満たされたバイア 3 4' として示されているようなそれを通じるバイアの形成は、ボイドフリーの第一の誘電性層 2 4' のいずれの部分をも通過しないバイアをもたらす。層 2 4'（バイアの側壁の一部として）の露出に起因するバイア被毒が、こうして、この態様においては全く生じることがない。もちろん、この態様は、平坦化工程を要求するにもかかわらず、ボイドフリーの低 k 誘電性層 2 4' を堆積するとき、第一の工程において堆積されるボイドフリー低 k 誘電性材料の形成のための堆積速度に比べて低 k 誘電性材料の第二の層のより急速な堆積の第一の態様の利点をまだ享受する。

【 0 0 3 2 】

以下の記載は、本発明を更に説明することに寄与するだろう。

【 0 0 3 3 】

【 実施例 】

酸化物層上に形成された金属ラインと共に酸化物層を有する半導体基板（5 6 0 n m (5.6 k オングストローム) の金属ライン厚さ（高さ）及び約 2 7 0 n m の金属ライン間の平均水平間隔）が提供することができる。この基板は、第一プラズマ C V D 5 リットル減圧堆積チャンバー内に配置されたとき、~ 3 5 0 m T o r r の圧力及び 3 5 0 の温度で維持される。1 5 0 s c c m のシランガス、3 5 0 0 s c c m の N₂O、及び 1 5 0 0 s c c m の N₂ガスを、チャンバー内に流し、プラズマをチャンバー内に約 1 0 0 ワットのパワーレベルで発生させることができる。堆積は、約 5 0 0 オングストロームの厚さの酸化ケイ素のコンフォーマルベース層が金属ライン及び酸化物層の上に形成されるまで、約 1 1 秒間続けてよい。

【 0 0 3 4 】

その後、被覆された基板は、同じ減圧装置内で（基板を周囲大気に露出することなく）第二の 5 リットル減圧堆積チャンバーに移すことができる。このチャンバーでは、7 0 s c c m のメチルシラン、1 9 s c c m のシラン、及び 0.7 5 グラム / 分の過酸化水素が、このチャンバーに流される。このチャンバーは、9 0 0 m T o r r 及び~ 5 の温度で維持される。この堆積は、~ 4 0 秒間行われ、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域がボイドフリー低 k 炭素ドープ酸化ケイ素誘電性材料で満たされる。

【 0 0 3 5 】

その後、基板は、減圧装置内で（再び、被覆された基板を周囲に露出することなく）第三の減圧チャンバーに移される。このチャンバーでは、更なる低 k 酸化ケイ素誘電性材料が、P E C V D によって、1 5 0 s c c m のテトラメチルシラン及び 5 0 0 s c c m の O₂ を、1 0 0 0 m T o r r の圧力及び~ 1 7 の温度で維持された 5 リットル減圧堆積チャンバーに流すことによって、前に堆積されたボイドフリーの低 k 炭素ドープされた酸化ケイ素誘電性材料の上に堆積される。プラズマをチャンバー内に発生させ、堆積の間、~ 1 0 0 0 ワットのパワーで維持する。この堆積は、6 0 秒間行うことができ、約 1 4 0 0 n m (14 k オングストローム) の第二の低 k 誘電性層が提供される。

【 0 0 3 6 】

被覆された基板は、その後、減圧チャンバーから取り出され、C M P により平坦化されることができ、その後、バイアは、複合材低 k 層を通じて金属材料に下りて形成されてもよい。基板は、その後、バイア充填の完了のために、即ち、バイア被毒の量を確かめるために、試験されてもよい。実質的には、バイアの全てが充填されていることが判明し、低 k 酸化ケイ素誘電性材料の第二の層を通じてバイアの形成が、即ち、P E C V D により堆積

10

20

30

40

50

された層が、バイア被毒に寄与しないことを示している。基板を区分した後、SEMを使用した第一の低k酸化ケイ素誘電性層の試験を行うことにより、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域中に堆積されたボイドフリー低k酸化ケイ素誘電性材料の形成が確認されるべきである。

【0037】

こうして、本発明は、低k酸化ケイ素誘電性材料の複合材層を提供する。本発明では、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域に堆積される複合材低k酸化ケイ素誘電性材料の部分がボイドフリーである。一方、第一の部分の上に堆積された複合材低k酸化ケイ素誘電性材料の第二の部分が、非常に速い堆積速度で堆積することができるが、複合材層を通じて形成されたバイアの被毒に寄与することが今だに明らかでない。

本発明は以下の態様を含む。

1. 近接して間隔を空けて離れた金属ラインを有する半導体基板上の集積回路構造の酸化物層上に低k酸化ケイ素誘電性材料の複合材層を形成するための方法であって、

該低k酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び標準k酸化ケイ素に匹敵する他の領域における堆積速度を呈し、バイア被毒特性を呈するところがなく、

下記工程：

a) 前記酸化物層及び前記金属ラインの上に、前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低k酸化ケイ素誘電性材料の第一の層を、前記低k酸化ケイ素誘電性材料が前記酸化物層上の金属ラインのトップのレベルに達するまで、形成する工程、及び

b) 前記第一の層よりも高い堆積速度で、前記第一の層の上に、低k酸化ケイ素誘電性材料の第二の層を形成する工程、

を含む方法。

2. 低k酸化ケイ素誘電性材料の複合材層を形成する前記工程が、すべて単一の減圧プロセッシング装置において、前記半導体基板を該減圧装置から移動することなく行われる1.に記載の方法。

3. 前記第二の層が複合材低k酸化ケイ素誘電性層の好適な厚み全体まで堆積される2.に記載の方法。

4. 高アスペクト比領域においてボイドフリー堆積性を呈する低k酸化ケイ素誘電性材料の前記第一の層が、炭素置換シランとマイルドな酸化剤との反応によって形成される2.に記載の方法。

5. 前記マイルドな酸化剤が、過酸化水素を含む4.に記載の方法。

6. 前記炭素置換シランが、モノメチルシラン、ジメチルシラン及びトリメチルシランからなる群より選ばれる4.に記載の方法。

7. 前記炭素置換シランが、炭素原子に結合した一級水素のみを有し且つ式： $SiH_x(C_y(CH_3)_z)_{(4-x)}$ （ここで、xは1～3の範囲であり、yは分岐アルキル基のための1～4の整数及び環状アルキル基のための3～5の整数であり、zは分岐アルキル基のための2y+1及び環状アルキル基のための2y-1である）を有する炭素置換シランを含む4.に記載の方法。

8. 高アスペクト比領域においてボイドフリー堆積性を呈する低k酸化ケイ素誘電性材料の前記第一の層が、酸素と、炭素置換シラン、フッ素置換シラン又はこれらの混合物のいずれかとの高密度プラズマにおける反応によって形成される2.に記載の方法。

9. 低k酸化ケイ素誘電性材料の前記第二の層が、前記第一の層の上に、PECVDプロセスにおけるシラン、O₂、及びC₂H₄、C₄F₈及びSiF₄からなる群より選ばれる1以上の反応物の反応によって形成され、これにより、低k酸化ケイ素誘電性材料の第二の層が第一の層より高い堆積速度で堆積される2.に記載の方法。

10. 半導体基板上の集積回路構造の酸化物層上に低k炭素ドープ酸化ケイ素誘電性材料の複合材層を形成するための方法であって、

10

20

30

40

50

該低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層は、近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性、及び非炭素ドープ酸化ケイ素に匹敵する堆積速度を呈し、バイア被毒特性を呈することがなく、

下記工程：

a) 前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料を形成するために、炭素置換シラン反応物と過酸化水素とを、低 k 炭素ドープ酸化ケイ素誘電性材料の反応生成物の得られる堆積が該酸化物層上の該金属ラインのトップのレベルに達するまで反応させることにより、前記酸化物層及び前記金属ラインの上に、低 k 炭素ドープ酸化ケイ素誘電性材料の第一の層を形成する工程、及び

10

b) 炭素ドープ低 k 酸化ケイ素誘電性材料の第二の層を、前記第一の層の上に、該低 k 炭素ドープ酸化ケイ素誘電性層の好適な厚み全体まで、プラズマエンハンスド化学蒸着 (P E C V D) によって形成し、これにより、前記第一の層よりも高い堆積速度で、低 k 酸化ケイ素誘電性材料の前記第二の層が堆積される工程、
を含む方法。

11 . 低 k 酸化ケイ素誘電性材料の複合材層を形成する前記工程が、すべて単一の減圧プロセッシング装置において、前記半導体基板を該減圧装置から移動することなく行われる 10 . に記載の方法。

12 . 低 k 酸化ケイ素誘電性材料の前記第二の層が、前記第一の層の上に、 P E C V D プロセスにおいて、シラン、 O₂、及び C H₄、 C₄ F₈ 及び S i F₄ からなる群より選ばれる 1 以上の反応物の反応によって形成される 11 . に記載の方法。

20

13 . 前記近接して間隔を空けて離れた金属ライン間の高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層を形成する前記工程の後に、前記第一の層が、低 k 酸化ケイ素誘電性材料の第二の層を形成する前記工程に先だって、平坦化される 1 . に記載の方法。

14 . 低 k 酸化ケイ素誘電性材料の前記第一の層を平坦化する前記工程が、更に、ケミカルメカニカル研磨 (C M P) 工程を含む 13 . に記載の方法。

15 . 集積回路構造の酸化物層上の低 k 酸化ケイ素誘電性材料の複合材層であって、該低 k 酸化ケイ素誘電性材料の複合材層は、高アスペクト比領域においてボイドフリー堆積性、及び標準 k 酸化ケイ素に匹敵する他の領域における堆積速度を呈し、バイア被毒特性を呈することがなく、

30

下記：

a) 低 k 酸化ケイ素誘電性材料が前記酸化物層上の金属ラインのトップのレベルに達するまで堆積される、高アスペクト比領域においてボイドフリー堆積性を呈する低 k 酸化ケイ素誘電性材料の第一の層；及び

b) 前記第一の層の堆積速度よりも速い堆積速度で、前記第一の層の上に、該低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層の好適な厚み全体まで堆積される、低 k 酸化ケイ素誘電性材料の第二の層；
を含む複合材層。

16 . 低 k 酸化ケイ素誘電性材料の複合材層を含む前記第一及び第二の層が、すべて単一の減圧プロセッシング装置において、前記半導体基板を該減圧装置から移動することなく形成される 15 . に記載の低 k 酸化ケイ素誘電性材料の複合材層。

40

17 . 半導体基板上の集積回路構造の酸化物層上の低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層であって、

該低 k 炭素ドープ酸化ケイ素誘電性材料の複合材層は、高アスペクト比領域においてボイドフリー堆積性、及び非炭素ドープ酸化ケイ素に匹敵する堆積速度を呈し、バイア被毒特性を呈することがなく、

下記：

a) 炭素置換シラン反応物と過酸化水素との反応によって、低 k 炭素ドープ酸化ケイ素誘電性材料反応生成物の得られる堆積が前記酸化物層上の金属ラインのトップのレベルに達

50

するまで形成される、低 k 炭素ドープ酸化ケイ素誘電性材料の第一の層；及び
 b) 前記第一の層の上に、プラズマエンハンスド化学蒸着 (PECVD) によって、該低 k 炭素ドープ酸化ケイ素誘電性層の好適な厚み全体まで形成される、炭素ドープ低 k 酸化ケイ素誘電性材料の第二の層；
 を含む複合材層。

【図面の簡単な説明】

【図 1】 酸化物層上に形成された金属ラインと共に集積回路構造上に形成された該酸化物層を有する集積回路構造の断片的な垂直断面図である。

【図 2】 酸化物層及び金属ラインの上に堆積された誘電性材料の基礎層を有した後の図 1 の構造の断片的な垂直断面図である。 10

【図 3】 金属ラインの高さにまで低 k 誘電性材料の第一の層を堆積した後の図 2 の構造の断片的な垂直断面図である。

【図 4】 低 k 誘電性材料の第一の層上に低 k 誘電性材料の第二の層を堆積した後の図 3 の構造の断片的な垂直断面図であり、この図は更に、金属ラインの内の 1 つのトップにまで下がった第二誘電性層を貫通するバイアを示している。 20

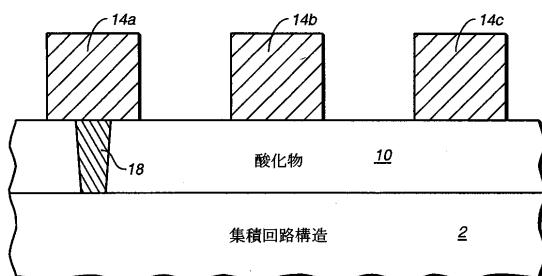
【図 5】 本発明の実施に有用な多チャンバー減圧装置の上部断面図である。

【図 6】 本発明の第二の態様に従った、酸化物層及び金属ラインの上に堆積された低 k 誘電性材料の第一の層のケミカルメカニカル研磨 (CMP) の後の図 3 の構造の断片的な垂直断面図である。 20

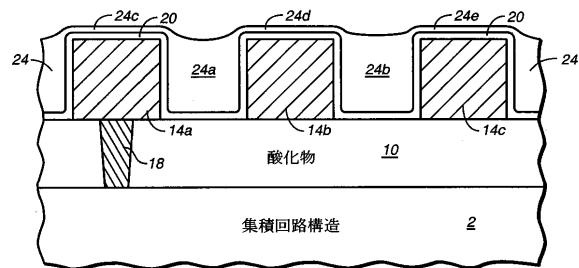
【図 7】 低 k 誘電性材料の研磨された第一の層上に低 k 誘電性材料の第二の層を堆積した後の図 6 の構造の断片的な垂直断面図であり、この図は更に、金属ラインの内の 1 つのトップにまで下がった第二誘電性層を貫通するバイアを示している。

【図 8】 本発明のプロセスを示すフローシートである。

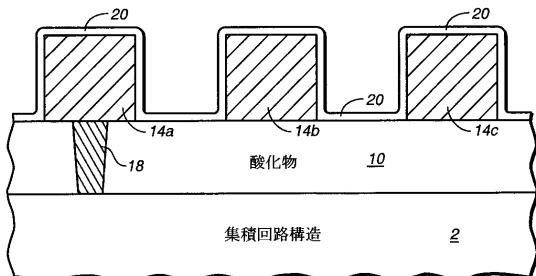
【図 1】



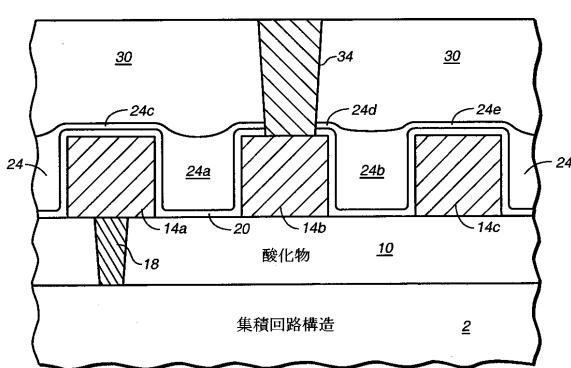
【図 3】



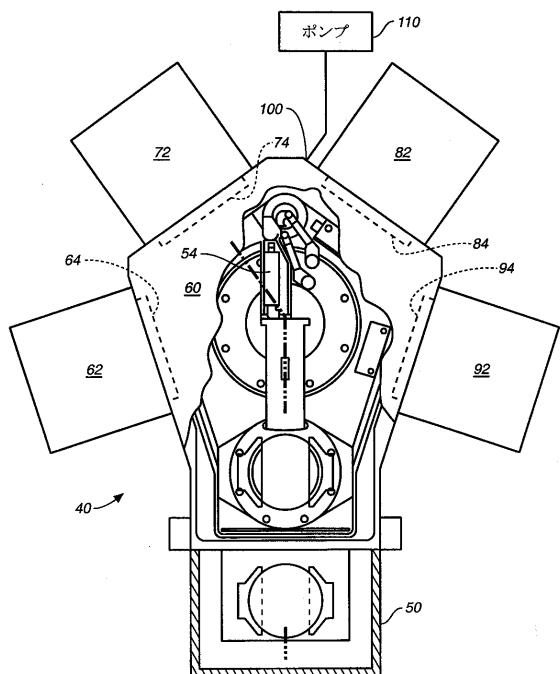
【図 2】



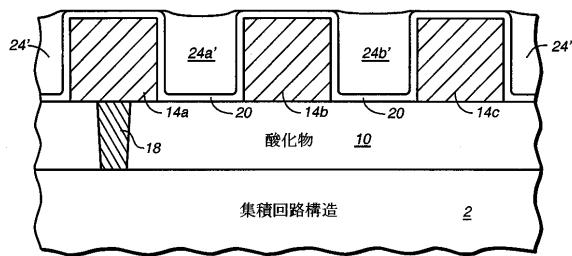
【図 4】



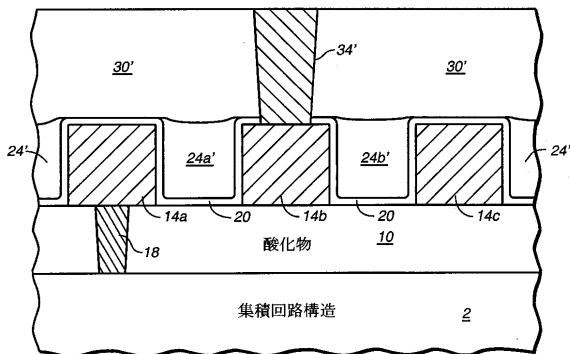
【図5】



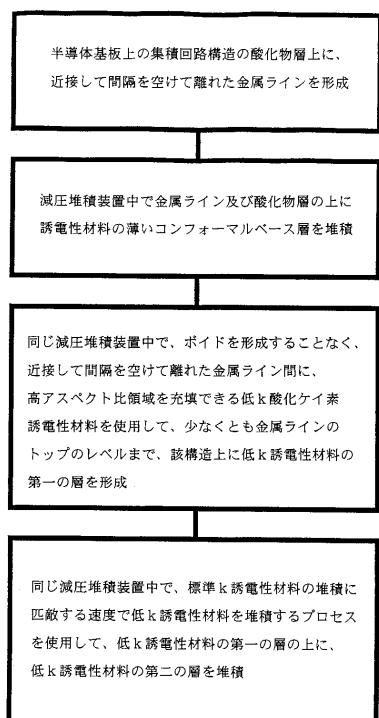
【図6】



【図7】



【図8】



フロントページの続き

(74)代理人 100104374

弁理士 野矢 宏彰

(72)発明者 キャタペイ, ウィルバー・ジー

アメリカ合衆国カリフォルニア州95070, サラトガ, マクドール・ストリート 13199

(72)発明者 シネラ, リチャード

アメリカ合衆国カリフォルニア州95070, サラトガ, ヴィスター・アロヨ・コート 12206

審査官 辻 弘輔

(56)参考文献 特開平10-056009 (JP, A)

特開平04-213829 (JP, A)

特開平10-064899 (JP, A)

特開平10-242143 (JP, A)

特開平09-237785 (JP, A)

特開平08-069999 (JP, A)

特開平11-097533 (JP, A)

特開平07-288253 (JP, A)

特開平11-016904 (JP, A)

特開平11-243147 (JP, A)

特開平11-204642 (JP, A)

特開平10-041382 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205

H01L 21/3213

H01L 21/768

H01L 21/316

H01L 23/522