

五、發明說明()

本發明係關於隨機存取記憶器，尤其有關於多平面隨機存取記憶器裝置者。

具有多記憶區域且其間有複製能力之各種記憶器裝置係為已知，此等已知之裝置可區分為下列各類：雙端口暫存器，雙端口記憶器，視頻記憶器及蔭蔽罩記憶器等。

雖然可自兩或多個端實施平行讀取作業，而雙或多端口暫存器檔祇可於一端口上實施寫錄作業，在一種型式中，寫入作業可由一獨特端口予以控制，而另一型式者則可於兩用于讀取及寫錄之兩端口之一上施行之，于一端口上寫入之資訊必可在其後之時鐘循環中由所有其他各端口上讀取之，其顆粒性相當于最小可定址單位，例如，一，二，四，八或十六位元，在內部，多端口暫存器檔典型的使能予複製每一讀取端口之記憶器陣列而容許平行存取，多端口暫存器檔之一項用途係為構成處理器暫存器檔。

雙或多端口記憶器裝置係由單一記憶器陣列串列化存取方式而能於任何端口上實施寫錄作業，以結構而言，此等裝置卻有點模倣多平面裝置，並未具有複式記憶平面，如若一端口正在讀取或寫錄該記憶器陣列時，任何其他端口之存取皆將受到一或數個記憶循環之延遲，如同多端口暫存器檔，經由一端口寫錄之資訊必可於其後之時鐘循環由所有其他端口予以讀取，其顆粒性相當于最小可定址單位。與多端口暫存器檔不相同者乃是多端口記憶器裝置可自任何端口予以寫錄。此等裝置典型上係用于一複式處理器裝置之各處理機間之通信。

五、發明說明()

視頻記憶器裝置包含兩實體上不相同之記憶平面；即隨機存取記憶器陣列及移位暫存器陣列。隨機存取記憶器陣列包括有配置為 n 橫列乘 m 縱行之矩陣中之眾多記憶單元，可自一端口隨意讀取或寫錄。移位暫存器，通常為 m 位元長度，係與隨機存取記憶器陣列之各縱行相並聯連接，而與輸出端口，及依選擇與輸出端口相串聯。其複製顆粒性係由橫列長度予以固定。第二面之儲存量限于一橫列，其所支撐之唯一存取圖型之順序係自橫列中之第一位元開始。雖然視頻記憶器裝置原係作為支撐位元測繪圖形之用，現已發現此等裝置在多處理器裝置中之用途。

蔭影記憶器裝置係中兩實際上不相同記憶平面，靜態隨機存取記憶器 (SRAM) 陣列，及電子可消除，可程式僅讀記憶器 (EEPROM) 陣列等所組成，複製作業可在整個 SRAM 平面與 EEPROM 平面間實施平行複製，第一平面可經由一端口與外部裝置相直接接近。第二平面則僅能經由回叫方式回復至第一 SRAM 平面而間接近之。此一結構之實例係揭示于美國專利案第 4,545,035 號及 4,609,999 號中。蔭影記憶器裝置係用于嵌入用途之不變性儲存中，其臨時複製可予保持為徐緩變化參考。複製作業在記憶器陣列之可選擇區域係不可能，而第二平面則無法獲致頻帶寬度優點。

高度希望具有多平面隨機存取記憶器裝置，其中每一記憶平面皆包括有 RAM，其中，該裝置之每一面係連接至不相同端口上，經由此一平面可實施該端口之讀取及寫錄作業，又其中一平面上之複式記憶器單元之內涵可予同時複

五、發明說明()

製于該裝置之另一記憶平面上。

多平面記憶器系統可發現在並聯處理器電腦系統中有許多用途。此多面記憶器可容許整個記憶器結構與若干處理機構成通信而與剛才所述之任何裝置比較，其競爭較少，潛力較小而彈性較大。

當中間結果可複製于另一處理器記憶平面作為原子作業時，使用多平面記憶器以支援微粒並聯處理可提供每一運算邏輯單位無衝突之存取，直至有明確同步產生為止。多平面記憶器亦可用以主要處理器與一或數副處理器相耦合。指令運作代碼與引數可集合于該記憶器之一平面上，而各副處理器則使用其他平面之內涵以完成先前之指令。然後使新運作代碼與引數結構可在單一時鐘循環內及以各平面間之分段副本(block copy)供予副處理器。同樣，資訊器可發送回至主處理器之記憶平面作為單一分段副本。

多面記憶器亦可用于高速緩衝儲存器之電腦裝置中，作為高速緩衝器以支援處理器及高速存取器控制器之同時存取在大多數高速緩衝儲存器之設計中，處理器與高速緩衝儲存器間之通信量遠大於該儲存器與主記憶器間經由高速緩衝控制器之通信量，乃表示希望使用有三或四端口記憶器設計，其中除一端口外均用于處理器與高速緩衝儲存器之通信，連接于處理器上之各平面或能支援指令高速存取，資料高速存取及大量高速存取，同時，一端口則支持高速緩衝控制器，如若處理器之任何端口漏失某一分段時，將有請求至該高速控制器，以使該分段輸入至控制器平面

五、發明說明()

。將該分段完全負載後，該分段將在多平面記憶器內複製于需要該分段之高速緩衝儲存器中，此項作業實施時多面記憶器之其他平面仍為繼續為執行於該處理器內之其他指令服務。

用以從一般用途處理器退出輸入／輸出作業之智慧周邊處理器時常使用主記憶器作為儲存緩衝器。使用多面記憶器之使用可使主記憶器與此種裝置之競爭減少。

本發明概要

因此，本發明之目的為提供一種包括有多個隨機存取記憶平面之多平面隨機存取記憶器裝置。

本發明之另一目的為提供一種多平面隨機存取記憶器裝置，其中每一隨機存取記憶平面有其本身之端口，能經由該端口與其他讀取及寫入而與其他平面無關。

本發明之另一目的為提供一種多平面隨機存取記憶器裝置，其中，一記憶平面上若干記憶單元之內涵能同時複製于另一記憶平面上。

本發明之又一目的為提供隨機存取記憶平面供多平面記憶器裝置中使用。

本發明之又另一目的為提供並聯處理器電腦裝置中之多平面隨機存取記憶器裝置。

根據本發明之多平面隨機存取記憶器裝置係由多個隨機存取記憶平面組成，每一平面含有記憶單元陣列，有多個讀取／寫錄裝置，各與記憶平面中相對應平面相配合而於每一相對應之記憶平面上實施讀取與寫錄，而與其他記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

平面無關，複製裝置之運作不同將在一記憶平面上所選定之記憶單元內涵複製于另一記憶平面之各相對應記憶單元中。在本文中，相對應一詞係廣義解釋為由硬體之實際配置予以確定諸如：一某一特定記憶器列全部複製于另一平面上之橫列上(可能在另一橫列位址上)。

一使某一記憶平面內之其一分段複製於另一記憶平面中相同尺寸之分段內(在列及/或行方向可能有相對之偏差)。

一另外之旋轉，交插，反射，移動或其他之線性位置轉換，概由相關平面間之單元互連予以調節。

在本發明之一項具體實例中，隨機存取記憶器各平面係為動態記憶單元所組成之動態記憶平面。複製裝置則由若干共用位元線組成，每一此等位元線與每一記憶平面中之特定位元線相對應而界定相關各記憶平面相對應位元線間之一資料轉移路徑，及有若干複製電路，與記憶單元陣列中之一相對應。每一複製電路包含複製單元陣列其單元數目與複製電路相對應之記憶單元陣列之位元線目相同，每一複製單元具有資料信號輸入，資料信號輸出及一起動信號輸入。每一複製單元之連接，有資料信號輸入至其相對應之位元線上，其資料信號輸出至與相當于該複製單元相連接之位元線相對應之共用位元線上，而起動信號輸入在使用時接受起動信號以起動複製單元而使其對應位元線連接至其對對應之共用位元線，而完成相對應位元線與共用位元線間之資料轉移路徑。

五、發明說明()

在各動態機存取記憶平面中，每一平面係由配置成行列矩陣之動態記憶單元陣列組成，並包含有列線及行線用以使記憶單元陣列之個別記憶單元定址，以及位元線用以使所定址之相關記憶單元提供存取。每一讀取／寫錄裝置係由用以使該矩陣各列定址之列定址裝置，及同時用以使矩陣之可選定行數定址之行定址裝置所組成，此行定址裝置包含有裝置用以響應于一範圍(size)信號以設定擬予定址之行數，有裝置用以響應于位址信號而擬產生予定址各行之行選擇信號及有裝置用以使由信號路徑組成用以施加行選擇信號使定址中之各相對應行複製單元同時起動，從而使各記憶單元位元線連接至其相對應之共用位元線。

根據本發明之多平面靜態隨機存取記憶器裝置與動態記憶器具體實例有所不同。在靜態記憶器裝置中，每一平面之記憶單元係為一對一相對應者，而在各記憶平面中之所有相對應記憶單元共用同一公共位元線。各記憶平面間之公共位元線無法與記憶平面內之各位元線相連接；反之，此等位元線可直接連接于各記憶單元上，因此，在各記憶平面間一次可複製一系列以上之記憶器。

圖式之簡單說明

圖1 A及1 B所示為根據本發明之多平面記憶器裝置之兩項具體實例；

圖2 所示為根據本發明之隨機存取記憶平面；

圖3 所示為使用于圖2 記憶平面上之行解碼器電路；

圖4 所示為使用于圖2 之記憶平面上之複製電路；

五、發明說明()

圖 5 所示為根據本發明之多平面 SCRAM 靜態記憶單元電路；及

圖 6 所示為包括根據本發明之多平面記憶器裝置之並聯處理器電腦裝置。

本發明之細部說明

在下列本發明說明中，包括于各不相同具體實例中之相同結構元件或適當之相對應元件，將以相同之參考編號標示之。

圖 1 中所示多平面記憶器裝置 1 之第一具體實例係由隨機存取記憶平面 2，3，4 及 5 所組成。每一記憶平面具有相對應之讀取／寫錄端口 6，7，8，9，此等端口界定讀取及寫錄入于相對應記憶平面之獨特端口，每一記憶平面係可經由其讀取／寫錄端口單獨定址並能予定址為一隨機存取記憶器。

在記憶平面 2 - 5 間之資料轉移路徑係由若干共用位元線 10 予以界定。並於下文中詳細說明用以使資料自一記憶平面經由共用位元線 10 複製于另一平面之結構。在此一點上，是以指出圖 1 A 之具體實例包括有與每一記憶平面內之記憶單元列相對應之許多位元線 10，而資料複製可能同時發生於記憶單元之整橫列之上，圖 1 B 中所示具體實例之差異于其包括有許多共用位元線 11，各與相關記憶平面 2 - 5 內之個別記憶單元相對應。在此一具體實例中，一記憶平面之整個內涵皆可同時複製於另一記憶平面作為原子運作。

五、發明說明()

各別之讀／寫端口6 - 9接收及發送資料至一外部裝置，並接受來自裝置中之位址信號及控制信號。為避免衝突起見，各記憶平面間複製作業之控制係由該裝置若干外部介裁器15加以管制。

圖2所示為各記憶平面之一結構。記憶器陣列21係由用以儲存二進數值之若干記憶單元所組成。陣列之各記憶單元係為習用之動態記憶單元，配置為列與行之矩陣，而各列及行則可予單獨定址。配置于記憶器陣列21內某一特定列內之所有記憶單元係由列解碼器22響應于列位址信號及一列位址門控(RAS)信號予以選擇。每一行之各記憶單元與感測放大器及複製電路25之位元複製單元共同使用若干位元線23之一。

記憶單元行及其相關之各位元線係由行解碼器24予以選擇。此行解碼器24接收行位址信號，範圍信號及一行位址門控(CAS)信號。由行解碼器24對某一特定位元線或若干位元線之選擇，使各位元線上之信號值(為各記憶單元之記憶內涵)能由新數值依下述方式取代之。

行解碼器24與單一平面記憶器中使用之習用行解碼器有所不同。在多平面記憶器裝置中，行解碼能根據供應其上之該解碼器之範圍信號連同位址及門控信號，同時由各行中選擇一行以上。複製電路25使記憶器陣列21中所選擇位元線與伸展於數記憶平面間之共用位元線10相對應之一相連接，此項連接係經由為後文中詳述之雙向通路電晶體所完成。

五、發明說明()

多平面記憶器裝置之行解碼器電路24能予不理會低位址位元之方式同時選擇一項以上之輸出。為一次選擇多於一位元線起見，行解碼24需要有額外之範圍信號輸入。此範圍信號輸入(M個位元)規定在行選擇期間須予解釋為不予理會位元之位址位元數目，以最低位元開始。如若解釋為不加符號整數之範圍信號位元為零時，則如同在一習用行解碼器中一樣祇選定一行位元線。如若範圍信號係為一時，則予選擇祇有最低效位元中有差異之兩行。如其範圍為二時，則予選擇四行，其差異祇為最低效之兩位元。同樣，較大之分段可於排列於二進位範圍之列內撰擇之。為使資料區段依連續段方式傳輸於各記憶平面間，行位址必須顯示位址之最低效位元。

圖3所示為行解碼器24之電路圖。習用之高速解碼器通常在設計上皆有每一位址線路之真實及互補位址信號緩衝器。此位址信號緩衝器每一選擇線路驅動一「及」或「或」閘。於是一所要之輸入位址將觸發「及」或「或」閘之輸出狀況，結果使「及」閘趨向高位，或使「或」閘趨向低位以顯示其選擇。根據本發明之行解碼器需有另外之電路供多平面記憶器使用，以便在選擇時對於逐漸變低位之位址位元可不予理會。

位址信號係施加于真實及互補緩衝器之位址信號緩衝器31，32。緩衝器輸出信號係施加于位址掩蔽罩33，此罩亦接受來自範圍信號解碼器34之信號。來自位址掩蔽罩33之輸出信號係施加于若干選擇閘35上，在本實例中為「及」

五、發明說明()

閘。選擇閘 35 之輸出信號係施加于行選擇線路 37 以選擇與記憶器陣列 21 各行相對應之位元線。

從檢閱所說明下列電路狀況表中極容易於瞭解行解碼器 24 之操作模式，其選擇可達四行之多。

門控信號	範圍信號	位址信號	行之選擇
0	XX	XX	0000
1	00	XX	0000
1	01	00	0001
1	01	01	0010
1	01	10	0100
1	01	11	1000
1	10	0X	0011
1	10	1X	1100
1	11	XX	1111

表中，符號 X 表示不必理會狀況；否則所表示信號呈現二進位值 0 或 1。零門控信號之第一狀況係為不重要者；並無行之選定。第二狀況為門控信號為 1 及範圍信號為 00 之結果亦為無行之選定。當門控信號為 1 而位址範圍信號為 01 時，該電路操作猶如一習用之行解碼器，即每一不同之位址信號即選定某一特定之行。

當範圍信號值為 10 時，新作業模式產生，在此狀況下，位址信號之最效位元乃成為不必理會位元，而各行成對選

五、發明說明()

定。所選定各對係同時選定，故如下文所述，來自這兩行之資料可予同時複製。最後，就所列之四行範例而言，當範圍信號為11時，所有四行或位元線均予選定。

複製電路25使多選擇信號應用于資料之同時複製，其結構為圖4中所示。

複製電路25係為複製單元陣列，各由雙開雙向通路電晶體40，41，42及43之一所組成。另一方式為雙開電晶體可各由一對串聯之信號開電晶體取代之。電晶體40-43之每一電晶體與共用位元線10中一特定位元線及位元線23中一特定位元線相對應。當某一特定通路電晶體導電時，乃完成其由相對應位元線至其相對應基用位元線之一資料傳輸路徑，從而提供與所選位元線相連接之記憶陣列21中記憶單元之存取。

經由行選擇信號施加于各通路電晶體之一方式，乃產生位元線選擇。例如電晶體40具有開終端44及45。施加于電晶體40之開極44之行選擇信號將有效選擇與電晶體40相對應之位元線47。其次，當複製信號施加于第二開終端45時，此電晶體即導電，而其相對應之共用位元線48將經由電晶體40連接至相對應位元線47上，從而完成自位元線47至共用位元線48之資料傳輸通路。

供用位元線10包含可於多平面記憶裝置中之各記憶平面間複製資訊之裝置。每一共用位元線與每一記憶平面中之特定行相對應。在記憶器運作之單一週期中，此一對一之通信，使多平面記憶器裝置內一記憶平面之列與另一記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

平面中之列間能作段傳輸。該段傳輸包括自零位元以至列整個長度之複製，其所複製位元組排列於二進位境界內，其長度為二進位之倍數。

多平面記憶器裝置之每一動態記憶平面能實施五種作業：讀取，更新，寫錄，讀取複製及寫錄複製，下文之論述係經由此等作業之每一項作業予以探索，以說明多平面記憶器裝置之作業模式，應參照附圖2。

讀取作業有兩主要階段。第一階段係由列位址門控信號之確證開始，RAS使指定列位址之記憶單元列能予使相關位元線上所儲存數值予開控。與每一位元線相關之一感測放大器偵檢源起于選定記憶單元之布林(boolean)值並予以保存供次一階段之用。第二階段係於行位址門控之確證開始。CAS使行位址所指定之感測放大器開控其所儲存之數值至資料輸出供外部使用。第二階段結束時，儲存所有感測放大器之數值皆予放大，開控返回至相關之各位元線上及進入由RAS先前所選定之記憶單元列，其內涵初時受到讀取作業擾亂之各記憶單元乃因此於讀取作業完成時再生。

更新作業使各記憶單元之內涵再生，否則當受到動態記憶單元所固有之衰減過程所中斷。在更新期間，在選定列中之各記憶單元係利用與讀取作業相同之過程重予寫錄，除非行位址接通根本無須予以證實。內部定時及邏輯將使感測放大器接通而使記憶單元內涵再生，而不須開控任何數值至記憶平面資料輸出端口上。

五、發明說明()

寫錄作業係用以使新資料引入至記憶平面。寫錄作業之第一階段與讀取作業之第一階段相同。在寫錄作業之第二階段中，由行位址所選定之行將使加于其上之輸入資料取代儲存位元值之輸入資料值。未選定之各行則由感測放大器予以再生，如同在讀取循環及更新循環中者。

儲存于多平面記憶器中之各資料段可經由使一平面上之讀取複製作業與另一或數個其他平面上之寫錄複製作業予以配對方式於各記憶平面間予以複製，實施讀取複製之平面或來源平面，在其作業第二階段時驅動共用位元線，同時實施寫錄複製之平面或各平面，或目標平面，則接受來自各共用位元線之新資訊。

讀取複製作業具有兩個階段與上述簡單讀取作業相同。在讀取複製作業第一階段時，儲存于記憶單元列之資訊予以開控進入位元線上及由感測放大器予以保留。在第二階段時，由行位址信號及範圍信號所選定之行係由電路 25，依前文中所述之方法，從來源平面開控至相對應之共用位元線依此方式，一或數位元以至所儲存資料值之整列可存取至其他平面。此外，行位址無需由範圍信號予以檢核資格以作讀取作業。只要有充分電源可用，所有位元線皆可同時開控至相對應之共用位元線上。與正在充實之共用位元線相同，在所選定列內之各記憶單元皆必須予以再生。

為完成複製作業，讀取複製作業必須與目標平面之一或數個寫錄複製作業相配對。寫錄複製作業具有與上所述之

五、發明說明()

讀取作業相類似之第一階段。在寫錄複製作業第二階段時，行位址及範圍信號選定目標平面之複製單元以使儲存數值自共用位元線開控至目標平面位元線上。幾未經選定之各行必須經由相關感測放大器驅動以使未複製之任何位元皆予以再生。

根據本發明之多平面記憶器裝置亦可利用靜態隨機存取記憶器(RAM)予以實現。SRAM之應用使由來源記憶平面一記憶器列以上一次同時予以複製，此項能力，如圖1 B中所示，係由於多列之共用位元線11伸展于多平面記憶器裝置之各記憶平面間。

圖5所示為使用于根據本發明之靜態隨機存取記憶平面之記憶單元電路，此記憶單元與傳統SRAM記憶單元不相同。

交互耦合電晶體51，52包含有用以儲存二進位數值之雙穩態裝置，電晶體53，54提供雙穩態電晶體對51，52之負載。導電線路55，55'共同界定靜態記憶單元之位元線，導體55經由通路電晶體56接受電晶體51之信號狀態，而導體55'經由通路電晶體57接受電晶體52之信號狀態。施加于導體55及55'之信號狀態必然彼此為邏輯互補，而此兩導體共同構成為用以存取記憶器內涵或靜態記憶單元狀態之位元線。

列線路58接受來自列解碼器之列選擇信號，而列選擇係施加于通路電晶體56，57之相關閘極上。為此乃為有效以響應于列選擇信號以使所選定列之靜態記憶單元記憶內容

五、發明說明()

施加于其相對應位元行上。須予瞭解者乃為，列線路58延伸至該列之連續靜態記憶單元(圖未示)一如位元線55，55'伸展至該行(圖未示)之連續靜態記憶單元。

讀取放大器60係用以使共用位元線80，80'充電至儲存于記憶單元中之狀態，而不擾亂所儲存之狀態。該放大器本身係由電晶體61，62，63及64所界定。雙穩態電路之儲存記憶內涵係經由信號線路65，66施加至讀取放大器電晶體61-64各閘極上。讀取放大器另包含電晶體67，68，69及70，此等電晶體用以界定控制讀取放大器60作業之控制結構，電晶體對67，68及電晶體對69，70界定相關「及」閘，用以使放大器60接通。信號線路71，72使讀取放大器60之輸出連接至共用位元線上，如下文所詳細論述者。

由電晶體73，74，75及76所組成之寫錄級使共用位元線導體80，80'能用以設定靜態記憶單元之量值。電晶體之各對73，74及75，76界定相關之及閘用以于錄製及寫錄輸入經確認時用以使雙穩態電路51，52之真實和互補端與相關之用位元線導體80，80'相連接。另希望，有單一雙開通路電晶體可取代每一電晶體對。

複製之讀取及複製本之寫錄皆必須由如圖3中所示之列及行解碼器之輸出予以控制。此一工作可經由發送至全列之複製線路信號內與相關列解碼器輸出相加而達成之。同樣，發送至各單元行之讀取及寫錄線路必須與相關之行解碼器輸出相「加」在一起。

五、發明說明()

在不同記憶平面中具有相同列及行索引之記憶單元，乃可與相同之共用位元線相連接，此共同位元線界定資料傳輸通路用以使對應記憶單元之記憶內涵由一記憶平面至另一平面。每次祇有一記憶平面驅動共用位元線，因此使用多平面記憶器之裝置將如同動態記憶器之狀況一樣具有一仲裁器。

根據本發明之多平面記憶器裝置之實際實現，係以經由每一記憶平面皆構成為一獨立裝置之方式為最容易達成。於是各共用位元線乃構成為各獨立記憶平面間之外部資料通路。此一實際具體實施例之尺寸大小須受接腳數目之限制。

另一方式為，特別是在靜態記憶器裝置之實例中，以接腳數目限制而言，係由在同一積體電路中使多記憶平面構成為三次元裝置之方式乃可實現重大優點。堆疊型SCRAM層揭示于1986年IEEE雜誌中第435-438頁。K Yamazaki等人所撰“雙4-K位元堆疊SRAM之製造技術”為題之論文，該論中所述之堆疊記憶器包含有摺疊于其本身之單一記憶平面以減少晶體面積，而此記憶器並非如本發明之多平面記憶器。然而確已說明其在同一積體電路結構中運作之垂直疊記憶單元。Y. Akasaka等人所撰載于Proc. IEEE第74卷第12號(1986年12月出版)中第1703-1714頁以“三次元之積體電路趨勢”為題之論文中於第1709頁說明堆疊之RAM結構，而在1713頁中提出與複式處理器配合使用之多平面記憶器；然而在論文中並未提出如何實施此種記憶器電路

五、發明說明()

根據本發明之多平面記憶器在並聯複處理器裝置中之一項實際應用，諸如在本發明背景說明中所述，見于圖6中。複處理器電腦裝置90包括有獨立處理器91，92，93及94。每一處理器係為讀取及寫錄而連接至本發明之多平面隨機存取記憶器裝置95上。不同處理器91-94間之裁定可有利成為整個裝置之裝置程式之一部份，或者可經由相關處理器運作中之某一特定應用程式而達成之。處理器91-94能使多平面記憶器95之相關記憶平面定址；又多平面記憶器能在相關記憶平面間複製資料，其方式為上文所詳細說明者。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

多面隨機存取記憶器系統)

一種具有多個隨機存取記憶平面及伸展于各記憶面間之共用位元線之記憶器，複製電路能使多數資料位元經由共用位元線自一記憶平面同時複製于另一記憶平面上。每一記憶平面能予讀取及寫錄，而與其他記憶平面無關。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱：MULTI-PLANE RANDOM ACCESS MEMORY SYSTEM)

A memory having a plurality of random access memory planes, and common bit lines extending between the memory planes. Copy circuits enable simultaneously copying a plurality of data bits from one memory plane to another through the common bit lines. Each memory plane can be read and written to independently of the others.

附註：本案已向 美 國(地區) 申請專利，申請日期：1989.9.29. 案號：414,823

203133

申請日期	79.10.23
案 號	79108934
類 別	G01F 11/00

(以上各欄由本局填註)

(80年7月修正本)

A4
C4

公告本

發明
專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中 文	多面隨機存取記憶器系統
	英 文	MULTI-PLANE RANDOM ACCESS MEMORY SYSTEM
二、發明 創作人	姓 名	1. 約翰 克리스多夫 韋利斯 JOHN CHRISTOPHER WILLIS 2. 湯瑪士 馬歇爾 THOMAS MARSHALL
	籍 貫 (國籍)	美國
	住、居所	1. 美國賓州匹茲堡市卡耐基梅隆大學羅勃狄斯協會 2. 美國紐約州歐斯英市蓋納路57號
三、申請人	姓 名 (名稱)	荷蘭商飛利浦電泡廠 N.V. PHILIPS' GLOEILAMPENFABRIEKEN
	籍 貫 (國籍)	荷蘭
	住、居所 (事務所)	荷蘭恩特荷芬市格諾內梧茲路1號
	代表人 姓 名	艾華 麥拉 萊寧 IWAN MILLAR LERNER

六、申請專利範圍

1. 一種多平面隨機存取記憶器裝置，包含：

(許多隨機存取記憶平面，每一平面係由記憶單元陣列所組成；

許多讀／寫裝置，每一裝置與上述記憶平面中相對應者相配合運作，而使每一相對應記憶平面能予讀取與寫錄而與其他記憶平面無關；及

複製裝置，其運作可使一記憶平面中所選定記憶單元內涵同時複製于另一記憶平面中各相對應記憶單元中。

2. 根據申請專利範圍第1項之多平面隨機存取記憶器裝置，其中所述之隨機存取記憶面係由動態記憶單元陣列所組成。

3. 根據申請專利範圍第1項之多平面隨機存取記憶器裝置，其中之隨機存取記憶平面係由靜態記憶單元陣列所組成。

4. 根據申請專利範圍第1項之多平面隨機存取記憶器裝置，其中之隨機存取記憶平面係由動態記憶單元所組成之動態記憶平面；

其複製裝置包含有許多共用位元線，每一線與每一記憶平面之某一特定位元線相對應，以界定各記憶平面相對應位元線間之資料傳輸路徑，以及許多複製單元陣列，其每一陣列與每一記憶單元陣列相對應；

每一複製單元陣列包含有許多複製單元其數目與記憶單元陣列之位元線相當，複製單元陣列與記憶單元陣列相對應，每一複製單元具有資料信號輸入，資料信號輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

出及啟動信號輸入，而與其資料信號輸入相連接之每一複製單元乃與其相對應之位元線相連接，其資料信號輸出與有複製單元相連接之位元線相對應之共用位元線相連接，而啟動信號輸入於使用時接收啟動信號，以使複製單元能使其相對應之位元線與其相對應之共用位元線相連接，以完成相對應位元線與共用位元線間之資料傳輸路徑。

5. 根據申請專利範圍第4項之多平面隨機存取記憶器裝置，其中之隨機存取記憶平面為動態記憶平面，為由配置為列及行之矩陣之動態記憶單元陣列所組成，並包含有使記憶單元陣列之個別記憶單元及位元線定址之列線及行線，以提供所定址之相關記憶單元之存取；

所述每一讀／寫裝置係由用以使該矩陣列定址之列定址裝置，及用以同時該矩陣之可予選定數目之行定址之行定址裝置所組成；及

其行定址裝置包含有裝置響應于範圍信號而設定須予定址之行數，有裝置響應于位址信號以產生表示須予定址之各行位址之位址信號；及有裝置使包括有信號路徑，用以施加位址信號以同時啟動所定址之各行之相對應複製單元，因而使已定址單元之位元線與其相對應之共用位元線相連接。

6. 根據申請專利範圍第1項之多平面記憶器裝置，其中：
各隨機存取記憶平面，皆為由靜態記憶單元所組成之靜態記憶平面；其複製裝置包含許多共用位元線，每一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

位元線與每一記憶平面中某一特定記憶單元相對應，用以界定各記憶平面中相對應記憶單元間之一資料傳輸路徑，及許多複製單元陣列，每一陣列與記憶單元各陣列之一相對應；以及

每一複製單元陣列包含有在數目上與複製單元陣列相對應之記憶單元陣列之記憶單元數目相同之許多複製單元，每一複製單元具有資料信號輸入，資料信號輸出及啟動信號輸入，而有資料信號輸入相連接之每一複製單元與其相對應記憶單元相連接，其資料信號輸出與有複製單元相連接之記憶單元相對應之共用位元線相連接，及其啟動信號輸入，在使用時，接受啟動信號，以使複製單元能使其相對應之記憶單元與其相對應之共用位元線相連接，而完成相對應之記憶單元與共用位元線間之資料傳輸路徑。

7. 根據申請專利範圍第6項之多平面隨機存取記憶器裝置，其中之隨機存取記憶平面係為靜態記憶平面，各由配置為列與行矩陣之靜態記憶單元所組成，並包含有列線路及行線路以使記憶器單元陣列中各個別記憶單元及各位元線定址，而提供所定址之相關各記憶單元之存取；

每一讀／寫裝置皆係由用以使矩陣列定址之列定址裝置及用以同時使該矩陣中可選定行數予以定址之行定址裝置的組成；以及

其行定址裝置包含有裝置響應于範圍信號以設定須予

六、申請專利範圍

定址之行數，有裝置響應于位址信號以產生表示須予定址之行位址之位址信號，以及有由各信號路徑所組成之裝置用以施加各位址信號，以同時使已定址之行之相對應複製單元予以啟動，從而使已定址行之各位元單元連接至其相對應之共用位元線上。

8. 一種供多平面記憶器中使用之裝置，包含：

記憶單元陣列配置為列及行，及包含有列線路及行線路，用以使其記憶單元陣列之個別記憶單元定址，以及位元線，用以提供已定址之相關記憶單元之存取。

許多共用位元線；

複製單元陣列，連接至該記憶單元陣列之位元線，及共用位元線，用以使信號在施加至複製單元陣列之控制信號控制下，由各位元線傳送至各共用位元線；列定址裝置，用以使該記憶單元陣列諸列予以定址；

行定址裝置，用以同時使該記憶單元陣列之許多行同時定址，及該複製單元陣列各相對應共用位元線予以定址，以確定該位元線之何種信號係由該記憶單元陣列傳輸至共用位元線；

輸入／輸出控制裝置，用以控制該裝置之輸入及輸出。

9. 根據申請專利範圍第8項之裝置，其中之複製單元包含有複製單元陣列，每一陣列包含有雙閘電晶體，此電晶體具有一對接點，用以作為該電晶體之主要導電路徑，及一對閘極用以控制該主要導電路徑之導電性，又其中

六、申請專利範圍

，接點之一係連接至相關位元線，而另一接點連接至相對應之共用位元線；此等閘極之一連接用以接收來自行解碼器之行選擇信號，而另一閘極之連接，用以接收複製命令信號，因而使行選擇信號及複製命令信號同時施加于複製單元，而有效建立所選定列與行之記憶單元與用以使該記憶單元之之內涵寫錄于該複製單元之相對應行之複製單元間之導電路徑。

10. 根據申請專利範圍第8項之裝置，其行定址裝置包含：

有由邏輯閘列所組成之裝置，用以將施加其上之位址信號解碼及用以產生行選擇信號以選定須予定址之位元線行，該裝置係響應于控制信號以決定何種行選擇信號須予產生；及

有裝置響應于範圍信號以產生出代表由該範圍信號所決定之一範圍以選擇信號，及使該範圍選擇信號施加于該裝置，以控制當時所選定之行數由該複製單元陣列予以複製。

11. 在多平面記憶器中之一種靜態記憶單元陣列，此靜態記憶單元包含有：

雙態電路，具有一輸出對，其中一輸出之值係為另一輸出值之補數；

位元線對，沿記憶平面內之行單元伸展；

許多共用位元線對，各伸展于記憶平面之間及相關記憶平面內相對應靜態記憶單元之間；

讀取放大器，具有一輸入其連接用以讀取雙穩電路之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

相關輸出，一輸出對，連接至相關共用位元線及啟動輸入用以使讀取放大器讀取該雙穩態電路之輸出，並使各輸出信號狀態施加至各位元線之啟動輸入上，以及

寫錄電路，響應于寫錄起動信號，使雙穩態電路之輸出施加至共用位元線，而使包括雙穩態電路之記憶單元之內涵經由共用位元線傳輸至在另一記憶平面內相對應記憶單元。

12. 根據申請專利範圍第11項之多平面隨機存取記憶器裝置，與許多處理器，以及使每一處理器與該多平面記憶器裝置之記憶平面之相關平面相連接之裝置相組合，使該等處理器能予讀取及寫錄于其相關記憶平面，而與其他處理器無關。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

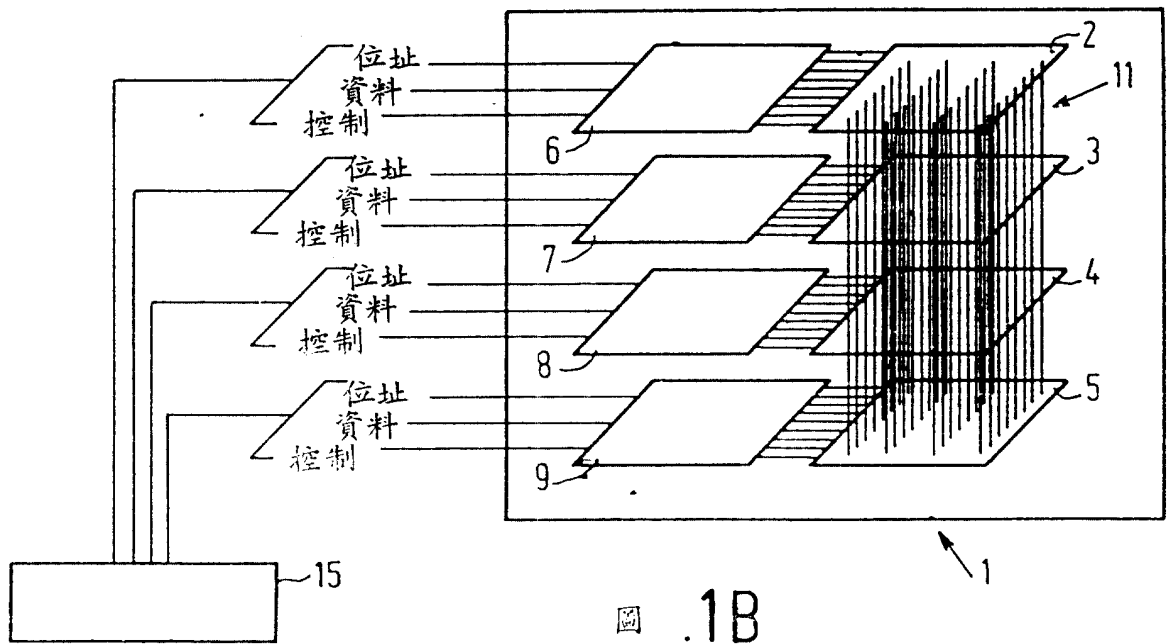
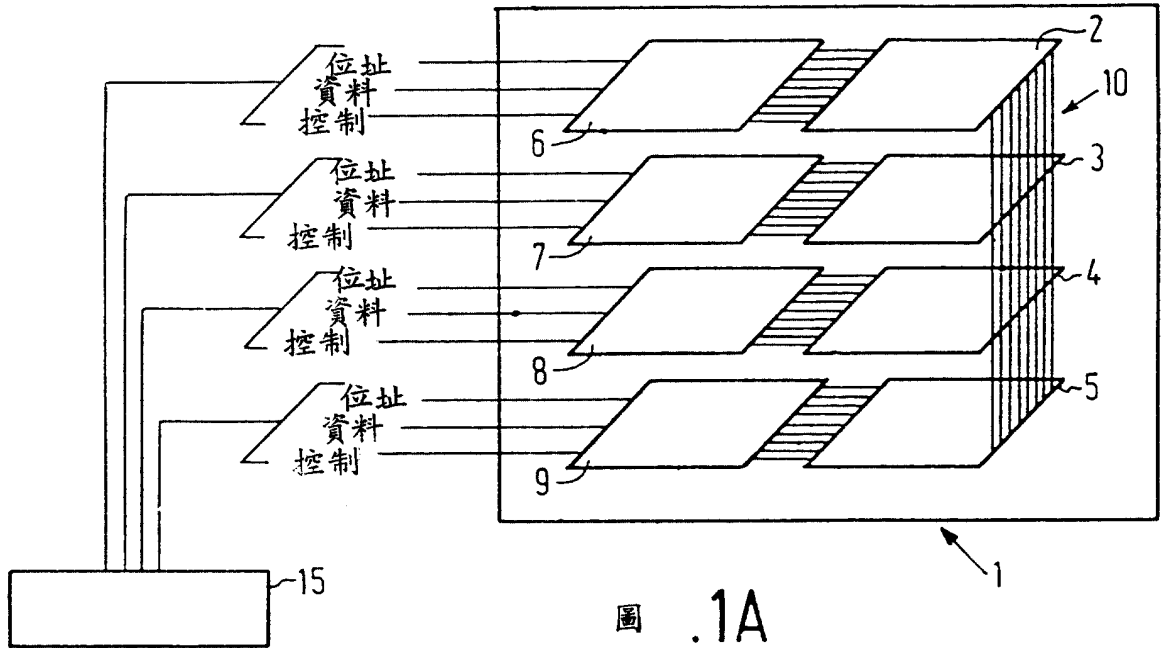
線

20313E

修正
8月 30/79

第 79108933 號專利申請案
中文圖式修正本 (81年3月)

1/4



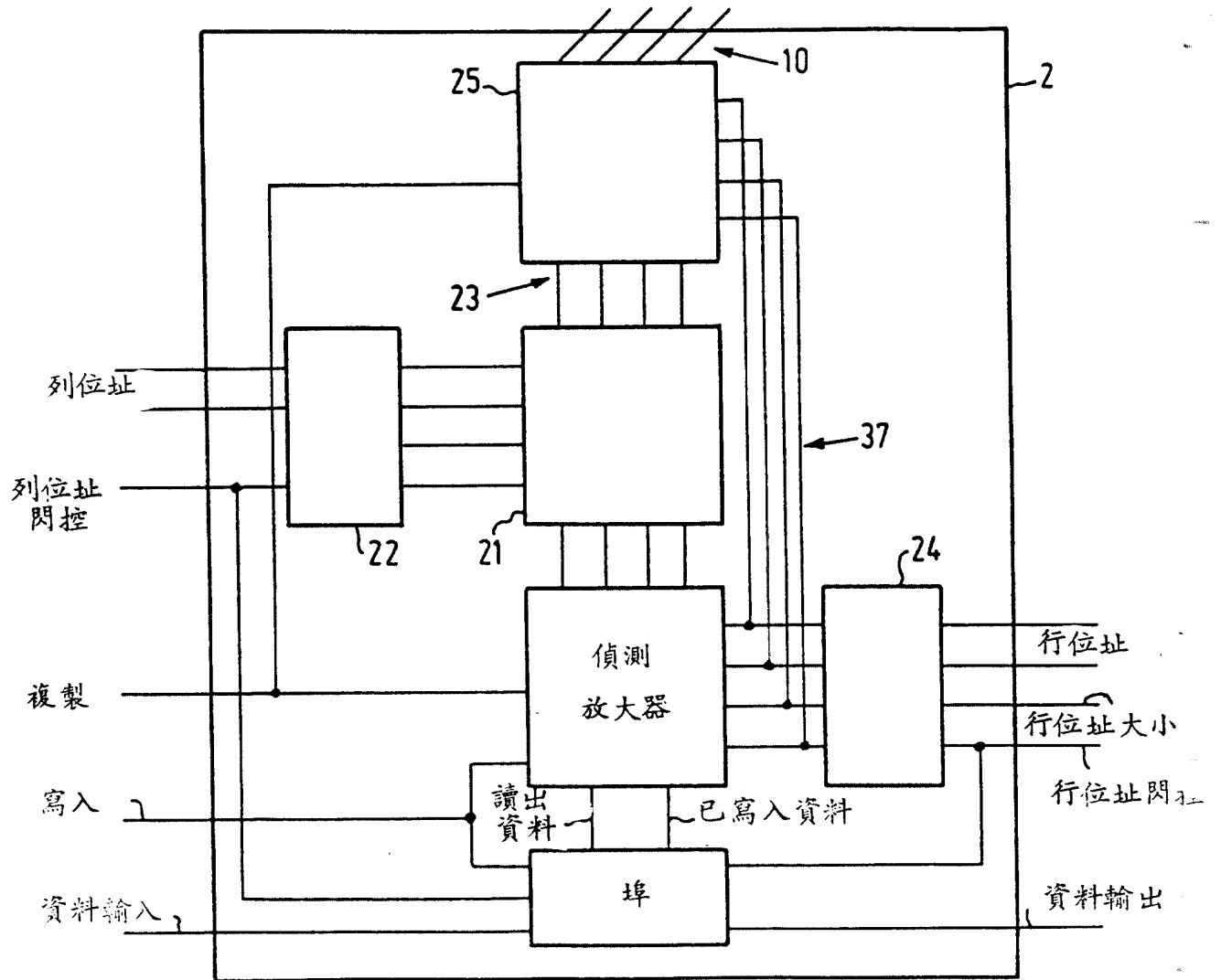
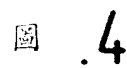
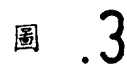


圖 2



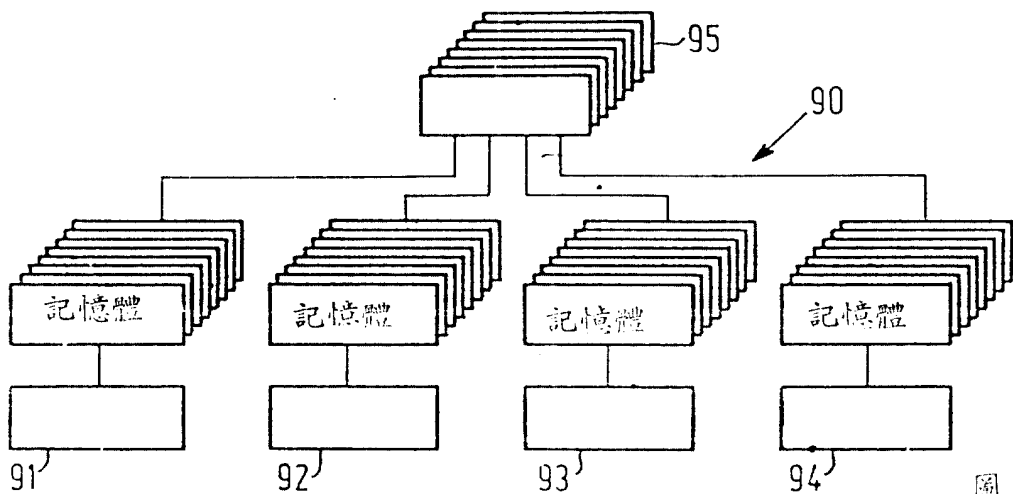
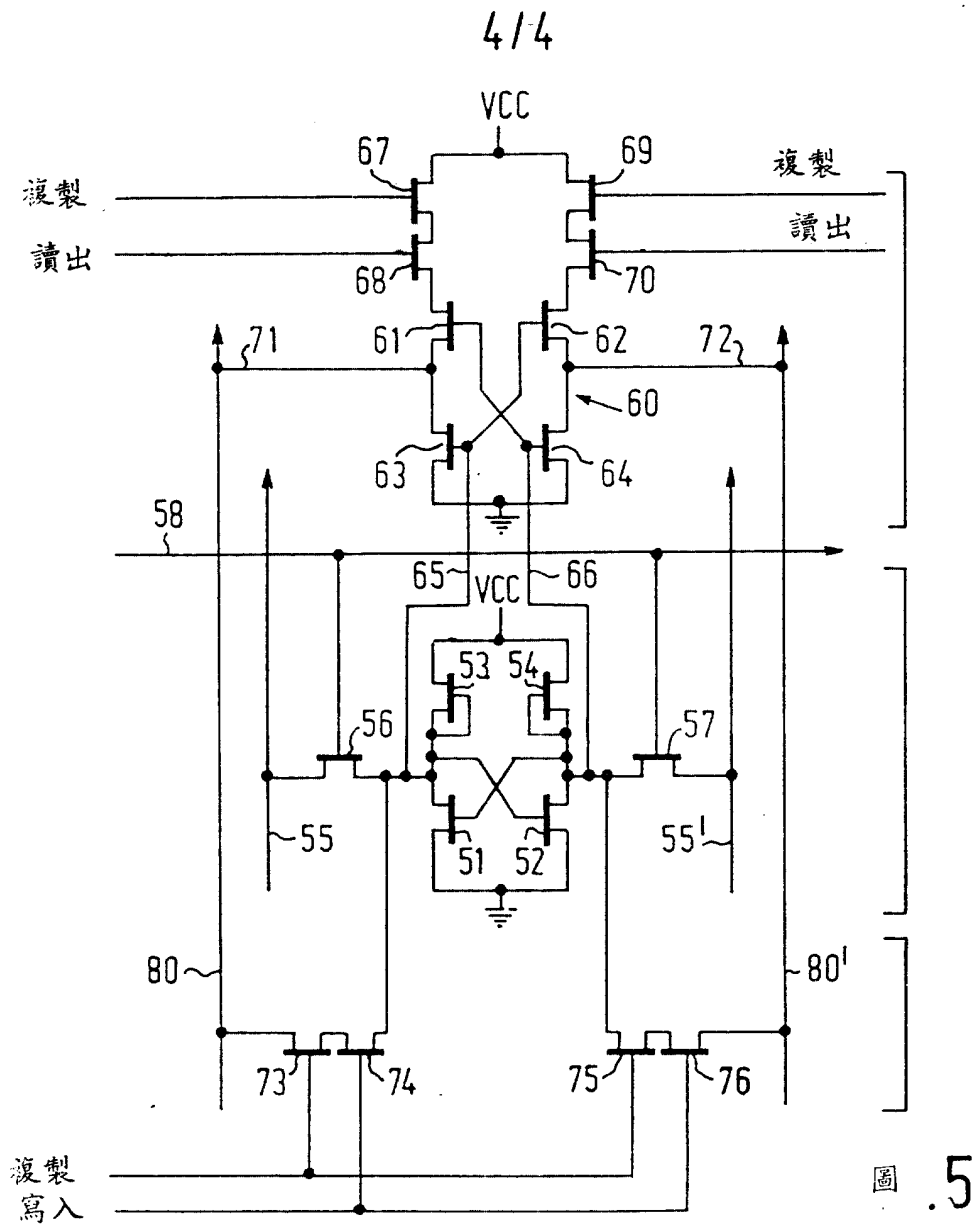


圖 .6