

公告本

91年6月21日 修正
補充

申請日期	89.12.22
案 號	89127643
類 別	H01L 2/12

A4
C4

506076

(以上各欄由本局填註)

發明新型專利說明書

一、發明 新型 名稱	中 文	具有埋入矽鋸層於其中之 CMOS 積體電路元件 與基板及形成其之方法
	英 文	CMOS Integrated Circuit Devices and Substrates Having Buried Silicon Germanium Layers Therein and Methods of Forming Same
二、發明 創作人	姓 名	(1)裴 金 鐘 (4)李 化 成 (2)崔 兌 喜 (5)李 來 實 (3)金 相 秀 (6)李 庚 旭 韓 國
	國 籍	(1)韓國 京畿道 水原市 勸善區 金谷洞 LG 別館 210 棟 301 號 (2)韓國 漢城市 麻浦區 延南洞 570-41 番地 (3)韓國 京畿道 金浦市 霞城面 後坪 1 里 72-2 番地 (4)韓國 漢城市 冠岳區 奉天 6 洞 1679-2 番地 (5)韓國 漢城市 銅雀區 上道 5 洞 56-85 番地 (6)韓國 京畿道 城南市 盆唐區 盆唐洞 66 番地 長安鎮 120 棟 804 號
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	韓國 京畿道 水原市 八達區 梅灘洞 416 番地
代表人 姓 名	尹 鍾 龍	

承辦人代碼：	
大類：	
I P C 分類：	

(由本局填寫)

A6

B6

本案已向：

韓國(地區)申請專利，申請日期：2000.1.7 案號：00-670 有 無主張優先權

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

有關微生物已寄存於：寄存日期：寄存號碼：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

[發明領域]

本發明係關於半導體元件及製造方法，且尤指一種 MOS 基(MOS-based)半導體元件與基板以及形成其之方法。

[發明背景]

部份空乏之絕緣體上矽(PDSOI, partially-depleted silicon-on-insulator)MOSFET 係能提供高速及低功率之性能，但典型上仍為易受到寄生浮動體效應(FBE, floating body effect)之影響，其將嚴重降低元件之性能。曾有許多不同的技術曾被建議，以降低 SOI MOSFETs 中的 FBE。其中一方法包括利用一窄帶間隙 SiGe 層於一 SOI NMOS 場效電晶體之附近。精於此技藝人士瞭解，使用 SiGe 層可降低自本體區至源極區通過之電洞之電位障壁。因此，由碰撞電離在本體區產生之電洞，可通過 p-Si(本體)/+SiGe (源極)/n+si(源極)路徑而迅速流至源極區。此與其他相關技術係揭示於，J.Sim 等人所著之”利用窄帶隙源極(NBS, narrow-bandgap-source)結構消除於超薄 SOI MOSFETs 之寄生雙極引生擊穿效應”，刊於 1995 年 8 月之 IEEE 電子雜誌，Vol.42,No.8,pp.1495-1502，及由 Yushimi 等人所著”利用 Si_xGe_x 源極結構之帶隙工程法以抑制 SOI MOSFETs 中之浮體效應”，刊於 1997 年 3 月，之 IEEE 電子雜誌，Vol.44No.3,pp.423-429。授與 Yoshimi 等人之美國專利號碼 5,698,869，”具有窄帶隙源極之絕緣閘極電晶體”，亦揭示使用窄帶隙材料於 MOSFET 之源極區。

降低 FBE 技術及改進 MOSFETs 之通道特性，亦揭示

五、發明說明(✓)

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

於授與 Liaw 等人之美專利號碼 5,891,769 標題為”製造具有外差磊晶層之半導體元件”，'769 專利特別揭示使用應變通道區以改進於 MOSFETs 中之障壁可動性。此應變通道區之形成係在生成態張弛或無應變之 SiGe 層上生長一矽層。授與 Chu 等人之美專利號碼 5,963,817“利用選擇性氧化在絕緣體上之本體及應變矽”，亦揭示使用 SiGe 層，其用較矽為快之速度氧化以改進 FBE。此外，授與 Chu 等人之美專利號碼 5,906,951 及 6,059,895 揭示晶圓接合技術及應變 SiGe 層以提供 SOI 基板。使用晶圓接合技術及 SiGe 層亦揭示於授與 Gaul 等人之美專利 5,218,213，及 5,240,876。製造 SOI 基板之傳統技術係亦由圖 1A-1D 及圖 2A-2D 說明。圖 1A 說明製造具有多孔矽層於其中以及外矽層於其上之處理基板，圖 1B 說明接合一支撐基板於外規層之表面。支撐基板可包括氧化層於其上，其係利用傳統技術直接接合在外矽層上。如圖 1C 說明，處理基板之一部份移除後，露出多孔矽層。移除步驟可由研磨及蝕刻掉部份處理基板或分裂該多孔矽層。如圖 1D 說明，可執行傳統之平面化技術，以移除多孔矽層並提供一具有磨光矽層於其上之 SOI 基板，並埋入氧化層於其中。如圖 1A-1D 所說明之傳統技術係通常稱為"epi-層轉移(ELTRAN, epi-layer transfer)"技術。圖 2A 說明利用植入氫離子於基板之表面以限定，一埋入之氫植入層於其中之矽層之處理基板之製造步驟。如圖 2B 說明，支撐基板接合至處基板上。處理基板之一部份於是沿氫植入層，分裂接合之基體而移除，如圖 2C

五、發明說明(7)

所說明。接著，實施傳統平面化技術，以移除氫植入層，如圖 2D 所說明。圖 2A-2D 說明之傳統技術係通常稱為”智慧切割(smart-cut)”技術。

不幸的是，雖然利用應變矽通道區可提高 NMOS 及 PMOS 元件中之障壁可動性，該種應變區係典型為可退化短通道元件性能。因此，儘管上述技術可製造 MOSFETs 及 SOI 基板，仍有需要構成此等結構之改進方法以及因而構成之結構，不需使用應變通道區以提高通道可動性。

[發明之概述]

本發明之實施例包括具有埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層於其中之絕緣層上半導體(SOI)基板。本發明實施例之 SOI 基板包含具有電絕緣層於其上，及具有漸變濃度之 Ge 延伸於電絕緣層之 $\text{Si}_{1-x}\text{Ge}_x$ 層之矽晶圓。在 SOI 基板中尚備有無應變之矽主動層。無應變矽主動層在 $\text{Si}_{1-x}\text{Ge}_x$ 層上延伸並構成一接面。無應變矽主動層係較佳為延伸至 SOI 基板之表面，俾積體電路元件可在矽主動層表面上形成。為方便使用相當薄之矽主動層， $\text{Si}_{1-x}\text{Ge}_x$ 層係較佳為自無應變矽主動層磊晶生長。此磊晶生長步驟包括提供一無應變矽主動層(或最初在基板上磊晶生長一矽主動層)，之後，以增加 Ge 濃度，繼續在主動層上生長 $\text{Si}_{1-x}\text{Ge}_x$ 層，直到獲得理想之 Ge 濃度。進一步之生長，可由漸變方式，降低 Ge 之濃度至 $x=0$ 而獲得。 $\text{Si}_{1-x}\text{Ge}_x$ 層中 Ge 之漸變可構成線性漸變。

較佳之 SOI 基板之製造，可首先構成一具有無應變矽層之處理基板，及一 $\text{Si}_{1-x}\text{Ge}_x$ 層延伸於矽層之上。一支撐基

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(4)

板於是接合至處理基板，俾使 $\text{Si}_{1-x}\text{Ge}_x$ 層可配置於支撐基板與無應變矽層之間。支撐機板之一部份於是自支撐基板移除，以露出矽層之表面，並在其中限定一具有埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層之絕緣體上半導體(SOI)基板。埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層較佳具有 Ge 之漸變濃度，其輪廓(profile)為自支撐基板延伸至矽層表面之方向降低。

此等方法包括最初形成一處理基板，其具有無應變第一矽層，一 $\text{Si}_{1-x}\text{Ge}_x$ 層在第一矽層上延伸，及一無應變或應變第二矽層延 $\text{Si}_{1-x}\text{Ge}_x$ 層上延伸。接合步驟可由以下步驟進行，熱氧化第二矽層，以在 $\text{Si}_{1-x}\text{Ge}_x$ 上限定一熱氧化層。支撐基板亦可包括一氧化表面層於其上，及接合步驟包含接合氧化表面層於熱氧化層上。或者，接合步驟亦可由以下步驟進行，即沉積一電絕緣層於 $\text{Si}_{1-x}\text{Ge}_x$ 層上，接合步驟亦可含接合氧化表面層於電絕緣層。

根據另一較佳構成 SOI 基板之方法，處理基板可含多孔矽層於其中，移除步驟可含以分裂多孔矽層，自支撐基板除去處理基板之一部份，之後，順序平面化多孔矽層及矽層。構成基板之較佳方法亦含磊晶生長 $\text{Si}_{1-x}\text{Ge}_x$ 層於一矽層上，之後植入氫離子於 $\text{Si}_{1-x}\text{Ge}_x$ 層及矽層，以限定一氫植入層於處理基板中。之後可實施移除步驟，即分裂氫植入層，之後，平面化氫植入層以露出矽層之表面。包括場效電晶體之半導體元件，可在矽層表面上構成。

本發明之另一實施例係包括絕緣體上半導體(SOI)場效電晶體。此電晶體可含電絕緣層，及一無應變矽主動層於

五、發明說明(5)

電絕緣層上。尚備有一絕緣閘極於無應變矽主動層之表面。 $Si_{1-x}Ge_x$ 層亦配置於電絕緣層與無印變矽主動層之間。 $Si_{1-x}Ge_x$ 層與無應變矽主動層，構成一第一接面，並具有 Ge 漸變濃度於其中，其在自峰位準向無應變矽主動層之表面延伸之第一方向單調降低。根據本實施例之一特性，峰值 Ge 濃度大於 $x=0.15$ ，在 $Si_{1-x}Ge_x$ 層中之 Ge 之濃度，自峰值轉換為第一接面之 $x=0.1$ 為小。第一接面之 Ge 之濃度可能為突變，較佳為 $Si_{1-x}Ge_x$ 層中之 Si 濃度自峰值位準變化，即自 $0.2 < x < 0.4$ 變化至第一接面 $x=0$ 位準。

$Si_{1-x}Ge_x$ 層亦可與下面之電氣絕緣層而限定一介面，在 $Si_{1-x}Ge_x$ 層中之 Ge 之漸變濃度係在與電絕緣層之介面處自小於 $x=0.1$ 增加至峰值。無應變矽主動層亦可具有一大於 600\AA (埃)之厚度， $Si_{1-x}Ge_x$ 層可具有一小於 800\AA 之厚度。

PMOS 電晶體之較高驅動電流能力，可將通道區及本體區中之摻雜劑輪廓重新組織而達成。特別是，在 Si 及 $Si_{1-x}Ge_x$ 中之摻雜劑不同溶解度，可用以為改進 PMOS 元件之特性。在較佳之 PMOS 電晶體中， $Si_{1-x}Ge_x$ 層以 N- 型摻雜劑摻雜， $Si_{1-x}Ge_x$ 層具有一輪廓(profile)，即在向無應變主動矽層表面之第一方向降低。此輪廓在 $Si_{1-x}Ge_x$ 層中有一峰值位準，亦可在第一方向以單調方式降低，俾一持續逆漸變(retrograded)N- 型摻雜劑輪廓跨於無應變矽主動層而延伸。此 N-型摻雜劑較佳用以抑制在本體區之穿通現象，但亦可用以影響 PMOS 電晶體之閾值(threshold)電壓。

其他之在絕緣體上半導體(SOI)場效電晶體亦可含一電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝訂

線

五、發明說明 (b)

絕緣層，及一在電絕緣層上之混合半導體主動區。此混合半導體主動區括一矽主動層，其厚度大於 600\AA ，及一單一 $\text{Si}_{1-x}\text{Ge}_x$ 層配置於電絕緣層與矽主動層之間。 $\text{Si}_{1-x}\text{Ge}_x$ 層與矽主動層構成第一接面，並有一漸變 Ge 濃度於其中，其在第一方向自峰值位準，向矽主動層之表面延伸而降低。一絕緣閘極亦備於表面上。在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 峰值位準較佳大於 $x=0.15$ ，在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度，自峰值變化至在第一接面之小於 $x=0.1$ 。在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度較佳為自第一接面之峰值， $0.2 < x < 0.4$ 變化至位準 $x=0$ 。 $\text{Si}_{1-x}\text{Ge}_x$ 層與電絕緣層亦限定一介面， $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 漸變濃度亦增加，自小於 $x=0.1$ 增加至在第一接面之峰值。

本發明之另一實施例包含一 PMOS 場效電晶體，其具有一混合(composite)半導體主動區於其中，在電絕緣層上延伸。此半導體主動區含單一 $\text{Si}_{1-x}\text{Ge}_x$ 層，其中之 Ge 漸變濃度在第一方向，自單一 $\text{Si}_{1-x}\text{Ge}_x$ 層之峰值位準延伸至其表面而降低。尚備有一無應變矽主動層，其自與單一 $\text{Si}_{1-x}\text{Ge}_x$ 層之第一接面，延伸至表面。混合半導體主動區具有一至少實質上為逆漸變之 N-型摻雜劑輪廓，其延伸至表面並有一峰值位準於單一 $\text{Si}_{1-x}\text{Ge}_x$ 層中。N-型摻雜劑提供之總電荷可影響 PMOS 電晶體之閾值電壓。單一 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 N-型摻雜劑亦可有效防止由源極區及汲極區間延伸之空乏層造成之穿通現象。較佳尚備有輕摻雜之 P-型源極及汲極區。此等區在矽主動層及與絕緣閘極相反延伸。尚備有一 N-型導電率之源極側包封摻雜劑區，在輕摻雜 P-型源極區與單

五、發明說明(7)

一 $\text{Si}_{1-x}\text{Ge}_x$ 層間延伸。此包封形摻雜劑區，與源極區及單一 $\text{Si}_{1-x}\text{Ge}_x$ 層分別形成整流及非整流接面，其操作可抑制接面之漏電。

絕緣體上半導體(SOI)場效電晶體之又一實施例係包含一大(bulk)矽區及一在大矽區之電絕緣層。具有第一厚度之無應變矽主動層，備於電絕緣層上，具有側壁絕緣隔片之絕緣閘極，在無應變矽主動層之表面上形成。第一導電率型之 $\text{Si}_{1-x}\text{Ge}_x$ 層配置於電絕緣層與無印變矽主動層之間。 $\text{Si}_{1-x}\text{Ge}_x$ 層與無應變矽主動層構成第一接面，並具有漸變之 Ge 濃度，其自峰值位準向表面延伸之第一方向降低。尚備有第二導電率型之輕摻雜之源極及汲極區。此等輕摻雜區係自在無應變矽主動層中延伸，但至小於無應變矽主動層之深度。此外，第一導電率型之源極側包封內植區備於無應變矽主動層，此源極側包封內植區在輕摻雜源極區與 $\text{Si}_{1-x}\text{Ge}_x$ 層間延伸。根據此實施例之較佳特性， $\text{Si}_{1-x}\text{Ge}_x$ 層有一與表面相關之逆漸變第一導電率型摻雜輪廓。此逆漸變第一導電率型摻雜輪廓，可能為逆漸變砷(或砷/磷)摻雜輪廓，並可導致在無應變矽主動層內之通道區，第一導電率型之摻雜劑之最大濃度相關之較高濃度之 $\text{Si}_{1-x}\text{Ge}_x$ 層。特別是，逆漸變摻雜劑輪廓在 $\text{Si}_{1-x}\text{Ge}_x$ 層中有一峰值，及在閘極下為最小。此逆漸變輪廓較佳自峰值位準降低至最小位準，但亦可達成其他逆漸變輪廓。無應變矽主動層之厚度及通道區中與 $\text{Si}_{1-x}\text{Ge}_x$ 下面之摻雜劑總量可予控制，以達成理想閾值及防止穿通效應。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明()

本發明實施例尚包括，在絕緣體上半導體(SOI)基板表面上構成一絕緣閘極以形成場效電晶體之方法。此基板包括一電絕緣層、一在電絕緣層上之無應變矽主動層、及一 $\text{Si}_{1-x}\text{Ge}_x$ 磊晶層，其具有 Ge 之漸變濃度，配置於電絕緣層與無應變矽主動層之間。尚需執行某步驟以在無應變矽主動層中，形成第一導電率型源極及汲極區，及形成第二導電率型源極側及汲極側包封植入區，其延伸於無應變矽主動層及於 $\text{Si}_{1-x}\text{Ge}_x$ 層。此等包封植入區與源極及汲極區形成分別之 P-N 接面。形成絕緣閘極之步驟最好由植入第一導電率型之閾值電壓控制摻雜劑，於無應變矽主動層之步驟實施。此等閾值電壓控制摻雜劑，因為 Si 及 $\text{Si}_{1-x}\text{Ge}_x$ 中之不同溶解度，在絕緣閘極形成後，在 $\text{Si}_{1-x}\text{Ge}_x$ 磊晶層及矽主動層中，建立閾值電壓控制摻雜劑之逆漸變輪廓，予以退火及重分佈。 $\text{Si}_{1-x}\text{Ge}_x$ 磊晶層中之摻雜劑亦可防止 PMOS 元件中之穿通現象並且降低 NMOS 元件之浮體效應。

本發明之基板及形成方法係可用以形成具有降低浮體效應(FBE)之 NMOS 電晶體。降低 FEB 之發生係由於埋入之 SiGe 層，其具有漸變之 Ge 濃度於其中，因而降低自本體區至源極區所通過之電洞之電位障壁。因此，由碰撞離子化在本體區所產生之電洞係可更為易於通過 p-Si(本體)/p-SiGe(本體)/n+SiGe(源極)/n+Si(源極)之路徑而流入源極區。亦可形成具有良好控制之扭結(kink)效應特性以及 I_d 對(V_g) V_d 曲線之 NMOS 電晶體，該曲線具有相對於 V_{ds} 之均勻分佈的次閾值斜率。本發明之基板及形成方法，亦可

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (9)

用以提供 PMOS 電晶體，其可具有良好之驅動能力，此係由於在通道區之較高轉換層載體行動力。此改進之驅動能力係達成，經由透過退火而使通道區摻雜劑重組，俾可同時達成相反之摻雜劑輪廓及理想閾值電壓。此種通道區摻雜劑之重組係亦可用以提高封包離子植入效率。此等 NMOS 及 PMOS 元件之閾值電壓轉出(roll-off)特性亦可顯示降低之短通道效應(RSCE, reduced short channel effect)，且於裝置中之抑制寄生雙極作用(PBA, parasitic bipolar action)係可用以降低洩漏(off-leakage)電流。

[圖式簡略說明]

本發明之上述目的及優點將可藉由詳述其較佳實施例並且參考隨附圖式而更為明顯，其中：

圖 1A-1D 係說明形成絕緣體上有半導體(SOI)基板之傳統方法的中間結構剖面圖。

圖 2A-2D 係說明形成 SOI 基板之傳統方法的中間結構剖面圖。

圖 3A-3E 係說明根據本發明一實施例之形成 SOI 基板之方法的中間結構剖面圖，該等 SOI 基板具有 SiGe 層於其內。

圖 4A-4E 係說明根據本發明一實施例之形成 SOI 基板之方法的中間結構剖面圖，該等 SOI 基板具有 SiGe 層於其內。

圖 5 係說明根據本發明一實施例之形成以 SOI 為基礎的場效電晶體之較佳方法的處理步驟流程圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

圖 6A-6E 係說明根據本發明一實施例之形成以 SOI 為基礎的 MOS 電晶體之方法的中間結構剖面圖。

圖 7A 係對於在退火前之傳統 SOI 基板的 N-型摻雜劑濃度對(vs.)基板深度之曲線圖。所說明之磷與砷摻雜劑係分別以 30KeV 及 200KeV 之能量而植入。

圖 7B 係對於在退火後之傳統 SOI 基板的 N-型摻雜劑濃度對(vs.)基板深度之曲線圖。預退火摻雜劑輪廓係如圖 7A 所示。

圖 7C 係對於具有 SiGe 層插入於其內之較佳 SOI 基板的 N-型摻雜劑濃度對(vs.)基板深度之曲線圖。所說明之磷與砷摻雜劑係分別以 30KeV 及 200KeV 之能量而植入。

圖 7D 係對於具有 SiGe 層插入於其內之較佳 SOI 基板其在退火後的 N-型摻雜劑濃度對(vs.)基板深度之曲線圖。預退火摻雜劑輪廓係如圖 7C 所示。

[元件符號說明]

- 10、10' 處理基板
- 12 多孔(porous)矽層
- 14 第一磊晶(epitaxial)矽層(Si-epi)
- 14a 第一磊晶矽層之主表面
- 14' 第一矽層
- 15 氢植入層
- 16、16' 矽鍶($\text{Si}_{1-x}\text{Ge}_x$)層
- 18、18' 第二磊晶矽層
- 20 支撐基板

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(1)

- 22 氧化物層
- 30 埋入氧化物層
- 32 下面(underlying)層
- 34 埋入矽鎵(Si_{1-x}Ge_x)層
- 36 無應變矽主動層
- 38、39 摻雜劑
- 40 聚矽層
- 42 熱氧化物層
- 44a 輕摻雜源極(LDS)區
- 44b 輕摻雜汲極(LDD)區
- 46 封包(pocket)植入區摻雜劑
- 48a-b 封包植入區
- 50a-b 高摻雜N型源極與汲極區
- 52 植入之BF₂離子

[較佳實施例之說明]

本發明將以參考顯示較佳實施例之附圖予以說明。然而，本發明亦可係以其他形式所實施，而係不應解釋為受限於所述實施例。反之，此等實施例係提供以可使本發明更為徹底及完整，且將可對精於此技藝人士而充分表達本發明之範疇。圖式中，層及區之厚度係稍作誇大以使更為明顯。亦應瞭解的是，當一層被稱為在其他層或基板之上(on)"時，其可係直接在其他層或基板之上，或亦可有插入層。此外，辭語"第一導電率型"及"第二導電率型"係指相反之導電率型，諸如N或P型，但所述及所示之各個實施

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (1)

例係包括其輔助實施例。全圖中之相同號碼係指相同元件。

現在參考圖 3A-3E，其中說明形成含 $\text{Si}_{1-x}\text{Ge}_x$ 層之絕緣體上半導體(SOI)基板之較佳方法。如圖 3A 說明，一方法括形成一具有多孔矽 12 層之處理基板 10 於其中，及第一磊晶矽層 14(Si-epi)於多孔矽層 12 上延伸。第一磊晶矽層 14 可有一厚度為 600\AA 。如圖 3B 說明， $\text{Si}_{1-x}\text{Ge}_x$ 層 16 於是在第一磊晶矽層 14 上形成。此 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 可有一厚度為 800\AA ，其可利用低壓力化學蒸氣沉積技術(LPCVD)形成，在溫度範圍 700°C 至 1300°C 。沉積步驟之實施，係將第一磊晶矽層 14 之表面曝露於含 GeH_4 及 SiH_2Cl_2 源氣體之混合氣中。特別是，沉積步驟係以改變原地之鎗源氣體(GeH_4)之相對濃度而實施。例如，鎗源氣體之流動速率最好為可變，俾 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 之 Ge 濃度，自與下面之第一磊晶層 14 之接面之值 $x=0.0$ 增加至 $0.2 < x < 0.4$ 。當達到最大濃度後，鎗源氣體之流速可漸漸降低，直到 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 中之 Ge 降為零。

參考圖 3B，第二磊晶矽層 18 於是，可繼續利用 SiH_2Cl_2 源氣體之沉積步驟，以溫度約 850°C 在 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 上沉積形成。此第二磊晶矽層 18 之形成係為可選用者。

參考圖 3C，支撐基板 20 於是接合於第二磊晶矽層 18。如圖所說明，接合步驟最好實施於支撐基板 20 上之氧化物層 22，與第二磊晶矽層 18 之磨光表面之間實施。氧化物層 22 之厚度為 $800-3000\text{\AA}$ 之間。於是，如圖 3D 所示，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (1)

處理基板 10 係被沿多孔矽層 12 分裂混合基板，以自混合基板將其除去。之後使用傳統技術，自混合基板將多孔矽層 12 之其餘部份除去。如圖 3E 說明，清除步驟可包含利用平面化或磨光技術將多孔矽層 12 除去，該層將第一磊晶矽層 14 之主表面 14a 曝露。如以下詳述，具有較佳電特性之主動元件(如 CMOS 元件)，可在第一”無應變(unstrained)”磊晶矽層 14 上形成。

圖 4A-4E 說明另一方法，以形成具有 $\text{Si}_{1-x}\text{Ge}_x$ 層之 SOI 基板。如圖 4A 所說明，方法包括形成一具有 $\text{Si}_{1-x}\text{Ge}_x$ 層 16' 之處理基板 10' 於其上，及第二磊晶矽層 18' 於 $\text{Si}_{1-x}\text{Ge}_x$ 層 16' 上。 $\text{Si}_{1-x}\text{Ge}_x$ 層 16' 可按圖 3B 所述形成。於是可實施敷層(blanket)植入步驟，如圖 4B 所說明。此植入步驟包括植入氫離子通過第二磊晶矽層 18'，並植入處理基板 10'，以限定氫植入層 15。氫離子係較佳以足夠之能量位準植入，以便在氫植入層 15 與 $\text{Si}_{1-x}\text{Ge}_x$ 層 16' 之間限定第一矽層 14'。氫離予以 1×10^{16} - $1 \times 10^{17} \text{ cm}^{-2}$ 之劑量位準，能量位準為約 150-400KeV 植入。參考圖 4C，一支撐基板 20 於是接合於第二磊晶矽層 18'。如圖所說明，接合步驟較佳係在位於支撐基板 20 上之氧化物層 22 與第二磊晶矽層 18' 之磨光表面間實施。如圖 4D 說明，處理基板 10' 自混合基板移除，其係沿氫植入層 15，以分裂混合基板而成。傳統技術亦可使用，以將氫植入層 15 之其餘部份自混合基板移除。

如圖 4E 說明，移除步驟可包含利用平面化或磨光技術將氫植入層 15 移除，以露出第一矽層 14'。根據本發明

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

另一實施例，圖 3C 之第二磊晶矽層 18 及圖 4C 之第二磊晶矽層 18' 在接合步驟實施前，可予以熱氧化。或者，在接合步驟之前，一電絕緣層可沉積在第二磊晶矽層 18 及 18' 之間，或者，如無第二磊晶矽層 18 及 18' 時，沉積在 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 與 16'。 $\text{Si}_{1-x}\text{Ge}_x$ 層 16 及 16' 之厚度係在此等層已部份熱氧化以備接合時可增加。第二磊晶矽層 18 及 18' 之厚度可設定在 200-400Å 之間。

或者， $\text{Si}_{1-x}\text{Ge}_x$ 層 16 及 16' 可形成爲具有 Ge 漸變濃度之層，其可達最大位準之 30%。此等層可在溫度在 700°C - 800°C 間之範圍，壓力約爲 20 托耳。源氣體可包括 $\text{GeH}_4(0-60\text{sccm})$ 、 $\text{DCS}(\text{SiH}_2\text{Cl}_2)(\text{於 } 200\text{sccm})$ 及 $\text{HCl}(\text{於 } 50-100\text{sccm})$ 。

參考圖 5，將說明 SOI 基板中形成場效電晶體(例如 MOSFETs)之較佳方法 100。如圖 3A-3E 及圖 4A-4E 所說明，此等方法包括形成具有無應變矽主動層及埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層於其中之 SOI 基板，於方塊 102。埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層係較佳自無應變矽主動層磊晶生長，而 Ge 之濃度自最初之 $x=0$ 位準增加至 $0.2 \leq x \leq 0.4$ 之峰值。因此，在埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度，有一輪廓，自峰值向無應變矽主動層(SOI 基板之上表面)伸展之第一方向降低。調整閾值電壓之摻雜劑於是植入基板，於方塊 104。用於 NMOS 及 PMOS 電晶體之“閾值電壓”摻雜劑，可利用各別 NMOS 及 PMOS 植入遮罩，分別植入基板。以 NMOS 電晶體言，閾值電壓摻雜劑包括 P-型摻雜劑，如硼(B)及銦(In)。以 PMOS 電晶體言，閾值電壓摻雜劑包括 N-型摻雜劑，如砷(As)及磷(P)。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明 (15)

植入閾值電壓摻雜劑步驟，可包括植入多種相同導電率型之不同摻雜劑。例如，在 PMOS 元件中，As 及 P 摻雜劑均可作為閾值電壓摻雜劑，以分別能量位準及劑量位準植入。此等多摻雜劑在矽及矽鎵中，可能有不同之溶解度，當實施隨後之熱退火步驟時，此不同溶解度，可有利的用以達成閾值電壓摻雜劑之較佳再分佈。此較佳再分佈可導致閾值電壓摻雜劑之逆漸變輪廓。摻雜劑之較佳再分佈可改進合成之電晶體之轉換層通道特性，因其可防止通道可動性，在閾值電壓摻雜劑介入電晶體之通道區時，發生之降低。此點對 PMOS 元件特別有利，該元件典型受到轉換層通道中相當低之電洞可動性之影響。矽主動層及下面之 $\text{Si}_{1-x}\text{Ge}_x$ 層之厚度可予設計，以改進閾值電壓摻雜劑較佳再分佈之程度，而同時證，總摻雜劑電荷可影響合成之閾值電壓。使用於 PMOS 元件中之影響閾值電壓之摻雜劑，亦可用以抑止穿通現象。

參考方塊 106，一絕緣閘極可利用傳統技術，在基板上形成。如方塊 108 所說明，此絕緣閘極，在輕摻雜源極(LDS)及輕摻雜汲極(LDD)摻雜劑，植入無應變矽主動層期間，作為遮罩(mask)。接著，可植入包封(pocket)區摻雜劑於無應變矽主動層及下面之 $\text{Si}_{1-x}\text{Ge}_x$ 層以形成包封植入區，於方塊 110。此等包封區摻雜劑較佳以足夠之劑量位準及能量位準植入，以導致構成包封植入區，其在 LDS 及 LDD 區及下面之 $\text{Si}_{1-x}\text{Ge}_x$ 層間延伸。如方塊 112 所說明，可用傳統技術，在閘極之側壁上形成限定一電絕緣隔片。高摻雜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 (16)

源極及汲極區摻雜劑，可利用閘極及側壁隔片為植入遮罩以植入及通過 LDS 及 LDD 區，於方塊 114。如方塊 116 說明，可實施一快速熱退火(RTA, rapid thermal annealing)步驟，以驅動源極及汲極區摻雜劑。在退火步驟期間，先前植入之摻雜劑可能擴散，並在矽主動層及下面之 $\text{Si}_{1-x}\text{Ge}_x$ 層中再分佈。

參考圖 6A-6E，形成 SOI 場效電晶體之較佳方法係包括形成一基板，其具有無應變矽主動層 36 於其上，及埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層於其中。如圖 6A 所示，無應變矽主動層 36 可有一厚度大於 600\AA ，埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 之厚度小於 800\AA 。較佳的是，無應變矽主動層 36 之厚度為在 $800\text{\AA}-1200\text{\AA}$ 之間，埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 之厚度在 $200\text{\AA}-600\text{\AA}$ 之間。更佳的是，無應變矽主動層 36 之厚度為 1000\AA ， $\text{Si}_{1-x}\text{Ge}_x$ 層 34 之厚度為 400\AA 。一相當薄之厚度為約 300\AA 的應變或無應變矽之下面層 32，可備於埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 及埋入之氧化物層 30 之間。該下面層 32 可予以省略。在矽主動層 36 及下面層 32 接面處，埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 中之 Ge 濃度可設定為 0。在埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 中之 Ge 濃度亦可設定為 0.2 與 0.4 之間的峰值位準，並可與峰值位準成線性漸變。埋入氧化物層 30 可提供在半導體基板或晶圓(未示出)。

參考圖 6B，閾值電壓控制摻雜劑 38 係接著植入於無應變矽主動層 36。在 NMOS 及 PMOS 元件均於矽主動層 36 內之相鄰位置形成時，可形成獨立之 NMOS 及 PMOS 植入遮罩(未示出)於無應變主動層 36 上。此等遮罩可在 N-型摻

五、發明說明 (17)

雜質被植入時，作為 PMOS 元件之閾值控制摻雜劑時使用，且在 P-型摻雜劑被植入時，作為 NMOS 元件之閾值電壓控制摻雜劑時使用。植入之摻雜劑 38，在形成 NMOS 元件時，可包括硼(B)及銻(In)，在形成 PMOS 元件時，可包括砷(As)及磷(P)。其他摻雜劑亦可使用。特別是，說明之植入步驟可包含二獨立植入步驟。第一，閾值電壓控制摻雜劑如 BF_2 離子，可在能量 30-60 KeV 範圍植入，劑量位準在 $8 \times 10^{11} \text{cm}^{-2}$ 與 $5 \times 10^{13} \text{cm}^{-2}$ ，及在傾斜角 0 度下實施。第二，閾值電壓控制摻雜劑，如銻離子可用較高能量位準約在 150-250KeV 之間，及劑量位準約在 $8 \times 10^{11} \text{cm}^{-2}$ 及 $5 \times 10^{13} \text{cm}^{-2}$ 之間植入。當形成 PMOS 元件時，說明之形成步驟可包含，以足夠之劑量及能量位準分別植入砷及磷離子，以便在矽主動層 36 及 $\text{Si}_{1-x}\text{Ge}_x$ 層 34 中之通道區及本體區，達成逆漸變輪廓。特別是，第一植入步驟可包含，以能量位準在 20-40KeV 間之範圍，及劑量範圍在 $8 \times 10^{11} \text{cm}^{-2}$ 及 $5 \times 10^{13} \text{cm}^{-2}$ 之間，及在傾斜角 7 度下植入磷離子。砷離子可以較高能量在 150-250KeV， $8 \times 10^{11} \text{cm}^{-2}$ 及 $5 \times 10^{13} \text{cm}^{-2}$ 之間植入。砷離子可影響閾值電壓，但對元件特性有一較強之影響，即抑止 PMOS 元件之本體區之穿通現象(punch-through)。

參考圖 6C，於是可用傳統技術，在矽主動層 36 之主表面上限定一絕緣閘極。此傳統技術包括在主表面形成熱氧化層 42，及在沉積一摻雜或未摻雜多矽層 40 於熱氧化層 42 上。之後用傳統技術使多矽層及熱氧化層，圖案形成一具有曝露側壁之絕緣閘極。形成絕緣閘極之技術已詳述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

於：共同授給 Park 之美專利號碼 6,6064,092，標題為”含電絕緣台面之絕緣體上半導體基板”;授與 Kim 之 5,998,840，標題為”具有降低之浮動體寄生之絕緣體上半導體晶體”;及授與 Yu 等人之 5,877,046，標題為”形成絕緣體上半導體基板之方法”。此等專利係以參考方式併入本文。第一源極區及汲極區摻雜劑 39 於是可植入於矽主動層 36，以限定輕摻雜源極(LDS) 區 44a 及輕摻雜汲極(LDD)區 44b。如圖所說明，此等摻雜劑可利用絕緣閘極作為植入遮罩，以自行對齊方式植入。以 PMOS 而言，硼摻雜劑(BF_2 離子)可以能量位準 3-30KeV 之間，劑量位準在 $1 \times 10^{12} \text{cm}^{-2}$ 及 $1 \times 10^{16} \text{cm}^{-2}$ 之間植入。以 NMOS 元件言，砷摻雜劑可在能量位準 20-25KeV 之間，劑量位準可在 $1 \times 10^{12} \text{cm}^{-2}$ 及 $1 \times 10^{16} \text{cm}^{-2}$ 之間植入。一相當短期間之退火步驟係接著可實施，以在側向及垂直向擴散 LDD 及 LDS 摻雜劑。在 LDS 及 LDD 形成時，其他摻雜劑亦可使用。

參考圖 6D,包封植入區摻雜劑 46，此時可係以傾斜角介於 7-35 度之間的一範圍而植入，以限定 P-型包封植入區 48a-b 於 NMOS 元件內，或限定 N-型包封植入 48a-b 於 PMOS 元件中。此植入步驟較佳以足夠之能量劑量，以穿過 LDD 及 LDS 區 44a 及 44b 之下，以進入埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層 34。N-型包封植入區 48a-b 可在能量位準 100-300KeV，及劑量位準 $1 \times 10^{12} \text{cm}^{-2}$ 及 $1 \times 10^{15} \text{cm}^{-2}$ 之下植入砷離子。P-型包封植入區 48a 及 48b，可在能量 20-60KeV 之間，劑量在 $1 \times 10^{12} \text{cm}^{-2}$ 及 $1 \times 10^{16} \text{cm}^{-2}$ 的範圍之間而植入硼離子。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

高摻雜之 N-型源極及汲極區 50a 及 50b 於是可植入砷離子 52 植入，其能量 20-60KeV 之間，劑量係在 $5 \times 10^{14} \text{cm}^{-2}$ 及 $1 \times 10^{17} \text{cm}^{-2}$ 之間的範圍。以 PMOS 元件言，高摻雜 P-型源極及汲極區 50a 及 50b 可植入 BF_2 而形成，能量在 25-40KeV 之間，劑量在 $1 \times 10^{14} \text{cm}^{-2}$ 及 $5 \times 10^{16} \text{cm}^{-2}$ 之間的範圍。之後可利用快速熱退火技術，將基板退火以實施驅入 (drive-in) 及啓動 (activation) 步驟。實施退火之溫度在 900°C 及 1050°C 之間，時間在 10-200 秒之間。

參考圖 7A- 7D，其中將說明於傳統 SOI 基板以及具有 SiGe 層插入其中之 SOI 基板，N-摻雜劑退火前及退火後的輪廓。尤其是，圖 7A 說明在具有埋入氧化層 (BOX, buried oxide layer) 延伸於矽主動層 (頂部 Si) 與矽晶圓 (未示出) 間之傳統 SOI 基板中磷 (P) 及砷 (As) 之摻雜輪廓。說明之磷及砷摻雜劑係在能量 30KeV 及 200KeV 之下分別植入。如圖 7B 說明，在實施 1000°C 及 30 秒時間之快速熱退火 (RTA) 之後，原有之高斯 (gaussian) 形的摻雜輪廓向外擴展，並發生均勻之輪廓。反之，圖 7C 及 7D 所示之逆漸變 (retrograded) 砷輪廓，可在具有埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層之根據本發明方法形成之 SOI 基板中達成。逆漸變輪廓之達成，部份係以足夠濃度之 Ge 摻雜埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層，以增加 $\text{Si}_{1-x}\text{Ge}_x$ 層中之砷之摻雜劑，與矽主動層相對之溶解度。圖 7C 說明預退火磷及砷輪廓 (磷及砷在能量 30KeV 及 200KeV 下分別植入)，圖 7D 說明退火後輪廓。如圖 7B 所示，快速熱退火步驟係在溫度 1000°C 下實施約 30 秒。如圖 7D 所示，砷輪廓係自埋

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (✓)

入之 $\text{Si}_{1-x}\text{Ge}_x$ 層之峰值濃度位準 $1 \times 10^{19} \text{cm}^{-3}$ 而單調地降至基板表面之最小位準 $1 \times 10^{17} \text{cm}^{-3}$ 。視矽主動層中之磷摻雜劑輪廓及濃度而定，P 及 AS 摻雜劑之組合輪廓可亦為逆漸變而跨於矽主動層。

在圖式及說明書中，已揭示本發明之典型較佳實施例，雖然係利用特定名詞，其僅係一般性及說明性質而非限制目的，本發明之範疇係界定於隨附之申請專利範圍中。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要（發明之名稱：

)

具有埋入矽鍺層於其中之 CMOS 積體路元件與基板及
形成其之方法

CMOS 積體電路元件，包括一電氣絕緣層及在電氣絕緣層上之一無應變矽主動層。一絕緣閘極係亦設於無應變矽主動層之表面上。一 $\text{Si}_{1-x}\text{Ge}_x$ 層係亦配置於電氣絕緣層與無應變矽主動層之間。 $\text{Si}_{1-x}\text{Ge}_x$ 層係形成與無應變矽主動層之第一接面，並具有一漸變濃度之 Ge 於其中，以自峰值位準朝向無應變矽主動層表面延伸之第一方向而單調降低。峰值 Ge 濃度位準係大於 $x=0.15$ ，在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度係自峰值變化至在第一接面處之小於約 $x=0.1$ 。在第一接面處之 Ge 濃度係可為不連貫。較佳而言，在 $\text{Si}_{1-x}\text{Ge}_x$ 層

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：

)

**CMOS INTEGRATED CIRCUIT DEVICES AND SUBSTRATES HAVING
BURIED SILICON GERMANIUM LAYERS THEREIN AND
METHODS OF FORMING SAME**

CMOS integrated circuit devices include an electrically insulating layer and an unstrained silicon active layer on the electrically insulating layer. An insulated gate electrode is also provided on a surface of the unstrained silicon active layer. A $\text{Si}_{1-x}\text{Ge}_x$ layer is also disposed between the electrically insulating layer and the unstrained silicon active layer. The $\text{Si}_{1-x}\text{Ge}_x$ layer forms a first junction with the unstrained silicon active layer and has a graded concentration of Ge therein that decreases monotonically in a first direction extending from a peak level towards the surface of the unstrained silicon active layer. The peak Ge concentration level is greater than $x=0.15$ and the concentration of Ge in the $\text{Si}_{1-x}\text{Ge}_x$ layer varies from the peak level to a level less than about $x=0.1$ at the first junction. The concentration of Ge at the first junction may be abrupt. More preferably, the concentration of Ge in the $\text{Si}_{1-x}\text{Ge}_x$ layer varies from the

四、中文發明摘要（發明之名稱：

)

中之 Ge 濃度係自峰值位準 $0.2 < x < 0.4$ 而變化為在第一接面處之 $x=0$ 。 $\text{Si}_{1-x}\text{Ge}_x$ 層亦具有關於表面之逆漸變的砷摻雜輪廓。此逆漸變輪廓係可造成於該 $\text{Si}_{1-x}\text{Ge}_x$ 層中具有較高之第一導電率型之摻雜劑濃度，相對於無應變矽主動層中之通道區之第一導電率型摻雜劑濃度。於通道區以及 $\text{Si}_{1-x}\text{Ge}_x$ 層下面之摻雜劑的總厚度係亦可予以謹慎控制，以達到所期望之閾值電壓。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要（發明之名稱：

)

peak level where $0.2 < x < 0.4$ to a level where $x=0$ at the first junction. The $\text{Si}_{1-x}\text{Ge}_x$ layer also has a retrograded arsenic doping profile therein relative to the surface. This retrograded profile may result in the $\text{Si}_{1-x}\text{Ge}_x$ layer having a greater concentration of first conductivity type dopants therein relative to the concentration of first conductivity type dopants in a channel region within the unstrained silicon active layer. The total amount of dopants in the channel region and underlying $\text{Si}_{1-x}\text{Ge}_x$ layer can also be carefully controlled to achieve a desired threshold voltage.

91年6月21日 修正

補充

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種絕緣體上半導體(SOI)之場效電晶體，包含：
 一電氣絕緣層；
 一無應變矽主動層，於該電氣絕緣層上；
 一絕緣閘極，於該無應變矽主動層之表面上；及
 一 $\text{Si}_{1-x}\text{Ge}_x$ 層，配置在電氣絕緣層及無應變矽主動層之間，該 $\text{Si}_{1-x}\text{Ge}_x$ 層形成與無應變矽主動層之第一接面，並具有漸變濃度之 Ge 於其中，該濃度係以自峰值伸展至表面之第一方向而單調降低。
2. 如申請專利範圍第 1 項之電晶體，其中該峰值係大於 $x=0.15$ ；且其中在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度係自峰值變化至在第一接面之低於約 $x=0.1$ 的值。
3. 如申請專利範圍第 2 項之電晶體，其中在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度係自峰值 $0.2 < x < 0.4$ 變化至在第一接面之 $x=0$ 的值。
4. 如申請專利範圍第 3 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層限定與電絕緣層之一介面；該 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 之漸變濃度亦自在介面之約小於 $x=0.1$ 之值而增加至峰值。
5. 如申請專利範圍第 1 項之電晶體，其中該無應變矽主動層之厚度為大於約 600\AA 。
6. 如申請專利範圍第 5 項之電晶體，該 $\text{Si}_{1-x}\text{Ge}_x$ 層之厚度為小於約 800\AA 。
7. 如申請專利範圍第 1 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層係以 N-型摻雜劑所摻雜；在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 N-型摻雜劑的濃度係具有輪廓為在第一方向降低。

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

8.一種在絕緣體上半導體(SOI)之場效電晶體，包含：

一電氣絕緣層；

一在電氣絕緣層上之混合半導體主動區，該混合半導體主動區包含具有厚度大於約 600\AA 之一無應變矽主動層、以及配置在電氣絕緣層與矽主動層之間的單一 $\text{Si}_{1-x}\text{Ge}_x$ 層，該 $\text{Si}_{1-x}\text{Ge}_x$ 層係形成與矽主動層之一第一接面，並具有漸變濃度之 Ge 於其中，其以自峰值朝向矽主動層之表面延伸之第一方向而單調降低；及

一在該表面上之絕緣閘極。

9.如申請專利範圍第 8 項之電晶體，其中之峰值係大於約 $x=0.15$ ；且其中在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度係自峰值位準變化至在第一接面之約小於 $x=0.1$ 之值。

10.如申請專利範第 9 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 濃度係自峰值之 $0.2 < x < 0.4$ 變化至在第一接面之 $x=0$ 之值。

11.如申請專利範圍第 10 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層係限定與電氣絕緣層之一介面；其中在 $\text{Si}_{1-x}\text{Ge}_x$ 層中之 Ge 之漸變濃度亦自在介面之小於約 $x=0.1$ 之值而增加至峰值位準。

12.如申請專利範圍第 8 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層具有厚度為小於約 800\AA 。

13.一種 PMOS 場效電晶體，包含：

一在電氣絕緣層上之混合半導體主動區，該混合半導體主動區包含一單一 $\text{Si}_{1-x}\text{Ge}_x$ 層及一矽主動層，該單一 $\text{Si}_{1-x}\text{Ge}_x$

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

$\text{Si}_{1-x}\text{Ge}_x$ 層具有漸變濃度之 Ge，該濃度以於 $\text{Si}_{1-x}\text{Ge}_x$ 層之峰值朝向其表面延伸之第一方向而單調降低，該矽主動層係自與 $\text{Si}_{1-x}\text{Ge}_x$ 層之第一接面而延伸至該表面，該混合半導體主動區具有一逆漸變 N-型摻雜劑輪廓於其中，具有接近表面處之最小位準以及在單一 $\text{Si}_{1-x}\text{Ge}_x$ 層中之峰值；及
 一在該表面上之絕緣閘極。

14.如申請專利範圍第 13 項之電晶體，其中該矽主動層具有厚度為大於約 600\AA ，並具有鄰近表面之一無應變區於其中。

15.如申請專利範圍第 14 項之電晶體，尚包含：
 輕摻雜 P-型源極及汲極區，其延伸於矽主動層且相對於絕緣閘極；及

N-型導電率之源極側包封植入區，其在輕摻雜 P-型源極區及單一 $\text{Si}_{1-x}\text{Ge}_x$ 層之間延伸，並與其分別形成整流及非整流接面。

16.一種增強型場效電晶體，包含：
 一電氣絕緣層；
 一在電氣絕緣層上之矽主動層；
 一在矽主動層表面上之絕緣閘極；
 一 $\text{Si}_{1-x}\text{Ge}_x$ 磷晶層，配置在電氣絕緣層與矽主動層之間，該 $\text{Si}_{1-x}\text{Ge}_x$ 磷晶層係形成與矽主動層之一第一接面；
 在該矽主動層中之第一導電率型之輕摻雜之源極及汲極區；

第二導電率型之源極側包封植入區，其在輕摻雜源極

六、申請專利範圍

區與該 $\text{Si}_{1-x}\text{Ge}_x$ 磷晶層之間延伸，並與其形成整流及非整流接面。

17.如申請專利範圍第 16 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層具有一漸變濃度之 Ge，其在自電氣絕緣層至絕緣閘極之一方向而降低。

18.如申請專利範圍第 17 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 磷晶層具有一逆漸變 N-型摻雜劑輪廓於其中。

19.如申請專力範圍第 18 項之電晶體，其中該矽主動層具有厚度為大於約 600\AA 。

20.一種形成半導體基板之方法，包含以下步驟：

構成一處理基板，其具有於其中之一矽層、以及在矽層上延伸之一 $\text{Si}_{1-x}\text{Ge}_x$ 層；

將一支撐基板接合至處理基板，俾 $\text{Si}_{1-x}\text{Ge}_x$ 層係可配置於支撐基板與矽層之間；及

自支撐基板將處理基板之一部份移出，以曝露矽層及限定一具有埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層於其之絕緣體上半導體(SOI)基板。

21.如申請專利範圍第 20 項之方法，其中該埋入 $\text{Si}_{1-x}\text{Ge}_x$ 層具有一漸變濃度之 Ge，該濃度係自支撐基板至矽層之一方向而降低，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層為無應變矽層。

22.如申請專利範圍第 20 項之方法，其中該形成處理基板之步驟包含，形成一處理基板，其具有於其中之一第一矽層、於第一矽層上延伸之一 $\text{Si}_{1-x}\text{Ge}_x$ 層、以及在 $\text{Si}_{1-x}\text{Ge}_x$ 層上延伸之第二矽層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

23.如申請專利範圍第 22 項之方法，其中在該接合步驟進行前之步驟為，熱氧化第二矽層以限定一熱氧化層；其中該支撐基板包含一氧化物表面層於其上；且其中該接合步驟包含接合該氧化表面層至熱氧化層。

24.如申請專利範圍第 20 項之方法，其中在該接合步驟進行前之步驟為，沉積一電氣絕緣層於 $Si_{1-x}Ge_x$ 層上；其中該支撐基板包含一氧化物表面層於其上；且其中該接合步驟包含接合該氧化物表面層至該電氣絕緣層。

25.如申請專利範圍第 20 項之方法，其中該支撐基板包含一多孔矽層於其中；且其中該移出步驟包含將處理基板之一部份以分裂多孔矽層方式而自支撐基板所移出。

26.如申請專利範圍第 25 項之方法，其中該移出步驟包含依序平面化該矽多孔層及矽層。

27.如申請專利範圍第 20 項之方法，其中該處理基板包含一多孔矽層於其中；且其中該移出步驟包含依序平面化該多孔矽層及矽層。

28.如申請專利範圍第 20 項之方法，其中該形成處理基板之步驟包含以下步驟：

磊晶生長一 $Si_{1-x}Ge_x$ 層在矽層上；及

植入氫離子通過 $Si_{1-x}Ge_x$ 層及矽層，以限定一氫植入層於處理基板中。

29.如申請專利範圍第 28 項之方法，其中該移出步驟包含分裂該氫植入層。

30.如申請專利範圍第 29 項之方法，其中該移出步驟

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

包含平面化該氫植入層。

31.如申請專利範圍第 21 項之方法，其中該形成處理基板之步驟包含以下步驟：

磊晶生長一 $\text{Si}_{1-x}\text{Ge}_x$ 層在該矽層上；及
植入氫離子通過 $\text{Si}_{1-x}\text{Ge}_x$ 層及矽層，以限定一氫植入層於處理基板中。

32.如申請專利範圍第 31 項之方法，其中該移出步驟包含分裂該氫植入層。

33.如申請專利範圍第 32 項之方法，其中該移除步驟包含平面化該氫植入層。

34.一種形成半導體基板之方法，包含以下步驟：
形成一處理基板，其具有於其中之一無應變矽層、以及一磊晶 $\text{Si}_{1-x}\text{Ge}_x$ 層，該磊晶 $\text{Si}_{1-x}\text{Ge}_x$ 層具有漸變濃度之 Ge 並延伸在無應變矽層上；

接合一支撐基板至該處理基板，以使 $\text{Si}_{1-x}\text{Ge}_x$ 層係配置於支撐基板與無應變矽層之間；及

自該支撐基板移出該處理基板之一部份，以曝露出該無應變矽層，並限定具有一埋入之 $\text{Si}_{1-x}\text{Ge}_x$ 層於其中之絕緣體上半導體(SOI)基板。

35.如申請專利範圍第 34 項之方法，該形成步驟包含形成一處理基板，其具有厚度大於約 600\AA 之一無應變矽層於其中。

36.如申請專利範圍第 35 項之方法，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層具有厚度為小於約 800\AA 。

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

37.一種絕緣體上半導體(SOI)之基板，包含：

一矽晶圓，其上具有一電氣絕緣層；

一 $\text{Si}_{1-x}\text{Ge}_x$ 層，其中具有漸變濃度之 Ge，延伸在電氣絕緣層上；及

一無應變矽主動層，延伸於 $\text{Si}_{1-x}\text{Ge}_x$ 層上並形成與 $\text{Si}_{1-x}\text{Ge}_x$ 層之一未整流接面，且延伸至該絕緣體上半導體(SOI)基板之表面。

38.如申請專利範圍第 37 項之基板，其中該 $\text{Si}_{1-x}\text{Ge}_x$ 層為自該無應變矽層而磊晶生長。

39.如申請專利範圍第 38 項之基板，其中該無應變矽層具有厚度為大於約 600\AA 。

40.一種形成場效電晶體之方法，包含下列步驟：

形成一絕緣閘極在一絕緣體上半導體(SOI)基板之表面上，該基板包含一電氣絕緣層、一於電氣絕緣層上之無應變矽主動層、及一具有漸變濃度之 Ge 於其中之 $\text{Si}_{1-x}\text{Ge}_x$ 磊晶層，其係配置於電氣絕緣層與無應變矽主動層之間；

形成第一導電率型之源極及汲極區在該無應變矽主動層中；及

形成第二導電率型之源極極側及汲極側之包封植入區，其延伸在該無應變矽主動層及 $\text{Si}_{1-x}\text{Ge}_x$ 磊晶層，並形成與源極及汲極區之各別的 P-N 接面。

41.如申請專利範圍第 40 項之方法，其中該無應變矽主動層具有厚度為大於約 600\AA 。

42.如申請專利範圍第 40 項之方法，其中在形成絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

閘極之該步驟進行前的步驟為，植入第一導電率型之閾值電壓控制摻雜劑於該無應變矽主動層；其中在形成絕緣閘極之該步驟後的步驟為，將該絕緣體上半導體(SOI)基板退火，以在 $\text{Si}_{1-x}\text{Ge}_x$ 磚晶層中建立閾值電壓控制摻雜劑之逆漸變輪廓。

43.如申請專利範圍第 42 項之方法，其中在形成源極側及汲極側包封植入區步驟後的步驟為，形成側壁絕緣隔片在該絕緣閘極上；且其中之形成源極及汲極區之該步驟包含以下步驟：

利用絕緣閘極作為植入遮罩，將第一導電率型之第一源極及汲極區摻雜劑植入於該無應變矽主動層；及

利用絕緣閘極及側壁絕緣隔片作為植入遮罩，將第一導電率型之第二源極及汲極區摻雜劑植入於該無應變矽主動層。

44.一種絕緣體上半導體(SOI)場效電晶體，包含：

一大矽區；

一在大矽區上之電氣絕緣層；

一無應變矽主動層，其具有在電氣絕緣層上之第一厚度；

一絕緣電極，於該無應變矽主動層之表面上；

側壁絕緣隔片，於該絕緣閘極上；

一第一導電率型之 $\text{Si}_{1-x}\text{Ge}_x$ 層，配置於電氣絕緣層與無應變矽主動層之間，該 $\text{Si}_{1-x}\text{Ge}_x$ 層係形成與無應變矽主動層之第一接面，並具有一漸變濃度之 Ge 於其中，該濃度係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

以自峰值位準延伸至該表面之第一方向而單調降低；

第二導電率型之輕摻雜源極及汲極區，延伸在該無應變矽主動層並具有較第一厚度為小之一厚度；及

第一導電率型之源極側包封植入區，於該無應變矽主動層中，該源極側包封植入區係延伸在輕摻雜源極區及 $Si_{1-x}Ge_x$ 層之間。

45.如申請專利範圍第 44 項之電晶體，其中該 $Si_{1-x}Ge_x$ 層具有關於表面之一逆漸變的第一導電率型摻雜輪廓。

46.如申請專利範圍第 45 項之電晶體，其中 $Si_{1-x}Ge_x$ 層具有關於表面之一逆漸變的砷摻雜輪廓。

47.如申請專利範圍第 45 項之電晶體，尚包含在無應變矽主動層中之第一導電率型之一通道區；且其中該 $Si_{1-x}Ge_x$ 層中之第一導電率型摻雜劑之峰值濃度係大於該通道區之第一導電率型摻雜劑之峰值濃度。

48.如申請專利範圍第 46 項之電晶體，尚包含在無應變矽主動層中之第一導電率型之一通道區；且其中該 $Si_{1-x}Ge_x$ 層中之第一導電率型摻雜劑之峰值濃度係大於該通道區中之第一導電率型摻雜劑之峰值濃度。

49.如申請專利範圍第 48 項之電晶體，其中該無應變矽主動層具有厚度為大於約 600Å 。

50.如申請專利範圍第 45 項之電晶體，其中該無應變矽主動層具有厚度為大於約 600Å 。

51.一種場效電晶體，包含：

一電氣絕緣層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一在該電氣絕緣層上之第一導電率型之矽主動層；
 一在該矽主動層表面上之絕緣閘極；
 在該矽主動層中之第二導電率型之源極區及汲極區；
 第二導電率型之輕摻雜源極區及汲極區，延伸於源極區與汲極區之間，並限定在絕緣閘極下之一通道區；及
 一 $\text{Si}_{1-x}\text{Ge}_x$ 磓晶層，配置於輕摻雜源極及汲極區及該電氣絕緣層之間。

52.如申請專利範圍第 51 項之電晶體，其中該輕摻雜源極及汲極區係並未與 $\text{Si}_{1-x}\text{Ge}_x$ 磰晶層接觸；且其中該源極區及汲極區係與 $\text{Si}_{1-x}\text{Ge}_x$ 磰晶層接觸。

53.如申請專利範圍第 51 項之電晶體，尚包含一矽
 矽層，其係配置於 $\text{Si}_{1-x}\text{Ge}_x$ 磰晶層與電氣絕緣層之間。

54.如申請專利範圍第 51 項之電晶體，其中該 $\text{Si}_{1-x}\text{Ge}_x$
 磰晶層及矽主動層之總厚度為小於約 1500\AA 。

55.一種形成場效電晶體之方法，包含下列步驟：

形成一電氣絕緣層；

形成第一導電率型之矽主動層在該電氣絕緣層上；

形成一絕緣閘極在該矽主動層表面上；

形成第二導電率型之源極區及汲極區在該矽主動層中

；

形成第二導電率型之輕摻雜源極區及汲極區，延伸在
 源極區及汲極區之間，並限定在絕緣閘極下面之一通道區
 ；及

形成一 $\text{Si}_{1-x}\text{Ge}_x$ 磰晶層，配置於該輕摻雜源極區及汲極

六、申請專利範圍

區與電氣絕緣層之間。

56.如申請專利範圍第 55 項之方法，其中該輕摻雜之源極及汲極區係並未與 $Si_{1-x}Ge_x$ 磚晶層接觸；且其中該源極區及汲極區係與 $Si_{1-x}Ge_x$ 磚晶層接觸。

57.如申請專利範圍第 55 項之方法，尚包含形成一矽晶矽層之步驟，該矽晶矽層係配置於 $Si_{1-x}Ge_x$ 磚晶層與電氣絕緣層之間。

58.如申請專利範圍第 55 項之方法，其中該 $Si_{1-x}Ge_x$ 層與矽主動層之總厚度為小於約 1500Å 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

89127643

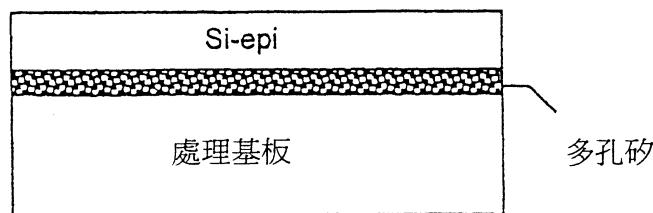


圖 1A

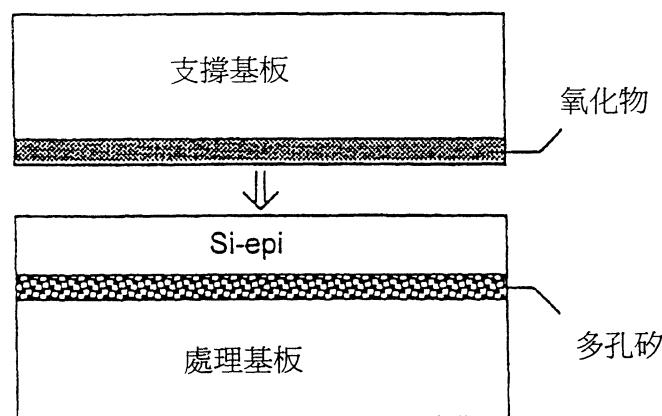


圖 1B

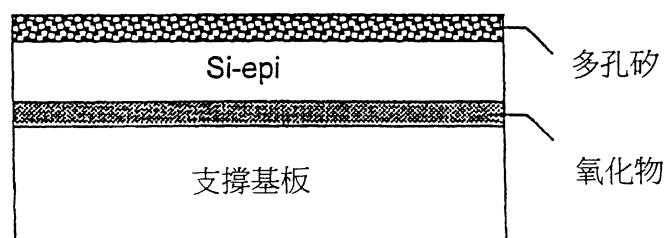


圖 1C

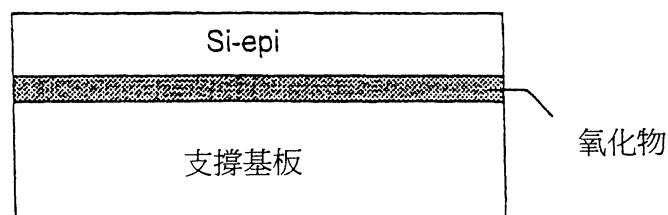


圖 1D

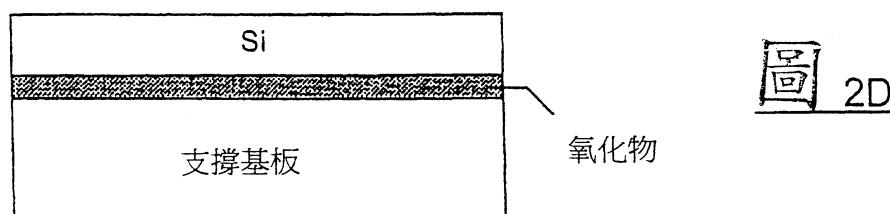
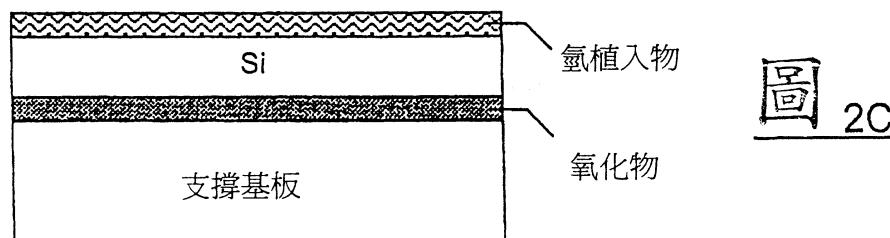
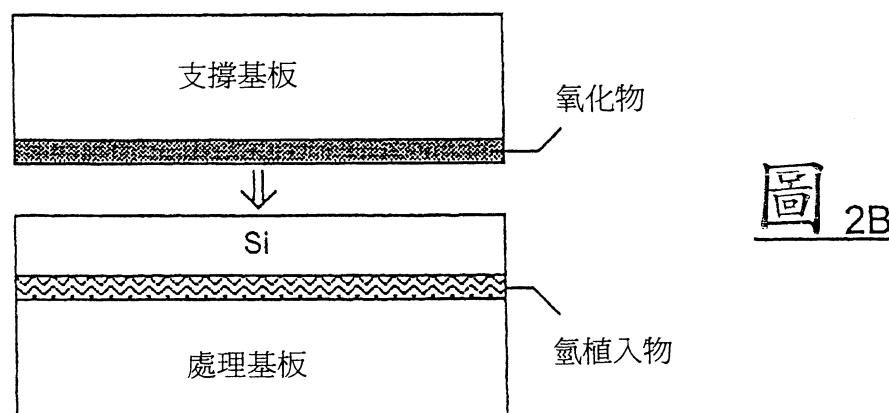
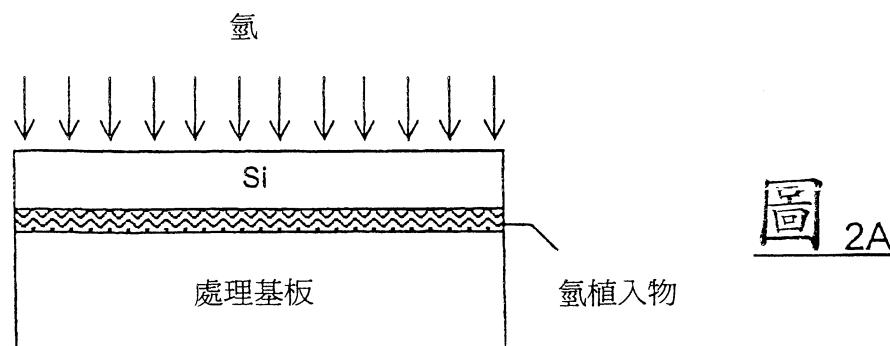




圖 3A

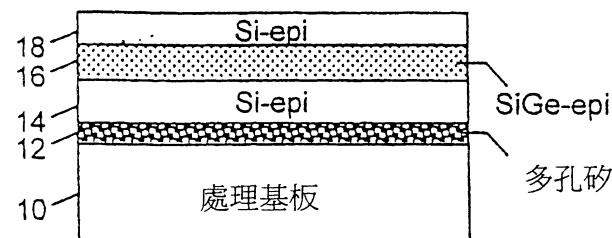


圖 3B

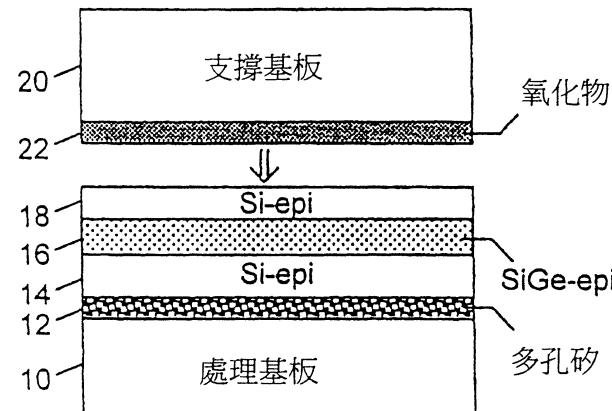


圖 3C

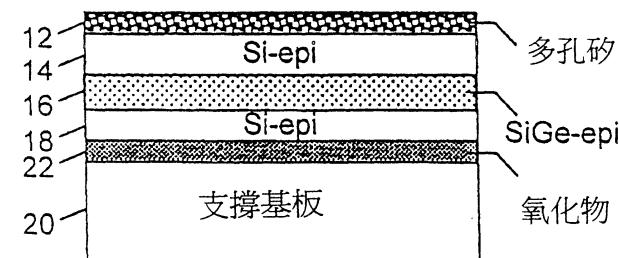


圖 3D

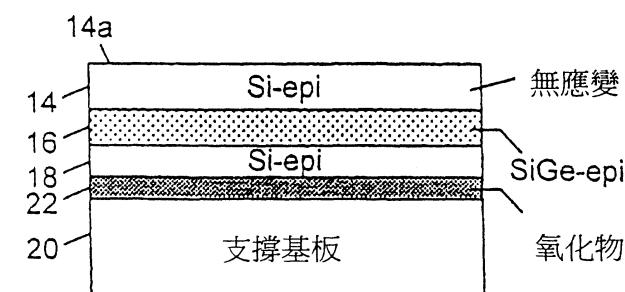


圖 3E

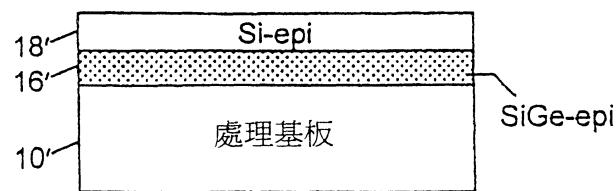


圖 4A

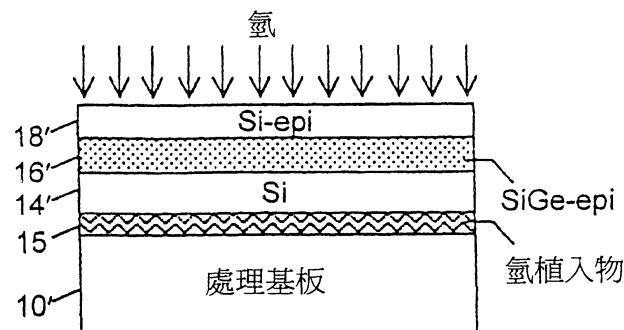


圖 4B

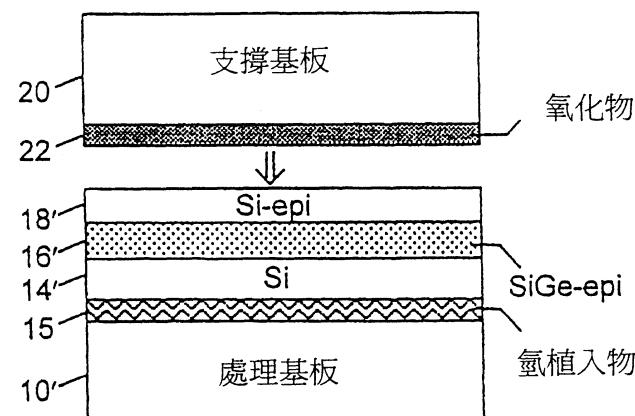


圖 4C

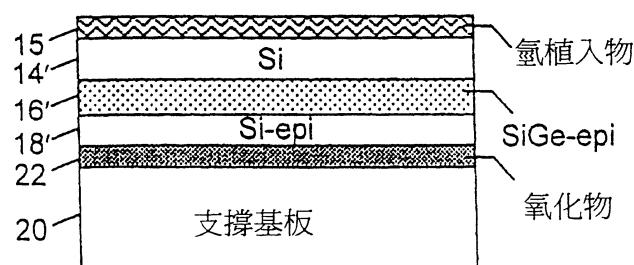


圖 4D

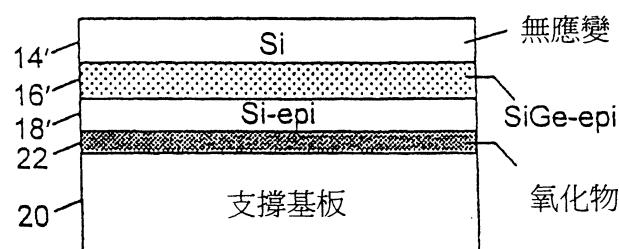


圖 4E

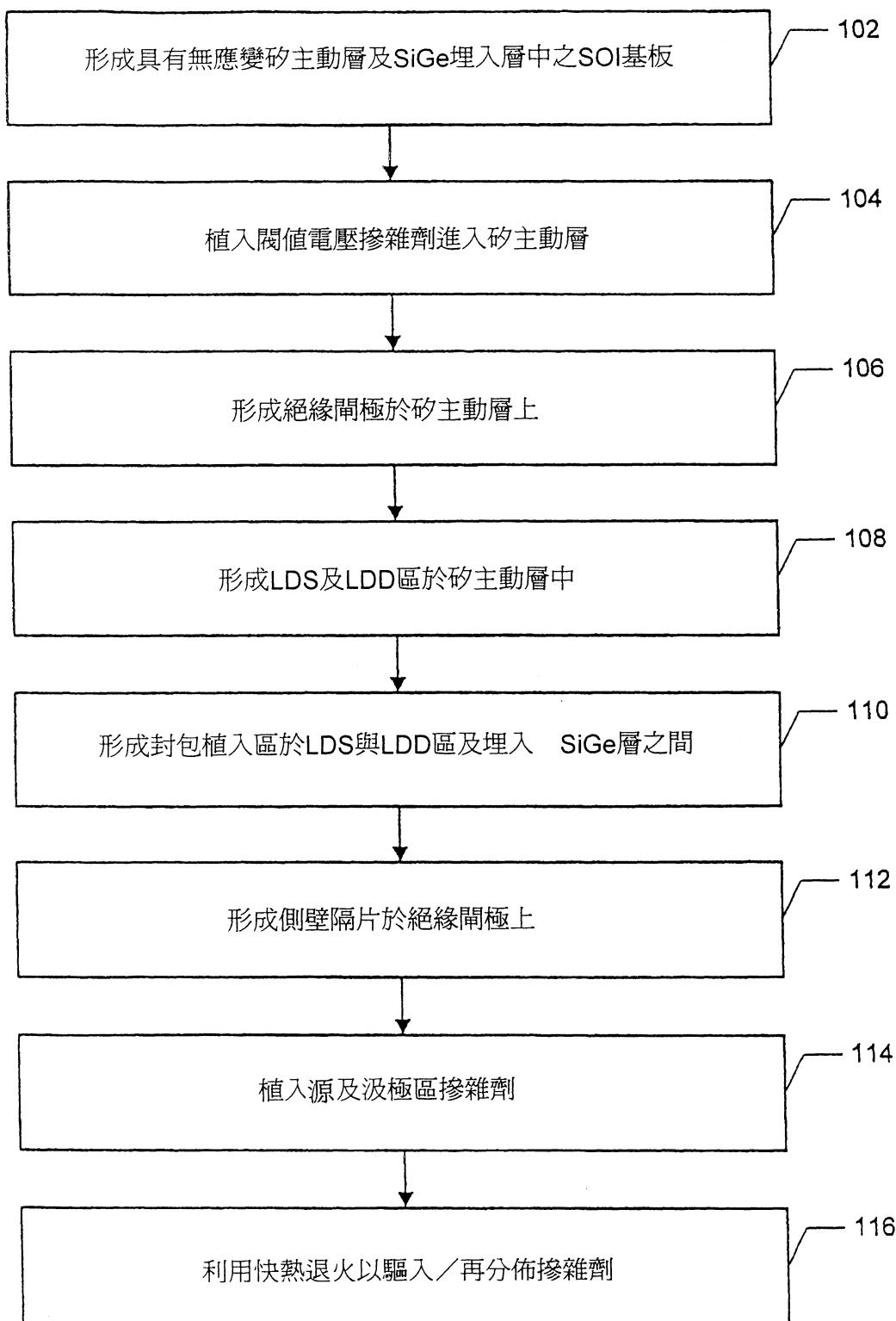


圖 5

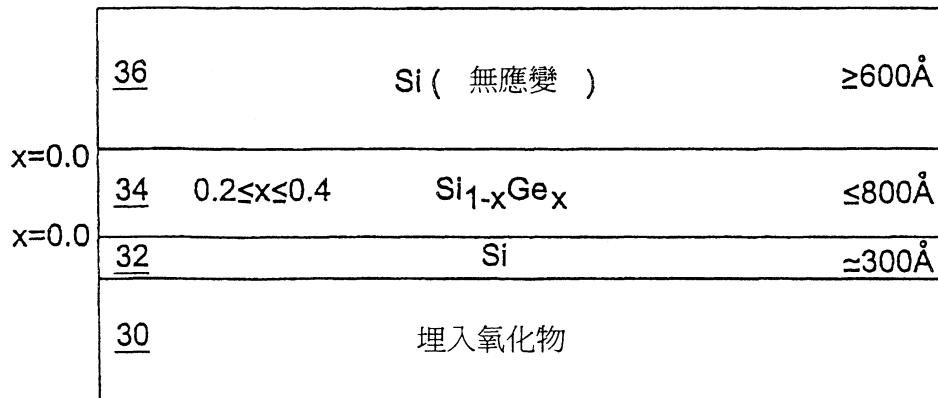


圖 6A.

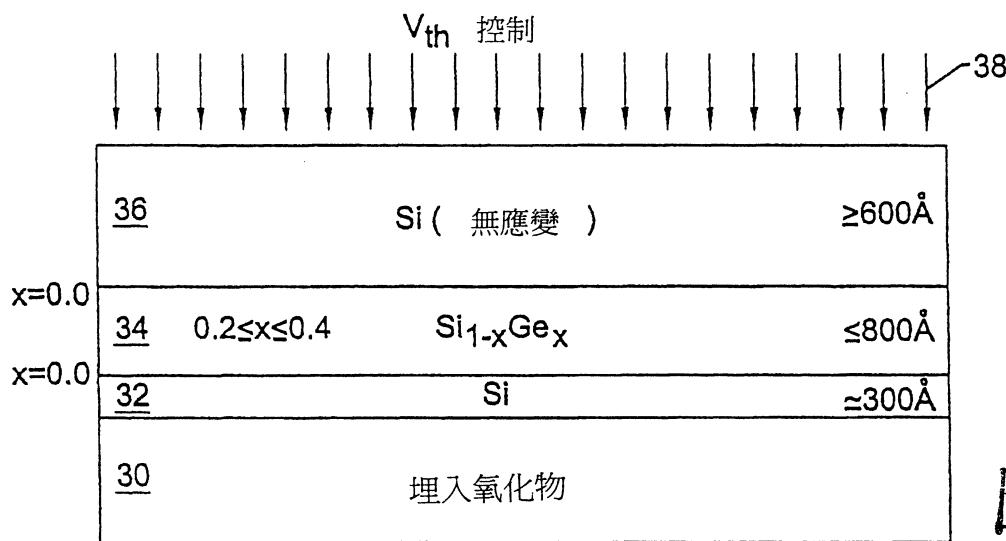


圖 6B.

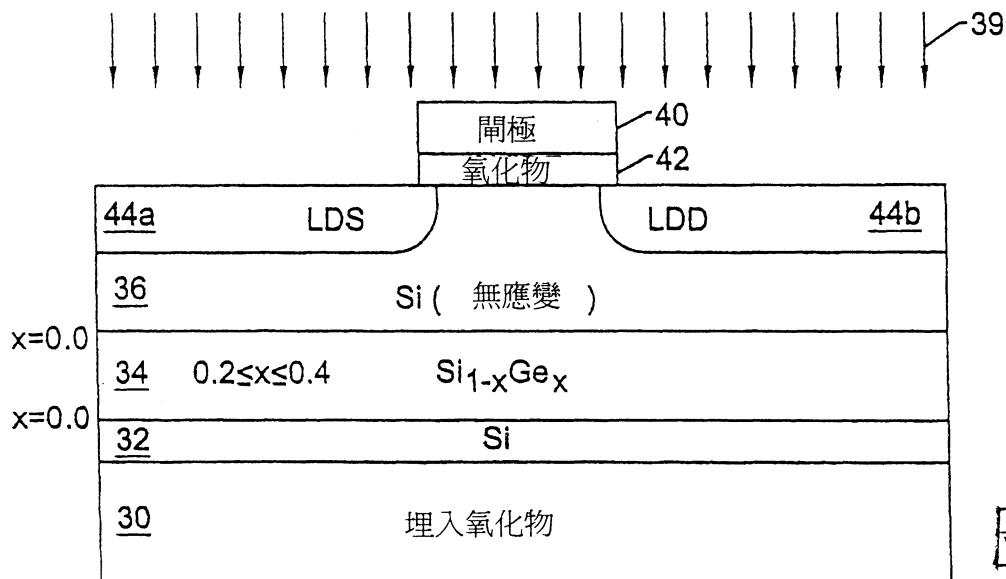


圖 6C.

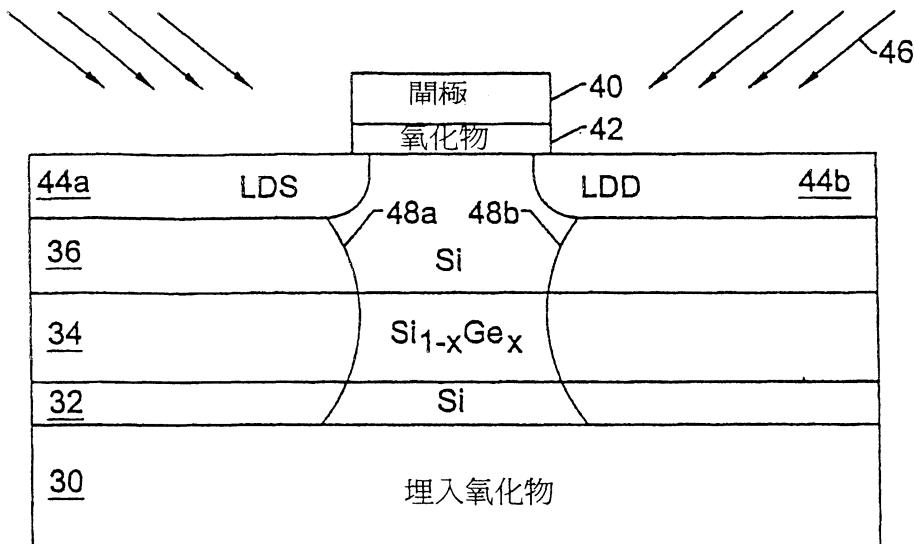


圖 6D.

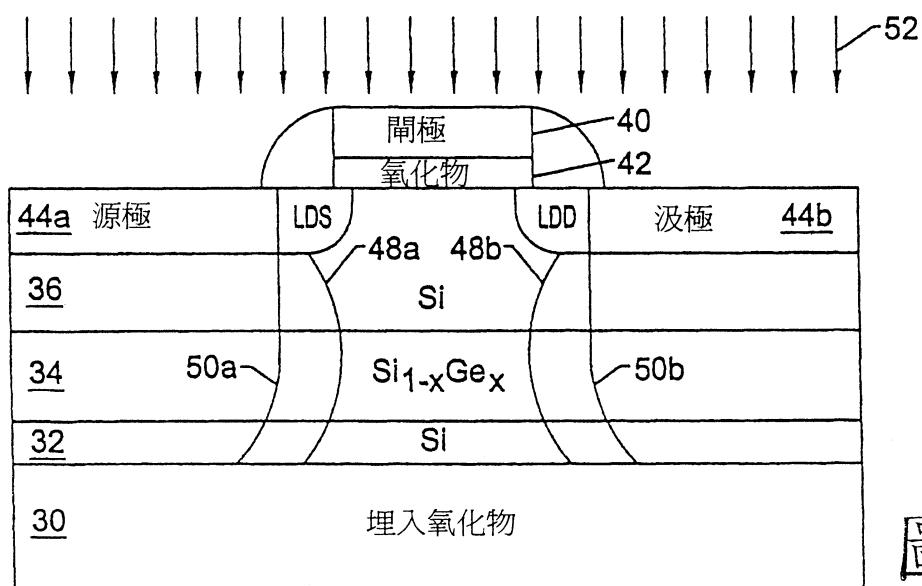


圖 6E.

圖 7A

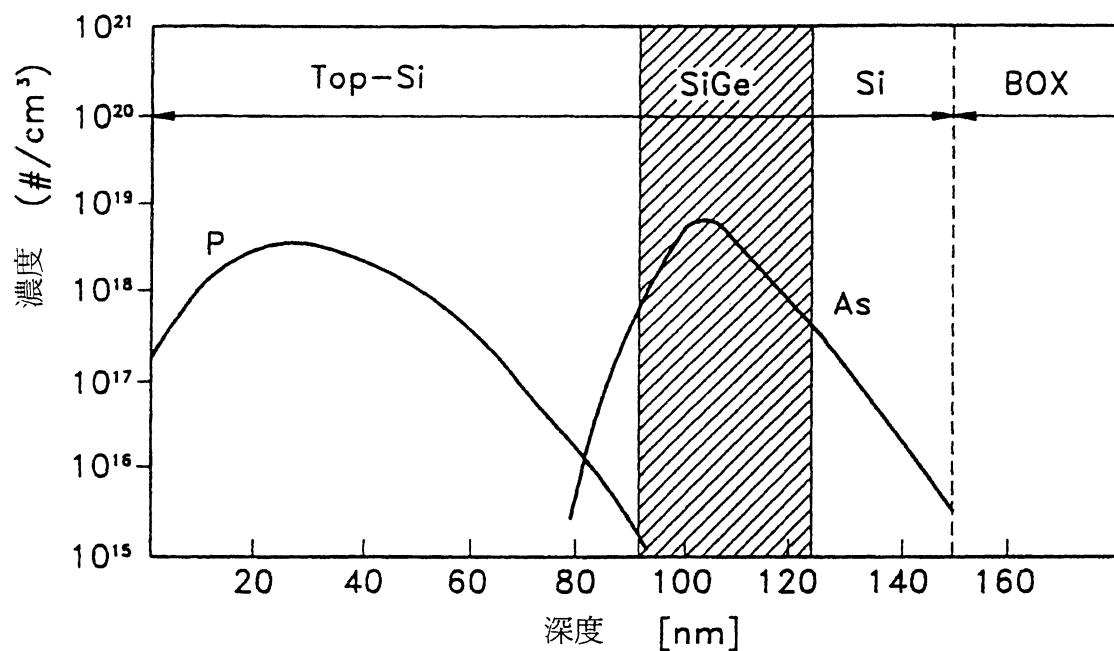


圖 7B

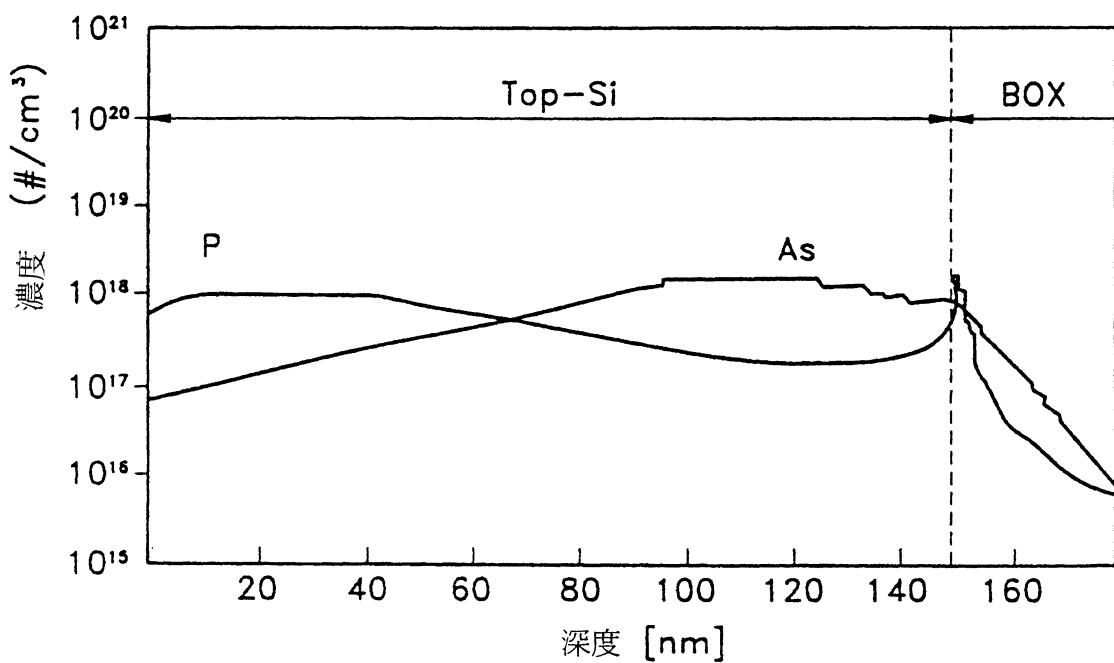


圖 7C

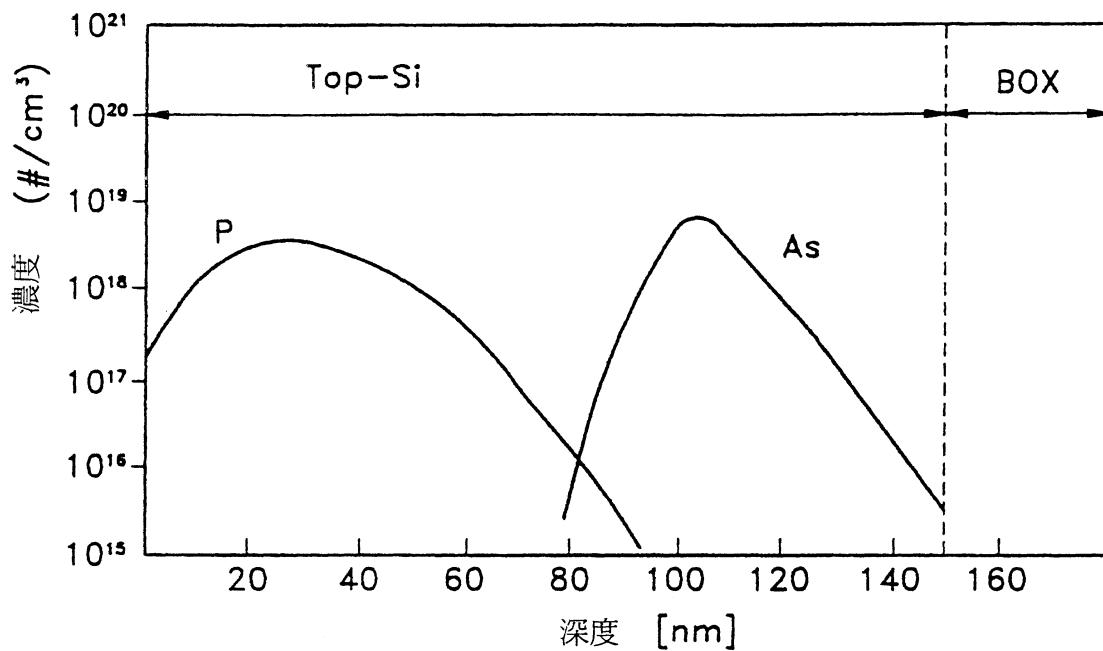


圖 7D

