



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0100458  
(43) 공개일자 2008년11월18일

(51) Int. Cl.

*H05K 3/46* (2006.01)

(21) 출원번호 10-2008-7023073

(22) 출원일자 2008년09월22일

심사청구일자 없음

번역문제출일자 2008년09월22일

(86) 국제출원번호 PCT/US2007/004668

국제출원일자 2007년02월22일

(87) 국제공개번호 WO 2007/102998

국제공개일자 2007년09월13일

(30) 우선권주장

11/308,094 2006년03월06일 미국(US)

(71) 출원인

폼팩터, 인코포레이티드

미국 캘리포니아주 94551 리버모어 사우스프론트  
로드 7005

(72) 벌명자

엘드릿지 벤자민 엔

미국 캘리포니아주 94526 덴빌 셰리 레인 651

(74) 대리인

김태홍, 신정건

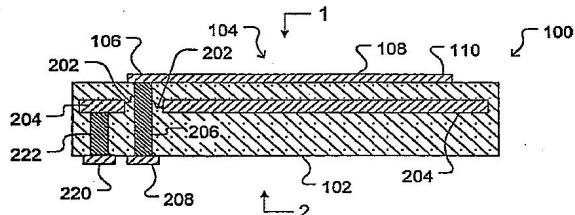
전체 청구항 수 : 총 32 항

## (54) 적층형 보호 구조물

## (57) 요 약

적층체(stack)에 임베딩된 보호면을 갖는 적층체를 제공하는 시스템 및 방법이 개시된다. 전기 전도성 신호 구조물, 전기 보호 구조물, 및 상기 신호 구조물과 상기 보호 구조물 사이에 배치된 전기 절연 구조물을 포함하는 적층체를 형성함으로써 전기 장치가 제조될 수 있다. 신호 구조물, 절연 구조물, 및 보호 구조물은 적층체 내에서 서로 정렬될 수 있다.

대 표 도 - 도3



## 특허청구의 범위

### 청구항 1

전기 장치 제조 방법에 있어서,

전기 전도성 신호 구조물, 전기 보호 구조물, 및 상기 신호 구조물과 상기 보호 구조물 사이에 배치된 전기 절연 구조물을 포함하는 적층체(stack)를 형성하는 단계를 포함하고, 상기 신호 구조물, 상기 절연 구조물, 및 상기 보호 구조물은 상기 적층체 내에서 서로 정렬되는 것인, 전기 장치 제조 방법.

### 청구항 2

제1항에 있어서, 상기 형성 단계는,

다층 기판을 제공하는 단계,

상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물 중 하나를 상기 다층 기판으로부터 절단하는 단계를 포함하는 것인, 전기 장치 제조 방법.

### 청구항 3

제2항에 있어서, 상기 절단 단계는, 복수의 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물을 상기 다층 기판으로부터 동시에 절단하는 단계를 포함하는 것인, 전기 장치 제조 방법.

### 청구항 4

제2항에 있어서, 상기 다층 기판은 서로 전기적으로 절연된 복수의 전도층들을 갖는 세라믹 기판을 포함하는 것인, 전기 장치 제조 방법.

### 청구항 5

제2항에 있어서, 상기 전도층들 중 하나는 임베딩된 전도성 평면을 포함하고,

상기 형성 단계는,

상기 임베딩된 전도성 평면으로부터 상기 신호 구조물 또는 보호 구조물 중 하나를 절단하는 단계, 및

상기 임베딩된 전도성 평면에 인접하게 배치된 세라믹 재료로부터 상기 절연 구조물을 절단하는 단계를 포함하는 것인, 전기 장치 제조 방법.

### 청구항 6

제2항에 있어서, 상기 절단 단계는 레이저를 이용하여 수행되는 것인, 전기 장치 제조 방법.

### 청구항 7

제1항에 있어서, 상기 형성 단계는 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물을 순차적으로 제조하는 단계를 포함하는 것인, 전기 장치 제조 방법.

### 청구항 8

제7항에 있어서, 상기 형성 단계는 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물 중 하나 이상을 리소그래픽 기술로 패터닝된 층으로 제조하는 단계를 포함하는 것인, 전기 장치 제조 방법.

### 청구항 9

제1항에 있어서, 상기 형성 단계는,

상기 기판의 바깥 표면상에 배치된 전도성 트레이스(trace) 및 상기 기판에 내에 임베딩된 전기 전도성 평면을 포함하는 기판을 제공하는 단계로서, 상기 트레이스는 상기 신호 구조물 또는 상기 보호 구조물 중 하나를 포함하는 것인, 기판 제공 단계,

상기 임베딩된 전도성 평면으로부터 상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나를 절단하는 단계,

및

상기 트레이스와 상기 임베딩된 전도성 평면 사이에 배치된 상기 기판의 층으로부터 상기 절연 구조물을 절단하는 단계

를 포함하는 것인, 전기 장치 제조 방법.

#### 청구항 10

제9항에 있어서, 상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나를 절단하는 단계 및 상기 절연 구조물을 절단하는 단계는, 일반적으로 상기 트레이스의 윤곽의 적어도 일부를 따라 상기 기판을 절단함으로써 동시에 수행되는 것인, 전기 장치 제조 방법.

#### 청구항 11

제1항에 있어서,

복수의 적층체들을 형성하는 단계로서, 상기 적층체 각각은 전기 전도성 신호 구조물, 전기 보호 구조물, 및 상기 신호 구조물과 상기 보호 구조물 사이에 배치된 전기 절연 구조물을 포함하고, 상기 신호 구조물, 상기 절연 구조물, 및 상기 보호 구조물은 상기 적층체 내에서 서로 정렬되는 것인, 복수의 적층체 형성 단계, 및

상기 신호 구조물들 중 일부에 부착된 전기 전도성 프로브들을 제공하는 단계를 더 포함하는 전기 장치 제조 방법.

#### 청구항 12

제1항에 있어서,

다층 기판을 제공하는 단계;

복수의 적층체를 형성하기 위하여 상기 다층 기판을 절단하는 단계로서, 상기 적층체 각각은 전기 전도성 신호 구조물, 전기 보호 구조물, 및 상기 신호 구조물과 상기 보호 구조물 사이에 배치된 전기 절연 구조물을 포함하는 것인, 복수의 다층 기판 제공 단계를 더 포함하는 전기 장치 제조 방법.

#### 청구항 13

제12항에 있어서, 상기 신호 구조물들 중 일부에 부착된 전기 전도성 프로브들을 제공하는 단계를 더 포함하는 전기 장치 제조 방법.

#### 청구항 14

제13항에 있어서, 상기 다층 기판을 프로브 카드 어셈블리 내에 어셈블링하는 단계를 더 포함하고, 상기 프로브는 테스트될 전자 장치와 접촉하도록 배치되는 것인, 전기 장치 제조 방법.

#### 청구항 15

전기 장치에 있어서,

전기 전도성 신호 구조물;

전기 보호 구조물; 및

상기 신호 구조물과 상기 보호 구조물 사이에 배치된 전기 절연 구조물을 포함하고, 상기 신호 구조물, 상기 절연 구조물, 및 상기 보호 구조물은 적층체 내에서 서로 정렬되는 것인, 전기 장치.

#### 청구항 16

제15항에 있어서, 다층 기판을 더 포함하고, 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물 중 하나는 상기 다층 기판으로부터 절단되는 것인, 전기 장치.

#### 청구항 17

제16항에 있어서, 복수의 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물은 상기 다층 기판으로부터

절단되는 것인, 전기 장치.

### 청구항 18

제16항에 있어서, 상기 다층 기판은 서로 전기적으로 절연된 복수의 전도층들을 갖는 세라믹 기판을 포함하는 것인, 전기 장치.

### 청구항 19

제18항에 있어서,

상기 전도층들 중 하나는 임베딩된 전도성 평면을 포함하고,

상기 신호 구조물 또는 상기 보호 구조물 중 하나는 상기 임베딩된 전도성 평면으로부터 절단되며,

상기 절연 구조물은 상기 임베딩된 전도성 평면에 인접하게 배치된 세라믹 재료로부터 절단되는 것인, 전기 장치.

### 청구항 20

제15항에 있어서,

기판을 더 포함하고,

상기 신호 구조물 또는 상기 보호 구조물 중 하나는 상기 기판의 표면상에 배치된 트레이스를 포함하고,

상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나는 상기 기판에 임베딩된 전도성 평면으로부터 절단되며,

상기 절연 구조물은 상기 트레이스와 상기 임베딩된 전도성 평면 사이에 배치된 상기 기판의 층으로부터 절단되는 것인, 전기 장치.

### 청구항 21

제20항에 있어서, 상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나 및 상기 절연 구조물은 일반적으로 상기 트레이스의 윤곽의 적어도 일부를 따라 상기 기판을 절단함으로써 동시에 형성되는 것인, 전기 장치.

### 청구항 22

제1항에 있어서,

기판,

복수의 적층체들로서, 상기 적층체 각각은 상기 적층체 내에서 서로 정렬된 전기 전도성 신호 구조물, 전기 절연 구조물, 및 전기 보호 구조물을 포함하는 것인, 복수의 적층체들,

상기 신호 구조물들 중 일부에 부착된 복수의 전기 전도성 프로브

를 더 포함하는 전기 장치.

### 청구항 23

제22항에 있어서, 상기 기판은 프로브 카드 어셈블리에 부착되고, 상기 프로브는 테스트될 전자 장치와 접촉하도록 배치되는 것인, 전기 장치.

### 청구항 24

적어도 하나의 전자 장치를 테스트하는 방법에 있어서,

프로브 카드 어셈블리 상의 전기 전도성 신호 구조물을 통해 상기 적어도 하나의 전자 장치에 테스트 신호를 제공하는 단계; 및

전기 절연 구조물에 의해 상기 신호 구조물로부터 분리된 전기 전도성 보호 구조물에 보호 신호를 제공하는 단계를 포함하고,

상기 신호 구조물, 상기 절연 구조물, 및 상기 보호 구조물은 적층체 내에서 서로 정렬되는 것인, 전자 장치 테

스트 방법.

### 청구항 25

제24항에 있어서,

상기 프로브 카드 어셈블리 상의 복수의 전기 전도성 신호 구조물을 중 일부를 통해 상기 적어도 하나의 전자 장치에 복수의 테스트 신호를 제공하는 단계;

상기 복수의 전기 전도성 신호 구조물을 중 일부를 통해 상기 테스트 신호들 중 일부에 응답하여 상기 적어도 하나의 전자 장치에 의해 발생된 복수의 응답 신호를 전달하는 단계; 및

복수의 보호 신호를 복수의 전기 전도성 보호 구조물들에 제공하는 단계를 더 포함하고,

상기 신호 구조물 및 상기 보호 구조물은 복수의 적층형 구조물을 형성하고, 상기 적층형 구조물 각각은 적층체 내에서 서로 정렬되고 절연 구조물에 의해 분리된 상기 신호 구조물들 중 하나와 상기 보호 구조물들 중 하나를 포함하는 것인, 전자 장치 테스트 방법.

### 청구항 26

제25항에 있어서,

상기 복수의 테스트 신호를 제공하는 단계는, 상기 신호 구조물을 통해 상기 프로브 카드 어셈블리 상의 제1 복수의 프로브들에 상기 테스트 신호를 제공하는 단계를 포함하고, 상기 제1 복수의 프로브들은 상기 적어도 하나의 전자 장치의 입력 단자들과 접촉 상태에 있으며,

상기 복수의 응답 신호를 전달하는 단계는, 상기 프로브 카드 어셈블리 상의 제2 복수의 프로브들을 통해 상기 테스트 신호를 전달하는 단계를 포함하고, 상기 제2 복수의 프로브들은 상기 적어도 하나의 전자 장치의 출력 단자들과 접촉 상태에 있는 것인, 전자 장치 테스트 방법.

### 청구항 27

제25항에 있어서, 상기 응답 신호들 중 일부가 예상된 바와 같은지를 판단하기 위하여 상기 응답 신호들 중 일부를 평가하는 단계를 더 포함하는 전자 장치 테스트 방법.

### 청구항 28

제24항에 있어서, 상기 프로브 카드 어셈블리는 다층 기판을 포함하고, 상기 신호 구조물, 상기 보호 구조물, 및 상기 절연 구조물 중 적어도 하나는 상기 다층 기판으로부터 절단되는 것인, 전자 장치 테스트 방법.

### 청구항 29

제28항에 있어서, 상기 다층 기판은 서로 전기적으로 절연된 복수의 전도층들을 갖는 세라믹 기판을 포함하는 것인, 전자 장치 테스트 방법.

### 청구항 30

제29항에 있어서,

상기 전도층들 중 하나는 임베딩된 전도성 평면을 포함하고,

상기 신호 구조물 또는 상기 보호 구조물 중 하나는 상기 임베딩된 전도성 평면으로부터 절단되며,

상기 절연 구조물은 상기 임베딩된 전도성 평면에 인접하게 배치된 세라믹 재료로부터 절단되는 것인, 전자 장치 테스트 방법.

### 청구항 31

제24항에 있어서,

상기 신호 구조물 또는 상기 보호 구조물 중 하나는 상기 기판의 표면상에 배치된 트레이스를 포함하고,

상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나는 상기 기판에 임베딩된 전도성 평면으로부터 절단되며,

상기 절연 구조물은 상기 트레이스와 상기 임베딩된 전도성 평면 사이에 배치된 상기 기판의 층으로부터 절단되는 것인, 전자 장치 테스트 방법.

### 청구항 32

제31항에 있어서,

상기 신호 구조물 또는 상기 보호 구조물 중 다른 하나와 상기 절연 구조물은 일반적으로 상기 트레이스의 윤곽의 적어도 일부를 따라 상기 기판을 절단함으로써 동시에 형성되는 것인, 전자 장치 테스트 방법.

### 명세서

#### 기술 분야

<1> 본 발명은 향상된 보호 구조물 및 이와 같은 보호 구조물들의 제조 및 이용 방법에 관한 것이다.

#### 배경 기술

<2> 보호 구조물 기술을 이용하여, 신호 트레이스(trace)(예컨대, 기판상에 배치되거나 또는 기판 내에 임베딩되고 하나 이상의 전기 신호를 전달하도록 구성된 전기 전도성 재료의 트레이스)는 근처 트레이스와의 용량 결합, 다른 트레이스로부터의 혼선(cross-talk), 전기 간섭, 또는 전기 누설과 같은 것들로부터 전기적으로 보호될 수 있다. 본 명세서에 개시되는 본 발명의 예시적 실시예들은 향상된 보호 구조물 및 이와 같은 보호 구조물들의 제조 및 이용 방법에 관한 것이다.

#### 발명의 상세한 설명

<3> 본 발명의 일부 실시예들은 적층형 보호 구조물을 제공하는 것에 관한 것이다. 본 발명의 일부 실시예들에 따라, 복수의 층들을 포함하는 적층체(stack)를 형성함으로써 전기 장치가 제조될 수 있다. 층들은 교대로 배치된 전기 전도층 및 전기 절연층을 포함할 수 있다. 전기 전도층들 중 적어도 하나는 신호 트레이스를 포함할 수 있고, 전기 전도층들 중 적어도 다른 하나는 용량 결합, 혼선, 및/또는 다른 전기 간섭으로부터 신호 트레이스를 보호하도록 구성된 보호 구조물을 포함할 수 있다. 하나 이상의 신호 트레이스 및 하나 이상의 보호 구조물은 적층체 내에서 서로 정렬될 수 있다.

<4> 본 발명의 실시예들의 이러한 특징들 및 이점들은 후속하는 설명과 첨부한 청구 범위에서 설명되거나 또는 더 완전히 명백해질 것이다. 특징들 및 이점들은 첨부한 청구항들에서 특별히 지적하는 기구 및 결합들을 통해 이해되고 획득될 수 있다. 또한, 본 발명의 특징들 및 이점들은 이후에 기술하는 바와 같이 본 발명의 실시에 의해 학습될 수 있고 또는 설명으로부터 분명할 것이다.

#### 실시예

<22> 본 명세서는 본 발명의 예시적 실시예들 및 용례들을 기술한다. 그러나, 본 발명은 이러한 예시적 실시예들 및 용례들에 한정되거나 또는 그러한 예시적 실시예들 및 용례들이 동작하거나 본 명세서에서 기술되는 방식에 한정되는 것은 아니다. 또한, 도면들은 단순화된 모습 또는 부분적인 모습들을 보여줄 수 있고, 도면들 내의 요소들의 치수는 과장되거나 또는 그렇지 않다면, 용이한 도시 및 명료성을 위하여 비율이 맞지 않게 도시될 수 있다. 또한, 용어 "상에"가 본 명세서에서 사용될 때, 하나의 물체 또는 요소(예를 들어, 재료, 층, 기판 등)가 다른 물체 또는 요소 바로 위에 있거나 또는 하나의 물체 또는 요소와 다른 물체 또는 요소 사이에 하나 이상의 개체 물체가 존재하는지 여부에 상관없이, 하나의 물체 또는 요소가 다른 물체 또는 요소 "상에" 있을 수 있다는 것을 의미한다. 또한, 만약 제공된다면, 방향들(예를 들어, 위에, 아래에, 상, 하, 측 등)은 상대적이고, 제한을 두려는 것이 아니라 오로지 예로서 도시 및 논의의 용이함을 위해 제공된다.

<23> 도 1 내지 도 3에는 본 발명의 일부 실시예들에 따라 기판(102)의 한 표면상에 배치된 복수의 신호 트레이스(104)(명료하게 다른 소자들과의 대조를 위하여, 도 1, 4, 5, 및 8에서 명암을 갖고 밝은 회색으로 표시됨) 및 기판(102)의 대향 표면상에 배치된 복수의 신호 단자(208) 및 복수의 보호 단자(220)를 포함하는 예시적 전기 장치(100)가 도시되어 있다[도 1은 전기 장치(100)의 평면도, 도 2는 전기 장치(100)의 저면도, 도 3은 전기 장치(100)의 측단면도이다]. 예로서, 기판(102)은 세라믹 기판, 인쇄 회로 기판, 또는 다른 적합한 배선 기판일 수 있고, 전기 장치(100)의 배선 기판 또는 일부 다른 기판으로서 제공될 수 있다. 전도성 트레이스(104)는 전도성 랜드(106), 전도성 트레이스부(108), 및 전도성 패드(110)를 포함할 수 있다. 트레이스부(108)는 랜드

(106)와 패드(110)를 전기적으로 접속시킬 수 있다. 도 1에는 3개의 전도성 트레이스(104)가 도시되어 있지만, 당업자들은 본 발명의 실시예들이 3개보다 많은 트레이스(104) 또는 3개보다 적은 트레이스(104)를 갖는 전기 장치들을 포함한다는 것을 이해할 것이다. 유사하게, 3개보다 많거나 또는 3개보다 적은 신호 단자(208) 및 3개보다 많거나 또는 3개보다 적은 보호 단자(220)가 제공될 수 있다. 또한 당업자들은, 본 발명의 실시예들이 트레이스(104)의 다양한 구성 및 레이아웃을 포함한다는 것을 이해할 것이다. 게다가, 도면들에 도시된 랜드(106), 트레이스부(108), 및 패드(110)의 모양은 예시일 뿐이며, 랜드(106), 트레이스부(108), 및 패드(110)는 임의의 모양을 취할 수 있다.

<24> 도 3에서 가장 잘 볼 수 있는 바와 같이, 전도성 평면(204)은 기판(102) 내에 임베딩될 수 있다. 전도성 평면(204)은 일반적으로 트레이스(104)에 평행하고, [점선으로 도시된 전도성 평면(204)을 보여주는] 도 1 및 도 2에 도시된 바와 같이, 전도성 평면(204)의 일부가 트레이스(104) 아래에 위치하도록 전도성 평면(204)은 기판(102)의 원하는 영역을 가로질러 연장될 수 있다. 보이는 바와 같이, 각각의 신호 트레이스(104)를 위한 보호 구조물들은 전도성 평면(204)으로부터 절단될 수 있다.

<25> 도 1 내지 도 3에 도시된 예에서, 신호 트레이스(104)는 랜드(106)와 패드(110) 사이에 전기 신호(예컨대, 데이터 신호, 제어 신호 등)를 전달하도록 구성될 수 있다. 랜드(106) 및/또는 패드(110)를 다른 전자 장치들(도시 안됨)에 전기적으로 접속시키기려는 준비가 행해질 수 있다. 도 1 내지 도 3에 도시된 예에서, 전기 전도성 신호 단자(208)는 트레이스(104)가 배치되는 기판(102)의 표면에 대향하는 표면상에 제공될 수 있다. 전기 전도성 비아(206)는 각각의 신호 단자(208)를 랜드(106)들 중 하나에 전기적으로 접속시킬 수 있고, 절연 통로(202)는 전도성 평면(204)으로부터 각각의 비아(206)를 전기적으로 절연시킬 수 있다. 예를 들어, 각각의 절연 통로(202)는 전도성 평면(204)과의 전기 접속 없이 비아(206)가 전도성 평면(204)을 통과하도록 허용하는 홀 또는 캡을 전도성 평면(204)에 포함할 수 있다. 도 3에 도시된 바와 같이, 절연 통로(202)를 형성하는 전도성 평면(204)의 홀 또는 캡은 기판(102)을 구성하는 재료로 자연스럽게 채워지거나 또는 충전될 수 있다. 각각의 랜드(106)에 대해 하나의 신호 단자(208) 및 하나의 비아(206)가 제공될 수 있다. 따라서, 다른 전자 장치(도시 안됨)가 신호 단자(208)를 통해 랜드(106)에 전기적으로 접속될 수 있다. 대안으로서, 신호 단자(208) 및 비아(206)는 생략될 수 있고, 랜드(106)에 다른 전자 장치(도시 안됨)로부터의 전기 접속이 직접적으로 만들어질 수 있다.

<26> 도 2 및 도 3에 도시된 바와 같이, 보호 단자(220)와 대응하는 비아(222)는 평면(204)에 전기 접속을 제공할 수 있다. 상기 언급한 바와 같이, 그리고 아래에서 논의되는 바와 같이, 보호 구조물은 전도성 평면(204)으로부터 절단될 수 있고, 각각의 보호 단자(220) 및 비아(222)는 보호 구조물들 중 하나에 별개의 전기 접속을 제공할 수 있다.

<27> 도 4 내지 도 7에는 본 발명의 일부 실시예에 따라 트레이스(104) 각각을 위한 전도성 평면(204)으로부터의 보호 구조물의 예시적 생성이 도시되어 있다[도 4는 전기 장치(100)의 평면도; 도 5는 신호 트레이스(104)들 중 하나를 보여주는 전기 장치(100)의 부분적 평면도; 도 6은 도 5의 측단면도; 및 도 7은 전도성 평면(204)이 도시된 도면임]. 도 4 내지 도 7에 도시된 바와 같이, 트렌치(302)는 각각의 트레이스(104) 주위에서 절단될 수 있다[명료하게 주위의 다른 소자들과의 대조를 위하여, 트렌치(302)는 도 4, 5, 및 7에서 명암을 갖고 어두운 회색으로 표시됨]. 트렌치(302)는, 제한을 두려는 것은 아니지만 레이저 또는 톱을 비롯한 임의의 적합한 기구를 이용하여 절단될 수 있다. 대안으로서, 트렌치(302)는 에칭되거나 또는 다른 방법으로 화학적으로 형성될 수 있다. 예를 들어, 건식 에칭 또는 습식 에칭 공정이 트렌치(302)를 형성하는데 이용될 수 있다.

<28> 도 6에서 가장 잘 볼 수 있는 바와 같이, 트렌치(302)가 전도성 평면(204)을 관통하여 절단하도록 각각의 트렌치(302)는 기판(102) 내로 연장될 수 있고, 이로써 신호 트레이스(104) 각각을 위한 보호 구조물이 전도성 평면으로부터 절단되어 생성된다. 도 4 및 도 5에 도시된 바와 같이, 각각의 트렌치(302)는 일반적으로 트레이스(104)들 하나의 윤곽을 나타낼 수 있다. 또한 도 4 및 도 5에 도시된 바와 같이, 각각의 트렌치(302)는 트레이스(104)의 윤곽을 나타내지 않는 부분(350)을 포함할 수 있다. 보이는 바와 같이, 부분(350)은 비아(222)(도 3 참조)가 접속할 수 있는 각각의 보호 구조물 상의 영역을 생성할 수 있다.

<29> 도 7은 트렌치(302)가 기판(102) 내로 절단된 후의 전도성 평면(204)의 평면도만을 보여준다. 볼 수 있는 바와 같이, 각각의 트렌치(302)는 전도성 평면(204)으로부터 보호 구조물(550)을 절단한다. 트렌치(302)에 의해 생성된 공간은 전도성 평면(204)의 나머지 부분들 및 다른 보호 구조물(550)들로부터 각각의 보호 구조물(550)을 전기적으로 절연시킨다. 각각의 보호 구조물을 전기적으로 더 절연시키기 위하여 트렌치(302) 내에 전기적 절연 재료(도시 안됨)를 넣을 수 있다.

- <30> 도 7에 도시된 바와 같이, 각각의 보호 구조물(550)은 일반적으로 신호 트레이스(104)들 중 하나와 같은 모양일 수 있다. 따라서 각각의 보호 구조물(550)은 신호 트레이스(104)의 랜드(106)와 같은 모양의 부분(554), 신호 트레이스(104)의 트레이스부(108)와 같은 모양의 부분(556), 및 신호 트레이스(104)의 패드(110)와 같은 모양의 부분(558)을 포함할 수 있다. 또한 도 7에 도시된 바와 같이, 각각의 보호 구조물(550)은 또한, 상술한 바와 같이 도 3에 도시된 비아(222)와 같은 비아가 전기적으로 보호 구조물(550)에 접속될 수 있는 영역을 제공할 수 있는 연장부(552)를 포함할 수 있다.
- <31> 트렌치(302)가 기판(102) 내에서 절단된 후, 전기 장치(100)는 기판(102) 표면 상의 신호 트레이스(104) 및 기판(102) 내에 임베딩된 보호 구조물(550)을 포함한다. 또한, 각각의 보호 구조물(550)은 신호 트레이스(104)들 중 하나에 대응할 수 있고, 각각의 보호 구조물(550)은 일반적으로 자신의 대응 신호 트레이스(104)와 같은 모양일 수 있고, 일반적으로 자신의 대응 신호 트레이스(104)와 평행하며, 자신의 대응 신호 트레이스(104)와 정렬된다. 각각의 보호 구조물(550)은, 다른 신호 트레이스(104)와의 용량 결합, 다른 신호 트레이스(104)와의 혼선, 전자기 간섭, 또는 누설 전류와 같은 전기 간섭으로부터 자신의 대응 신호 트레이스(104)를 보호하도록 배선 처리될 수 있다. 보호 구조물(550)은 신호 트레이스(104)와 적층 관계에 있기 때문에, 이웃한 신호 트레이스(104)들 사이의 공간을 점유하지 않는다. 결과적으로, 보호 구조물이 신호 트레이스(104)와 동일한 기판(102) 표면상의 트레이스(104) 주위에 배치된다면, 신호 트레이스(104)는 예상보다 서로 더 근접하게 이격될 수 있다.
- <32> 일부 실시예에서, 각각의 트레이스(104)에 대해, 신호 소스(도시 안됨)는 패드(110) 또는 신호 단자(208) 중 하나에 접속될 수 있고, 전기 신호는 트레이스(104)로 내려갈 수 있다. 동일한 전압 전위 또는 실질적으로 동일한 전압 전위가 신호 트레이스(104) 및 신호 트레이스(104)의 대응 보호 구조물(550) 상에 존재하도록, 제2 신호 소스(도시 안됨)가 또한 보호 단자(220)에 접속될 수 있는데, 이는 신호 트레이스(104)와 인접한 신호 트레이스(104)들 간의 용량 결합을 상당히 감소시키거나 또는 제거할 수 있다[대안으로서, 보호 단자(220)는 기판(102)의 양쪽 표면상에 어느 곳에나 위치될 수 있고, 보호 단자(220)를 보호 구조물(550)에 전기적으로 접속시키기 위하여, 비아(222)가 변경되고 및/또는 다른 또는 추가의 전기 접속이 제공될 수 있다]. 대안으로서, 상이한 전압 전위(예컨대, 접지 전압 또는 특정 전압)가 보호 단자(220)에 접속되어, 보호 구조물(550)이 원하는 전압 전위로 유지될 수 있다. 이와 같은 구성은 대응하는 신호 트레이스(104)에 다른 방법으로 영향을 줄 수 있는 다양한 유형의 전기 간섭을 감소시키거나 또는 제거할 수 있고, 또한 대응하는 신호 트레이스(104)의 임피던스를 제어하는데 이용될 수 있다. 인가된 전압 전위는 고정되거나(예컨대, 직류(DC) 유형 전압) 또는 시간에 따라 변할 수 있다(예컨대, 교류(AC) 유형 전압).
- <33> 도 1 내지 도 7에 도시된 전기 장치(100)의 구성은 예시일 뿐이며, 많은 변경들도 가능하다. 예를 들어, 트레이스(108)가 보호 구조물일 수 있고, 신호 트레이스는 전도성 평면(204)으로부터 절단될 수 있다. 다른 예로서, 단자(220)는 기판(102)의 대향 평면상에 배치될 수 있다. 또 다른 예로서, 트레이스(104)는 도 1 및 도 3 내지 도 6에 도시된 바와 같이 기판(102)의 바깥 표면상에 배치되며 기판(102) 내에 임베딩될 수 있다. 또 다른 예로서, 2개보다 많은 전도층들이 적층 관계로 형성될 수 있다. 예를 들어, 1개보다 많은 전도성 평면[예컨대, 각각 전도성 평면(204)과 같은]이 기판(102) 내에 임베딩될 수 있고, 따라서 복수의 전도성 구조물이 기판(102)으로부터 절단될 수 있다. 도 1 내지 도 7에 도시된 전기 장치(100)의 구성에 대한 가능한 변경의 또 다른 예는, 보호 단자(220)가 신호 단자(208) 주위의 환형 고리로서 형성될 수 있다는 것이다. 이와 같은 경우, 보호 단자(220)로부터 신호 단자(208)를 전기적으로 절연시키기 위하여, 신호 단자(208)와 환형 고리로 구현된 보호 단자(220) 사이에 공간 또는 절연 재료가 제공될 수 있다.
- <34> 도 8 및 도 9는 상술한 변경들 중 일부의 예들을 도시한 것이다. 도 8에는 도 6에 도시된 모습과 유사한 측단면으로 변경된 전기 컴포넌트(100')가 도시되어 있고, 도 9에는 전기 컴포넌트(100')의 부분적 저면도가 도시되어 있다. 도 6, 도 8, 및 도 9의 동일한 도면 부호의 요소들은 동일한 요소들일 수 있다.
- <35> 도 8에 도시된 바와 같이, 추가의 전기 전도성 평면(2006, 2008)이 기판(102) 내에 그리고 신호 비아(206) 주위에 임베딩될 수 있다[2개의 추가 전도성 평면들(2006, 2008)이 도시되어 있지만, 더 많거나 또는 더 적은 전도성 평면이 사용될 수 있다]. 또한 도 8에 도시된 바와 같이, 전도성 평면(2006, 2008)을 통해 비아(206)에 대한 절연 통로(2002, 2004)가 제공될 수 있다. 절연 통로(2002, 2004)는 절연 통로(202)와 유사할 수 있다. 즉, 절연 통로(2002, 2004)는 비아(206)가 전도성 평면(2006, 2008)과의 전기 접속을 만들지 않고서도 전도성 평면(2006, 2008)을 통과하도록 허용하는 홀 또는 캡을 전도성 평면(2006, 2008)에 포함할 수 있다. 따라서, 전도성 평면(2006, 2008)은 비아(206)를 둘러싸고, 비아(206)에 대한 보호 구조물로서 역할할 수 있다. 한 세트의 전도성 평면(2006, 2008)이 각각의 비아(206)에 대해 제공될 수 있고, 이와 같은 각각의 전도성 평면(2006, 2008) 세트는 서로 전기적으로 절연될 수 있다. 대안으로서, 전도성 평면(2006, 2008)은 전도성 평면(204)과 크기 면

에서 유사할 수 있으며, 전도성 평면(204)과 같이, 기판(102)의 대부분의 길이와 너비를 가로질러 연장될 수 있다. 이와 같은 경우, 도 8에 도시된 전도성 평면(2006, 2008)과 같은 크기 및 위치를 갖는 보호 구조물은, 보호 구조물(550)이 전도성 평면(204)으로부터 절단되는 것과 동일한 방식으로 전도성 평면들로부터 절단될 수 있다.

<36> 보호 구조물은 또한 단자(208)를 위해서도 제공될 수 있다. 예를 들어, 도 8 및 도 9에 도시된 바와 같이, 보호 단자(220')는 단자(208) 주위에 배치된 환형 고리 형태일 수 있고, 따라서 단자(208)에 대한 보호 구조물로서 역할할 수 있다.

<37> 따라서, 도 8에 도시된 보호 구조물과 같이 구성된 전도성 평면(2006, 2008)은 인접한 비아와의 용량 결합, 다른 비아로부터의 혼선, 전기 간섭, 전기 누설로부터 비아(206)를 보호할 수 있고, 보호 단자(220')는 유사하게 인접한 단자와의 용량 결합, 다른 단자로부터의 혼선, 전기 간섭, 또는 전기 누설로부터 단자(208)를 보호할 수 있다. 도 8을 참조하면, 전도성 평면(204)의 미사용 부분, 즉, 트렌치(302)에 의해 보호 구조물(550)로부터 분리된 전도성 평면(204) 부분으로의 전기 접속을 만들기 위하여 전기 전도성 단자(2014) 및 비아(2016)가 제공될 수 있다.

<38> 도 10 및 도 11에는 본 발명의 일부 실시예에 따른 도 4 내지 도 7의 전기 컴포넌트(100)의 예시적 구성이 도시되어 있다. 도 10 및 도 11에 도시되지는 않았지만, 도 8 및 도 9의 전기 컴포넌트(100') 또한 도 10 및 도 11에 도시된 바와 같이 구성될 수 있다.

<39> 도 10에 도시된 바와 같이, 전기 전도성 프로브(704)가 전도성 패드(110)에 결합될 수 있다. 프로브(704)는 제1 전자 장치(도시 안됨)에 대해 가압될 수 있고, 이로인해 제1 전자 장치와의 전기 접속을 만들 수 있다. 추가로, 제2 전자 장치(도시 안됨)가 신호 단자(208)에 전기적으로 접속될 수 있다. 그 다음, 프로브(704), 트레이스(104), 비아(206), 및 신호 단자(208)를 통해 전기 신호가 제1 전자 장치(도시 안됨)와 제2 전자 장치(도시 안됨) 사이에 제공될 수 있고, 트레이스(104)는 상술한 바와 같이 보호 구조물(550)에 의해 보호될 수 있다.

<40> 프로브(704)는 탄성있는 스프링과 유사한 프로브일 수 있다. 적합한 프로브(704)의 비 제한적인 예로는, 미국 특허 제5,476,211호, 미국 특허 제5,917,707호, 및 미국 특허 제6,336,269호에 기술된 바와 같이 패드(110)들 중 하나에 본딩된 코어 와이어로 형성되고 탄성 재료로 코팅된 복합 구조물이 있다. 프로브(704)는 대안으로서 미국 특허 제5,994,152호, 미국 특허 제6,033,935호, 미국 특허 제6,255,126호, 미국 특허 출원 공개 제2001/0044225호, 및 미국 특허 출원 공개 제2001/0012739호에 개시된 스프링 소자와 같은 리소그래피 기술로 형성된 구조물일 수 있다. 프로브(704)의 비 제한적인 예로는, 전도성 포고 핀, 범프, 스터드, 스템핑 스프링, 니들, 베클링 빔 등이 있다.

<41> 도 10 및 도 11에 도시된 바와 같이 구성된 전기 장치(100 또는 100')는 반도체 다이와 같은 테스트 전자 장치를 테스트하는데 이용될 수 있다. 도 12에는 도 10 및 도 11에 도시된 바와 같이 구성된 전기 장치(100)가 본 발명의 일부 실시예에 따라 프로브 기판(814)으로서 기능할 수 있는 예시적 프로브 카드 어셈블리(800)가 도시되어 있다.

<42> 앞서 논의한 바와 같이, 프로브(704)와 같은 프로브는 도 8 및 도 9에 도시된 구성의 컴포넌트(100')와 같은 구성의 전자 컴포넌트(100)에 유사하게 부착될 수 있다. 사실, 프로브(704)와 같은 프로브는 도 8 및 도 9에 도시된 전자 컴포넌트(100)의 많은 가능한 변경들 중 임의의 것에 부착될 수 있다.

<43> 전자 컴포넌트(100, 100')와 같은 전자 컴포넌트의 예시적 이용에 대해 논의해보면, 도 12는 도시된 바와 같이 3개의 기판: 배선판(wiring board)(802), 인터포저(interposer)(808), 및 프로브 기판(814)을 포함하는 예시적 프로브 카드 어셈블리(800)를 보여준다. 단자(804)는 테스터(도시 안됨)와의 전기 접속을 제공할 수 있고, 제한을 두려는 것은 아니지만, 수납 포고 핀, 제로-삽입-힘(ZIF; zero-insertion-force) 커넥터, 또는 테스터(도시 안됨)와의 전기 접속을 만들기에 적합한 임의의 다른 접속 장치용 패드를 비롯함 임의의 적합한 전기 접속 구조물일 수 있다.

<44> 전기 전도성 단자, 비아, 및/또는 트레이스(도시 안됨)와 같은 전기 접속(도시 안됨)은 단자(804)로부터 배선판(802)을 통해 전기 전도성 스프링 접촉부(806)에 이르는 전기 접속을 제공할 수 있다. 추가로, 인터포저(808)를 통해 스프링 접촉부(806)를 스프링 접촉부(806)와 유사할 수 있는 스프링 접촉부(810)에 접속시키기 위하여, 인터포저(808)를 통해 전기 접속(예컨대, 전기 전도성 단자, 비아 및/또는 트레이스)(도시 안됨)이 제공될 수 있다. 추가로, 전기 접속(예컨대, 전기 전도성 단자, 비아 및/또는 트레이스)(도시 안됨)은, 테스트될 전자 장치 또는 장치들(892)의 입력 및/또는 출력 단자(890)를 접촉시키기 위하여 이용될 수 있는 프로브(816)를 갖는 프로브 기판(814)을 통해 스프링 접촉부(810)를 전기적으로 접속시킬 수 있다. 따라서, 단자(804)로부터 프로브

카드 어셈블리를 통해 프로브(816)에 이르기까지, 그리고 프로브(816)로부터 테스트될 전자 장치 또는 장치들(892)의 입력 및/또는 출력 단자(890)에 이르기까지 전기 접속(도시 안됨)이 제공될 수 있다.

<45> 프로브 기판(814) 및 인터포저(808)는, 제한을 두려는 것은 아니지만, 볼트, 스크류, 클램프, 브라켓 등을 비롯한 임의의 적합한 수단을 이용하여 배선판(802)에 고정될 수 있다. 도시된 실시예에서, 프로브 기판(814) 및 인터포저(808)는 브라켓(812)에 의해 배선판(802)에 고정될 수 있다. 도 10에 도시된 프로브 카드 어셈블리(800)는 예시일 뿐이며, 프로브 카드 어셈블리에 대한 많은 대안적인 구성 및 상이한 구성들이 이용될 수 있다. 예를 들어, 프로브 카드 어셈블리는 도 12에 도시된 프로브 카드 어셈블리보다 더 적거나 또는 더 많은 기판들을 포함할 수 있다. 미국 특허 제5,974,622호 및 미국 특허 제6,509,751호에는 예시적 프로브 카드 장치들이 기술되어 있다. 또한, 2005년 6월 24일 출원된 미국 특허 출원 번호 제11/165,833호의 "Method And Apparatus For Adjusting A Multi-Substrate Probe Structure"에는, 큰 프로브 어레이가 다중 프로브 헤드상에 배치된 더 작은 프로브 어레이로부터 생성되고, 각각의 프로브 헤드는 독립적으로 조정 가능한 프로브 카드 어셈블리가 개시된다. 상술한 특허 또는 특허 출원들 중 임의의 것에 기술된 프로브 카드 장치의 다양한 특징들은 프로브 카드 어셈블리(800)에서 구현될 수 있다.

<46> 프로브 카드 어셈블리(800)는 아래와 같이 사용될 수 있다. 단자(804)는 테스터(도시 안됨)에 접속될 수 있고, 하나 이상의 전자 장치(892)의 입력 및/또는 출력 단자(890)는 프로브(816)와 접촉될 수 있다. 그 다음, 테스터는 테스트 데이터 또는 아날로그 전압 레벨 또는 전류를 발생시킬 수 있는데(여기서 사용되는 바와 같이, 용어 "테스트 데이터"는 아날로그 전압 레벨 및 전류를 비롯한 디지털 신호 및 아날로그 신호를 포함한다), 이들은 프로브 카드 어셈블리(800) 및 전자 장치 또는 장치들(892)의 입력 단자(890)와 접촉하고 있는 프로브(816)들 중 일부를 통해 전자 장치 또는 장치들(892)에 제공될 수 있다. 테스터에 의해 발생된 테스트 데이터에 응답하여, 전자 장치 또는 장치들(892)에 의해 발생된 응답 데이터는 전자 장치 또는 장치들(892)의 출력 단자(890)와 접촉하고 있는 프로브(816)에 의해 감지될 수 있고, 프로브 카드 어셈블리(800)를 통해 테스터(도시 안됨)에 제공될 수 있다. 테스터(도시 안됨)는, 전자 장치 또는 장치들(892)이 테스팅을 통과하는지를 판단하고 및/또는 전자 장치 또는 장치들(892)의 등급을 정하기 위하여 응답 데이터를 평가할 수 있다. 예를 들어, 테스터(도시 안됨)는 전자 장치 또는 장치들(892)에 의해 발생된 응답 데이터를 예상 응답 데이터와 비교함으로써 응답 데이터를 평가할 수 있다. 따라서, 프로브 카드 어셈블리(800)는 테스터(도시 안됨)와 테스트될 하나 이상의 전자 장치(892)들 간의 전기 인터페이스로서 기능할 수 있다. 테스트될 전자 장치 또는 장치들은 싱글레이션되지 않은 반도체 웨이퍼의 다이, (패키징되거나 또는 패키징되지 않은) 웨이퍼로부터 싱글레이션된 다이, 캐리어 또는 다른 훌딩 장치에 배치된 싱글레이션된 반도체 다이 어레이의 다이, 하나 이상의 멀티-다이 전자 모듈 등일 수 있다.

<47> 상술한 바와 같이, 프로브 기판(814)은 도 1 내지 도 11에 도시된 임의의 기판처럼 제조될 수 있다. 예를 들어, 도 10 및 도 11에 도시된 바와 같이 프로브(704)를 갖도록 구성된 전자 컴포넌트(100 또는 100')는, 도 12의 프로브 기판(814)으로서 이용될 수 있다[이 경우, 프로브(704)는 프로브(816)일 수 있다]. 이와 같은 경우, 단자(208)는 스프링 접촉부(810)들 중 일부에 전기적으로 접속될 것이다. 스프링 접촉부(810)들 중 다른 일부는, 상기 논의한 바와 같이 보호 구조물(550)에 보호 전압을 제공하기 위하여 보호 단자(220)에 전기적으로 접속될 수 있다. 이런 방식으로, 단자(804)에 접속된 테스터(도시 안됨)와 프로브(816)와 접촉하고 있는 단자(890)를 갖는 테스트될 전자 장치 또는 장치들(892) 사이에 테스트 신호들이 제공될 수 있다. 또한, 상기 논의한 방법들 중 임의의 방법을 이용하여, 배선판(802) 및/또는 인터포저(808) 상에 또는 배선판(802) 및/또는 인터포저(808) 내에 있는 신호 트레이스 및/또는 비아들이 또한 보호 구조물에 제공될 수 있다.

<48> 도 13 및 도 14에는 본 발명의 일부 실시예들에 따라 신호 트레이스 및 보호 구조물들이 다중 기판으로부터 동시에 절단되는 전자 컴포넌트(920)의 형성이 도시되어 있다. 도 13에 도시된 바와 같이, 다중 기판(900)이 제공될 수 있고, 층들(902-914)은 교대로 배치된 전도층 및 절연층일 수 있다. 예를 들어, 도 13에서, 층들(902, 906, 910, 및 914)은 전기 절연 재료를 포함할 수 있고, 층들(904, 908, 912)은 전기 전도성 재료를 포함할 수 있다. 한 가지 비 제한적인 예로서, 기판(900)은, 층들(902, 906, 910, 및 914)이 세라믹 재료를 포함하고, 층들(904, 908, 912)은 구리와 같은 금속을 포함하는 다중 세라믹 기판일 수 있다.

<49> 도 4 내지 도 6에서 앞서 형성된 신호 컨덕터[예컨대, 도 4 내지 도 6의 트레이스(104)들 중 하나]를 정합시키기 위하여 임베딩된 전도성 평면[예컨대, 도 4 내지 도 6의 전도성 평면(204)]으로부터 보호 구조물을 절단하기 보다는, 도 13에서, 신호 컨덕터, 및 신호 컨덕터의 양 측면 중 하나 상에 배치되는 보호면을 기판(900)으로부터 동시에 절단할 수 있다.

- <50> 도 13에는 기판(900)으로부터 구조물(도 13의 도면부호 920)을 절단하는 절단 도구(918)(예컨대, 레이저, 톱 등)가 도시되어 있다. 도 13에 도시된 바와 같이, 기판(900)으로부터 절단된 적층형 보호 구조물(920)은 전도성 평면(908)으로부터 절단된 신호 컨덕터(928) 및 전도성 평면(904, 912)으로부터 절단된 보호 컨덕터(924, 932)를 포함할 수 있다. 기판(920)의 절연층들(922, 926, 930, 934)은 기판(900)의 층들(902, 906, 910, 914)로부터 절단될 수 있다. 4개의 절연층들(902, 906, 910, 914) 및 3개의 전도층들(904, 908, 912)을 갖는 기판(900)이 도 13에 도시되어 있지만, 상이한 갯수와 패턴의 절연층 및 전도층을 갖는 다층 기판이 사용될 수 있다. 또한, 도 13에 도시된 바와 같이 기판으로부터 보호 적층체(guard protected stack)를 절단함으로써 많은 상이한 유형의 전자 컴포넌트들이 생성될 수 있다. 또한, 출발기판(900)은 세라믹 외의 재료들을 포함할 수 있다. 예를 들어, 기판(900)은 인쇄 회로 기판 재료, 유기 재료, 무기 재료 등을 포함할 수 있다.
- <51> 도 15 내지 도 22에는 본 발명의 일부 실시예에 따라 적층형 보호 구조물을 생성하는 다른 예시적 방법이 도시되어 있다. 도 15에 도시된 바와 같이, 기판(1002)이 제공될 수 있다. 기판(1002)은, 제한을 두려는 것은 아니지만 반도체 기판(예컨대, 실리콘 웨이퍼), 세라믹 기판, 인쇄 회로 기판, 금속 기판 등을 비롯한 임의의 적합한 기판일 수 있다. 기판(1002)은 전기 전도성 비아(1001, 1003)를 포함할 수 있다. 보이는 바와 같이, 비아(1001)는 기판(1002)을 통해 연장되고 기판(1002)의 대향 표면상의 전도성 패드(1020)에 전기적으로 접속될 수 있으며, 비아(1003)는 기판(1002)을 통해 연장되고 기판(1002)의 대향 표면상의 다른 전도성 단자(1018)에 전기적으로 접속될 수 있다(도 22 참조). 보이는 바와 같이, 단자(1020) 및 비아(1001)는 제조될 보호 구조물(1008)에 전기 접속을 제공할 수 있고, 단자(1018) 및 비아(1003)는 제조될 신호 트레이스에 전기 접속을 제공할 수 있다(도 22 참조).
- <52> 도 16에 도시된 바와 같이, 적층형 구조물을 형성하는 것을 대해 다시 논의해보면, 제1 마스킹 재료층(1004)이 기판(1002) 상에 증착될 수 있다. 적합한 마스킹 재료(1004)의 예로는, 포토레지스트 또는 다른 유형의 패터닝 가능한 재료가 있다. 마스킹 재료(1004)는 층으로 증착될 수 있고, 개구부(1006), 개구부(1006) 내의 마스킹 재료(1004)의 아일랜드(1005), 및 아일랜드(1005)의 개구부(1007)를 형성하도록 패터닝될 수 있다. 보이는 바와 같이, 보호 구조물(1008)(도 17 참조)은 개구부(1006)에 형성될 수 있고, 결과적으로 개구부(1006)는 보호 구조물(1008)의 원하는 모양에 대응하는 모양을 갖도록 형성될 수 있다. 또한 보이는 바와 같이, 비아(1003)로부터 보호 구조물을 통해 전기 접속을 제공하는 전도성 비아(1009)(도 17 참조)가 개구부(1007)에 형성될 수 있다. 결과적으로, 개구부(1007)는 비아(1003)와 정렬될 수 있다.
- <53> 도 17에 도시된 바와 같이, 개구부들(1006, 1007)은 보호 구조물(1008) 및 비아(1009)를 형성하기 위하여 전도성 재료로 충전될 수 있다. 앞서 언급한 바와 같이, 비아(1009)가 비아(1003) 상에 형성되고 비아(1003)에 전기적으로 접속되도록, 개구부(1007)는 비아(1003)와 정렬될 수 있다. 보호 구조물(1008)과 비아(1009)가 분리되고 전기적으로 접속되지 않도록, 마스킹 재료(1004)의 아일랜드(1005)는 보호 구조물(1008)과 비아(1009) 사이에 공간을 제공할 수 있다.
- <54> 개구부들(1006, 1007)을 전도성 재료로 충전하는 공정은, 전기 도금, 스퍼터링, 또는 다른 증착 방법의 이용을 포함할 수 있다. 전도성 재료가 개구부들(1006, 1007) 내에 전기 도금된다면, 마스킹 재료(1004)를 형성하기 이전에 전도성 물질 층(도시 안됨)으로 기판(1002)의 표면을 코팅함으로써 기판(1002)의 표면이 준비될 수 있다. 알고 있는 바와 같이, 그 다음 전도층(도시 안됨)은 도금 장치(도시 안됨)의 애노드 또는 캐소드에 접속될 수 있으며, 기판(1002)은 개구부들(1006, 1007) 내에 전기 도금되는 전도성 재료를 포함하는 도금액(plating solution)을 담고 있는 도금욕(plating bath)에 위치될 수 있다. 그 다음, 전도성 재료는 개구부들(1006, 1007)에 의해 노출되는 전도층(도시 안됨) 부분 상에 도금될 것이다. 도면에 도시되진 않았지만, 전도성 재료가 개구부들(1006, 1007) 내에 증착된 후, 마스킹 재료의 아일랜드(1005)가 제거되고 전기 절연 재료로 대체될 수 있다.
- <55> 도 18에 도시된 바와 같이, 제2 마스킹 재료층(1010)이 제1 마스킹 재료층(1004), 보호 구조물(1008), 및 비아(1009) 위에 증착될 수 있고, 그 다음 비아(1011)를 형성하기 위해 전도성 재료로 충전되는 개구부(도시 안됨)를 갖도록 패터닝될 수 있다. 비아(1011)가 형성되는 개구부(도시 안됨)는, 비아(1011)가 비아(1009) 상에 형성되고 비아(1009)에 전기적으로 접속되도록 비아(1009)와 정렬될 수 있다. 그 다음, 제2 마스킹 재료층(1010)이 제거되어 비아(1011)가 남는다.
- <56> 도 19에 도시된 바와 같이, 제3 마스킹 재료층(1013)은 제1 마스킹 재료층(1004) 및 보호 구조물(1008) 위와 비아(1011) 주위에 증착될 수 있다. 그 다음, 제3 마스킹 재료층(1013)은 보호 구조물(1008) 상에 절연층(1012)을 형성하기 위해 절연 재료로 충전되는 개구부(도시 안됨)를 갖도록 패터닝될 수 있고, 전도성 비아(1011)가 그

절연층(1012)을 관통한다. 절연층(1012)을 형성하는 절연 재료는, 제한을 두려는 것은 아니지만 화학 기상 증착, 물리 기상 증착, 전자 빔 증착, 열 증착 등을 비롯한 임의의 적합한 방법을 이용하여 증착될 수 있다. 다른 비 제한적인 예시적 방법으로는, 제3 마스킹 재료층(1013)의 개구부(도시 안됨) 내로 유동 가능한 재료를 주입, 붓기(pouring), 또는 다른 방법으로 증착시키고 이 재료를 경화시키는 방법이 있다. 도 20에 도시된 바와 같이, 제4 마스킹 재료층(1014)이 제공되어, 신호 트레이스(1016)를 형성할 전도성 재료로 충전되는 개구부를 갖도록 패터닝될 수 있다.

<57> 마스킹 층들(1010, 1013, 1014) 각각은 마스킹 층(1004)과 동일하거나 또는 유사할 수 있고, 마스킹 층(1004)처럼 증착되고 패터닝될 수 있다. 비아(1009), 비아(1011), 및 신호 트레이스(1016)를 형성하는 전도성 재료들은 보호 트레이스(1008)를 형성하는 전도성 재료와 동일하거나 또는 상이할 수 있다. 비아(1009), 비아(1011), 및 신호 트레이스(1016)를 형성하는 전도성 재료는 보호 트레이스(1008)를 형성하는 전도성 재료와 동일한 방식으로 증착되거나 또는 상이한 방식으로 증착될 수 있다. 또한, 도면에는 도시되지 않았지만, 한 개의 층을 형성하는 재료 및 요소들은 다음의 마스킹 재료층이 증착되기 전에 평탄화될 수 있다.

<58> 도 21에 도시된 바와 같이, 마스킹 재료층들(1004, 1013, 1014)이 제거되고, 보호 구조물(1008), 절연층(1012), 및 신호 트레이스(1016)를 포함하는 층상 구조물(layered structure)(1018)이 남는다. 다른 실시예에서, 도 21에 도시된 보호 트레이스(1008)는 신호 트레이스로서 기능하도록 구성되고, 도 21의 신호 트레이스(1016)는 보호 트레이스로서 기능하도록 구성될 수 있다. 또한, 보호 구조물(1008), 절연층(1012), 및 신호 트레이스(1016)를 포함하는 다중 적층이 기판(1002) 상에 형성될 수 있다. 따라서, 도 21의 전자 장치는 도 4 내지 도 9에 도시된 전기 장치(100 또는 100')와 같을 수 있다.

<59> 도 22에 도시된 바와 같이, [도 10 및 도 11의 프로브(704)와 유사할 수 있는] 프로브(1022)가 신호 트레이스(1016)에 부착될 수 있다. 상기 언급한 바와 같이, [도 3의 신호 단자(208)와 유사할 수 있는] 신호 단자(1018) 및 [도 3의 보호 단자(1020)와 같을 수 있는] 보호 단자(1020)가 도 21에 도시된 바와 같이 제공될 수 있다. 대안으로서, 보호 단자(220)는 도 8 및 도 9의 보호 단자(220')와 같이 신호 단자(1018)를 둘러싸는 환형 단자일 수 있다. 기판(1002)을 통과하는 비아(1003), 보호 구조물(1008)을 통과하는 비아(1009), 및 절연층(1012)을 통과하는 비아(1011)는 보호 구조물(1008)에 신호 단자(1018)를 전기적으로 접속시킬 수 있고, 기판(1002)을 통과하는 비아(1001)는 보호 구조물(1008)에 보호 단자(1020)를 전기적으로 접속시킬 수 있다. 언급한 바와 같이, 비아(1009)와 보호 구조물(1008)이 전기적으로 접속되지 않도록, 아일랜드(1005)가 비아(1009)와 보호 구조물(1008) 사이에 전기 절연을 생성한다. 동작시에, 신호 단자(1018)는 데이터 신호의 소스 또는 목적지에 접속될 수 있고, 보호 단자(1020)는 보호 신호 소스에 접속될 수 있다. 따라서, 다른 신호 트레이스(도시 안됨)와의 용량 결합 또는 혼선 및/또는 다른 전기 간섭으로부터 신호 트레이스(1016)가 보호될 수 있다.

<60> 본 발명의 특정 실시예들 및 용례가 본 명세서에 기술되었지만, 본 발명이 이러한 예시적 실시예들 및 용례들에 한정되거나 또는 이러한 예시적 실시예들 및 용례들이 동작 또는 본 명세서에서 기술되는 방식에 한정되도록 의도한 것은 아니다.

## 도면의 간단한 설명

<5> 본 발명의 실시예들에 대해 상술한 특징들과 이점들, 및 다른 특징들 및 이점들을 획득하기 위하여, 첨부한 도면에 도시된 본 발명의 특정 실시예들을 참조하여 본 발명의 실시예들에 대한 더욱 상세한 설명이 기술될 것이다.

<6> 도면들은 본 발명의 통상적인 실시예들만을 도시한 것이고, 따라서 본 발명의 범위를 한정하려는 것으로서 고려되지 않는다는 것을 이해한다면, 본 발명의 실시예들은 첨부한 도면들을 이용하여 추가의 특이사항 및 상세사항으로 기술 및 설명될 것이다.

<7> 도 1은 본 발명의 일부 실시예들에 따라 기판 및 전도성 트레이스를 갖는 대표적인 전기 장치의 평면도이다.

<8> 도 2는 도 1의 전기 장치의 저면도이다.

<9> 도 3은 도 1의 전기 장치의 측단면도이다.

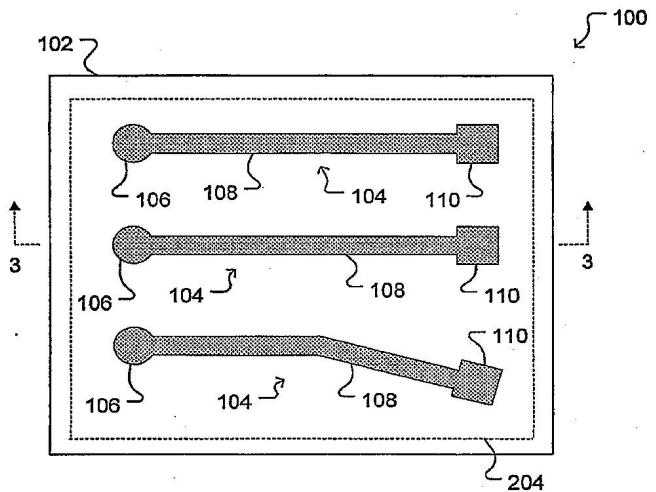
<10> 도 4는 본 발명의 일부 실시예들에 따라 각각의 전도성 트레이스를 위한 적층형 보호 구조물을 형성하기 위하여 트렌치들을 절단한 후의 도 1의 전기 장치의 평면도이다.

<11> 도 5는 전도성 트레이스들 중 하나를 보여주는 도 4의 부분도이다.

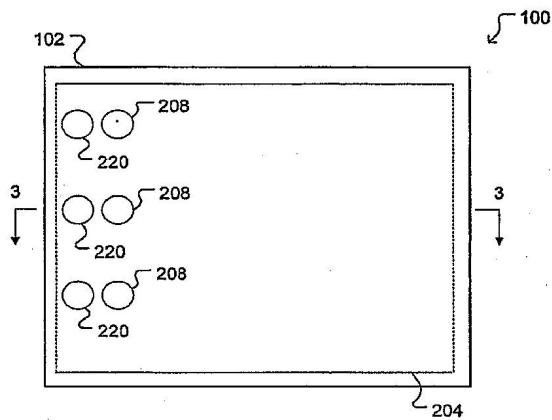
- <12> 도 6은 도 5의 측단면도이다.
- <13> 도 7은 도 4-6의 전기 장치의 전도성 평면의 평면도로서, 전도성 평면으로부터 절단된 보호 구조물을 보여주는 도면이다.
- <14> 도 8은 도 4-6에 도시된 전기 장치에 대한 예시적 추가로서, 도 6에 도시된 측단면에 일반적으로 대응하는 측단면도이다.
- <15> 도 9는 도 8에 도시된 구성의 저면도이다.
- <16> 도 10은 전도성 트레이스의 패드에 부착된 프로브들을 갖는 도 4-6의 전기 장치의 평면도이다.
- <17> 도 11은 도 10의 전기 장치의 측단면도이다.
- <18> 도 12는 본 발명의 일부 실시예들에 따른 대표적인 프로브 카드 어셈블리를 도시한 도면이다.
- <19> 도 13은 본 발명의 일부 실시예들에 따라 적층형 보호 구조물을 포함하는 전자 컴포넌트를 형성하기 위하여 다층 기판으로부터의 전자 컴포넌트의 절단을 도시한 도면이다.
- <20> 도 14는 도 13의 기판으로부터 절단된 전자 컴포넌트를 도시한 도면이다.
- <21> 도 15-22는 본 발명의 일부 실시예들에 따라 적층형 보호 구조물을 생성하기 위한 다른 대표적인 공정을 도시한 도면이다.

## 도면

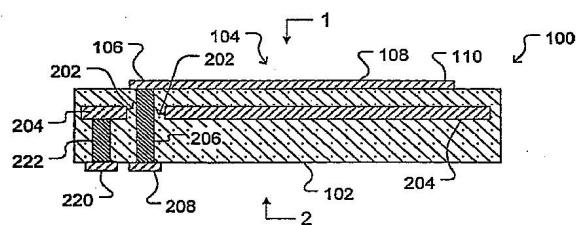
### 도면1



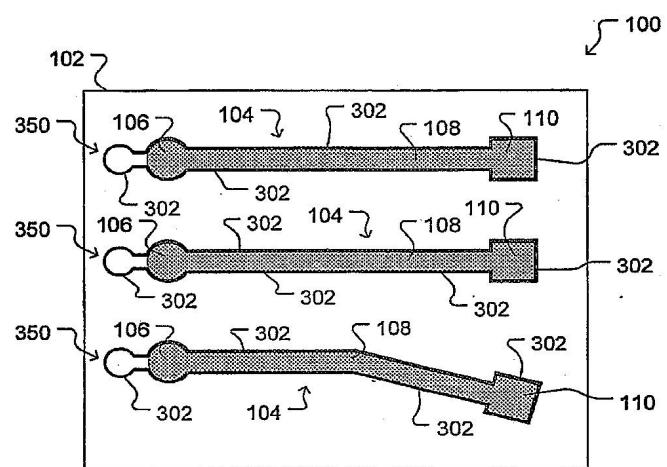
## 도면2



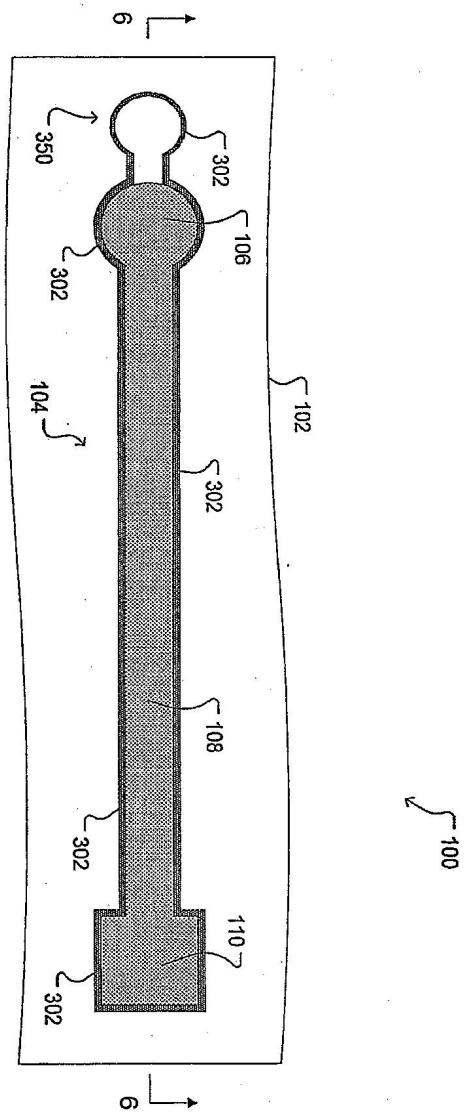
## 도면3



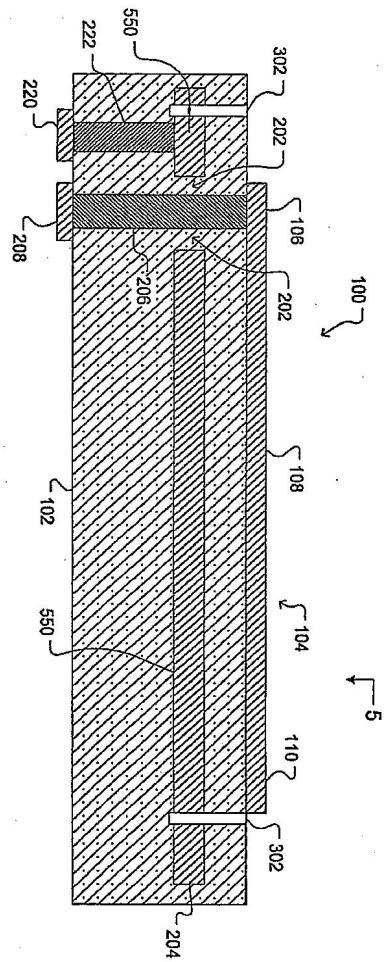
## 도면4



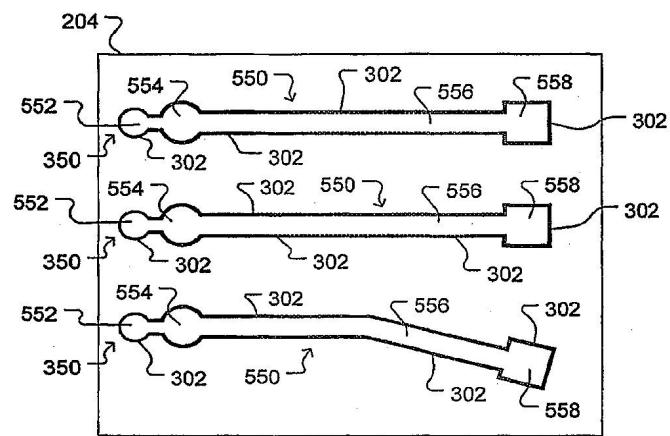
도면5



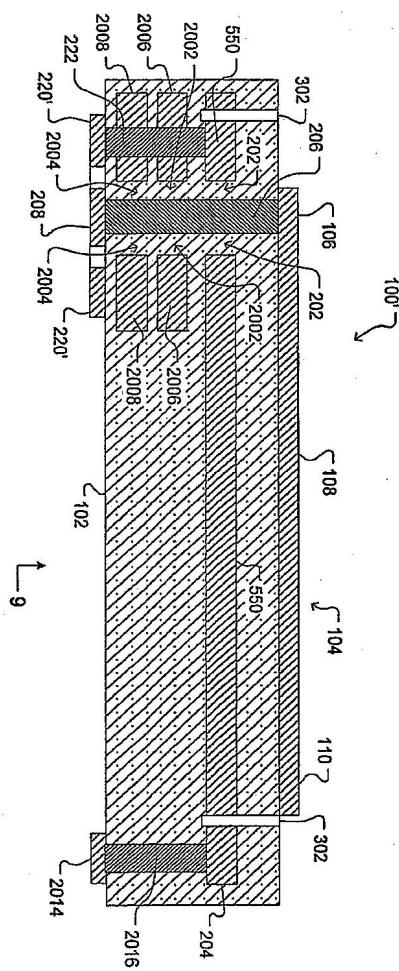
도면6



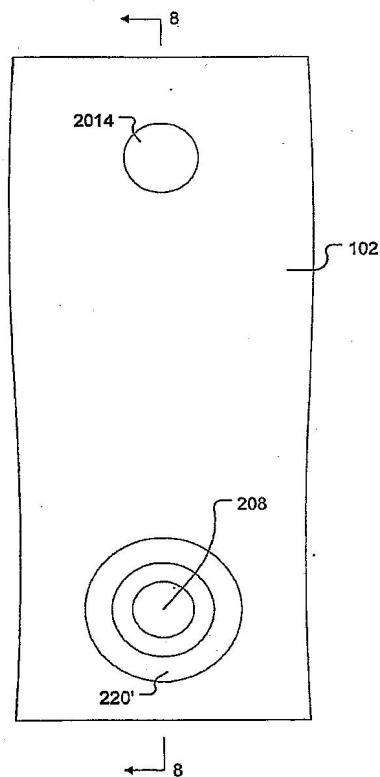
도면7



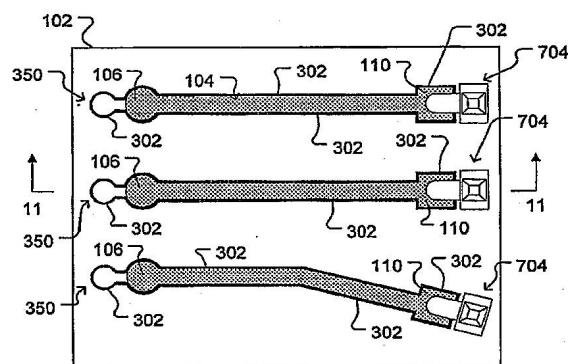
도면8



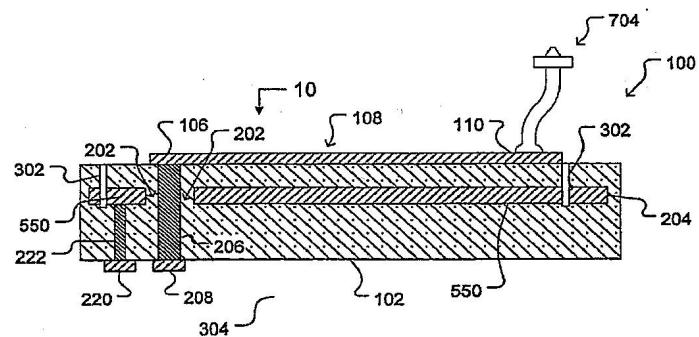
도면9



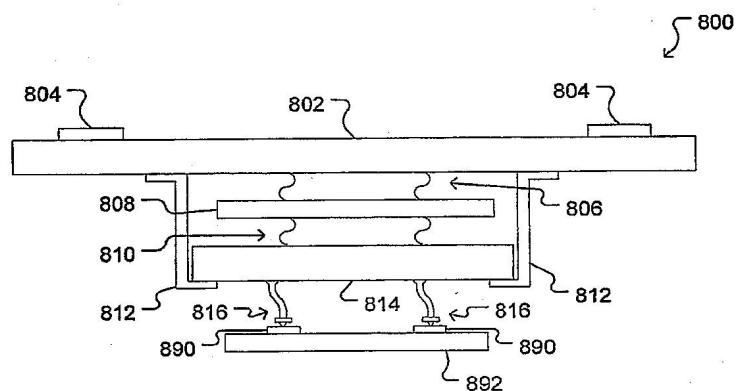
도면10



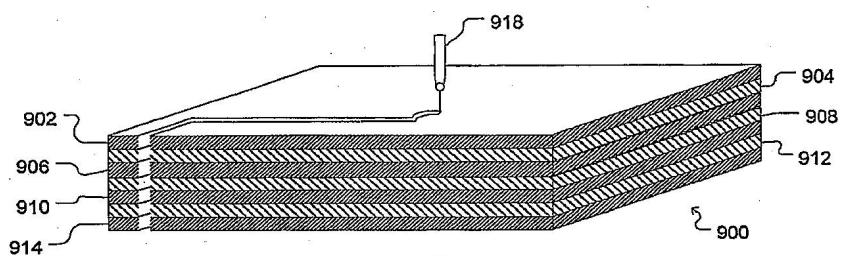
도면11



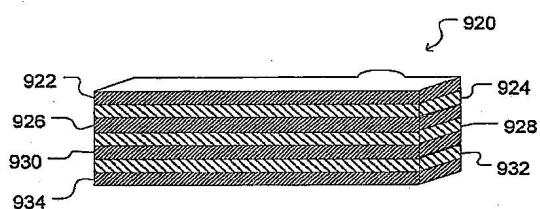
도면12



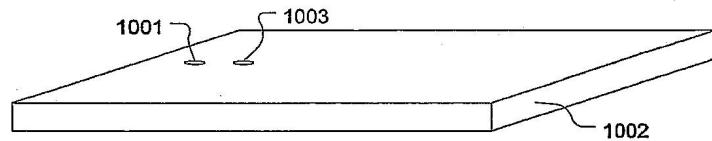
도면13



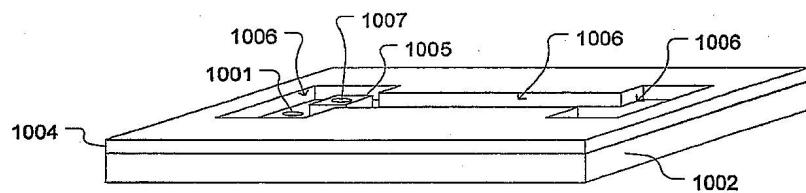
도면14



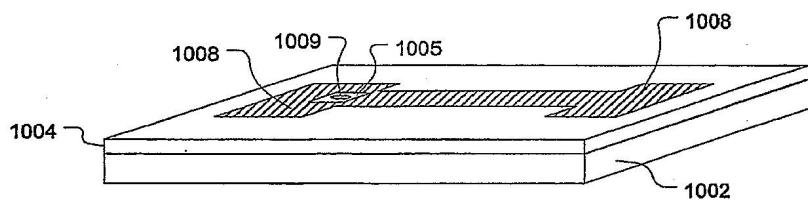
도면15



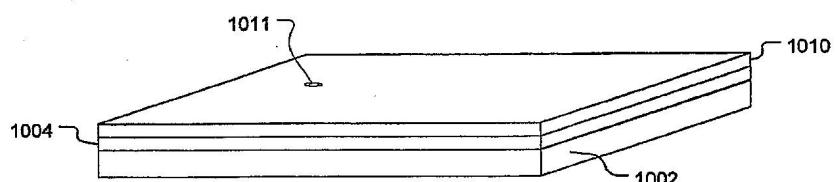
도면16



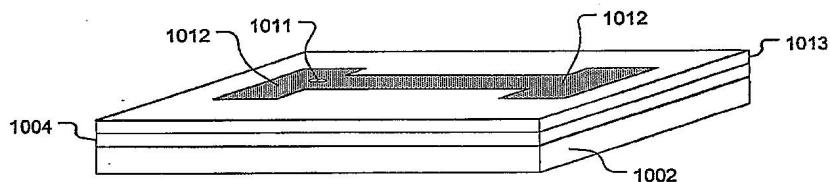
도면17



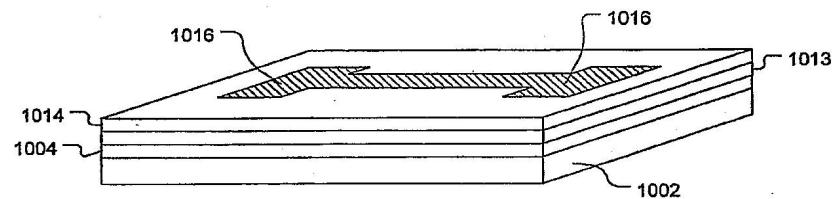
도면18



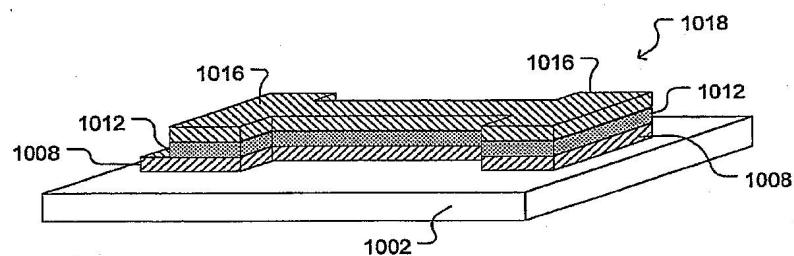
도면19



도면20



도면21



도면22

