



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

transistor, and a second transistor. The first transistor is connected in series with the light-emitting element and controls a current flowing through the light-emitting element. The second transistor is connected in cascade with the first transistor and switches the light-emitting element between a light-emitting state and a non-light-emitting state. A first potential or a second potential is selectively inputted to a gate electrode of the second transistor. The first potential is a potential at which the second transistor is set to a non-conduction state. The second potential is a potential between the first power supply potential and the second power supply potential.

(57) 要約 : 画素回路は、第1電源電位入力部と第2電源電位入力部と複数の素子とを備える。第1電源電位入力部は、第1電源電位を供給する。第2電源電位入力部は、第1電源電位よりも低電位の第2電源電位を供給する。複数の素子は、第1電源電位入力部と第2電源電位入力部との間で直列または縦続に接続されている。複数の素子は、発光素子と第1トランジスタと第2トランジスタとを含む。第1トランジスタは、発光素子に直列に接続されており、発光素子を流れる電流を制御する。第2トランジスタは、第1トランジスタに縦続に接続されており、発光素子を発光状態と非発光状態との間で切り替える。第2トランジスタのゲート電極には、第1電位または第2電位が選択的に入力される。第1電位は、第2トランジスタを非導通状態に設定する電位である。第2電位は、第1電源電位と第2電源電位との間の電位である。

## 明 細 書

**発明の名称：画素回路、表示パネルおよび表示装置**

### 関連出願の相互参照

[0001] 本出願は、日本国出願2021-135713号（2021年8月23日出願）の優先権を主張する出願であり、当該日本国出願の開示全体を、ここに参照のために取り込む。

### 技術分野

[0002] 本開示は、画素回路、表示パネルおよび表示装置に関する。

### 背景技術

[0003] 従来、複数の走査信号線と複数の画像信号線とが格子状に位置し、複数の走査信号線と複数の画像信号線との交差点にそれぞれ対応する形態で複数の画素部が行列状に配列された画像表示部を有する表示装置がある（特許文献1、2の記載を参照）。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：国際公開第2020/174879号

特許文献2：特開2005-181975号公報

### 発明の概要

[0005] 画素回路、表示パネルおよび表示装置が開示される。

[0006] 画素回路の一態様は、第1電源電位入力部と、第2電源電位入力部と、複数の素子と、を備えている。前記第1電源電位入力部は、第1電源電位を供給する。前記第2電源電位入力部は、前記第1電源電位よりも低電位の第2電源電位を供給する。前記複数の素子は、前記第1電源電位入力部と前記第2電源電位入力部との間で直列または縦続に接続されている。前記複数の素子は、発光素子と、第1トランジスタと、第2トランジスタと、を含む。前記第1トランジスタは、前記発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を通る電流を制

御する。前記第2トランジスタは、前記第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える。前記第2トランジスタのゲート電極には、第1電位および第2電位のうちの何れか一方の電位が選択的に入力される。前記第1電位は、前記第2トランジスタをソース電極とドレイン電極との間に電流が流れ得ない非導通状態に設定するための前記第1電源電位以上もしくは前記第2電源電位以下の電位である。前記第2電位は、前記第2トランジスタのソース電極とドレイン電極との間に電流を流すための前記第1電源電位と前記第2電源電位との間の電位である。

[0007] 表示パネルの一態様は、上記一態様の画素回路を複数備えている表示パネルであって、複数の前記画素回路のそれぞれにおける前記第2トランジスタのゲート電極に、前記第1電位または前記第2電位を選択的に出力する制御部、を備えている。

[0008] 画素回路の一態様は、発光素子と、第1トランジスタと、第2トランジスタと、を含み、制御部を備えている。前記第1トランジスタは、前記発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を流れる電流を制御する。前記第2トランジスタは、前記第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える。前記制御部は、前記第2トランジスタをスイッチ制御する複数のスイッチ素子の機能を備える。前記制御部には、前記複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。前記制御部は、前記複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、前記第2トランジスタのゲート電極に前記発光素子を非発光状態とするための電位を出力する。前記制御部は、前記複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、前記第2トランジスタのゲート電極に前記発光素子を発光状態とするための電位を出力する。

[0009] 表示パネルの一態様は、複数の画素回路と、複数のスイッチ素子の機能を有する制御部と、を備えている。前記複数の画素回路のそれぞれは、発光素子と、第1トランジスタと、第2トランジスタと、を含む。前記第1トランジスタは、前記発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を通る電流を制御する。前記第2トランジスタは、前記第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える。前記制御部には、前記複数のスイッチ素子の機能のそれぞれについてのオンまたはオフに係る信号が選択的に入力される。前記制御部は、前記複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、前記複数の画素回路のそれぞれにおける前記第2トランジスタのゲート電極に、前記発光素子を非発光状態とするための電位を出力する。前記制御部は、前記複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、前記複数の画素回路のそれぞれにおける前記第2トランジスタのゲート電極に、前記発光素子を発光状態とするための電位を出力する。

[0010] 表示装置の一態様は、上記の何れかの一態様の表示パネルと、駆動部と、を備えている。前記駆動部は、前記表示パネルの表示面と反対側の反表示面の側に位置し、前記画素回路に電氣的に接続している。

### 図面の簡単な説明

[0011] [図1]図1は、各実施形態に係る表示装置の一例を模式的に示す正面図である。  
。  
[図2]図2は、各実施形態に係る表示装置の一例を模式的に示す裏面図である。  
。  
[図3]図3は、各実施形態に係る表示装置の構成の一例を模式的に示すブロック回路図である。  
[図4]図4は、第1実施形態に係る第1副画素回路の一例を示す回路図である。  
。

[図5]図5は、制御部の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。

[図6]図6は、制御部の一例を示す回路図である。

[図7]図7は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図8]図8は、制御部と複数の副画素回路との接続の一例を示すブロック回路図である。

[図9]図9は、制御部と複数の画素回路との接続の一例を示すブロック回路図である。

[図10]図10は、第1実施形態の別の一例に係る第1副画素回路を示す回路図である。

[図11]図11は、第2実施形態に係る第1副画素回路の一例を示す回路図である。

[図12]図12は、制御部の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。

[図13]図13は、制御部の一例を示す回路図である。

[図14]図14は、制御部における入力と中間出力信号と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図15]図15は、制御部に設定制御信号を出力する信号出力回路の一例を示すブロック回路図である。

[図16]図16は、制御部と信号出力回路と複数の副画素回路との接続の一例を示すブロック回路図である。

[図17]図17は、制御部と信号出力回路と複数の画素回路との接続の一例を示すブロック回路図である。

[図18]図18は、第3実施形態に係る第1副画素回路の一例を示す回路図である。

[図19]図19は、制御部の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。

[図20]図20は、制御部の一例を示す回路図である。

[図21]図21は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図22]図22は、第4実施形態に係る第1副画素回路の一例を示す回路図である。

[図23]図23は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図24]図24は、第5実施形態に係る第1副画素回路の一例を示す回路図である。

[図25]図25は、制御部における入力と中間出力信号と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図26]図26は、第6実施形態に係る第1副画素回路の一例を示す回路図である。

[図27]図27は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図28]図28は、第7実施形態に係る第1副画素回路の一例を示す回路図である。

[図29]図29は、制御部の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。

[図30]図30は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図31]図31は、第7実施形態の別の一例に係る第1副画素回路の一例を示す回路図である。

[図32]図32は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図33]図33は、第8実施形態に係る第1副画素回路の一例を示す回路図である。

[図34]図34は、制御部における入力と出力と第1副画素回路の状態との関

係の一例を示す真理値表である。

[図35]図35は、第9実施形態に係る第1副画素回路の一例を示す回路図である。

[図36]図36は、制御部における入力と出力と第1副画素回路の状態との関係の一例を示す真理値表である。

[図37]図37は、第1トランジスタにNチャンネルトランジスタが適用された第1副画素回路の一例を示す回路図である。

[図38]図38は、閾値電圧補正回路が組み込まれた第1副画素回路の一例を示す回路図である。

[図39]図39は、閾値電圧補正回路が組み込まれた第1副画素回路の動作の一例を示すタイミングチャートである。

[図40]図40は、タイリングディスプレイの一例を模式的に示す正面図である。

[図41]図41は、第1参考例に係る副画素部の回路の構成を模式的に示す回路図である。

[図42]図42は、第2参考例に係る副画素部の回路の構成を模式的に示す回路図である。

[図43]図43は、第3参考例に係る副画素部の回路の構成を模式的に示す回路図である。

[図44]図44は、第4参考例に係る副画素部の回路の構成を模式的に示す回路図である。

### 発明を実施するための形態

[0012] 本開示の画素回路、表示パネルおよび表示装置の種々の実施形態に係る例について、以下に説明する。まず、本開示の画素回路の前提となる構成について、図41から図44に示す第1参考例から第4参考例を用いて説明する。表示装置は、複数の走査信号線と複数の画像信号線とが格子状に位置し、複数の走査信号線と複数の画像信号線との交差点にそれぞれ対応する形態で複数の画素部が行列状に配列された画像表示部を有する。

- [0013] この表示装置では、各画素部が、第1色の光を発する第1の発光素子を備えた副画素部と、第2色の光を発する第2の発光素子を備えた副画素部と、第3色の光を発する第3の発光素子を備えた副画素部と、を有する。これにより、表示装置は、カラー画像等を表示することができる。第1色、第2色および第3色には、赤色、緑色および青色が適用され得る。
- [0014] 図41は、第1参考例に係る副画素部915の回路の構成を模式的に示す回路図である。各副画素部915は、発光素子914と、この発光素子914における発光、非発光および発光強度などを制御する発光制御部922と、を備える。
- [0015] 発光素子914には、マイクロ発光ダイオード(LED)素子、または有機エレクトルルミネッセンス(EL)素子などが適用される。発光素子914は、ガラス板などの基板の第1面上に配置された絶縁層上に位置している。発光素子914は、画素部に配された絶縁層を貫通するスルーホールなどに配された貫通導体を介して、発光制御部922および第2電源電位入力部917に電氣的に接続している。発光素子914の正電極は、発光制御部922を介して第1電源電位入力部916に接続している。発光素子914の負電極は、第2電源電位入力部917に接続している。第1電源電位入力部916は、第1電源電位端子であってもよく、第1電源電位入力線であってもよい。第2電源電位入力部917も同じく、第2電源電位端子であってもよく、第2電源電位入力線であってもよい。
- [0016] 発光制御部922は、選択トランジスタ912と、駆動トランジスタ913と、容量素子918と、発光制御トランジスタ919と、を備える。
- [0017] 選択トランジスタ912は、副画素部915に画像信号を入力するためのスイッチとして機能するトランジスタである。選択トランジスタ912には、Pチャネル型薄膜トランジスタ(Pチャネルトランジスタともいう)などが適用される。選択トランジスタ912のゲート電極は、走査信号線902に接続している。選択トランジスタ912のソース電極は、画像信号線903に接続している。選択トランジスタ912のドレイン電極は、駆動トラン

ジスタ913のゲート電極に接続している。走査信号線902からの走査信号としてのオン信号(Low(L)信号)が選択トランジスタ912のゲート電極に入力されると、選択トランジスタ912は、ソース電極とドレイン電極との間に電流が流れ得る導通状態(オン状態またはスイッチとしての閉状態ともいう)となる。これにより、画像信号線903からの画像信号が選択トランジスタ912を介して駆動トランジスタ913のゲート電極に付与される。

- [0018] 駆動トランジスタ913は、第1電源電位入力部916が付与する第1電源電位V<sub>dd</sub>と第2電源電位入力部917が付与する第2電源電位V<sub>ss</sub>との電位差(V<sub>dd</sub>-V<sub>ss</sub>)と、画像信号線903から伝達される画像信号のレベル(電位)と、に応じて、発光素子914を電流駆動させる素子(駆動素子ともいう)として機能する。換言すれば、駆動トランジスタ913は、発光素子914に流れる電流を制御することができる。第1電源電位入力部916は、正の電源電位(第1電源電位ともいう)側の電源線としての第1電源線L<sub>vd</sub>に接続している。第1電源線L<sub>vd</sub>から第1電源電位入力部916に付与される第1電源電位V<sub>dd</sub>は、3ボルト(V)から5V程度とされる。また、第1電源電位V<sub>dd</sub>は8V~15V程度であってもよい。第2電源電位入力部917は、負の電源電位(第2電源電位ともいう)側の電源線としての第2電源線L<sub>vs</sub>に接続している。第2電源線L<sub>vs</sub>から第2電源電位入力部917に付与される第2電源電位V<sub>ss</sub>は、-3Vから0V程度とされる。第2電源線L<sub>vs</sub>は、接地された接地線であってもよい。駆動トランジスタ913には、Pチャネルトランジスタなどが適用される。この場合、駆動トランジスタ913のソース電極は、第1電源電位入力部916に接続している。駆動トランジスタ913のドレイン電極は、発光制御トランジスタ919および発光素子914を介して第2電源電位入力部917に接続している。画像信号線903からの画像信号が駆動トランジスタ913のゲート電極に入力されると、駆動トランジスタ913が導通状態となる。

[0019] 容量素子918は、駆動トランジスタ913のゲート電極とソース電極とを接続している接続線上に配置されている。この容量素子918は、駆動トランジスタ913のゲート電極に入力された画像信号の電位を次の画像信号の入力（書き換えともいう）までの期間（1フレームの期間ともいう）保持する保持容量として機能する。

[0020] 発光制御トランジスタ919は、駆動トランジスタ913と発光素子914との間の駆動線925上に配置され、発光素子914の発光および非発光を制御することができる。発光制御トランジスタ919には、Pチャネルトランジスタなどが適用される。この場合、発光制御トランジスタ919のソース電極は、駆動トランジスタ913のドレイン電極に接続している。換言すれば、発光制御トランジスタ919は、駆動トランジスタ913に対して縦続に接続している。また、発光制御トランジスタ919のドレイン電極は、発光素子914の正電極に接続している。ここで、発光制御トランジスタ919において、ゲート電極に発光制御信号（Emi信号ともいう）としてのL信号が入力されると、発光制御トランジスタ919が導通状態となる。これにより、第1電源電位入力部916から駆動トランジスタ913、発光制御トランジスタ919および駆動線925を介して発光素子914に電流（駆動電流ともいう）が流れ、発光素子914が発光する。このとき、画像信号のレベル（電位）の制御により、発光素子914の発光の強度（輝度）が制御され得る。この場合、L信号は、発光制御トランジスタ919を導通状態（オン状態）にすることができるオン信号として機能する。オン信号としてのL信号の電位（L電位ともいう） $V_{gl}$ には、第2電源線Lvsによって供給される第2電源電位 $V_{ss}$ よりも低い電位が適用され得る。

[0021] ところで、複数の副画素部915のうちの一部の副画素部915において、発光素子914と貫通導体との接続に不良が生じると、駆動電流が発光素子914に十分流れず、発光素子914が所望の強度で発光しない場合がある。また、複数の副画素部915のうちの一部の副画素部915において、発光素子914の欠陥、劣化もしくは破損などの素子の不良が生じて、発

光素子 914 が所望の強度で発光しない発光の不良が生じる場合がある。

[0022] そこで、図 42 で示されるように、各副画素部 915 において、並列に接続させた 2 つの発光素子 914 を配置し、2 つの発光素子 914 のうちの不良が生じていない 1 つの発光素子 914 を常に発光させる構成が考えられる。

[0023] 図 42 は、第 2 参考例に係る副画素部 915 の回路の構成を模式的に示す回路図である。図 42 で示される副画素部 915 の回路は、上述した図 41 における副画素部 915 の回路をベースとして、一部の構成が他の構成に置換され、追加の構成が加えられた回路である。ここで、図 41 における副画素部 915 の回路の構成のうちの置換される対象としての一部の構成は、駆動線 925 および発光素子 914 である。図 42 で示される副画素部 915 の回路の構成のうちの置換後の他の構成は、2 つの駆動線 925 としての第 1 駆動線 925 a および第 2 駆動線 925 b、2 つの発光素子 914 としての第 1 発光素子 914 a および第 2 発光素子 914 b、第 1 スイッチ 926 a ならびに第 2 スイッチ 926 b である。また、図 42 で示される副画素部 915 の回路の構成のうちの追加の構成は、切替制御部 927 である。

[0024] 図 42 で示されるように、第 1 駆動線 925 a および第 2 駆動線 925 b は、それぞれ発光制御部 922 に接続しているとともに、互いに並列に接続している。この構成において、第 1 駆動線 925 a および第 2 駆動線 925 b のうち、一方の駆動線 925 が通常の駆動線（通常駆動線ともいう）であり、他方の駆動線 925 が予備的な駆動線（冗長駆動線ともいう）である。第 1 駆動線 925 a は、第 1 発光素子 914 a の正電極に接続しており、第 1 発光素子 914 a の負電極は、第 2 電源電位入力部 917 に接続している。第 2 駆動線 925 b は、第 2 発光素子 914 b の正電極に接続しており、第 2 発光素子 914 b の負電極は、第 2 電源電位入力部 917 に接続している。第 1 スイッチ 926 a は、第 1 駆動線 925 a 上に配置されており、第 1 駆動線 925 a を使用状態（駆動状態ともいう）または不使用状態（非駆動状態ともいう）に設定することができる。第 2 スイッチ 926 b は、第 2

駆動線 925b 上に配置されており、第 2 駆動線 925b を使用状態（駆動状態）または不使用状態（非駆動状態）に設定することができる。切替制御部 927 は、第 1 スイッチ 926a および第 2 スイッチ 926b のうち、一方のスイッチを電流が流れ得ない非導通状態（オフ状態またはスイッチとしての開状態ともいう）に設定し、他方のスイッチを導通状態に設定する。これにより、2 つの発光素子 914 としての第 1 発光素子 914a および第 2 発光素子 914b のうちの不良が生じていない 1 つの発光素子 914 を常に発光させることができる。第 1 スイッチ 926a および第 2 スイッチ 926b には、P チャネルトランジスタなどが適用される。この場合、第 1 スイッチ 926a としての P チャネルトランジスタは、発光制御トランジスタ 919 に対して縦続に接続している。また、第 2 スイッチ 926b としての P チャネルトランジスタは、発光制御トランジスタ 919 に対して縦続に接続している。そして、第 1 発光素子 914a を常に発光させる際には、切替制御部 927 は、第 1 スイッチ 926a のゲート電極にオン信号（ $V_{ga} : L$  信号）を入力し且つ第 2 スイッチ 926b のゲート電極にオフ信号（ $V_{gb} : H$  信号）を入力する。オフ信号としての H 信号の電位（H 電位ともいう） $V_{gh}$  には、第 1 電源線  $L_{vd}$  によって供給される第 1 電源電位  $V_{dd}$  よりも高い電位が適用され得る。一方、第 2 発光素子 914b を常に発光させる際には、切替制御部 927 は、第 1 スイッチ 926a のゲート電極にオフ信号（ $V_{ga} : H$  信号）を入力し且つ第 2 スイッチ 926b のゲート電極にオン信号（ $V_{gb} : L$  信号）を入力する。

[0025] ところで、ソース接地の増幅回路を構成するトランジスタについては、出力抵抗が低く、ゲート電圧  $V_{gs}$  が一定であっても、ソース電極とドレイン電極との間の電圧  $V_{ds}$  が変動すると、チャネル長変調効果によって、出力電流としてのドレイン電流（ソースドレイン間電流ともいう） $I_{ds}$  が変動し得ることが知られている。このため、第 1 参考例および第 2 参考例に係る副画素部 915 の何れの駆動トランジスタ 913 においても、第 1 電源電位  $V_{dd}$ 、第 2 電源電位  $V_{ss}$  および発光素子 914 にかかる順方向の電圧

のうちの1つ以上の値の変動によって、ソース電極とドレイン電極との間の電圧 $V_{ds}$ が変動し、出力電流としてのドレイン電流 $I_{ds}$ が変動し得る。第1電源電位 $V_{dd}$ は、第1電源線 $L_{vd}$ のうちの第1電源電位入力部916が接続された箇所と電源との距離に応じて低下し得る。第2電源電位 $V_{ss}$ は、第2電源線 $L_{vs}$ のうちの第2電源電位入力部917が接続された箇所と電源との距離に応じて上昇し得る。発光素子914にかかる順方向の電圧は、発光素子914における発光効率および内部抵抗などの各特性ならびに駆動電流、順方向電圧および輝度の各設定値などに応じて変動し得る。この場合、駆動トランジスタ913については、出力抵抗 $R_{o1}$ と、ドレイン電極とソース電極との間の電圧（ドレインーソース間電圧ともいう） $V_{ds}$ の変動量 $\Delta V_{ds}$ と、出力電流としてのドレイン電流 $I_{ds}$ の変動量 $\Delta I_{ds}$ と、の間には、 $\Delta I_{ds} = \Delta V_{ds} / R_{o1}$ の関係が成立する。ここで、出力抵抗 $R_{o1}$ が小さければ、ドレインーソース間電圧 $V_{ds}$ の変動量 $\Delta V_{ds}$ に応じたドレイン電流 $I_{ds}$ の変動量 $\Delta I_{ds}$ が大きくなる。そして、駆動トランジスタ913のドレイン電流 $I_{ds}$ が変動すると、発光素子914の発光輝度が所望の発光輝度からずれ、表示装置100において輝度のむら（輝度むらともいう）および色のむら（色むらともいう）が生じ得る。輝度むらには、赤（R : Red）、緑（G : Green）、青（B : Blue）もしくは白（W : White）などの一色の明暗のむらが含まれる。色むらには、RGBの混合比のむらが含まれる。

[0026] そこで、図43および図44で示されるように、駆動トランジスタ913のドレイン電極側に縦続に接続しており、駆動トランジスタ913とカスコード接続を形成するトランジスタ（カスコード接続用トランジスタともいう）920を設けることが考えられる。カスコード接続用トランジスタ920は、駆動トランジスタ913と同じ導電型を有するトランジスタであり、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との間の所定の電位（入力電位ともいう） $V_b$ がゲート電極に入力される。図43および図44の例では、駆動トランジスタ913としてのPチャネルトランジスタのドレイン電極と、カ

スコード接続用トランジスタ920としてのPチャネルトランジスタのソース電極とが接続されており、カスコード接続用トランジスタ920としてのPチャネルトランジスタのドレイン電極と、発光制御トランジスタ919としてのPチャネルトランジスタのソース電極とが接続されている。ここで、カスコード接続用トランジスタ920について、出力抵抗を $R_{o2}$ とし、相互コンダクタンスを $g_{m2}$ とすれば、駆動トランジスタ913における見かけ上の出力抵抗 $R_o$ は、 $R_o \cong g_{m2} \times R_{o2} \times R_{o1}$ の関係を有する。換言すれば、カスコード接続用トランジスタ920の設置によるカスコード接続によって、駆動トランジスタ913の出力抵抗は、約 $(g_{m2} \times R_{o2})$ 倍となる。具体的には、 $(g_{m2} \times R_{o2})$ が10であれば、駆動トランジスタ913の出力抵抗は、約10倍となる。この場合、駆動トランジスタ913では、ドレイン-ソース間電圧 $V_{ds}$ の変動量 $\Delta V_{ds}$ に対するドレイン電流 $I_{ds}$ の変動量 $\Delta I_{ds}$ は、約 $1/10$ になる。これにより、駆動トランジスタ913では、第1電源電位 $V_{dd}$ 、第2電源電位 $V_{ss}$ および発光素子914にかかる順方向の電圧のうちの1つ以上の値が変動しても、チャネル長変調効果によるドレイン電流 $I_{ds}$ の変動が生じにくい。

[0027] しかしながら、第1電源電位入力部916と第2電源電位入力部917との間において、駆動トランジスタ913に対して、発光制御トランジスタ919、カスコード接続用トランジスタ920、および第1スイッチ926aもしくは第2スイッチ926bに適用されるトランジスタなどの複数のトランジスタが縦続に接続している。このため、電位差 $(V_{dd} - V_{ss})$ のうち、駆動トランジスタ913に縦続に接続された複数のトランジスタにおける直列抵抗が占める割合が大きくなり、駆動トランジスタ913におけるドレイン-ソース間電圧 $V_{ds}$ が小さくなる。これにより、第1電源電位 $V_{dd}$ の降下あるいは第2電源電位 $V_{ss}$ の上昇などによって電位差 $(V_{dd} - V_{ss})$ が低下すると、駆動トランジスタ913を飽和領域で駆動させる条件が厳しくなる。換言すれば、駆動トランジスタ913を飽和領域で駆動させにくくなる。その結果、表示装置を平面視した場合に輝度が徐々に低下す

るグラデーション（輝度むらともいう）が生じ易くなる。よって、表示装置における画質が低下し得る。

[0028] この問題は、第1電源電位入力部916と第2電源電位入力部917との間において、発光素子914を電流駆動させる駆動素子としての駆動トランジスタ913と複数のトランジスタとが縦続に接続された画素回路を有する表示装置一般に共通して生じ得る。

[0029] 従って、表示装置については、画質を向上させる点で改善の余地がある。

[0030] そこで、本開示の発明者は、表示装置について画質を向上させることができる技術を創出した。例えば、画素回路は、発光素子に直列に接続され、画像信号に応じた電位がゲート電極に入力されることで発光素子を通る電流を制御する第1トランジスタと、第1トランジスタに縦続に接続され、発光素子を発光状態と非発光状態との間で切り替える第2トランジスタと、を含む。第2トランジスタのゲート電極には、第2トランジスタのソース電極とドレイン電極との間を非導通状態に設定する、第1電源電位以上もしくは第2電源電位以下の第1電位、および第2トランジスタのソース電極とドレイン電極との間に電流を流す、第1電源電位と第2電源電位との間の第2電位、のうちの一方の電位が選択的に入力される。ここで、第2トランジスタが、第1トランジスタのドレイン電極側において第1トランジスタに対して縦続に接続されている場合、第2トランジスタのゲート電極に第2電位が入力されることで、第2トランジスタは、第1トランジスタに対してカスコード接続を形成する。ここでは、第1トランジスタおよび第2トランジスタがそれぞれPチャンネル型である場合、第2電位は、例えば、第1トランジスタを飽和領域で動作させるための、第1トランジスタのドレイン電位よりも低い電位である。また、第1トランジスタおよび第2トランジスタがそれぞれNチャンネル型である場合、第2電位は、例えば、第1トランジスタを飽和領域で動作させるための、第1トランジスタのドレイン電位よりも高い電位である。

[0031] また、第2トランジスタが、第1トランジスタのソース電極側において第

1 トランジスタに対して縦続に接続されている場合、第2 トランジスタのゲート電極に第2 電位が入力されることで、第2 トランジスタは、第1 トランジスタに対してデジェネレーション抵抗を形成する。ここで、第2 電位は、第2 トランジスタのゲート電極に印加される、発光素子を発光状態とする電位であって、第1 トランジスタを飽和領域で動作させるとともに、第1 トランジスタにおけるゲート電圧とドレイン電流との関係が線形的になるアナログ素子の機能を第2 トランジスタに付与するための電位である。ここでは、第1 トランジスタおよび第2 トランジスタがそれぞれPチャネル型である場合、第2 電位は、第1 トランジスタのソース電位よりも低い電位である。また、第1 トランジスタおよび第2 トランジスタがそれぞれNチャネル型である場合、第2 電位は、第1 トランジスタのソース電位よりも高い電位である。

[0032] 第1 トランジスタに縦続に接続されているトランジスタは、第2 トランジスタだけでもよい。これにより、駆動トランジスタとしての第1 トランジスタを飽和領域で駆動させやすくなる。その結果、表示装置を平面視した場合に輝度が徐々に低下するグラデーションが生じにくくなる。

[0033] 第1 トランジスタおよび第2 トランジスタがそれぞれPチャネル型である場合であって、第2 トランジスタが、第1 トランジスタのドレイン電極側において第1 トランジスタに対して縦続に接続されている場合、第2 電位は、第1 トランジスタのドレイン電位よりも低い電位である。この第2 電位は、例えば以下の電位として規定することができる。第2 電位は、第1 トランジスタのソース電極の電位（ソース電位）を基準として、第1 トランジスタのオーバードライブ電圧であるマイナスの電圧と、第2 トランジスタのゲートーソース間電圧（ゲート電圧）であるマイナスの電圧と、の和だけ減じた電位以下とする。例えば、オーバードライブ電圧は、第1 トランジスタにおけるゲートーソース間電圧（ゲート電圧） $V_{gs1}$ （例えば、 $-1.5V$ 程度）から、第1 トランジスタの閾値電圧 $V_{th1}$ （例えば、 $-1V$ 程度）を減じた値（例えば、 $-0.5V$ 程度）である。第2 電位は、第1 トランジスタ

のドレイン電位よりも0.5Vから2V程度低い電位であってもよい。第1トランジスタおよび第2トランジスタがそれぞれNチャネル型である場合、第2電位は、第1トランジスタのソース電位よりも0.5Vから2V程度高い電位であってもよい。

[0034] これらの構成および機能などについて、以下、各種実施形態について図面を参照しつつ説明する。図面においては同一もしくは類似の構成および機能を有する部分に同じ符号が付されており、下記説明では重複説明が省略される。各図面は模式的に示されている。図1、図2および図40には、右手系のXYZ座標系が付されている。このXYZ座標系では、基板20の第1面F1に沿った第1の方向が+X方向とされ、第1面F1に沿った+X方向と直交する第2の方向が+Z方向とされ、第1面F1に垂直な第3の方向が+Y方向とされている。

[0035] <1. 第1実施形態>

<1-1. 表示装置の概略構成>

図1は、第1実施形態に係る表示装置100の一例を模式的に示す正面図である。図2は、第1実施形態に係る表示装置100の一例を模式的に示す裏面図である。図3は、第1実施形態に係る表示装置100の構成の一例を模式的に示すブロック回路図である。図1から図3で示されるように、表示装置100は、表示パネル100pと、駆動部30と、を備えている。表示パネル100pは、複数の画素回路10を備えている。表示パネル100pは、画像を表示する面（表示面ともいう）Sf1と、この表示面Sf1とは反対側の面（反表示面とも非表示面ともいう）Sf2と、を有する。表示パネル100pは、平面視形状が矩形の矩形平板状、台形平板状、円形平板状等の形状である。第1実施形態では、表示パネル100pは、基板20と、複数の画素回路10と、を備えている。

[0036] 基板20は、第1面（第1主面ともいう）F1と、第2面（第2主面ともいう）F2と、複数の側面F3と、を有する。第2面F2は、第1面F1の逆側の面である。複数の側面F3は、それぞれ第1面F1と第2面F2とを

接続している。基板 20 には、平板状の基板が適用される。第 1 面 F 1 および第 2 面 F 2 のそれぞれには、4 辺を有する矩形状の面が適用される。この場合、複数の側面 F 3 は、第 1 側面 F 3 1 と、第 2 側面 F 3 2 と、第 3 側面 F 3 3 と、第 4 側面 F 3 4 と、を含む。第 1 側面 F 3 1 は、第 1 面 F 1 の第 1 辺と、第 2 面 F 2 の第 1 辺と、を接続している。換言すれば、第 1 側面 F 3 1 は、第 1 面 F 1 の第 1 辺および第 2 面 F 2 の第 1 辺を対向する 2 辺として有する。第 2 側面 F 3 2 は、第 1 面 F 1 の第 2 辺と第 2 面 F 2 の第 2 辺とを接続している。換言すれば、第 2 側面 F 3 2 は、第 1 面 F 1 の第 2 辺および第 2 面 F 2 の第 2 辺を対向する 2 辺として有する。第 3 側面 F 3 3 は、第 1 面 F 1 の第 3 辺と、第 2 面 F 2 の第 3 辺と、を接続している。換言すれば、第 3 側面 F 3 3 は、第 1 面 F 1 の第 3 辺および第 2 面 F 2 の第 3 辺を対向する 2 辺として有する。第 4 側面 F 3 4 は、第 1 面 F 1 の第 4 辺と、第 2 面 F 2 の第 4 辺と、を接続している。換言すれば、第 4 側面 F 3 4 は、第 1 面 F 1 の第 4 辺および第 2 面 F 2 の第 4 辺を対向する 2 辺として有する。図 1 および図 2 の例では、第 1 面 F 1 は、XZ 平面に沿った平坦な面であり、-Y 方向を向いている。第 2 面 F 2 は、XZ 平面に沿った平坦な面であり、+Y 方向を向いている。第 1 側面 F 3 1 は、+Z 方向を向いている。第 2 側面 F 3 2 は、-X 方向を向いている。第 3 側面 F 3 3 は、-Z 方向を向いている。第 4 側面 F 3 4 は、+X 方向を向いている。基板 20 には、ガラス板が適用される。ガラス板は、透明であっても透明でなくてもよい。基板 20 には、着色されたガラス製の基板、摺りガラス製の基板、プラスチック製の基板、セラミック製の基板または金属製の基板、あるいはそれらの 2 枚以上の基板が積層された複合基板が適用されてもよい。

[0037] 複数の画素回路 10 は、それぞれ画素部を構成している回路である。複数の画素回路 10 は、行列状に配列されている。複数の画素回路 10 は、基板 20 の第 1 面 F 1 上において、行列状に配列されている。この場合、複数の画素回路 10 が 1 列の画素回路 10 を構成しており、複数の画素回路 10 が 1 行の画素回路 10 を構成している。より具体的には、n 行×m 列 (n、m

は自然数)の画素回路10が配列されている。複数の画素回路10は、画像を表示する部分(画像表示部ともいう)300を構成している。この画像表示部300は、基板20のうちの第1面F1側に位置している。図1および図2の例では、画像表示部300の-Y方向を向いた表面が、表示パネル100pの表示面Sf1を構成している。ここで、画像表示部300は、第1面F1の略全面を覆っている状態で位置していてもよい。この場合、表示装置100は、基板20の第1面F1側の片面において、画像表示部300が全面に配置されている構造(額縁レス構造ともいう)または画像表示部300の周囲の額縁部分を極力狭くした構造(狭額縁構造ともいう)を有する。

[0038] 複数の画素回路10のそれぞれは、複数の副画素回路を有する。複数の副画素回路は、それぞれ画素部に含まれた副画素部を構成している回路である。複数の副画素回路は、第1副画素回路1と、第2副画素回路2と、第3副画素回路3と、を含む。第1副画素回路1は、第1色の光を発することができる。第2副画素回路2は、第1色とは異なる第2色の光を発することができる。第3副画素回路3は、第1色および第2色とは異なる第3色の光を発することができる。第1色、第2色および第3色には、赤色、緑色および青色が適用される。第1色に赤色が適用される場合、第2色に緑色が適用され且つ第3色に青色が適用されるか、もしくは第2色に青色が適用され且つ第3色に緑色が適用され得る。第1色に緑色が適用される場合、第2色に赤色が適用され且つ第3色に青色が適用されるか、もしくは第2色に青色が適用され且つ第3色に赤色が適用され得る。第1色に青色が適用される場合、第2色に赤色が適用され且つ第3色に緑色が適用されるか、もしくは第2色に緑色が適用され且つ第3色に赤色が適用され得る。各画素回路10では、第1副画素回路1と、第2副画素回路2と、第3副画素回路3と、が行方向において順に並んでいる。この場合、複数の第1副画素回路1が1行の第1副画素回路1を構成し、複数の第2副画素回路2が1行の第2副画素回路2を構成し、複数の第3副画素回路3が1行の第3副画素回路3を構成している。また、複数の第1副画素回路1が1列の第1副画素回路1を構成し、複数

の第2副画素回路2が1列の第2副画素回路2を構成し、複数の第3副画素回路3が1列の第3副画素回路3を構成している。各画素回路10において、第1副画素回路1、第2副画素回路2および第3副画素回路3は、任意の順に並んでいてもよい。

[0039] 駆動部30は、複数の画素回路10のそれぞれに電氣的に接続している。駆動部30は、表示パネル100pの反表示面Sf2の側に位置している。第1実施形態では、駆動部30は、基板20のうちの第2面F2側に位置している。駆動部30は、集積回路(Integrated Circuit: IC)または大規模集積回路(Large-Scale Integration: LSI)などの駆動素子がチップオンガラス(Chip On Glass: COG)方式で基板20の第2面F2上に実装されることで形成され得る。駆動部30は、駆動素子が搭載された回路基板であってもよい。また、駆動部30は、化学蒸着(Chemical Vapor Deposition: CVD)法などの薄膜形成法によって、基板20の第2面F2上に直接的に形成された低温ポリシリコン(Low Temperature Poly Silicon: LTPS)の半導体層を有する薄膜トランジスタ(Thin Film Transistor: TFT)などを備えた薄膜の回路(薄膜回路ともいう)であってもよい。駆動部30は、基板20の第2面F2上に位置している配線(裏面配線ともいう)W2と、基板20の側面F3上に位置している配線(側面配線ともいう)W3と、をそれぞれ含む複数の配線によって、基板20の第1面F1側に位置している画像表示部300に電氣的に接続している。このため、複数の配線は、表示パネル100pに含まれる。

[0040] また、表示パネル100pは、図3で示されるように、複数の画像信号線4sと、複数の走査信号線(ゲート信号線ともいう)4gと、複数の発光制御信号線4eと、を備えている。複数の走査信号線4gと複数の画像信号線4sとは、格子状に位置している。また、表示パネル100pは、走査信号線駆動部30gと、発光制御信号線駆動部30eと、を備えている。

[0041] 複数の画像信号線4sのそれぞれは、第1副画素回路1、第2副画素回路2および第3副画素回路3に、発光の度合いを制御するための信号(画像信

号ともいう)を伝送することができる。画像信号線4sは、1列の画素回路10に沿って位置している。図3の例では、3本の画像信号線4sが、1列の画素回路10に沿って位置している。3本の画像信号線4sは、1本目の画像信号線(第1画像信号線ともいう)4s1と、2本目の画像信号線(第2画像信号線ともいう)4s2と、3本目の画像信号線(第3画像信号線ともいう)4s3と、を含む。より具体的には、1列の画素回路10毎に、1列の第1副画素回路1に沿って位置している第1画像信号線4s1と、1列の第2副画素回路2に沿って位置している第2画像信号線4s2と、1列の第3副画素回路3に沿って位置している第3画像信号線4s3と、が存在している。この場合、各列の画素回路10について、第1画像信号線4s1が、1列を成す複数の第1副画素回路1のそれぞれに電氣的に接続しており、第2画像信号線4s2が、1列を成す第2副画素回路2のそれぞれに電氣的に接続しており、第3画像信号線4s3が、1列を成す第3副画素回路3のそれぞれに電氣的に接続している。複数の画像信号線4sのそれぞれには、駆動部30から画像信号が供給され得る。駆動部30は、時分割方式のセレクト回路などを介して複数の画像信号線4sに画像信号を時分割で供給してもよい。各列の画素回路10に対して1つのセレクト回路が配置され、駆動部30からセレクト回路に供給される画像信号が、セレクト回路によって、第1画像信号線4s1と、第2画像信号線4s2と、第3画像信号線4s3と、に時間順次(線順次)に供給されてもよい。セレクト回路には、3つのトランスファゲート素子を有する構成などが適用される。セレクト回路は、基板20の第1面F1上において、画像表示部300の空き領域に配置されていてもよいし、画像表示部300の外側の額縁部分に配置されていてもよい。

[0042] 複数の走査信号線4gのそれぞれは、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに画像信号を入力するタイミングを制御するための信号(走査信号ともいう)を伝送することができる。1本の走査信号線4gは、1行の画素回路10に沿って位置している。この場合、M

行目（Mは自然数）の画素回路10の行に沿って、M本目の走査信号線4gが位置している。そして、M行目の画素回路10に含まれている複数の第1副画素回路1、複数の第2副画素回路2および複数の第3副画素回路3のそれぞれに、M本目の走査信号線4gが電氣的に接続している。複数の走査信号線4gには、走査信号線駆動部30gから時間順次（線順次）に走査信号が供給され得る。走査信号線駆動部30gには、シフトレジスタなどの各種の回路が適用される。走査信号線駆動部30gは、基板20の第1面F1上に位置している。この場合、走査信号線駆動部30gは、画像表示部300の空き領域に配置されていてもよいし、画像表示部300の外側の額縁部分に配置されていてもよい。走査信号線駆動部30gは、駆動部30からの信号に应答して、複数の走査信号線4gに対して時間順次（線順次）に走査信号を供給することができる。

- [0043] 発光制御信号線4eは、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに、発光のタイミングを制御する信号（発光制御信号ともいう）を伝送することができる。1本の発光制御信号線4eは、1行の画素回路10に沿って位置している。この場合、M行目（Mは自然数）の画素回路10の行に沿って、M本目の発光制御信号線4eが位置している。そして、M行目の画素回路10に含まれている複数の第1副画素回路1、複数の第2副画素回路2および複数の第3副画素回路3のそれぞれに、M本目の発光制御信号線4eが電氣的に接続している。複数の発光制御信号線4eには、発光制御信号線駆動部30eから時間順次（線順次）に発光制御信号が供給され得る。発光制御信号線駆動部30eには、シフトレジスタなどの各種の回路が適用される。発光制御信号線駆動部30eは、基板20の第1面F1上に位置している。この場合、発光制御信号線駆動部30eは、画像表示部300の空き領域に配置されていてもよいし、画像表示部300の外側の額縁部分に配置されていてもよい。発光制御信号線駆動部30eは、駆動部30からの信号に应答して、複数の発光制御信号線4eに対して時間順次（線順次）に発光制御信号を供給することができる。

[0044] <1-2. 副画素回路の構成>

図4は、第1実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第1実施形態では、第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0045] 第1副画素回路1は、第1電源電位入力部1d1と、第2電源電位入力部1s1と、第1電源電位入力部1d1と第2電源電位入力部1s1との間で直列または縦続に接続された複数の素子E1と、を備えている。

[0046] 第1電源電位入力部1d1は、第1電源電位Vddを供給することができる。第1電源電位入力部1d1は、第1電源線Lv dに接続している。第1電源線Lv dは、第1電源線Lv dに第1電源電位Vddを付与する電源に接続している。第1電源電位Vddは、任意の正の電位に設定され得る。第1電源電位Vddが8V程度に設定される態様が考えられる。

[0047] 第2電源電位入力部1s1は、第1電源電位Vddよりも低電位の第2電源電位Vssを供給することができる。第2電源電位入力部1s1は、第2電源線Lv sに接続している。第2電源線Lv sは、第2電源線Lv sに第2電源電位Vssを付与する電源に接続している。第2電源電位Vssは、第1電源電位Vddよりも低電位であれば、正の電位であっても負の電位であってもよい。第2電源電位Vssが0V程度に設定される態様が考えられる。第2電源線Lv sは、接地された接地線であってもよい。

[0048] 複数の素子E1は、第1素子E11としての発光素子12と、第2素子E12としての第1トランジスタ11dと、第3素子E13としての第2トランジスタ11eと、を含む。図4の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第2素子E12としての第1トランジスタ11dと、第3素子E13としての第2トランジスタ11eと、第1素子E11としての発光素子12とが、この記載の順に直列または縦続に接続している。また、第1実施形態では、第1副画素回路1は、第3トラン

ジスタ11gと、容量素子11cと、を備えている。この場合、第1トランジスタ11dと、第2トランジスタ11eと、第3トランジスタ11gと、容量素子11cと、を有する発光制御部11によって、発光素子12における発光が制御され得る。より具体的には、発光制御部11は、発光素子12における発光、非発光および発光強度などを制御することができる。

[0049] 発光素子12は、所定の色の光を発することができる。第1副画素回路1の発光素子12は、第1色の光を発することができる。2副画素回路2の発光素子12は、第2色の光を発することができる。第3副画素回路3の発光素子12は、第3色の光を発することができる。発光素子12には、マイクロ発光ダイオード(LED)素子、または有機エレクトルルミネッセンス(EL)素子などが適用される。第1副画素回路1の発光素子12には、第1色の光を発するマイクロLED素子または有機EL素子などが適用される。第2副画素回路2の発光素子12には、第2色の光を発するマイクロLED素子または有機EL素子などが適用される。第3副画素回路3の発光素子12には、第3色の光を発するマイクロLED素子または有機EL素子などが適用される。

[0050] 第1トランジスタ11dは、発光素子12に直列に接続されている。この第1トランジスタ11dは、画像信号に応じた電位がゲート電極に入力されることで、発光素子12を流れる電流を制御することができる。第1トランジスタ11dは、第1画像信号線4s1から入力される画像信号に応じた電位がゲート電極に入力されることで、発光素子12を流れる電流を制御することができる。別の観点から言えば、第1トランジスタ11dは、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )と、第1画像信号線4s1から伝達される画像信号のレベル(電位)と、に応じて、発光素子12を電流駆動させる素子(駆動素子ともいう)として機能する。第1トランジスタ11dには、Pチャネル型薄膜トランジスタ(Pチャネルトランジスタ)などが適用される。この場合、第1トランジスタ11dのソース電極は、第1電源電位入力部1d1に接続している。第1トランジスタ1

1 dのドレイン電極は、第2トランジスタ1 1 eおよび発光素子1 2を介して第2電源電位入力部1 s 1に接続している。ここで、第1画像信号線4 s 1から画像信号に応じた第1電源電位V d dよりも低い所定の範囲の電位が第1トランジスタ1 1 dのゲート電極に入力されると、第1トランジスタ1 1 dは、ソース電極とドレイン電極との間に電流が流れ得る状態（導通状態ともオン状態ともいう）となる。これにより、第1電源電位入力部1 d 1から第1トランジスタ1 1 dおよび第2トランジスタ1 1 eを介して、発光素子1 2に駆動電流が流れ得る。このとき、発光素子1 2は、画像信号のレベル（電位）に応じて、発光の強度（輝度）が制御され得る。換言すれば、第1トランジスタ1 1 dは、発光素子1 2における発光強度を制御することができる。ここで、第2副画素回路2では、第1画像信号線4 s 1の代わりに第2画像信号線4 s 2から画像信号が入力される。第3副画素回路3では、第1画像信号線4 s 1の代わりに第3画像信号線4 s 3から画像信号が入力される。

[0051] 第3トランジスタ1 1 gは、発光制御部1 1内に画像信号を入力するための素子としての機能を有する。第3トランジスタ1 1 gには、Pチャネルトランジスタなどが適用される。この場合、第3トランジスタ1 1 gのゲート電極は、走査信号線4 gに接続している。第3トランジスタ1 1 gのソース電極（ドレイン電極）は、第1画像信号線4 s 1に接続している。ここで、第3トランジスタ1 1 gのドレイン電極（ソース電極）は、第1トランジスタ1 1 dのゲート電極に接続している。走査信号線4 gからの走査信号としてのオン信号が第3トランジスタ1 1 gのゲート電極に入力されると、第3トランジスタ1 1 gは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、第1画像信号線4 s 1からの画像信号が第3トランジスタ1 1 gを介して第1トランジスタ1 1 dのゲート電極に入力される。この場合、オン信号には、第2電源電位V s s以下の電位（Low（L）電位ともいう）V g 1を有する信号（L信号ともいう）が適用される。第2電源電位V s sが0Vである場合、L電位V g 1は、約-2Vから0V

に設定される。ここで、第2副画素回路2では、第3トランジスタ11gのソース電極（ドレイン電極）は、第1画像信号線4s1の代わりに第2画像信号線4s2に接続しており、第1画像信号線4s1の代わりに第2画像信号線4s2からの画像信号が入力される。第3副画素回路3では、第3トランジスタ11gのソース電極（ドレイン電極）は、第1画像信号線4s1の代わりに第3画像信号線4s3に接続しており、第1画像信号線4s1の代わりに第3画像信号線4s3からの画像信号が入力される。

[0052] 容量素子11cは、第1トランジスタ11dのゲート電極とソース電極とを接続している接続線上に位置している。この容量素子11cは、第1トランジスタ11dのゲート電極に入力された画像信号の電位 $V_{sig}$ を次の画像信号の入力（書き換え）までの期間（1フレームの期間）保持する保持容量として機能する。

[0053] 第2トランジスタ11eは、第1トランジスタ11dに縦続に接続されている。この第2トランジスタ11eは、発光素子12を発光している状態（発光状態ともいう）と発光していない状態（非発光状態ともいう）との間で切り替えることができる。第1実施形態では、第2トランジスタ11eは、発光素子12の発光および非発光を制御するための素子（発光制御用素子ともいう）としての機能を有する。第2トランジスタ11eは、第1トランジスタ11dと発光素子12とを接続する接続線（駆動線ともいう）上に位置している。第2トランジスタ11eには、第1トランジスタ11dと同一の導電型のトランジスタが適用される。導電型としては、ソース電極とドレイン電極との間に電流を生じさせるキャリアが正孔であるP型と、ソース電極とドレイン電極との間に電流を生じさせるキャリアが電子であるN型と、がある。第2トランジスタ11eには、Pチャネルトランジスタなどが適用される。この場合、第2トランジスタ11eは、第1トランジスタ11dのドレイン電極側において第1トランジスタ11dに対して縦続に接続している。より具体的には、第1トランジスタ11dのドレイン電極に、第2トランジスタ11eのソース電極が接続している。また、第2トランジスタ11e

のドレイン電極に、発光素子12が接続している。より具体的には、第2トランジスタ11eのドレイン電極に、発光素子12のアノード電極（正電極）が接続している。そして、発光素子12のカソード電極（負電極）は、第2電源電位入力部1s1に接続している。

[0054] 第2トランジスタ11eのゲート電極には、第1電位V1または第2電位V2が選択的に入力される。第1電位V1は、第2トランジスタ11eをソース電極とドレイン電極との間に電流が流れ得ない状態（非導通状態、オフ状態ともいう）に設定するための電位（オフ電位ともいう）である。第1実施形態では、第2トランジスタ11eがPチャネルトランジスタであれば、第1電位V1は、第1電源電位Vdd以上の電位に設定される。より具体的には、第1電位V1には、第2トランジスタ11eを非導通状態（オフ状態）とするオフ信号としてのHigh（H）信号の電位（H電位）Vghが適用される。この場合、第1電源電位Vddが8Vである場合、第1電位V1は、8Vから約10Vに設定される。第2電位V2は、第2トランジスタ11eのソース電極とドレイン電極との間に電流を流すための電位である。第2電位V2は、第1電源電位Vddと第2電源電位Vssとの間の電位に設定される。換言すれば、第2電位V2は、第1電源電位Vdd未満であり且つ第2電源電位Vssよりも大きな電位に設定される。第2電位V2は、L電位およびH電位といったデジタルの離散的な値ではなく、L電位とH電位との間における任意のアナログ的な電位に設定され得る。第1電源電位Vddが8Vであり、第2電源電位Vssが0Vである場合、第2電位V2は、0Vよりも大きく且つ8Vよりも小さな電位に設定される。ここで、第2電位V2を有する信号を適宜アナログ（A）信号ともいう。

[0055] この場合、第1トランジスタ11dが導通状態（オン状態）にあっても、第2トランジスタ11eのゲート電極に第1電位V1が入力されると、第2トランジスタ11eが非導通状態（オフ状態）となり、発光素子12には電流が流れない。これにより、発光素子12は発光していない状態（非発光状態）となる。また、第1トランジスタ11dが導通状態（オン状態）にある

場合に、第2トランジスタ11eのゲート電極に第2電位V2が入力されると、第2トランジスタ11eのソース電極とドレイン電極の間には電流が流れる。これにより、発光素子12は発光している状態（発光状態）となる。この場合、第2トランジスタ11eは、第1トランジスタ11dのドレイン電極側に縦続に接続しており、第1トランジスタ11dと同一の導電型を有するトランジスタであるとともに、ゲート電極に第1電源電位Vddと第2電源電位Vssとの間の第2電位V2が入力されている。このため、第2トランジスタ11eは、第1トランジスタ11dに対してカスコード接続を形成している状態となる。

[0056] ここで、第1トランジスタ11dの出力抵抗を $R_{o1}$ とし、第2トランジスタ11eの出力抵抗を $R_{o2}$ とし、第2トランジスタ11eの相互コンダクタンスを $g_{m2}$ とする。この場合、第1トランジスタ11dの見かけ上の出力抵抗 $R_o$ は、 $R_o \cong g_{m2} \times R_{o2} \times R_{o1}$ の関係を有する。このため、第2トランジスタ11eによるカスコード接続によって、第1トランジスタ11dの出力抵抗が、約 $(g_{m2} \times R_{o2})$ 倍となる。具体的には、 $(g_{m2} \times R_{o2})$ が約10に設定されれば、第1トランジスタ11dの出力抵抗は、約10倍となる。このとき、第1トランジスタ11dでは、ドレイン電極とソース電極との間の電圧（ドレイン-ソース間電圧ともいう） $V_{ds}$ の変動量 $\Delta V_{ds}$ に対する出力電流としてのドレイン電流 $I_{ds}$ の変動量 $\Delta I_{ds}$ は、約 $1/10$ になる。これにより、第1トランジスタ11dでは、第1電源電位Vdd、第2電源電位Vssおよび発光素子12にかかる順方向の電圧のうちの1つ以上の値が変動しても、チャネル長変調効果によるドレイン電流 $I_{ds}$ の変動が生じにくい。その結果、表示装置100において輝度むらおよび色むらが生じにくい。

[0057] 第1実施形態では、第2トランジスタ11eは、発光素子12を発光状態と非発光状態との間で切り替えるスイッチの機能に加えて、第1トランジスタ11dに対してカスコード接続を形成するアナログ素子としての機能も有する。これにより、第1トランジスタ11dに縦続に接続されているラン

ジスタの数を増加させることなく、第2トランジスタ11eによって第1トランジスタ11dに対するカスコード接続による効果が得られる。このため、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0058] 第2電位 $V_2$ は、表示パネル100pまたは表示装置100が出荷される前に、適宜設定され得る。第2電位 $V_2$ は、第1トランジスタ11dおよび第2トランジスタ11eの導電型と、第1電源電位 $V_{dd}$ と、第2電源電位 $V_{ss}$ と、第1トランジスタ11dの閾値電圧(第1閾値電圧ともいう) $V_{th1}$ と、第2トランジスタ11eの閾値電圧(第2閾値電圧ともいう) $V_{th2}$ と、第1トランジスタ11dのゲート電極に入力される画像信号に応じた電位 $V_{in}$ の値域と、に基づいた所定の電位に設定され得る。ここでは、第1トランジスタ11dおよび第2トランジスタ11eが両方ともPチャネルトランジスタであり、第1電源電位 $V_{dd}$ が8Vであり、第2電源電位 $V_{ss}$ が0Vであり、第1閾値電圧 $V_{th1}$ が-1Vであり、第2閾値電圧 $V_{th2}$ が-1Vであり、電位 $V_{in}$ の値域の最小値が5Vである場合を想定する。この場合、第1トランジスタ11dのピンチオフ電圧(第1ピンチオフ電圧ともいう) $V_{dsat1}$ は、第1トランジスタ11dのゲート電圧(第1ゲート電圧ともいう) $V_{gs1}$ から第1閾値電圧 $V_{th1}$ を減じた値となる。具体的には、 $V_{dsat1}=V_{gs1}-V_{th1}=-3V-(-1V)=-2V$ となる。ここで、第1ピンチオフ電圧 $V_{dsat1}$ が、第1トランジスタ11dのソースドレイン間電圧 $V_{ds}$ よりも大きい関係( $V_{dsat1}>V_{ds}$ )を満たすとともに、第1トランジスタ11dを飽和領域

で駆動させる設定を採用する。具体的には、第1トランジスタ11dのソースドレイン間電圧 $V_{ds}$ を第1ピンチオフ電圧 $V_{dsat1}$  ( $=-2V$ )よりも小さな $-3V$ として、第1トランジスタ11dのドレイン電極の電位(ドレイン電位ともいう)を $5V$  ( $=8V-3V$ )に維持する設定が考えられる。また、第2トランジスタ11eのピンチオフ電圧(第2ピンチオフ電圧ともいう) $V_{sat2}$ は、第2トランジスタ11eのゲート電圧(第2ゲート電圧ともいう) $V_{gs2}$ から第2閾値電圧 $V_{th2}$ を減じた値となる。ここで、第1ピンチオフ電圧 $V_{dsat1}$ よりも第2ピンチオフ電圧 $V_{dsat2}$ が $0V$ に近くなる設定であって、第2トランジスタ11eを飽和領域で駆動させる設定を採用する。具体的には、第2ピンチオフ電圧 $V_{dsat2}$ を $-1V$ とすると、第2ゲート電圧 $V_{gs2}$ は、第2ピンチオフ電圧 $V_{dsat2}$ としての $-1V$ に第2閾値電圧 $V_{th2}$ としての $-1V$ を加えた値である $-2V$ となる。そして、第2電位 $V_2$ を、第1トランジスタ11dのドレイン電位としての $5V$ に第2ゲート電圧 $V_{gs2}$ としての $-2V$ を加えた値である $3V$ に設定する態様が考えられる。

[0059] また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1トランジスタ11dに、第2トランジスタ11eのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0060] <1-3. 制御部>

第2トランジスタ11eのゲート電極には、制御部5から第1電位 $V_1$ ま

たは第2電位V<sub>2</sub>が選択的に出力される。換言すれば、制御部5は、第2トランジスタ11eのゲート電極に第1電位V<sub>1</sub>または第2電位V<sub>2</sub>を選択的に出力し得る。ここで、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが制御部5を備えていれば、副画素回路1、2、3ごとに発光素子12が発光状態と非発光状態との間で切り替えられ得る。

[0061] 制御部5は、信号線（電位出力信号線ともいう）L<sub>1</sub>を介して、第2トランジスタ11eのゲート電極に接続している。これにより、制御部5は、電位出力信号線L<sub>1</sub>を介して、第2トランジスタ11eのゲート電極に、信号（切替制御信号ともいう）CTLを出力し得る。

[0062] 図5は、制御部5の入出力に係る一構成例を模式的に示す図である。制御部5は、第2トランジスタ11eのスイッチ制御を行う素子（スイッチ素子ともいう）の機能を備えている。スイッチ制御は、第2トランジスタ11eを、ソース電極とドレイン電極との間における電流が流れている状態と流れていない状態とに選択的に切り替える制御を含む。スイッチ素子の機能は、発光素子12を発光状態または非発光状態に選択的に設定する機能を含む。図5で示されるように、制御部5は、信号が入力される部分（信号入力部ともいう）5Iと、信号を出力する部分（信号出力部ともいう）5Uと、を有する。信号入力部5Iは、例えば、複数の端子または複数の配線などによって構成され得る。信号出力部5Uは、例えば、1つ以上の端子または1つ以上の配線などによって構成され得る。制御部5の信号入力部ともいう5Iには、オンまたはオフに係る信号が選択的に入力されるとともに、第2電位V<sub>2</sub>が入力される。第1実施形態では、オフに係る信号には、発光制御信号線4eから制御部5に入力される発光素子12を非発光状態とするための信号が適用される。オンに係る信号には、発光制御信号線4eから制御部5に入力される発光素子12を発光状態とするための信号が適用される。オフに係る信号にH信号が適用され、オンに係る信号にL信号が適用される。換言すれば、制御部5には、発光制御信号線4eから発光制御信号（Emi信号ともいう）として、H信号またはL信号が選択的に入力される。第2電位V<sub>2</sub>

は、第2電位V2を供給する配線（第2電位供給線ともいう）Lvaから制御部5に入力される。第2電位供給線Lvaは、第2電位供給線Lvaに第2電位V2を付与する電源に接続している。

[0063] 制御部5は、信号入力部51に対するオフに係る信号の入力に応じて、信号出力部5Uから、第2トランジスタ11eのゲート電極に第1電位V1を出力する。第1実施形態では、制御部5は、信号入力部51に対するオフに係る信号としてのH信号の入力に応じて、信号出力部5Uから、電位出力信号線L1を介して、第2トランジスタ11eのゲート電極に第1電位V1を有するH信号を出力する。また、制御部5は、信号入力部51に対する、オンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、第2トランジスタ11eのゲート電極に第2電位V2を出力する。第1実施形態では、制御部5は、信号入力部51に対するオンに係る信号としてのL信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、電位出力信号線L1を介して、第2トランジスタ11eのゲート電極に第2電位V2を有するA信号を出力する。

[0064] 換言すれば、制御部5は、電位出力信号線L1を介して、第2トランジスタ11eのゲート電極に、切替制御信号CTLとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。これにより、1つの第2トランジスタ11eを用いて、発光素子12を発光状態と非発光状態との間で切り替えるスイッチの機能と、第1トランジスタ11dに対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0065] ここで、制御部5は、スイッチ素子の機能によって発光素子12の発光のタイミングを制御することができる。これにより、1つの第2トランジスタ11eを用いて、発光素子12の発光のタイミングに係るスイッチ制御と、第1トランジスタ11dに対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0066] 図5で示されるように、制御部5には、H電位Vghを供給する配線（H

電位供給線とも高電位供給線ともいう)  $Lvh$  から  $H$  電位  $Vgh$  が入力されてもよいし、 $L$  電位  $Vgl$  を供給する配線 ( $L$  電位供給線とも低電位供給線ともいう)  $Lvl$  から  $L$  電位  $Vgl$  が入力されてもよい。 $H$  電位供給線  $Lvh$  は、 $H$  電位供給線  $Lvh$  に  $H$  電位  $Vgh$  を付与する電源に接続している。 $L$  電位供給線  $Lvl$  は、 $L$  電位供給線  $Lvl$  に  $L$  電位  $Vgl$  を付与する電源に接続している。ここで、制御部 5 には、 $H$  電位供給線  $Lvh$  から  $H$  電位  $Vgh$  が入力される代わりに第 1 電源線  $Lvd$  から第 1 電源電位  $Vdd$  が入力されてもよい。制御部 5 には、 $L$  電位供給線  $Lvl$  から  $L$  電位  $Vgl$  が入力される代わりに第 2 電源線  $Lvs$  から第 2 電源電位  $Vss$  が入力されてもよい。

[0067] 図 6 は、制御部 5 の一例を示す回路図である。図 6 で示されるように、制御部 5 は、論理回路部 51 と、電位変換部 52 と、を有する。

[0068] 論理回路部 51 は、発光制御信号線 4e から入力される発光制御信号を適宜変換して電位変換部 52 に出力する。図 6 の例では、論理回路部 51 には、 $NOT$  ゲート 51n が適用される。この場合、論理回路部 51 は、発光制御信号線 4e から  $H$  信号が入力されると、 $L$  信号に変換し、電位変換部 52 に出力する。論理回路部 51 は、発光制御信号線 4e から  $L$  信号が入力されると、 $H$  信号に変換し、電位変換部 52 に出力する。

[0069] 電位変換部 52 は、論理回路部 51 から  $L$  信号が入力されると、第 1 電位  $V1$  を有するオフ信号としての  $H$  信号に変換して出力する。また、電位変換部 52 は、論理回路部 51 から  $H$  信号が入力されると、第 2 電位  $V2$  を有する  $A$  信号に変換して出力する。電位変換部 52 には、反転論理回路としての  $CMOS$  型  $NOT$  回路に類似した回路が適用される。電位変換部 52 は、 $H$  電位  $Vgh$  を供給する  $H$  電位供給線  $Lvh$  と、第 2 電位  $V2$  を供給する第 2 電位供給線  $Lva$  と、の間において縦続に接続された  $P$  チャネルトランジスタと  $N$  チャネル型薄膜トランジスタ ( $N$  チャネルトランジスタともいう) とを有する。より具体的には、 $P$  チャネルトランジスタのソース電極が  $H$  電位供給線  $Lvh$  に接続しており、 $P$  チャネルトランジスタのドレイン電極が  $N$

チャンネルトランジスタのドレイン電極に接続されており、Nチャンネルトランジスタのソース電極が第2電位供給線Lvaに接続されている。また、電位変換部52では、Pチャンネルトランジスタのゲート電極とNチャンネルトランジスタのゲート電極とが接続された部分が入力部52Iであり、Pチャンネルトランジスタのドレイン電極とNチャンネルトランジスタのドレイン電極とが接続された部分が出力部52Uである。この電位変換部52は、論理回路部51から入力部52IにL信号が入力されると、出力部52Uから第1電位V1を有するオフ信号としてのH信号を出力する。また、電位変換部52は、論理回路部51から入力部52IにH信号が入力されると、出力部52Uから第2電位V2を有するA信号を出力する。電位変換部52の出力部52Uは、電位出力信号線L1に接続している。

[0070] これにより、制御部5は、信号入力部5Iに対する発光制御信号のオフに係る信号としてのH信号の入力に応じて、信号出力部5Uから、電位出力信号線L1を介して、第2トランジスタ11eのゲート電極に第1電位V1を出力し得る。また、制御部5は、信号入力部5Iに対する、発光制御信号のオンに係る信号としてのL信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、電位出力信号線L1を介して、第2トランジスタ11eのゲート電極に第2電位V2を出力し得る。

[0071] 図7は、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、第2電位供給線Lvaから入力される電位（入力電位ともいう）Vbと、発光制御信号線4eから入力される発光制御信号と、電位出力信号線L1に出力する切替制御信号CTLとが、図7で示される関係を満たす態様で設計されている。第2電位供給線Lvaから制御部5に入力される入力電位Vbが任意の電位であり、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、制御部5から電位出力信号線L1に出力する切替制御信号CTLが第1電位V1を有するH信号となる。このとき、第2トランジスタ11eは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて、非

導通状態となる。これにより、発光素子12は、発光していない非発光状態となる。また、第2電位供給線Lv aから制御部5に入力される入力電位V bが第2電位V 2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であれば、制御部5から電位出力信号線L 1に出力する切替制御信号CTLが第2電位V 2を有するA信号となる。このとき、第2トランジスタ11 eは、ゲート電極に第2電位V 2を有するA信号が入力されて、第2トランジスタ11 eのソース電極とドレイン電極との間には電流が流れる。これにより、発光素子12が発光している発光状態となるとともに、第2トランジスタ11 eは、第1トランジスタ11 dに対してカスコード接続を形成している状態となる。

[0072] ここで、発光制御信号線4 eから入力される発光制御信号として、オフに係る信号にL信号が適用され、オンに係る信号にH信号が適用されてもよい。この場合、制御部5は、論理回路部5 1を有しておらず、発光制御信号線4 eから入力される発光制御信号が、電位変換部5 2の入力部5 2 1に直接入力されてもよい。この場合、制御部5は、信号入力部5 1に対する、発光制御信号線4 eからのオフに係る信号としてのL信号の入力に応じて、信号出力部5 Uから、電位出力信号線L 1を介して、第2トランジスタ11 eのゲート電極に第1電位V 1を出力し得る。これにより、発光素子12は、発光していない非発光状態となる。また、制御部5は、信号入力部5 1に対する、発光制御信号線4 eからのオンに係る信号としてのH信号の入力と第2電位V 2の入力とに応じて、信号出力部5 Uから、電位出力信号線L 1を介して、第2トランジスタ11 eのゲート電極に第2電位V 2を出力し得る。これにより、発光素子12は、発光している発光状態となる。

[0073] <1-4. 第1実施形態におけるバリエーション>

各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに第1電位V 1または第2電位V 2を選択的に出力する制御部5を備えていてもよい。図8は、制御部5と複数の副画素回路1, 2, 3との接続の一例を示すブロック回路図である。図8で示されるように、

制御部5に接続された電位出力信号線L1が、複数の副画素回路1, 2, 3に接続されている構成が採用され得る。この構成によって、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0074] また、表示パネル100pは、複数の画素回路10のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。この場合、制御部5は、基板20の第1面F1上において画像表示部300の空き領域もしくは額縁部分に配置されていてもよいし、基板20の第2面F2上に配置されていてもよい。ここで、制御部5は、1行の画素回路10を構成する複数の画素回路10ごとに配置され得る。図9は、制御部5と複数の画素回路10との接続の一例を示すブロック回路図である。図9で示されるように、制御部5に接続された電位出力信号線L1が、複数の画素回路10に接続されている構成が採用され得る。より具体的には、制御部5に接続された電位出力信号線L1が、複数の画素回路10のそれぞれに含まれた複数の副画素回路1, 2, 3にそれぞれ接続されている構成が採用され得る。この構成によって、複数の画素回路10に対して1つの制御部5が設けられ、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0075] この場合、制御部5は、信号入力部5Iに対するスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極にオフ電位としての第1電位V1を出力し得る。より具体的には、制御部5は、信号入

力部5 Iに対するスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2トランジスタ11 eのゲート電極にオフ電位としての第1電位V1を出力し得る。換言すれば、制御部5は、信号入力部5 Iに対するスイッチ素子の機能についてのオフに係る信号としてのH信号の入力に応じて、信号出力部5 Uから、電位出力信号線L1を介して、複数の画素回路10のそれぞれにおける第2トランジスタ11 eのゲート電極に第1電位V1を有するオフ信号としてのH信号を出力し得る。より具体的には、制御部5は、信号入力部5 Iに対するスイッチ素子の機能についてのオフに係る信号としてのH信号の入力に応じて、信号出力部5 Uから、電位出力信号線L1を介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2トランジスタ11 eのゲート電極に第1電位V1を有するオフ信号としてのH信号を出力し得る。

[0076] 制御部5は、信号入力部5 Iに対するスイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5 Uから、複数の画素回路10のそれぞれにおける第2トランジスタ11 eのゲート電極に第2電位V2を出力し得る。より具体的には、制御部5は、信号入力部5 Iに対するスイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5 Uから、電位出力信号線L1を介して、複数の画素回路10のそれぞれにおける第2トランジスタ11 eのゲート電極に第2電位V2を有するA信号を出力し得る。より具体的には、制御部5は、信号入力部5 Iに対するスイッチ素子の機能についてのオンに係る信号としてのL信号の入力と第2電位V2

の入力とに応じて、信号出力部5 Uから、電位出力信号線L 1を介して、複数の画素回路1 0にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2トランジスタ1 1 eのゲート電極に第2電位V 2を有するA信号を出力し得る。

[0077] さらに換言すれば、制御部5は、電位出力信号線L 1を介して、複数の画素回路1 0のそれぞれにおける第2トランジスタ1 1 eのゲート電極に、切替制御信号CTLとして、第1電位V 1を有するオフ信号としてのH信号または第2電位V 2を有するA信号を選択的に出力し得る。より具体的には、制御部5は、電位出力信号線L 1を介して、複数の画素回路1 0にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2トランジスタ1 1 eのゲート電極に、切替制御信号CTLとして、第1電位V 1を有するオフ信号としてのH信号または第2電位V 2を有するA信号を選択的に出力し得る。

[0078] また、第1実施形態において、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間で直列または縦続に接続された複数の素子E 1は、第1素子E 1 1としての発光素子1 2、第2素子E 1 2としての第1トランジスタ1 1 dおよび第3素子E 1 3としての第2トランジスタ1 1 e以外の素子を含んでいてもよい。

[0079] 図1 0で示されるように、第1素子E 1 1としての発光素子1 2が、並列に接続された、1つ目の第1素子（第1 A素子ともいう）E 1 1 aとしての発光素子1 2（第1発光素子ともいう）1 2 aと、2つ目の第1素子（第1 B素子ともいう）E 1 1 bとしての発光素子1 2（第2発光素子1 2 bともいう）とに変更されてもよい。この場合、複数の素子E 1は、第1発光素子1 2 aに直列に接続された1つ目の第4素子（第4 A素子ともいう）E 1 4 aとしての第4トランジスタ1 3（第4 Aトランジスタ1 3 aともいう）と、第2発光素子1 2 bに直列に接続された2つ目の第4素子（第4 B素子ともいう）E 1 4 bとしての第4トランジスタ1 3（第4 Bトランジスタ1 3 bともいう）と、を含んでいてもよい。

[0080] 図10は、第1実施形態の別の一例に係る第1副画素回路1を示す回路図である。第1実施形態の別の一例においても、第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0081] 第1実施形態の別の一例に係る第1副画素回路1は、図4で示した第1実施形態に係る第1副画素回路1の一例が基礎とされている。第1実施形態の別の一例に係る第1副画素回路1は、第2トランジスタ11eと第2電源電位入力部1s1との間において、1つの発光素子12の代わりに、並列に接続された2組の第4トランジスタ13および発光素子12を含む。第4トランジスタ13および発光素子12は直列に接続されている。ここで、2組の直列に接続された第4トランジスタ13および発光素子12は、直列に接続された第4Aトランジスタ13aおよび第1発光素子12aの組と、直列に接続された第4Bトランジスタ13bおよび第2発光素子12bの組と、を含む。別の観点から言えば、第1副画素回路1は、第1電源電位入力部1d1と第2電源電位入力部1s1との間で直列または縦続に接続された2組の複数の素子E1を含む。2組の複数の素子E1は、1組目の複数の素子E1と、2組目の複数の素子E1と、を含む。

[0082] 1組目の複数の素子E1は、1つ目の第1素子（第1A素子）E11aとしての第1発光素子12aと、第2素子E12としての第1トランジスタ11dと、第3素子E13としての第2トランジスタ11eと、1つ目の第4素子（第4A素子）E14aとしての第4Aトランジスタ13aと、を含む。図10の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第2素子E12としての第1トランジスタ11dと、第3素子E13としての第2トランジスタ11eと、第4A素子E14aとしての第4Aトランジスタ13aと、第1A素子E11aとしての第1発光素子12aとが、この記載の順に直列または縦続に接続している。

[0083] 2組目の複数の素子E1は、2つ目の第1素子（第1B素子）E11bとしての第2発光素子12bと、第2素子E12としての第1トランジスタ1

1 dと、第3素子E 1 3としての第2トランジスタ1 1 eと、2つ目の第4素子（第4 B素子）E 1 4 bとしての第4 Bトランジスタ1 3 bと、を含む。図1 0の例では、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、第2素子E 1 2としての第1トランジスタ1 1 dと、第3素子E 1 3としての第2トランジスタ1 1 eと、第4 B素子E 1 4 bとしての第4 Bトランジスタ1 3 bと、第1 B素子E 1 1 bとしての第2発光素子1 2 bとが、この記載の順に直列または縦続に接続している。

[0084] 第4 Aトランジスタ1 3 aは、第1トランジスタ1 1 dおよび第2トランジスタ1 1 eに対して縦続に接続している。第4 Aトランジスタ1 3 aは、第2トランジスタ1 1 eと第1発光素子1 2 aとを接続する接続線（駆動線）上に位置している。第4 Aトランジスタ1 3 aにPチャネルトランジスタが適用される場合、第4 Aトランジスタ1 3 aのソース電極は、第2トランジスタ1 1 eのドレイン電極に接続されており、第4 Aトランジスタ1 3 aのドレイン電極は、第1発光素子1 2 aの正電極に接続されている。第4 Aトランジスタ1 3 aは、第1発光素子1 2 aを使用する状態（使用状態ともいう）または使用しない状態（不使用状態ともいう）に選択的に設定するための素子（使用状態設定用素子ともいう）の機能を有する。第4 Aトランジスタ1 3 aは、設定制御部7から選択的に入力されるH信号またはL信号に応じて、ソース電極とドレイン電極との間に電流が流れ得ない状態（非導通状態）と、ソース電極とドレイン電極との間に電流が流れ得る状態（導通状態）と、の間で切り替えられる。第4 Aトランジスタ1 3 aにPチャネルトランジスタが適用される場合を想定する。この場合、第4 Aトランジスタ1 3 aのゲート電極にH信号が入力されると、第4 Aトランジスタ1 3 aは非導通状態となり、第1発光素子1 2 aは不使用状態に設定される。第4 Aトランジスタ1 3 aのゲート電極にL信号が入力されると、第4 Aトランジスタ1 3 aは導通状態となり、第1発光素子1 2 aは使用状態に設定される。設定制御部7は、複数の副画素回路1, 2, 3のそれぞれに含まれた制御回路であってもよいし、複数の画素回路1 0のそれぞれに含まれた制御回路で

あってもよいし、表示パネル100pにおいて複数の画素回路10ごとに含まれた制御回路であってもよいし、駆動部30に含まれた制御回路であってもよい。

[0085] 第4Bトランジスタ13bは、第1トランジスタ11dおよび第2トランジスタ11eに対して縦続に接続している。第4Bトランジスタ13bは、第2トランジスタ11eと第2発光素子12bとを接続する接続線（駆動線）上に位置している。第4Bトランジスタ13bにPチャネルトランジスタが適用される場合、第4Bトランジスタ13bのソース電極は、第2トランジスタ11eのドレイン電極に接続されており、第4Bトランジスタ13bのドレイン電極は、第2発光素子12bの正電極に接続されている。第4Bトランジスタ13bは、第2発光素子12bを使用する状態（使用状態）または使用しない状態（不使用状態）に選択的に設定するための素子（使用状態設定用素子）の機能を有する。第4Bトランジスタ13bは、設定制御部7から選択的に入力されるH信号またはL信号に応じて、非導通状態と導通状態との間で切り替えられる。第4Bトランジスタ13bにPチャネルトランジスタが適用される場合を想定する。この場合、第4Bトランジスタ13bのゲート電極にH信号が入力されると、第4Bトランジスタ13bは非導通状態となり、第2発光素子12bは不使用状態に設定される。第4Bトランジスタ13bのゲート電極にL信号が入力されると、第4Bトランジスタ13bは導通状態となり、第2発光素子12bは使用状態に設定される。

[0086] ここで、第4Aトランジスタ13aには、Nチャネルトランジスタが適用されてもよいし、第4Bトランジスタ13bには、Nチャネルトランジスタが適用されてもよい。第4Aトランジスタ13aがNチャネルトランジスタである場合を想定する。この場合、第4Aトランジスタ13aのゲート電極にL信号が入力されると、第4Aトランジスタ13aは非導通状態となり、第1発光素子12aは不使用状態に設定される。第4Aトランジスタ13aのゲート電極にH信号が入力されると、第4Aトランジスタ13aは導通状態となり、第1発光素子12aは使用状態に設定される。また、第4Bトラ

ンジスタ13bがNチャネルトランジスタである場合を想定する。この場合、第4Bトランジスタ13bのゲート電極にL信号が入力されると、第4Bトランジスタ13bは非導通状態となり、第2発光素子12bは不使用状態に設定される。第4Bトランジスタ13bのゲート電極にH信号が入力されると、第4Bトランジスタ13bは導通状態となり、第2発光素子12bは使用状態に設定される。

[0087] また、ここで、第4Aトランジスタ13aは、第1発光素子12aと第2電源電位入力部1s1との間に位置しているもよいし、第4Bトランジスタ13bは、第2発光素子12bと第2電源電位入力部1s1との間に位置しているもよい。

[0088] <1-5. 第1実施形態のまとめ>

上述したように、画素回路10は、第1電源電位入力部1d1と第2電源電位入力部1s1との間において直列または縦属に接続された、発光素子12、第1トランジスタ11dおよび第2トランジスタ11eを備えている。この場合、第1トランジスタ11dは、画像信号に応じた電位がゲート電極に入力されることで発光素子12に流れる電流を制御することができる。第2トランジスタ11eは、第1トランジスタ11dに対して縦続に接続しており、発光素子12を発光状態と非発光状態との間で切り替えることができる。また、第2トランジスタ11eは、第1トランジスタ11dと同一の導電型のトランジスタであり、第1トランジスタ11dのドレイン側において第1トランジスタ11dに対して縦続に接続している。第2トランジスタ11eのドレイン電極に発光素子12が接続している。そして、第2トランジスタ11eのゲート電極には、第2トランジスタ11eを非導通状態に設定するための第1電位V1、および第2トランジスタ11eのソース電極とドレイン電極との間に電流を流すための第1電源電位Vddと第2電源電位Vssとの間の第2電位V2、のうちの何れか一方の電位が選択的に入力される。

[0089] この構成によって、第2トランジスタ11eは、発光素子12を発光状態

と非発光状態との間で切り替えるスイッチの機能に加えて、第1トランジスタ11dに対してカスコード接続を形成するアナログ素子としての機能も有する。これにより、第1トランジスタ11dに縦続に接続されているトランジスタの数を増加させることなく、第2トランジスタ11eによって第1トランジスタ11dに対するカスコード接続による効果が得られる。このため、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0090] <2. 他の実施形態>

本開示は、上述の第1実施形態に限定されず、本開示の要旨を逸脱しない範囲において種々の変更および改良などが可能である。

[0091] <2-1. 第2実施形態>

上記第1実施形態において、図11で示されるように、第1副画素回路1は、複数の発光素子12と、複数の第2トランジスタ11eと、を備えていてもよい。この場合、複数の発光素子12は、並列に接続された第1発光素子12aおよび第2発光素子12bを含む。複数の第2トランジスタ11eは、第1発光素子12aに直列に接続された第2トランジスタ11e(第2Aトランジスタ11eaともいう)と、第2発光素子12bに直列に接続された第2トランジスタ11e(第2Bトランジスタ11ebともいう)と、を含む。そして、第2Aトランジスタ11eaのゲート電極に、第1電位 $V_1$ または第2電位 $V_2$ が選択的に入力されるとともに、第2Bトランジスタ11ebのゲート電極に、第1電位 $V_1$ または第2電位 $V_2$ が選択的に入力されてもよい。

[0092] この場合、冗長に設けられた複数の発光素子 1 2 を発光状態と非発光状態との間で切り替える機能を有する複数の第 2 トランジスタ 1 1 e は、第 1 トランジスタ 1 1 d に対してカスコード接続を形成するアナログ素子としての機能を有する。これにより、第 1 トランジスタ 1 1 d に縦続に接続されているトランジスタの数を増加させることなく、第 2 トランジスタ 1 1 e によって第 1 トランジスタ 1 1 d に対するカスコード接続による効果が得られる。このため、第 1 電源電位  $V_{dd}$  と第 2 電源電位  $V_{ss}$  との電位差 ( $V_{dd} - V_{ss}$ ) のうち、第 1 トランジスタ 1 1 d におけるドレイン-ソース間電圧  $V_{ds}$  が低下しにくい。その結果、仮に第 1 電源電位  $V_{dd}$  の降下などによって電位差 ( $V_{dd} - V_{ss}$ ) が低下しても、発光素子 1 2 にかかる順方向の電圧が大きくなっても、第 1 トランジスタ 1 1 d を飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置 1 0 0 において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置 1 0 0 における画質が向上し得る。

[0093] <<副画素回路の構成>>

図 1 1 は、第 2 実施形態に係る第 1 副画素回路 1 の一例を示す回路図である。複数の画素回路 1 0 のそれぞれにおいて、第 1 副画素回路 1 は同一もしくは類似の構成を有する。第 2 副画素回路 2 および第 3 副画素回路 3 のそれぞれは、第 1 副画素回路 1 と同一もしくは類似の構成を有する。

[0094] 第 2 実施形態に係る第 1 副画素回路 1 の一例は、図 4 で示した第 1 実施形態に係る第 1 副画素回路 1 の一例が基礎とされている。第 2 実施形態に係る第 1 副画素回路 1 は、第 1 トランジスタ 1 1 d と第 2 電源電位入力部 1 s 1 との間において、1 組の直列に接続された第 2 トランジスタ 1 1 e および発光素子 1 2 の代わりに、並列に接続された 2 組の第 2 トランジスタ 1 1 e および発光素子 1 2 を含む。第 2 トランジスタ 1 1 e および発光素子 1 2 は直列に接続されている。ここで、2 組の直列に接続された第 2 トランジスタ 1 1 e および発光素子 1 2 は、直列に接続された第 2 A トランジスタ 1 1 e a および第 1 発光素子 1 2 a の組と、直列に接続された第 2 B トランジスタ 1

1 e b および第2発光素子1 2 bの組と、を含む。別の観点から言えば、第1副画素回路1は、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間でそれぞれ直列または縦続に接続された2組の複数の素子E 1を含む。2組の複数の素子E 1は、1組目の複数の素子E 1と、2組目の複数の素子E 1と、を含む。

[0095] 1組目の複数の素子E 1は、1つ目の第1素子（第1 A素子）E 1 1 aとしての第1発光素子1 2 aと、第2素子E 1 2としての第1トランジスタ1 1 dと、1つ目の第3素子（第3 A素子ともいう）E 1 3 aとしての第2 Aトランジスタ1 1 e aと、を含む。図1 1の例では、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、第2素子E 1 2としての第1トランジスタ1 1 dと、第3 A素子E 1 3 aとしての第2 Aトランジスタ1 1 e aと、第1 A素子E 1 1 aとしての第1発光素子1 2 aとが、この記載の順に直列または縦続に接続している。

[0096] 2組目の複数の素子E 1は、2つ目の第1素子（第1 B素子）E 1 1 bとしての第2発光素子1 2 bと、第2素子E 1 2としての第1トランジスタ1 1 dと、2つ目の第3素子（第3 B素子ともいう）E 1 3 bとしての第2 Bトランジスタ1 1 e bと、を含む。図1 1の例では、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、第2素子E 1 2としての第1トランジスタ1 1 dと、第3 B素子E 1 3 bとしての第2 Bトランジスタ1 1 e bと、第1 B素子E 1 1 bとしての第2発光素子1 2 bとが、この記載の順に直列または縦続に接続している。

[0097] この場合、第1トランジスタ1 1 dと、複数の第2トランジスタ1 1 eと、第3トランジスタ1 1 gと、容量素子1 1 cと、を有する発光制御部1 1によって、複数の発光素子1 2における発光が制御され得る。

[0098] 第2 Aトランジスタ1 1 e aは、第1発光素子1 2 aを発光状態と非発光状態との間で切り替えることができる。第2実施形態では、第2 Aトランジスタ1 1 e aは、第1発光素子1 2 aを使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能と、第1発光素

子12aの発光および非発光を制御するための素子（発光制御用素子）としての機能と、を有する。第2Aトランジスタ11eaは、第1トランジスタ11dと第1発光素子12aとを接続する接続線（駆動線）上に位置している。第2Aトランジスタ11eaには、第1トランジスタ11dと同一の導電型のトランジスタが適用される。同一の導電型のトランジスタには、Pチャンネルトランジスタが適用される。この場合、第2Aトランジスタ11eaは、第1トランジスタ11dのドレイン電極側において第1トランジスタ11dに対して縦続に接続している。より具体的には、第1トランジスタ11dのドレイン電極に、第2Aトランジスタ11eaのソース電極が接続している。第2Aトランジスタ11eaのドレイン電極に、第1発光素子12aが接続している。より具体的には、第2Aトランジスタ11eaのドレイン電極に、第1発光素子12aの正電極が接続している。第1発光素子12aの負電極は、第2電源電位入力部1s1に接続している。

[0099] 第2Bトランジスタ11ebは、第2発光素子12bを発光状態と非発光状態との間で切り替えることができる。第2実施形態では、第2Bトランジスタ11ebは、第2発光素子12bを使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能と、第2発光素子12bの発光および非発光を制御するための素子（発光制御用素子）としての機能と、を有する。第2Bトランジスタ11ebは、第1トランジスタ11dと第2発光素子12bとを接続する接続線（駆動線）上に位置している。第2Bトランジスタ11ebには、第1トランジスタ11dと同一の導電型のトランジスタが適用される。同一の導電型のトランジスタには、Pチャンネルトランジスタが適用される。この場合、第2Bトランジスタ11ebは、第1トランジスタ11dのドレイン電極側において第1トランジスタ11dに対して縦続に接続している。より具体的には、第1トランジスタ11dのドレイン電極に、第2Bトランジスタ11ebのソース電極が接続している。第2Bトランジスタ11ebのドレイン電極に、第2発光素子12bが接続している。より具体的には、第2Bトランジスタ11ebのドレイン

電極に、第2発光素子12bの正電極が接続している。第2発光素子12bの負電極は、第2電源電位入力部1s1に接続している。

[0100] また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1トランジスタ11dに、第2トランジスタ11eとしての第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位Vddと第2電源電位Vssとの電位差( $V_{dd} - V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧Vdsが低下しにくい。その結果、仮に第1電源電位Vddの降下などによって電位差( $V_{dd} - V_{ss}$ )が低下しても、第1発光素子12aおよび第2発光素子12bにかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0101] <<制御部>>

第2実施形態では、第2Aトランジスタ11eaのゲート電極には、制御部5から第1電位V1または第2電位V2が選択的に出力される。換言すれば、制御部5は、第2Aトランジスタ11eaのゲート電極に第1電位V1または第2電位V2を選択的に出力し得る。また、第2Bトランジスタ11ebのゲート電極には、制御部5から第1電位V1または第2電位V2が選択的に出力される。換言すれば、制御部5は、第2Bトランジスタ11ebのゲート電極に第1電位V1または第2電位V2を選択的に出力し得る。ここで、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが制御部5を備えていれば、副画素回路1, 2, 3ごとに第1発光素子12aおよび第2発光素子12bのそれぞれが発光状態と非発光状態との間で切り替えられ得る。

[0102] この場合、制御部5は、1つ目の電位出力信号線(第1電位出力信号線)L1aを介して、第2Aトランジスタ11eaのゲート電極に接続している

。これにより、制御部5は、第1電位出力信号線L1aを介して、第2Aトランジスタ11eaのゲート電極に、1つ目の切替制御信号（第1切替制御信号ともいう）CTL Aを出力し得る。さらに、制御部5は、2つ目の電位出力信号線（第2電位出力信号線）L1bを介して、第2Bトランジスタ11ebのゲート電極に接続している。これにより、制御部5は、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に、2つ目の切替制御信号（第2切替制御信号ともいう）CTL Bを出力し得る。

[0103] 図12は、制御部5の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。第2実施形態では、制御部5は、第2トランジスタ11eのスイッチ制御を行う複数のスイッチ素子の機能を備えている。スイッチ制御は、第2トランジスタ11eを、ソース電極とドレイン電極との間における電流が流れている状態と流れていない状態とに選択的に切り替える制御を含む。複数のスイッチ素子の機能は、発光素子12を使用する状態（使用状態）または使用しない状態（不使用状態）に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能を含む。第1発光素子12aについては、複数のスイッチ素子の機能は、第1発光素子12aを使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。第2発光素子12bについては、複数のスイッチ素子の機能は、第2発光素子12bを使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。別の観点から言えば、制御部5は、第1発光素子12aを使用状態または不使用状態に選択的に設定する機能を含むスイッチ素子（第1スイッチ素子ともいう）の機能と、第2発光素子12bを使用状態または不使用状態に選択的に設定する機能を含むスイッチ素子（第2スイッチ素子ともいう）の機能と、を備えている。また、制御部5は、第1発光素子12aおよび第2発光素子12bのそれぞれを発光状態または非発光状態に選択的に設定する機能を含むスイッチ素子（第3スイッチ素子ともいう）の機能をさらに備えている。

[0104] 図12で示されるように、制御部5の信号入力部51には、1つの第2トランジスタ11eのスイッチ制御を行う複数のスイッチ素子の機能のそれぞれについてのオンまたはオフに係る信号が選択的に入力されるとともに、第2電位V2が入力される。第2実施形態では、制御部5の信号入力部51には、第1スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力され、第2スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力されるとともに、第2電位V2が入力される。また、制御部5の信号入力部51には、第3スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力される。

[0105] この場合、第1発光素子12aに係る第1スイッチ素子の機能について、オフに係る信号に第1発光素子12aを不使用状態とするための信号が適用され、オンに係る信号に第1発光素子12aを使用状態とするための信号が適用される。第2発光素子12bに係る第2スイッチ素子の機能について、オフに係る信号に第2発光素子12bを不使用状態とするための信号が適用され、オンに係る信号に第2発光素子12bを使用状態とするための信号が適用される。第3スイッチ素子の機能について、オフに係る信号に発光素子12を非発光状態とするための信号が適用され、オンに係る信号に発光素子12を発光状態とするための信号が適用される。オフに係る信号にH信号が適用され、オンに係る信号にL信号が適用される。

[0106] より具体的には、制御部5には、第1スイッチ素子の機能についてのオンまたはオフに係る信号（第1選択設定信号ともいう）SEL Aと、第2スイッチ素子の機能についてのオンまたはオフに係る信号（第2選択設定信号ともいう）SEL Bと、第3スイッチ素子の機能についてのオンまたはオフに係る発光制御信号線4eからの発光制御信号と、が入力される。制御部5には、第1選択設定信号SEL Aとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。制御部5には、第2選択設定信号SEL Bとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。制御部5には、発光制御

信号線 4 e から、発光制御信号として、オフに係る信号としての H 信号またはオンに係る信号としての L 信号が選択的に入力される。第 2 電位 V 2 は、第 2 電位供給線 L v a から制御部 5 に入力される。

[0107] ここで、制御部 5 は、1 つの発光素子 1 2 について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうち 1 つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部 5 U から、第 2 トランジスタ 1 1 e のゲート電極に第 1 電位 V 1 を出力する。また、制御部 5 は、1 つの発光素子 1 2 について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能についてのオンに係る信号の入力と第 2 電位 V 2 の入力とに応じて、信号出力部 5 U から、第 2 トランジスタ 1 1 e のゲート電極に第 2 電位 V 2 を出力する。

[0108] 制御部 5 は、信号入力部 5 1 に対する、第 1 スイッチ素子の機能についてのオフに係る信号および第 3 スイッチ素子の機能についてのオフに係る信号のうち 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 2 A トランジスタ 1 1 e a のゲート電極に第 1 電位 V 1 を出力する。また、制御部 5 は、信号入力部 5 1 に対する、第 1 スイッチ素子の機能についてのオンに係る信号の入力と、第 3 スイッチ素子の機能についてのオンに係る信号の入力と、第 2 電位 V 2 の入力と、に応じて、信号出力部 5 U から、第 2 A トランジスタ 1 1 e a のゲート電極に第 2 電位 V 2 を出力する。

[0109] この場合、制御部 5 は、信号入力部 5 1 に対する、第 1 発光素子 1 2 a を不使用状態とするためのオフに係る信号としての H 信号、および発光素子 1 2 を非発光状態とするためのオフに係る信号としての H 信号のうち 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極に第 1 電位 V 1 を有するオフ信号としての H 信号を出力する。より具体的には、制御部 5 は、信号入力部 5 1 に対する、第 1 選択設定信号 S E L A としてのオフに係る信号である H 信号、および発光制御信号としてのオフに係る信号である H 信号のうち 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信

号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとして第1電位V 1を有するオフ信号であるH信号を出力する。また、制御部5は、信号入力部5 lに対する、第1発光素子1 2 aを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子1 2を発光状態とするためのオンに係る信号としてのL信号の入力と、第2電位V 2の入力とに応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に第2電位V 2を有するA信号を出力する。より具体的には、制御部5は、信号入力部5 lに対する、第1選択設定信号S E L Aとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、第2電位供給線L v aからの第2電位V 2の入力と、に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとして第2電位V 2を有するA信号を出力する。

[0110] これにより、制御部5は、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとして、第1電位V 1を有するオフ信号であるH信号または第2電位V 2を有するA信号を選択的に出力し得る。その結果、1つの第2 Aトランジスタ1 1 e aを用いて、冗長に設けられた2つの発光素子1 2のうちの第1発光素子1 2 aについて、使用状態と不使用状態との間で切り替えるスイッチの機能と、発光状態と非発光状態との間で切り替えるスイッチの機能と、第1トランジスタ1 1 dに対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0111] また、ここで、制御部5は、信号入力部5 lに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2 Bトランジスタ1 1 e bのゲート電極に第1電位V 1を出力する。また、制御部5は、信号入力部5 lに対する、第2スイッチ素子の機能につ

いてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、第2電位V2の入力と、に応じて、信号出力部5Uから、第2Bトランジスタ11ebのゲート電極に第2電位V2を出力する。

[0112] この場合、制御部5は、信号入力部5Iに対する、第2発光素子12bを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの一つ以上の信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に第1電位V1を有するオフ信号としてのH信号を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第2選択設定信号SELBとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号であるH信号のうちの一つ以上の信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして第1電位V1を有するオフ信号であるH信号を出力する。また、制御部5は、信号入力部5Iに対する、第2発光素子12bを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子12を発光状態とするためのオンに係る信号としてのL信号の入力と、第2電位V2の入力とに応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に第2電位V2を有するA信号を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第2選択設定信号SELBとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、第2電位供給線Lvaからの第2電位V2の入力と、に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして第2電位V2を有するA信号を出力する。

[0113] これにより、制御部5は、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして、第

1 電位  $V_1$  を有するオフ信号である H 信号または第 2 電位  $V_2$  を有する A 信号を選択的に出力し得る。その結果、1つの第 2 B トランジスタ 11 e b を用いて、冗長に設けられた 2 つの発光素子 12 のうちの第 2 発光素子 12 b について、使用状態と不使用状態との間で切り替えるスイッチの機能と、発光状態と非発光状態との間で切り替えるスイッチの機能と、第 1 トランジスタ 11 d に対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0114] 図 13 は、制御部 5 の一例を示す回路図である。第 2 実施形態に係る制御部 5 の一例は、図 6 で示した上記第 1 実施形態に係る制御部 5 の一例が基礎とされている。第 2 実施形態に係る制御部 5 は、第 1 実施形態に係る論理回路部 5 1 および電位変換部 5 2 の構成が変更された論理回路部 5 1 および電位変換部 5 2 を有する。

[0115] 第 2 実施形態では、論理回路部 5 1 は、第 1 選択設定信号 SEL A、第 2 選択設定信号 SEL B および発光制御信号の入力に応じて、第 1 の中間的な信号（第 1 中間出力信号ともいう）XCTL A と、第 2 の中間的な信号（第 2 中間出力信号ともいう）XCTL B と、を出力し得る。この場合、論理回路部 5 1 は、第 1 選択設定信号 SEL A、第 2 選択設定信号 SEL B および発光制御信号の 3 つの信号についてのオン信号としての L 信号とオフ信号としての H 信号との組み合わせに応じて、第 1 中間出力信号 XCTL A および第 2 中間出力信号 XCTL B のそれぞれとして L 信号または H 信号を出力し得る。制御部 5 および論理回路部 5 1 には、H 電位供給線  $L_{vh}$  から H 電位  $V_{gh}$  が入力されてもよいし、L 電位供給線  $L_{vl}$  から L 電位  $V_{gl}$  が入力されてもよい。ここで、制御部 5 および論理回路部 5 1 には、H 電位供給線  $L_{vh}$  から H 電位  $V_{gh}$  が入力される代わりに第 1 電源線  $L_{vd}$  から第 1 電源電位  $V_{dd}$  が入力されてもよい。制御部 5 および論理回路部 5 1 には、L 電位供給線  $L_{vl}$  から L 電位  $V_{gl}$  が入力される代わりに第 2 電源線  $L_{vs}$  から第 2 電源電位  $V_{ss}$  が入力されてもよい。

[0116] 電位変換部 5 2 は、第 1 電位変換部 5 2 a と第 2 電位変換部 5 2 b とを含

む。

[0117] 第1電位変換部52aは、論理回路部51から第1中間出力信号XC T L AとしてのL信号が入力されると、第1電位V1を有するH信号に変換し、第1切替制御信号C T L Aとしてのオフ信号であるH信号を出力する。また、第1電位変換部52aは、論理回路部51から第1中間出力信号XC T L AとしてのH信号が入力されると、第2電位V2を有するA信号に変換し、第1切替制御信号C T L AとしてのA信号を出力する。第1電位変換部52aには、反転論理回路としてのCMOS型NOT回路に類似した回路が適用される。第1電位変換部52aは、H電位Vghを供給するH電位供給線Lv hと、第2電位V2を供給する第2電位供給線Lv aと、の間において縦続に接続されたPチャネルトランジスタとNチャネルトランジスタとを有する。より具体的には、Pチャネルトランジスタのソース電極がH電位供給線Lv hに接続しており、Pチャネルトランジスタのドレイン電極がNチャネルトランジスタのドレイン電極に接続されており、Nチャネルトランジスタのソース電極が第2電位供給線Lv aに接続されている。また、第1電位変換部52aでは、Pチャネルトランジスタのゲート電極とNチャネルトランジスタのゲート電極とが接続された部分が入力部（第1入力部ともいう）521aであり、Pチャネルトランジスタのドレイン電極とNチャネルトランジスタのドレイン電極とが接続された部分が出力部（第1出力部ともいう）52U aである。この第1電位変換部52aは、論理回路部51から第1入力部521aに第1中間出力信号XC T L AとしてのL信号が入力されると、第1出力部52U aから第1電位V1を有するオフ信号としてのH信号を出力する。また、第1電位変換部52aは、論理回路部51から第1入力部521aに第1中間出力信号XC T L AとしてのH信号が入力されると、第1出力部52U aから第2電位V2を有するA信号を出力する。第1電位変換部52aの第1出力部52U aは、第1電位出力信号線L1aに接続している。

[0118] これにより、制御部5は、信号入力部51に対する、第1選択設定信号S

E L Aのオフに係る信号としてのH信号、および発光制御信号のオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に第1電位V 1を出力し得る。また、制御部5は、信号入力部5 Iに対する、第1選択設定信号S E L Aのオンに係る信号としてのL信号の入力と、発光制御信号のオンに係る信号としてのL信号の入力と、第2電位V 2の入力とに応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に第2電位V 2を出力し得る。

[0119] 第2電位変換部5 2 bは、第1電位変換部5 2 aと同一もしくは類似の構成を有する。第2電位変換部5 2 bは、論理回路部5 1から第2中間出力信号X C T L BとしてのL信号が入力されると、第1電位V 1を有するH信号に変換し、第2切替制御信号C T L Bとしてのオフ信号であるH信号を出力する。また、第2電位変換部5 2 bは、論理回路部5 1から第2中間出力信号X C T L BとしてのH信号が入力されると、第2電位V 2を有するA信号に変換し、第2切替制御信号C T L BとしてのA信号を出力する。第2電位変換部5 2 bには、反転論理回路としてのC M O S型N O T回路に類似した回路が適用される。第2電位変換部5 2 bは、H電位V g hを供給するH電位供給線L v hと、第2電位V 2を供給する第2電位供給線L v aと、の間において縦続に接続されたPチャネルトランジスタとNチャネルトランジスタとを有する。より具体的には、Pチャネルトランジスタのソース電極がH電位供給線L v hに接続しており、Pチャネルトランジスタのドレイン電極がNチャネルトランジスタのドレイン電極に接続されており、Nチャネルトランジスタのソース電極が第2電位供給線L v aに接続されている。また、第2電位変換部5 2 bでは、Pチャネルトランジスタのゲート電極とNチャネルトランジスタのゲート電極とが接続された部分が入力部（第2入力部ともいう）5 2 1 bであり、Pチャネルトランジスタのドレイン電極とNチャネルトランジスタのドレイン電極とが接続された部分が出力部（第2出力部

ともいう) 5 2 U b である。この第 2 電位変換部 5 2 b は、論理回路部 5 1 から第 2 入力部 5 2 I b に第 2 中間出力信号 X C T L B としての L 信号が入力されると、第 2 出力部 5 2 U b から第 1 電位 V 1 を有するオフ信号としての H 信号を出力する。また、第 2 電位変換部 5 2 b は、論理回路部 5 1 から第 2 入力部 5 2 I b に第 2 中間出力信号 X C T L B としての H 信号が入力されると、第 2 出力部 5 2 U b から第 2 電位 V 2 を有する A 信号を出力する。第 2 電位変換部 5 2 b の第 2 出力部 5 2 U b は、第 2 電位出力信号線 L 1 b に接続している。

[0120] これにより、制御部 5 は、信号入力部 5 I に対する、第 2 選択設定信号 S E L B のオフに係る信号としての H 信号、および発光制御信号のオフに係る信号としての H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 1 1 e b のゲート電極に第 1 電位 V 1 を出力し得る。また、制御部 5 は、信号入力部 5 I に対する、第 2 選択設定信号 S E L B のオンに係る信号としての L 信号の入力と、発光制御信号のオンに係る信号としての L 信号の入力と、第 2 電位 V 2 の入力とに応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 1 1 e b のゲート電極に第 2 電位 V 2 を出力し得る。

[0121] 図 1 4 は、制御部 5 における入力と中間出力信号と出力と第 1 副画素回路 1 の状態との関係の一例を示す真理値表である。この場合、制御部 5 は、第 2 電位供給線 L v a から入力される入力電位 V b と、発光制御信号線 4 e から入力される発光制御信号と、入力される第 1 選択設定信号 S E L A と、入力される第 2 選択設定信号 S E L B と、第 1 電位出力信号線 L 1 a に出力する第 1 切替制御信号 C T L A と、第 2 電位出力信号線 L 1 b に出力する第 2 切替制御信号 C T L B とが、図 1 4 で示される関係を満たす態様で設計されている。また、この場合、論理回路部 5 1 は、発光制御信号線 4 e から入力される発光制御信号と、入力される第 1 選択設定信号 S E L A と、入力される第 2 選択設定信号 S E L B と、第 1 電位変換部 5 2 a に出力する第 1 中間

出力信号XCTLAと、第2電位変換部52bに出力する第2中間出力信号XCTLBとが、図14で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。

[0122] 図14で示されるように、第2電位供給線Lv aから制御部5に入力される入力電位V bが任意の電位であり、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、制御部5が第1電位出力信号線L1 aに出力する第1切替制御信号CTLAおよび制御部5が第2電位出力信号線L1 bに出力する第2切替制御信号CTLBのそれぞれが第1電位V1を有するオフ信号としてのH信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1選択設定信号SELAおよび第2選択設定信号SELBのそれぞれがオンに係る信号としてのL信号であってもオフに係る信号としてのH信号であっても、第1中間出力信号XCTLAおよび第2中間出力信号XCTLBのそれぞれはL信号となる。そして、第2Aトランジスタ11e aおよび第2Bトランジスタ11e bのそれぞれは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12 aおよび第2発光素子12 bが両方とも非発光状態となる。

[0123] また、第2電位供給線Lv aから制御部5に入力される入力電位V bが第2電位V2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオフに係る信号としてのH信号であれば、制御部5が第1電位出力信号線L1 aに出力する第1切替制御信号CTLAが第2電位V2を有するA信号となり、制御部5が第2電位出力信号線L1 bに出力する第2切替制御信号CTLBが第1電位V1を有するオフ信号としてのH信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定

信号SELBがオフに係る信号としてのH信号であることで、第1中間出力信号XCTLAがH信号となり、第2中間出力信号XCTLBがL信号となる。そして、第2Aトランジスタ11eaのゲート電極に第2電位V2を有するA信号が入力されて、第1発光素子12aが発光状態にある状態（第1発光状態ともいう）となる。このとき、第2Aトランジスタ11eaは、第1トランジスタ11dに対してカスコード接続を形成している状態となる。また、第2Bトランジスタ11ebのゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて、第2発光素子12bが非発光状態にある状態（第2非発光状態ともいう）となる。

[0124] また、第2電位供給線Lv aから制御部5に入力される入力電位Vbが第2電位V2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオフに係る信号としてのH信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であれば、制御部5が第1電位出力信号線L1aに出力する第1切替制御信号CCTLAが第1電位V1を有するオフ信号としてのH信号となり、制御部5が第2電位出力信号線L1bに出力する第2切替制御信号CCTLBが第2電位V2を有するA信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオフに係る信号としてのH信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であることで、第1中間出力信号XCTLAがL信号となり、第2中間出力信号XCTLBがH信号となる。そして、第2Aトランジスタ11eaのゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて、第1発光素子12aが非発光状態にある状態（第1非発光状態ともいう）となる。また、第2Bトランジスタ11ebのゲート電極に第2電位V2を有するA信号が入力されて、第2発光素子12bが発光状態にある状態（第2発光状態ともいう）となる。このとき、第2Bトランジスタ11ebは、第1トランジスタ11dに対してカスコード接続を形成している状態となる。

[0125] また、第2電位供給線L<sub>v a</sub>から制御部5に入力される入力電位V<sub>b</sub>が第2電位V<sub>2</sub>であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL<sub>A</sub>がオンに係る信号としてのL信号であり、第2選択設定信号SEL<sub>B</sub>がオンに係る信号としてのL信号であれば、制御部5が第1電位出力信号線L<sub>1 a</sub>に出力する第1切替制御信号CTL<sub>A</sub>が第2電位V<sub>2</sub>を有するA信号となり、制御部5が第2電位出力信号線L<sub>1 b</sub>に出力する第2切替制御信号CTL<sub>B</sub>が第2電位V<sub>2</sub>を有するA信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL<sub>A</sub>がオンに係る信号としてのL信号であり、第2選択設定信号SEL<sub>B</sub>がオンに係る信号としてのL信号であることで、第1中間出力信号XCTL<sub>A</sub>および第2中間出力信号XCTL<sub>B</sub>がともにH信号となる。そして、第2Aトランジスタ11e<sub>a</sub>および第2Bトランジスタ11e<sub>b</sub>のそれぞれのゲート電極に第2電位V<sub>2</sub>を有するA信号が入力されて、第1発光素子12aおよび第2発光素子12bが両方とも発光状態にある状態（両発光状態ともいう）となる。このとき、第2Aトランジスタ11e<sub>a</sub>および第2Bトランジスタ11e<sub>b</sub>は、両方とも第1トランジスタ11dに対してカスコード接続を形成している状態となる。

[0126] 図15は、制御部5に第1選択設定信号SEL<sub>A</sub>および第2選択設定信号SEL<sub>B</sub>を出力する信号出力回路6の一例を示すブロック回路図である。図15で示されるように、信号出力回路6は、第1信号出力部6aと第2信号出力部6bとを含む。第1信号出力部6aは、第1選択設定信号SEL<sub>A</sub>を出力し得る。第2信号出力部6bは、第2選択設定信号SEL<sub>B</sub>を出力し得る。より具体的には、第1信号出力部6aは、第1選択設定信号SEL<sub>A</sub>として、オフに係る信号としてのH信号またはオンに係る信号であるL信号を選択的に制御部5に出力し得る。第2信号出力部6bは、第2選択設定信号SEL<sub>B</sub>として、オフに係る信号としてのH信号またはオンに係る信号であるL信号を選択的に制御部5に出力し得る。第1信号出力部6aには、第1

選択設定信号SEL AをL信号またはH信号に選択的に切り替えてその状態を保持することが可能なフリップフロップ回路もしくはラッチ回路などのデータを保持する回路（保持回路ともいう）などが適用される。第2信号出力部6 bには、第2選択設定信号SEL BをL信号またはH信号に選択的に切り替えてその状態を保持することが可能なフリップフロップ回路もしくはラッチ回路などのデータを保持する回路（保持回路）などが適用される。

[0127] 第1信号出力部6 aとしての保持回路は、状態を設定するためのデータとしての信号（第1設定信号ともいう）の入力（書き込み）が一旦行われることで、第1選択設定信号SEL AとしてL信号およびH信号のうちの何れかを出力し続ける状態に設定される。第2信号出力部6 bとしての保持回路は、状態を設定するためのデータとしての信号（第2設定信号ともいう）の入力（書き込み）が一旦行われることで、第2選択設定信号SEL BとしてL信号およびH信号のうちの何れかを出力し続ける状態に設定される。画像信号線4 sが、第1信号出力部6 aに第1設定信号の入力（書き込み）を行う信号線（第1書き込み信号線ともいう）として使用されるとともに、第2信号出力部6 bに第2設定信号の入力（書き込み）を行う信号線（第2書き込み信号線ともいう）として使用される態様が考えられる。また、走査信号線4 gが、第1信号出力部6 aに設定信号の入力（書き込み）を行うタイミングを指定する信号（第1指定信号ともいう）を入力するための信号線（第1指定信号線ともいう）として利用されるとともに、第2信号出力部6 bに設定信号の入力（書き込み）を行うタイミングを指定する信号（第2指定信号ともいう）を入力するための信号線（第2指定信号線ともいう）として利用される態様が考えられる。

[0128] 図15で示されるように、1本の画像信号線4 sが、第1信号出力部6 aおよび第2信号出力部6 bのそれぞれに接続されている構成が考えられる。そして、1本の走査信号線4 gが、第1信号出力部6 aに接続されているとともに、NOT回路を介して第2信号出力部6 bに接続されている構成が考えられる。この場合、1本の走査信号線4 gによって、画像信号線4 sから

第1信号出力部6aとしての保持回路に設定信号の入力（書き込み）が行われる第1タイミングと、画像信号線4sから第2信号出力部6bとしての保持回路に設定信号の入力（書き込み）が行われる第2タイミングと、を時間順次に指定することができる。走査信号線4gから第1指定信号としてのL信号が第1信号出力部6aとしての保持回路に入力され、走査信号線4gからの第1指定信号としてのL信号がNOT回路で第2非指定信号としてのH信号に変換されて第2信号出力部6bとしての保持回路に入力される。このとき、画像信号線4sから第1信号出力部6aとしての保持回路への第1設定信号の入力（書き込み）が可能となる。走査信号線4gから信号（第1非指定信号ともいう）としてのH信号が第1信号出力部6aとしての保持回路に入力され、走査信号線4gからの第1非指定信号としてのH信号がNOT回路で第2指定信号としてのL信号に変換されて第2信号出力部6bとしての保持回路に入力される。このとき、画像信号線4sから第2信号出力部6bとしての保持回路への第2設定信号の入力（書き込み）が可能となる。第1信号出力部6aとしての保持回路では、走査信号線4gから第1指定信号が入力されたタイミングで、画像信号線4sから第1設定信号としてのL信号またはH信号の入力（書き込み）が行われる。また、第2信号出力部6bとしての保持回路では、走査信号線4gから第2指定信号が入力されたタイミングで、画像信号線4sから第2設定信号としてのL信号またはH信号の入力（書き込み）が行われる。

[0129] <<第2実施形態におけるバリエーション>>

ここで、各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3の組に対して、1つの制御部5および1つの信号出力回路6を備えていてもよい。換言すれば、各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。図16は、制御部5と、信号出力回路6と、複数の副画素回路1、2、3との接続の一例を示すブロック回路図である。図16で示されるように、制御部5に接

続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが複数の画素回路1, 2, 3に接続されている構成が採用され得る。この構成によって、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0130] また、表示パネル100pは、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6を備えていてもよい。換言すれば、表示パネル100pは、複数の画素回路10のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、制御部5および信号出力回路6は、基板20の第1面F1上において画像表示部300の空き領域もしくは額縁部分に配置されていてもよいし、基板20の第2面F2上に配置されていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。より具体的には、制御部5は、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。また、制御部5は、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。

[0131] この場合、制御部5および信号出力回路6は、1行の画素回路10を構成する複数の画素回路10ごとに配置され得る。図17は、制御部5と信号出力回路6と複数の画素回路10との接続の一例を示すブロック回路図である。図17で示されるように、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、複数の画素回路10に接続されている構成が採用され得る。より具体的には、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、

複数の画素回路 10 のそれぞれに含まれた複数の副画素回路 1, 2, 3 にそれぞれ接続されている構成が採用され得る。この構成の場合、複数の画素回路 10 に対して 1 つの制御部 5 および 1 つの信号出力回路 6 が設けられ、画素回路 10 が増大しにくい。これにより、表示装置 100 および表示パネル 100 p では、複数の画素回路 10 が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置 100 における画質が向上し得る。

[0132] 制御部 5 は、1 つの発光素子 12 について、信号入力部 5 l に対する、複数のスイッチ素子の機能のうちの 1 つ以上のスイッチ素子の機能についてオフに係る信号の入力に応じて、信号出力部 5 u から、複数の画素回路 10 のそれぞれにおける第 2 トランジスタ 11 e のゲート電極に第 1 電位 V 1 を出力する。また、制御部 5 は、1 つの発光素子 12 について、信号入力部 5 l に対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力と第 2 電位 V 2 の入力とに応じて、信号出力部 5 u から、複数の画素回路 10 のそれぞれにおける第 2 トランジスタ 11 e のゲート電極に第 2 電位 V 2 を出力する。

[0133] この場合、制御部 5 は、信号入力部 5 l に対する、第 1 スイッチ素子の機能についてのオフに係る信号および第 3 スイッチ素子の機能についてのオフに係る信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 u から、複数の画素回路 10 のそれぞれにおける第 2 A トランジスタ 11 e a のゲート電極に第 1 電位 V 1 を出力する。より具体的には、制御部 5 は、信号入力部 5 l に対する、第 1 発光素子 12 a を不使用状態とするためのオフに係る信号としての H 信号、および発光素子 12 を非発光状態とするためのオフに係る信号としての H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 u から、第 1 電位出力信号線 L 1 a を介して、複数の画素回路 10 のそれぞれにおける第 2 A トランジスタ 11 e a のゲート電極に第 1 電位 V 1 を有するオフ信号としての H 信号を出力する。また、制御部 5 は、信号入力部 5 l に対する、第 1 スイッチ素子の機能についてのオンに係る信号の入力と

第3スイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2電位V2を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第1発光素子12aを使用状態とするためのオンに係る信号としてのL信号の入力と、第1発光素子12aを発光状態とするためのオンに係る信号としてのL信号の入力と、第2電位V2の入力とに応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2電位V2を有するA信号を出力する。換言すれば、制御部5は、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1切替制御信号CTL Aとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。より具体的には、制御部5は、第1電位出力信号線L1aを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1切替制御信号CTL Aとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。

[0134] 制御部5は、信号入力部5Iに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第1電位V1を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第2発光素子12bを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにお

ける第2 Bトランジスタ1 1 e bのゲート電極に第1 電位V 1を有するオフ信号としてのH信号を出力する。また、制御部5は、信号入力部5 lに対する、第2スイッチ素子の機能についてのオンに係る信号の入力と第3スイッチ素子の機能についてのオンに係る信号の入力と第2 電位V 2の入力とに応じて、信号出力部5 uから、複数の画素回路1 0のそれぞれにおける第2 Bトランジスタ1 1 e bのゲート電極に第2 電位V 2を出力する。より具体的には、制御部5は、信号入力部5 lに対する、第2発光素子1 2 bを使用状態とするためのオンに係る信号としてのL信号の入力と、第2発光素子1 2 bを発光状態とするためのオンに係る信号としてのL信号の入力と、第2 電位V 2の入力とに応じて、信号出力部5 uから、第2 電位出力信号線L 1 bを介して、複数の画素回路1 0にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2 Bトランジスタ1 1 e bのゲート電極に第2 電位V 2を有するA信号を出力する。換言すれば、制御部5は、第2 電位出力信号線L 1 bを介して、複数の画素回路1 0のそれぞれにおける第2 Bトランジスタ1 1 e bのゲート電極に、第2切替制御信号C T L Bとして、第1 電位V 1を有するオフ信号としてのH信号または第2 電位V 2を有するA信号を選択的に出力し得る。より具体的には、制御部5は、第2 電位出力信号線L 1 bを介して、複数の画素回路1 0にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2 Bトランジスタ1 1 e bのゲート電極に、第2切替制御信号C T L Bとして、第1 電位V 1を有するオフ信号としてのH信号または第2 電位V 2を有するA信号を選択的に出力し得る。

[0135] <2-2. 第3実施形態>

上記第2実施形態において、図18で示されるように、第3 A素子E 1 3 aとしての第2 Aトランジスタ1 1 e aおよび第3 B素子E 1 3 bとしての第2 Bトランジスタ1 1 e bが有する機能のうちの発光制御用素子としての機能が、第5素子E 1 5としての第5トランジスタ1 1 mによって実現されてもよい。

[0136] この場合にも、第1副画素回路1は、複数の発光素子1 2と、複数の第2

トランジスタ 1 1 e と、を備えている。複数の発光素子 1 2 は、並列に接続された第 1 発光素子 1 2 a および第 2 発光素子 1 2 b を含む。複数の第 2 トランジスタ 1 1 e は、第 1 発光素子 1 2 a に直列に接続された第 2 トランジスタ 1 1 e である第 2 A トランジスタ 1 1 e a と、第 2 発光素子 1 2 b に直列に接続された第 2 トランジスタ 1 1 e である第 2 B トランジスタ 1 1 e b と、を含む。そして、第 2 A トランジスタ 1 1 e a のゲート電極に、第 1 電位  $V_1$  または第 2 電位  $V_2$  が選択的に入力されるとともに、第 2 B トランジスタ 1 1 e b のゲート電極に、第 1 電位  $V_1$  または第 2 電位  $V_2$  が選択的に入力される。

[0137] この構成においても、冗長に設けられた複数の発光素子 1 2 を発光状態と非発光状態との間で切り替える機能を有する複数の第 2 トランジスタ 1 1 e は、第 1 トランジスタ 1 1 d に対してカスコード接続を形成するアナログ素子としての機能を有する。これにより、第 1 トランジスタ 1 1 d に縦続に接続されているトランジスタの数を増加させることなく、第 2 トランジスタ 1 1 e によって第 1 トランジスタ 1 1 d に対するカスコード接続による効果が得られる。これにより、第 1 電源電位  $V_{dd}$  と第 2 電源電位  $V_{ss}$  との電位差 ( $V_{dd} - V_{ss}$ ) のうち、第 1 トランジスタ 1 1 d におけるドレインソース間電圧  $V_{ds}$  が低下しにくい。その結果、仮に第 1 電源電位  $V_{dd}$  の降下などによって電位差 ( $V_{dd} - V_{ss}$ ) が低下しても、発光素子 1 2 にかかる順方向の電圧が大きくなっても、第 1 トランジスタ 1 1 d を飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置 1 0 0 において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置 1 0 0 における画質が向上し得る。

[0138] <<副画素回路の構成>>

図 1 8 は、第 3 実施形態に係る第 1 副画素回路 1 の一例を示す回路図である。複数の画素回路 1 0 のそれぞれにおいて、第 1 副画素回路 1 は同一もしくは類似の構成を有する。第 2 副画素回路 2 および第 3 副画素回路 3 のそれぞれは、第 1 副画素回路 1 と同一もしくは類似の構成を有する。

[0139] 第3実施形態に係る第1副画素回路1の一例は、図11で示した上記第2実施形態に係る第1副画素回路1の一例が基礎とされて、第5素子E15としての第5トランジスタ11mが追加された形態を有する。第5トランジスタ11mは、発光制御部11に含まれる。ここでも、第1副画素回路1は、それぞれ第1電源電位入力部1d1と第2電源電位入力部1s1との間で直列または縦続に接続された、1組目の複数の素子E1と、2組目の複数の素子E1と、を含む。

[0140] 1組目の複数の素子E1は、第1A素子E11aとしての第1発光素子12aと、第2素子E12としての第1トランジスタ11dと、第3A素子E13aとしての第2Aトランジスタ11eaと、第5素子E15としての第5トランジスタ11mと、を含む。図18の例では、第2素子E12としての第1トランジスタ11dと、第3A素子E13aとしての第2Aトランジスタ11eaと、第1A素子E11aとしての第1発光素子12aと、第5素子E15としての第5トランジスタ11mとが、この記載の順に直列または縦続に接続している。

[0141] 2組目の複数の素子E1は、第1B素子E11bとしての第2発光素子12bと、第2素子E12としての第1トランジスタ11dと、第3B素子E13bとしての第2Bトランジスタ11ebと、第5素子E15としての第5トランジスタ11mと、を含む。図18の例では、第2素子E12としての第1トランジスタ11dと、第3B素子E13bとしての第2Bトランジスタ11ebと、第1B素子E11bとしての第2発光素子12bと、第5素子E15としての第5トランジスタ11mとが、この記載の順に直列または縦続に接続している。

[0142] この場合、第1トランジスタ11dと、複数の第2トランジスタ11eと、第3トランジスタ11gと、容量素子11cと、第5トランジスタ11mと、を有する発光制御部11によって、複数の発光素子12における発光が制御され得る。

[0143] 第3実施形態では、第2Aトランジスタ11eaは、第1発光素子12a

を使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能を有し、第1発光素子12aの発光および非発光を制御するための素子（発光制御用素子）としての機能は有していない。第2Bトランジスタ11ebは、第2発光素子12bを使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能を有し、第2発光素子12bの発光および非発光を制御するための素子（発光制御用素子）としての機能は有していない。

[0144] 第5トランジスタ11mは、第1発光素子12aおよび第2発光素子12bを発光状態と非発光状態との間で切り替えることができる。第5トランジスタ11mは、第1発光素子12aおよび第2発光素子12bの発光および非発光を制御するための素子（発光制御用素子）としての機能を有する。第5トランジスタ11mは、第1発光素子12aと第2電源電位入力部1s1との間に位置している。また、第5トランジスタ11mは、第2発光素子12bと第2電源電位入力部1s1との間に位置している。第5トランジスタ11mには、Pチャネルトランジスタが適用される。この場合、第5トランジスタ11mのソース電極は、第1発光素子12aの負電極に接続されるとともに、第2発光素子12bの負電極に接続されている。第5トランジスタ11mのドレイン電極は、第2電源電位入力部1s1に接続されている。第5トランジスタ11mのゲート電極には、発光制御信号線4eから発光制御信号が入力される。そして、第5トランジスタ11mのゲート電極に、発光制御信号としてのオンに係る信号であるL信号が入力されると、第5トランジスタ11mは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。第5トランジスタ11mのゲート電極に、発光制御信号としてのオフに係る信号であるH信号が入力されると、第5トランジスタ11mは、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。

[0145] <<制御部>>

第3実施形態では、上記第2実施形態と同じく、制御部5は、第2Aトラ

ンジスタ 11 e a のゲート電極に第 1 電位 V 1 または第 2 電位 V 2 を選択的に出力し得る。制御部 5 は、第 2 B トランジスタ 11 e b のゲート電極に第 1 電位 V 1 または第 2 電位 V 2 を選択的に出力し得る。ここで、第 1 副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 のそれぞれが制御部 5 を備えていれば、副画素回路 1, 2, 3 ごとに第 1 発光素子 12 a および第 2 発光素子 12 b のそれぞれが使用状態と不使用状態との間で切り替えられ得る。また、上記第 2 実施形態と同じく、制御部 5 は、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 11 e a のゲート電極に接続している。これにより、制御部 5 は、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 11 e a のゲート電極に、第 1 切替制御信号 C T L A を出力し得る。また、制御部 5 は、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 11 e b のゲート電極に接続している。これにより、制御部 5 は、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 11 e b のゲート電極に、第 2 切替制御信号 C T L B を出力し得る。

[0146] 図 19 は、制御部 5 の入出力に係る一構成例を模式的に示す図である。制御部 5 は、第 2 トランジスタ 11 e のスイッチ制御を行うスイッチ素子の機能を備えている。スイッチ制御は、第 2 トランジスタ 11 e を、ソース電極とドレイン電極との間における電流が流れている状態と流れていない状態とに選択的に切り替える制御を含む。スイッチ素子の機能は、発光素子 12 を使用する状態（使用状態）または使用しない状態（不使用状態）に選択的に設定する機能を含む。第 1 発光素子 12 a については、スイッチ素子の機能は、第 1 発光素子 12 a を使用状態または不使用状態に選択的に設定する機能を含む。第 2 発光素子 12 b については、スイッチ素子の機能は、第 2 発光素子 12 b を使用状態または不使用状態に選択的に設定する機能を含む。換言すれば、制御部 5 は、第 1 発光素子 12 a を使用状態または不使用状態に選択的に設定するスイッチ素子（第 1 スイッチ素子）の機能と、第 2 発光素子 12 b を使用状態または不使用状態に選択的に設定するスイッチ素子（第 2 スイッチ素子）の機能と、を備えている。

[0147] 図19で示されるように、制御部5の信号入力部51には、第1スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力され、第2スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力されるとともに、第2電位V2が入力される。この場合、第1発光素子12aに係る第1スイッチ素子の機能について、オフに係る信号に第1発光素子12aを不使用状態とするための信号が適用され、オンに係る信号に第1発光素子12aを使用状態とするための信号が適用される。第2スイッチ素子の機能について、オフに係る信号に第2発光素子12bを不使用状態とするための信号が適用され、オンに係る信号に第2発光素子12bを使用状態とするための信号が適用される。オフに係る信号にH信号が適用され、オンに係る信号にL信号が適用される。

[0148] より具体的には、制御部5には、第1スイッチ素子の機能についてのオンまたはオフに係る信号（第1選択設定信号）SEL Aと、第2スイッチ素子の機能についてのオンまたはオフに係る信号（第2選択設定信号）SEL Bと、が入力される。制御部5には、第1選択設定信号SEL Aとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。制御部5には、第2選択設定信号SEL Bとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。第2電位V2は、第2電位供給線Lv aから制御部5に入力される。

[0149] ここで、制御部5は、信号入力部51に対する、第1スイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、第2Aトランジスタ11e aのゲート電極に第1電位V1を出力する。この場合、制御部5は、信号入力部51に対する、第1発光素子12aを不使用状態とするためのオフに係る信号としてのH信号の入力に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、第2Aトランジスタ11e aのゲート電極に、第1切替制御信号CTLAとして第1電位V1を有するオフ信号であるH信号を出力する。また、制御部5は、信号入力部51に対する、第1スイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の

入力とに応じて、信号出力部5 Uから、第2 Aトランジスタ1 1 e aのゲート電極に第2 電位V 2を出力する。この場合、制御部5は、信号入力部5 Iに対する、第1 発光素子1 2 aを使用状態とするためのオンに係る信号としてのL 信号の入力と第2 電位V 2の入力とに応じて、信号出力部5 Uから、第1 電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1 切替制御信号C T L Aとして第2 電位V 2を有するA信号を出力する。これにより、制御部5は、第1 電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1 切替制御信号C T L Aとして、第1 電位V 1を有するオフ信号であるH信号または第2 電位V 2を有するA信号を選択的に出力し得る。その結果、1つの第2 Aトランジスタ1 1 e aを用いて、冗長に設けられた2つの発光素子1 2のうちの第1 発光素子1 2 aについて、使用状態と不使用状態との間で切り替えるスイッチの機能と、第1 トランジスタ1 1 dに対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0150] 制御部5は、信号入力部5 Iに対する、第2 スイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、第2 Bトランジスタ1 1 e bのゲート電極に第1 電位V 1を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2 発光素子1 2 bを不使用状態とするためのオフに係る信号としてのH信号の入力に応じて、信号出力部5 Uから、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極に、第2 切替制御信号C T L Bとして第1 電位V 1を有するオフ信号であるH信号を出力する。また、制御部5は、信号入力部5 Iに対する、第2 スイッチ素子の機能についてのオンに係る信号の入力と第2 電位V 2の入力とに応じて、信号出力部5 Uから、第2 Bトランジスタ1 1 e bのゲート電極に第2 電位V 2を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2 発光素子1 2 bを使用状態とするためのオンに係る信号としてのL 信号の入力と第2 電位V 2の入力とに応じて、信号出力部5 Uから、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極に、

第2切替制御信号CTLBとして第2電位V2を有するA信号を出力する。これにより、制御部5は、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。その結果、1つの第2Bトランジスタ11ebを用いて、冗長に設けられた2つの発光素子12のうちの第2発光素子12bについて、使用状態と不使用状態との間で切り替えるスイッチの機能と、第1トランジスタ11dに対してカスコード接続を形成するアナログ素子としての機能と、が容易に実現され得る。

[0151] 図20は、制御部5の一例を示す回路図である。第3実施形態に係る制御部5の一例は、図13で示した上記第2実施形態に係る制御部5の一例が基礎とされている。第3実施形態に係る制御部5は、上記第2実施形態に係る制御部5のうちの論理回路部51が変更された構成を有する。

[0152] 論理回路部51は、第1切替制御信号SELAを適宜変換して第1電位変換部52aに出力するとともに、第2切替制御信号SELBを適宜変換して第2電位変換部52bに出力する。図20の例では、論理回路部51は、第1NOTゲート51naと、第2NOTゲート51nbと、を有する。第1NOTゲート51naは、第1切替制御信号SELAとしてのH信号をL信号に変換して、第1電位変換部52aに出力する。第1NOTゲート51naは、第1切替制御信号SELAとしてのL信号をH信号に変換して、第1電位変換部52aに出力する。第2NOTゲート51nbは、第2切替制御信号SELBとしてのH信号をL信号に変換して、第2電位変換部52bに出力する。第2NOTゲート51nbは、第2切替制御信号SELBとしてのL信号をH信号に変換して、第2電位変換部52bに出力する。

[0153] 第1電位変換部52aは、論理回路部51からL信号が入力されると、第1電位V1を有するH信号に変換し、第1切替制御信号CTLAとしてオフ信号であるH信号を出力する。また、第1電位変換部52aは、論理回路部51からH信号が入力されると、第2電位V2を有するA信号に変換し、第

1 切替制御信号 C T L A として A 信号を出力する。第 1 電位変換部 5 2 a は、上記第 2 実施形態に係る第 1 電位変換部 5 2 a と同一もしくは類似の構成を有する。これにより、制御部 5 は、信号入力部 5 1 に対する、第 1 選択設定信号 S E L A のオフに係る信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極に第 1 電位 V 1 を出力し得る。また、制御部 5 は、信号入力部 5 1 に対する、第 1 選択設定信号 S E L A のオンに係る信号としての L 信号の入力と、第 2 電位 V 2 の入力と、に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極に第 2 電位 V 2 を出力し得る。

[0154] 第 2 電位変換部 5 2 b は、論理回路部 5 1 から L 信号が入力されると、第 1 電位 V 1 を有する H 信号に変換し、第 2 切替制御信号 C T L B としてオフ信号である H 信号を出力する。また、第 2 電位変換部 5 2 b は、論理回路部 5 1 から H 信号が入力されると、第 2 電位 V 2 を有する A 信号に変換し、第 2 切替制御信号 C T L B として A 信号を出力する。第 2 電位変換部 5 2 b は、上記第 2 実施形態に係る第 2 電位変換部 5 2 b と同一もしくは類似の構成を有する。これにより、制御部 5 は、信号入力部 5 1 に対する、第 2 選択設定信号 S E L B のオフに係る信号の入力に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 1 1 e b のゲート電極に第 1 電位 V 1 を出力し得る。また、制御部 5 は、信号入力部 5 1 に対する、第 2 選択設定信号 S E L B のオンに係る信号としての L 信号の入力と、第 2 電位 V 2 の入力と、に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、第 2 B トランジスタ 1 1 e b のゲート電極に第 2 電位 V 2 を出力し得る。

[0155] 図 2 1 は、制御部 5 における入力と出力と第 1 副画素回路 1 の状態との関係の一例を示す真理値表である。この場合、制御部 5 は、第 2 電位供給線 L v a から入力される入力電位 V b と、入力される第 1 選択設定信号 S E L A と、入力される第 2 選択設定信号 S E L B と、第 1 電位出力信号線 L 1 a に

出力する第1切替制御信号CTL Aと、第2電位出力信号線L1 bに出力する第2切替制御信号CTL Bとが、図21で示される関係を満たす態様で設計されている。

[0156] 入力電位V bが第2電位V 2であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aが第2電位V 2を有するA信号となり、第2切替制御信号CTL Bが第1電位V 1を有するオフ信号であるH信号となる。この場合、第1発光素子12 aが使用状態に設定され、第2Aトランジスタ11 e aが第1トランジスタ11 dに対してカスコード接続を形成している状態となる。また、第2Bトランジスタ11 e bが非導通状態となり、第2発光素子12 bが不使用状態に設定される。

[0157] 入力電位V bが第2電位V 2であり、第1選択設定信号SEL Aがオフに係る信号としてのH信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTL Aが第1電位V 1を有するオフ信号としてのH信号となり、第2切替制御信号CTL Bが第2電位V 2を有するA信号となる。この場合、第2Aトランジスタ11 e aが非導通状態となり、第1発光素子12 aが不使用状態に設定される。また、第2発光素子12 bが使用状態に設定され、第2Bトランジスタ11 e bが第1トランジスタ11 dに対してカスコード接続を形成している状態となる。

[0158] 入力電位V bが第2電位V 2であり、第1選択設定信号SEL Aおよび第2選択設定信号SEL Bのそれぞれがオンに係る信号としてのL信号であれば、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれが第2電位V 2を有するA信号となる。この場合、第1発光素子12 aおよび第2発光素子12 bが両方とも使用状態に設定され、第2Aトランジスタ11 e aおよび第2Bトランジスタ11 e bのそれぞれが第1トランジスタ11 dに対してカスコード接続を形成している状態となる。

[0159] また、第3実施形態では、制御部5に第1選択設定信号SEL Aおよび第2選択設定信号SEL Bを出力する信号出力回路6として、上記第2実施形

態に係る信号出力回路6と同一もしくは類似の構成を有する回路が採用され得る。

[0160] ここで、第1切替制御信号SEL Aおよび第2切替制御信号SEL Bのそれぞれとして、オフに係る信号にL信号が適用され、オンに係る信号にH信号が適用されてもよい。この場合、制御部5は、論理回路部51を有しておらず、第1切替制御信号SEL Aが、第1電位変換部52aの第1入力部521aに直接入力されてもよいし、第2切替制御信号SEL Bが、第2電位変換部52bの第2入力部521bに直接入力されてもよい。これにより、制御部5は、信号入力部51に対する、第1切替制御信号SEL Aのオフに係る信号としてのL信号の入力に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、第2Aトランジスタ11eaのゲート電極に第1電位V1を出力し得る。その結果、第1発光素子12aは不使用状態に設定される。また、制御部5は、信号入力部51に対する、第1切替制御信号SEL Aのオンに係る信号としてのH信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、第2Aトランジスタ11eaのゲート電極に第2電位V2を出力し得る。その結果、第1発光素子12aは使用状態に設定される。また、制御部5は、信号入力部51に対する、第2切替制御信号SEL Bのオフに係る信号としてのL信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に第1電位V1を出力し得る。その結果、第2発光素子12bは不使用状態に設定される。また、制御部5は、信号入力部51に対する、第2切替制御信号SEL Bのオンに係る信号としてのH信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、第2Bトランジスタ11ebのゲート電極に第2電位V2を出力し得る。その結果、第2発光素子12bは使用状態に設定される。

[0161] <<第3実施形態におけるバリエーション>>

ここで、上記第2実施形態と同じく、各画素回路10は、第1副画素回路

1、第2副画素回路2および第3副画素回路3の組に対して、1つの制御部5および1つの信号出力回路6を備えていてもよい。換言すれば、各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、図16で示されたように、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが複数の副画素回路1、2、3に接続されている構成が採用され得る。この構成によって、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0162] また、上記第2実施形態と同じく、表示パネル100pは、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6を備えていてもよい。換言すれば、表示パネル100pは、複数の画素回路10のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。より具体的には、制御部5は、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。制御部5は、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。この構成において、制御部5および信号出力回路6は、基板20の第1面F1上において画像表示部300の空き領域もしくは額縁部分に配置されていてもよいし、基板20の第2面F2上に配置されていてもよい。このように、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6が設けられれば、画素回路10が増大しにくい。これにより、表示装置100および表示パネル

100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0163] この場合、制御部5および信号出力回路6は、1行の画素回路10を構成する複数の画素回路10ごとに配置され得る。図17で示されたように、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、複数の画素回路10に接続されている構成が採用され得る。より具体的には、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、複数の画素回路10のそれぞれに含まれた複数の副画素回路1, 2, 3にそれぞれ接続されている構成が採用され得る。

[0164] この場合、制御部5は、信号入力部5Iに対する、第1スイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第1電位V1を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第1発光素子12aを不使用状態とするためのオフに係る信号としてのH信号の入力に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第1電位V1を有するオフ信号としてのH信号を出力する。また、制御部5は、信号入力部5Iに対する、第1スイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2電位V2を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第1発光素子12aを使用状態とするためのオンに係る信号としてのL信号の入力と、第2電位V2の入力とに応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2電位V2を有するA信

号を出力する。換言すれば、制御部5は、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1切替制御信号CTLAとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。より具体的には、制御部5は、第1電位出力信号線L1aを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1切替制御信号CTLAとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。

[0165] この場合、制御部5は、信号入力部5Iに対する、第2スイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第1電位V1を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第2発光素子12bを不使用状態とするためのオフに係る信号としてのH信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第1電位V1を有するオフ信号としてのH信号を出力する。また、制御部5は、信号入力部5Iに対する、第2スイッチ素子の機能についてのオンに係る信号の入力と第2電位V2の入力とに応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第2電位V2を出力する。より具体的には、制御部5は、信号入力部5Iに対する、第2発光素子12bを使用状態とするためのオンに係る信号としてのL信号の入力と、第2電位V2の入力とに応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第2電位V2を有するA信号を出力する。換言すれば、制御部5は、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebの

ゲート電極に、第2切替制御信号CTLBとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。より具体的には、制御部5は、第2電位出力信号線L1bを介して、複数の画素回路10にそれぞれ含まれた複数の副画素回路1, 2, 3のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして、第1電位V1を有するオフ信号としてのH信号または第2電位V2を有するA信号を選択的に出力し得る。

[0166] ここで、第5トランジスタ11mにNチャネルトランジスタが適用されてもよい。この場合、第5トランジスタ11mのゲート電極に、発光制御信号としてのオンに係る信号であるH信号が入力されると、第5トランジスタ11mは、導通状態となる。第5トランジスタ11mのゲート電極に、発光制御信号としてのオフに係る信号であるL信号が入力されると、第5トランジスタ11mは、非導通状態となる。

[0167] <2-3. 第4実施形態>

上記第1実施形態において、図22で示されるように、第2トランジスタ11eは、第1トランジスタ11dのソース電極側において第1トランジスタ11dに縦属に接続していてもよい。この構成の場合、発光素子12を発光状態と非発光状態との間で切り替える機能を有する第2トランジスタ11eにアナログ素子の機能としてのデジェネレーション抵抗の機能を持たせることができる。これにより、第1トランジスタ11dにおけるゲート電圧Vgsとドレイン電流Idsとの関係が線形に近づき得る。このため、第1トランジスタ11dを用いたゲート電圧Vgsの変更によるドレイン電流Idsの微調整が容易となり得る。その結果、表示装置100における画質が向上し得る。また、第1トランジスタ11dに縦属に接続されているトランジスタの数を増加させることなく、第2トランジスタ11eによって第1トランジスタ11dに対するデジェネレーション抵抗による効果が得られる。このため、第1電源電位Vddと第2電源電位Vssとの電位差(Vdd-Vss)のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧V

$d_s$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd} - V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0168] すなわち、第1トランジスタ11dに縦続に接続された第2トランジスタ11eのゲート電極に第1電位 $V_1$ または第2電位 $V_2$ が選択的に入力される構成によって、発光素子12を発光状態と非発光状態との間で切り替える機能を有する第2トランジスタ11eにアナログ素子の機能を持たせることができる。これにより、表示装置100における画質が向上し得る。

[0169] <<副画素回路の構成>>

図22は、第4実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0170] 第4実施形態に係る第1副画素回路1は、図4で示した上記第1実施形態に係る第1副画素回路1の一例が基礎とされている。第4実施形態に係る第1副画素回路1は、第2トランジスタ11eが、第1トランジスタ11dのドレイン電極側ではなく、第1トランジスタ11dのソース電極側において、第1トランジスタ11dに縦続に接続している構成を有する。図22の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第3素子E13としての第2トランジスタ11eと、第2素子E12としての第1トランジスタ11dと、第1素子E11としての発光素子12とが、この記載の順に直列または縦続に接続している。また、第4実施形態に係る第1副画素回路1は、第2トランジスタ11eにおけるソース電極およびドレイン電極のうちの第1トランジスタ11dに接続されていない電極と、第1トランジスタ11dのゲート電極とを接続している接続線上に容量素

子11cが位置している構成を有する。ここでも、上記第1実施形態と同じく、第1トランジスタ11dと、第2トランジスタ11eと、第3トランジスタ11gと、容量素子11cと、を有する発光制御部11によって、発光素子12における発光が制御され得る。

[0171] ここで、第1トランジスタ11dと第2トランジスタ11eとに、同一の導電型のPチャネルトランジスタが適用される場合を想定する。この場合、第2トランジスタ11eのソース電極は、第1電源電位入力部1d1に接続している。容量素子11cは、第2トランジスタ11eのソース電極と、第1トランジスタ11dのゲート電極とを接続している接続線上に位置している。第2トランジスタ11eのドレイン電極は、第1トランジスタ11dのソース電極に接続している。第1トランジスタ11dのドレイン電極は、発光素子12の正電極に接続している。発光素子12の負電極は、第2電源電位入力部1s1に接続している。ここでも、上記第1実施形態と同じく、第2トランジスタ11eのゲート電極には、第1電位V1または第2電位V2が選択的に入力される。第2電位V2は、表示パネル100pまたは表示装置100の出荷前等の所定のタイミングにおいて、第2トランジスタ11eのゲート電極に第2電位V2が印加された場合に、第1トランジスタ11dにおけるゲート電圧 $V_{gs}$ とドレイン電流 $I_{ds}$ との関係が線形に近づいた状態となり得る電位に、適宜設定され得る。

[0172] また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1トランジスタ11dに、第2トランジスタ11eのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差 $(V_{dd} - V_{ss})$ のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差 $(V_{dd} - V_{ss})$ が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデー

ション（輝度むら）が生じ難くなり、表示装置100における画質が向上し得る。

[0173] <<制御部>>

第4実施形態では、上記第1実施形態と同じく、第2トランジスタ11eのゲート電極には、制御部5から第1電位V1または第2電位V2が選択的に出力される構成が採用され得る。換言すれば、上記第1実施形態で説明したように、制御部5が、第2トランジスタ11eのゲート電極に第1電位V1または第2電位V2を選択的に出力し得る構成が採用され得る。第4実施形態に係る制御部5には、上記第1実施形態に係る制御部5が適用され得る。ここで、上記第1実施形態で説明したように、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが制御部5を備えていれば、副画素回路1、2、3ごとに発光素子12が発光状態と非発光状態との間で切り替えられ得る。また、上記第1実施形態で説明したように、各画素回路10が、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。また、上記第1実施形態で説明したように、表示パネル100pが、複数の画素回路10のそれぞれに第1電位V1または第2電位V2を選択的に出力する制御部5を備えていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。この場合、複数の画素回路10に対して1つの制御部5が設けられ、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における

画質が向上し得る。

[0174] 図23は、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、第2電位供給線Lv<sub>a</sub>から入力される電位（入力電位）V<sub>b</sub>と、発光制御信号線4eから入力される発光制御信号と、電位出力信号線L1に出力する切替制御信号CTLとが、図23で示される関係を満たす態様で設計されている。図23の真理値表は、図7で示された真理値表を基礎として、第1副画素回路1の状態について、第1トランジスタ11dに対してカスコード接続を形成している状態が、第1トランジスタ11dに対してデジェネレーション抵抗を形成している状態に変更された真理値表である。

[0175] 入力電位V<sub>b</sub>が任意の電位であり、発光制御信号がオフに係る信号としてのH信号であれば、切替制御信号CTLが第1電位V<sub>1</sub>を有するオフ信号としてのH信号となる。このとき、第2トランジスタ11eは、ゲート電極に第1電位V<sub>1</sub>を有するオフ信号としてのH信号が入力されて、非導通状態となる。これにより、発光素子12は、非発光状態となる。また、入力電位V<sub>b</sub>が第2電位V<sub>2</sub>であり、発光制御信号がオンに係る信号としてのL信号であれば、切替制御信号CTLが第2電位V<sub>2</sub>を有するA信号となる。このとき、第2トランジスタ11eは、ゲート電極に第2電位V<sub>2</sub>を有するA信号が入力されて、第2トランジスタ11eのソース電極とドレイン電極の間には電流が流れる。これにより、発光素子12が発光状態となる。このとき、第2トランジスタ11eは、第1トランジスタ11dに対してデジェネレーション抵抗を形成している状態となる。

[0176] <<第4実施形態におけるバリエーション>>

ここで、第2トランジスタ11eにNチャネルトランジスタが適用されてもよい。この場合、第2トランジスタ11eに対するオフ電位としての第1電位V<sub>1</sub>は、第2電源電位V<sub>ss</sub>以下の電位に設定される。この場合、オフ電位としての第1電位V<sub>1</sub>には、第2トランジスタ11eを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位V<sub>gl</sub>が適用される。第2

電源電位  $V_{ss}$  が  $0V$  である場合、第1電位  $V_1$  は、約  $-2V$  から  $0V$  に設定される。このように、第2トランジスタ  $11e$  のゲート電極に入力されるオフ電位としての第1電位  $V_1$  は、第2トランジスタ  $11e$  の導電型に応じて、第1電源電位  $V_{dd}$  以上もしくは第2電源電位  $V_{ss}$  以下となり得る。

[0177] <2-4. 第5実施形態>

上記第2実施形態において、図24で示されるように、第2トランジスタ  $11e$  は、第1トランジスタ  $11d$  のソース電極側において第1トランジスタ  $11d$  に縦属に接続していてもよい。この構成によって、発光素子  $12$  を発光状態と非発光状態との間で切り替える機能を有する第2トランジスタ  $11e$  にアナログ素子の機能としてのデジェネレーション抵抗の機能を持たせることができる。これにより、第1トランジスタ  $11d$  におけるゲート電圧  $V_{gs}$  とドレイン電流  $I_{ds}$  との関係が線形に近づき得る。このため、第1トランジスタ  $11d$  を用いたゲート電圧  $V_{gs}$  の変更によるドレイン電流  $I_{ds}$  の微調整が容易となり得る。その結果、表示装置  $100$  における画質が向上し得る。また、第1トランジスタ  $11d$  に縦属に接続されているトランジスタの数を増加させることなく、第2トランジスタ  $11e$  によって第1トランジスタ  $11d$  に対するデジェネレーション抵抗による効果が得られる。このため、第1電源電位  $V_{dd}$  と第2電源電位  $V_{ss}$  との電位差 ( $V_{dd} - V_{ss}$ ) のうち、第1トランジスタ  $11d$  におけるドレイン-ソース間電圧  $V_{ds}$  が低下しにくい。その結果、仮に第1電源電位  $V_{dd}$  の降下などによって電位差 ( $V_{dd} - V_{ss}$ ) が低下しても、発光素子  $12$  にかかる順方向の電圧が大きくなっても、第1トランジスタ  $11d$  を飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置  $100$  において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置  $100$  における画質が向上し得る。

[0178] <<副画素回路の構成>>

図24は、第5実施形態に係る第1副画素回路  $1$  の一例を示す回路図である。複数の画素回路  $10$  のそれぞれにおいて、第1副画素回路  $1$  は同一もし

くは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0179] 第5実施形態に係る第1副画素回路1は、図11で示した上記第2実施形態に係る第1副画素回路1の一例が基礎とされている。第5実施形態に係る第1副画素回路1は、第1トランジスタ11dの代わりに、複数の第1トランジスタ11dを備えている。このため、第5実施形態に係る第1副画素回路1は、複数の発光素子12と、複数の第1トランジスタ11dと、複数の第2トランジスタ11eと、を備えている。また、第5実施形態に係る第1副画素回路1は、複数の第2トランジスタ11eのそれぞれが、第1トランジスタ11dのドレイン電極側ではなく、第1トランジスタ11dのソース電極側において、第1トランジスタ11dに縦続に接続している構成を有する。さらに、第5実施形態に係る第1副画素回路1は、第2トランジスタ11eのソース電極とドレイン電極のうちの第1トランジスタ11dと接続されていない電極と、第1トランジスタ11dのゲート電極とを接続している接続線上に容量素子11cが位置している構成を有する。

[0180] 第5実施形態に係る第1副画素回路1は、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された、1組目の複数の素子E1および2組目の複数の素子E1を含む。

[0181] 1組目の複数の素子E1は、第1A素子E11aとしての第1発光素子12aと、1つ目の第2素子（第2A素子ともいう）E12aとしての第1トランジスタ11d（第1Aトランジスタ11daともいう）と、第3A素子E13aとしての第2Aトランジスタ11eaと、を含む。図24の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第3A素子E13aとしての第2Aトランジスタ11eaと、第2A素子E12aとしての第1Aトランジスタ11daと、第1A素子E11aとしての第1発光素子12aとが、この記載の順に直列または縦続に接続している。

[0182] 2組目の複数の素子E1は、第1B素子E11bとしての第2発光素子1

2 b と、2 つ目の第 2 素子（第 2 B 素子ともいう）E 1 2 b としての第 1 トランジスタ 1 1 d（第 1 B トランジスタ 1 1 d b ともいう）と、第 3 B 素子 E 1 3 b としての第 2 B トランジスタ 1 1 e b と、を含む。図 2 4 の例では、第 1 電源電位入力部 1 d l と第 2 電源電位入力部 1 s l との間において、第 3 B 素子 E 1 3 b としての第 2 B トランジスタ 1 1 e b と、第 2 B 素子 E 1 2 b としての第 1 B トランジスタ 1 1 d b と、第 1 B 素子 E 1 1 b としての第 2 発光素子 1 2 b とが、この記載の順に直列または縦続に接続している。

[0183] 換言すれば、図 2 4 の例では、第 1 電源電位入力部 1 d l と第 2 電源電位入力部 1 s l との間において、直列または縦続に接続された 1 組目の複数の素子 E 1 と、直列または縦続に接続された 2 組目の複数の素子 E 1 と、が並列に接続されている。

[0184] この場合、図 2 4 で示されるように、複数の発光素子 1 2 は、並列に接続された、第 1 発光素子 1 2 a と第 2 発光素子 1 2 b とを含む。複数の第 1 トランジスタ 1 1 d は、第 1 A トランジスタ 1 1 d a と第 1 B トランジスタ 1 1 d b とを含む。第 1 A トランジスタ 1 1 d a は、第 1 発光素子 1 2 a に直列に接続されている。第 1 B トランジスタ 1 1 d b は、第 2 発光素子 1 2 b に直列に接続されている。複数の第 2 トランジスタ 1 1 e は、第 2 A トランジスタ 1 1 e a と第 2 B トランジスタ 1 1 e b とを含む。第 2 A トランジスタ 1 1 e a は、第 1 A トランジスタ 1 1 d a のソース電極側において第 1 A トランジスタ 1 1 d a に縦続に接続されている。第 2 B トランジスタ 1 1 e b は、第 1 B トランジスタ 1 1 d b のソース電極側において第 1 B トランジスタ 1 1 d b に縦続に接続されている。そして、複数の第 1 トランジスタ 1 1 d と、複数の第 2 トランジスタ 1 1 e と、第 3 トランジスタ 1 1 g と、容量素子 1 1 c と、を有する発光制御部 1 1 によって、複数の発光素子 1 2 における発光が制御され得る。

[0185] ここで、第 1 A トランジスタ 1 1 d a、第 1 B トランジスタ 1 1 d b、第 2 A トランジスタ 1 1 e a および第 2 B トランジスタ 1 1 e b のそれぞれに

、同一の導電型のPチャネルトランジスタが適用される場合を想定する。この場合、第2Aトランジスタ11eaのソース電極は、第1電源電位入力部1d1に接続している。第2Aトランジスタ11eaのドレイン電極は、第1Aトランジスタ11daのソース電極に接続している。第1Aトランジスタ11daのドレイン電極は、第1発光素子12aの正電極に接続している。第1発光素子12aの負電極は、第2電源電位入力部1s1に接続している。また、第2Bトランジスタ11ebのソース電極は、第1電源電位入力部1d1に接続している。第2Bトランジスタ11ebのドレイン電極は、第1Bトランジスタ11dbのソース電極に接続している。第1Bトランジスタ11dbのドレイン電極は、第2発光素子12bの正電極に接続している。第2発光素子12bの負電極は、第2電源電位入力部1s1に接続している。

[0186] また、第3トランジスタ11gのドレイン電極（ソース電極）は、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれのゲート電極に接続している。走査信号線4gからの走査信号としてのオン信号が第3トランジスタ11gのゲート電極に入力されると、第3トランジスタ11gは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、第1画像信号線4s1からの画像信号が第3トランジスタ11gを介して第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれのゲート電極に入力される。第3トランジスタ11gにPチャネルトランジスタが適用される場合、オン信号には、L電位Vg1を有するL信号が適用される。ここで、第2副画素回路2では、第1画像信号線4s1の代わりに第2画像信号線4s2から画像信号が入力され、第3副画素回路3では、第1画像信号線4s1の代わりに第3画像信号線4s3から画像信号が入力される。

[0187] また、容量素子11cは、第1Aトランジスタ11daのゲート電極と第2Aトランジスタ11eaのソース電極とを接続している接続線上に位置しているとともに、第1Bトランジスタ11dbのゲート電極と第2Bトラン

ジスタ11ebのソース電極とを接続している接続線上に位置している。容量素子11cは、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれのゲート電極に入力された画像信号の電位 $V_{sig}$ を次の画像信号の入力（書き換え）までの期間（1フレームの期間）保持する保持容量として機能する。

[0188] ここでも、上記第2実施形態と同じく、第2Aトランジスタ11eaのゲート電極に、第1電位 $V_1$ または第2電位 $V_2$ が選択的に入力されるとともに、第2Bトランジスタ11ebのゲート電極に、第1電位 $V_1$ または第2電位 $V_2$ が選択的に入力される。第2電位 $V_2$ は、表示パネル100pまたは表示装置100の出荷前等の所定のタイミングにおいて、各第1トランジスタ11dについて、第1トランジスタ11dに対して縦続に接続された第2トランジスタ11eのゲート電極に第2電位 $V_2$ が印加された場合に、この第1トランジスタ11dにおけるゲート電圧 $V_{gs}$ とドレイン電流 $I_{ds}$ との関係が線形に近づいた状態となり得る電位に、適宜設定され得る。これにより、冗長に設けられた第1発光素子12aおよび第2発光素子12bを発光状態と非発光状態との間で切り替える機能を有する第2Aトランジスタ11eaおよび第2Bトランジスタ11ebにデジェネレーション抵抗の機能を持たせることができる。これにより、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれにおいて、ゲート電圧 $V_{gs}$ とドレイン電流 $I_{ds}$ との関係が線形に近づき得る。このため、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれを用いたゲート電圧 $V_{gs}$ の変更によるドレイン電流 $I_{ds}$ の微調整が容易となり得る。その結果、表示装置100における画質が向上し得る。また、第1Aトランジスタ11daに縦続に接続されているトランジスタの数を増加させることなく、第2Aトランジスタ11eaによって第1Aトランジスタ11daに対するデジェネレーション抵抗による効果が得られる。第1Bトランジスタ11dbに縦続に接続されているトランジスタの数を増加させることなく、第2Bトランジスタ11ebによって第1Bトランジスタ11dbに対するデ

ジェネレーション抵抗による効果を得られる。このため、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、第1発光素子12aおよび第2発光素子12bにかかる順方向の電圧が大きくなっても、第1Aトランジスタ11daおよび第1Bトランジスタ11dbを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0189] また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1Aトランジスタ11daに、第2Aトランジスタ11eaのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1Aトランジスタ11daにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、第1発光素子12aにかかる順方向の電圧が大きくなっても、第1Aトランジスタ11daを飽和領域で駆動させる条件が厳しくなりにくい。また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1Bトランジスタ11dbに、第2Bトランジスタ11ebのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1Bトランジスタ11dbにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、第2発光素子12bにかかる順方向の電圧が大きくなっても、第1Bトランジスタ11dbを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション(輝度むら

)が生じ難くなり、表示装置100における画質が向上し得る。

[0190] <<制御部>>

第5実施形態では、上記第2実施形態と同じく、制御部5が、第2Aトランジスタ11e aのゲート電極に第1電位V1または第2電位V2を選択的に出力し、第2Bトランジスタ11e bのゲート電極に第1電位V1または第2電位V2を選択的に出力し得る構成が採用され得る。第5実施形態に係る制御部5には、上記第2実施形態に係る制御部5が適用され得る。ここで、上記第2実施形態で説明したように、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが制御部5を備えていれば、副画素回路1、2、3ごとに第1発光素子12aおよび第2発光素子12bのそれぞれが発光状態と非発光状態との間で切り替えられ得る。ここで、上記第2実施形態で説明したように、各画素回路10が、第1副画素回路1、第2副画素回路2および第3副画素回路3の組に対して、1つの制御部5および1つの信号出力回路6を備えていてもよい。この場合、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。また、上記第2実施形態で説明したように、表示パネル100pが、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6を備えていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれにおける第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。より具体的には、制御部5は、複数の画素回路10のそれぞれにおける第2Aトランジスタ11e aのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。また、制御部5は、複数の画素回路10のそれぞれにおける第2Bトランジスタ11e bのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。この場合、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6が設けられ、画素回路

10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0191] 図25は、制御部5における入力と中間出力信号と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、第2電位供給線Lv aから入力される入力電位V bと、発光制御信号線4 eから入力される発光制御信号と、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位出力信号線L 1 aに出力する第1切替制御信号CTL Aと、第2電位出力信号線L 1 bに出力する第2切替制御信号CTL Bとが、図25で示される関係を満たす態様で設計されている。また、この場合、論理回路部51は、発光制御信号線4 eから入力される発光制御信号と、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位変換部52 aに出力する第1中間出力信号XC T L Aと、第2電位変換部52 bに出力する第2中間出力信号XC T L Bとが、図25で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。図25の真理値表は、図14で示された真理値表を基礎として、第1副画素回路1の状態について、第1トランジスタ11 dに対してカスコード接続を形成している状態が、第1Aトランジスタ11 d aおよび第1Bトランジスタ11 d bのうちの1つ以上の第1トランジスタ11 dに対してデジェネレーション抵抗を形成している状態に変更された真理値表である。

[0192] 図25で示されるように、入力電位V bが任意の電位であり、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれが第1電位V 1を有するオフ信号としてのH信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1選択設定信号SEL Aおよび第2選択設定信号SEL Bのそれ

それぞれがオンに係る信号としてのL信号であってもオフに係る信号としてのH信号であっても、第1中間出力信号XCTL Aおよび第2中間出力信号XCTL BのそれぞれはL信号となる。そして、第2Aトランジスタ11e aおよび第2Bトランジスタ11e bのそれぞれは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bが両方とも非発光状態となる。

[0193] また、入力電位Vbが第2電位V2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aが第2電位V2を有するA信号となり、第2切替制御信号CTL Bが第1電位V1を有するオフ信号としてのH信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオフに係る信号としてのH信号であることで、第1中間出力信号XCTL AがH信号となり、第2中間出力信号XCTL BがL信号となる。そして、第2Aトランジスタ11e aのゲート電極に第2電位V2を有するA信号が入力されて、第1発光素子12aが発光状態にある状態（第1発光状態）となる。このとき、第2Aトランジスタ11e aは、第1Aトランジスタ11daに対してデジェネレーション抵抗を形成している状態となる。また、第2Bトランジスタ11e bのゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて、第2発光素子12bが非発光状態にある状態（第2非発光状態）となる。

[0194] また、入力電位Vbが第2電位V2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオフに係る信号としてのH信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であれば、第1切替制御信号CTL Aが第1電位

V1を有するH信号となり、第2切替制御信号CTLBが第2電位V2を有するA信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオフに係る信号としてのH信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であることで、第1中間出力信号XCTLAがL信号となり、第2中間出力信号XCTLBがH信号となる。そして、第2Aトランジスタ11eaのゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて、第1発光素子12aが非発光状態にある状態（第1非発光状態）となる。また、第2Bトランジスタ11ebのゲート電極に第2電位V2を有するA信号が入力されて、第2発光素子12bが発光状態にある状態（第2発光状態）となる。このとき、第2Bトランジスタ11ebは、第1Bトランジスタ11dbに対してデジェネレーション抵抗を形成している状態となる。

[0195] また、入力電位Vbが第2電位V2であり、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAおよび第2切替制御信号CTLBのそれぞれが第2電位V2を有するA信号となる。この場合、論理回路部51では、制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であることで、第1中間出力信号XCTLAおよび第2中間出力信号XCTLBが両方ともH信号となる。そして、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれのゲート電極に第2電位V2を有するA信号が入力されて、第1発光素子12aおよび第2発光素子12bが両方とも発光状態にある状態（両発光状態）となる。このとき、第2Aトランジスタ11eaは第1Aトランジスタ11daに対してデジェネレーション抵抗を形成しており、第2Bトランジスタ11ebは第1Bトラ

ンジスタ11dに対してデジェネレーション抵抗を形成している状態となる。

[0196] <<第5実施形態におけるバリエーション>>

ここで、第2Aトランジスタ11eaにNチャネルトランジスタが適用されてもよいし、第2Bトランジスタ11ebにNチャネルトランジスタが適用されてもよい。第2Aトランジスタ11eaにNチャネルトランジスタが適用される場合、第2Aトランジスタ11eaに対するオフ電位としての第1電位V1は、第2電源電位Vss以下の電位に設定される。第2Bトランジスタ11ebにNチャネルトランジスタが適用される場合、第2Bトランジスタ11ebに対するオフ電位としての第1電位V1は、第2電源電位Vss以下の電位に設定される。この場合、オフ電位としての第1電位V1には、第2トランジスタ11eを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位Vglが適用される。第2電源電位Vssが0Vである場合、第1電位V1は、約-2Vから0Vに設定される。このように、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのゲート電極に入力されるオフ電位としての第1電位V1は、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebの導電型に応じて、第1電源電位Vdd以上もしくは第2電源電位Vss以下となり得る。

[0197] <2-5. 第6実施形態>

上記第5実施形態において、図26で示されるように、第3A素子E13aとしての第2Aトランジスタ11eaおよび第3B素子E13bとしての第2Bトランジスタ11ebが有する機能のうちの発光制御用素子としての機能が、第5素子E15としての第5トランジスタ11mによって実現されてもよい。

[0198] この場合にも、第1副画素回路1は、複数の発光素子12と、複数の第1トランジスタ11dと、複数の第2トランジスタ11eと、を備えている。複数の発光素子12は、並列に接続された第1発光素子12aおよび第2発光素子12bを含む。複数の第1トランジスタ11dは、第1発光素子12

aに直列に接続された第1 Aトランジスタ11 d aと、第2発光素子12 bに直列に接続された第1 Bトランジスタ11 d bと、を含む。複数の第2トランジスタ11 eは、第1 Aトランジスタ11 d aのソース側において第1 Aトランジスタ11 d aに縦続に接続された第2 Aトランジスタ11 e aと、第1 Bトランジスタ11 d bのソース側において第1 Bトランジスタ11 d bに縦続に接続された第2 Bトランジスタ11 e bと、を含む。そして、第2 Aトランジスタ11 e aのゲート電極に、第1電位V1または第2電位V2が選択的に入力されるとともに、第2 Bトランジスタ11 e bのゲート電極に、第1電位V1または第2電位V2が選択的に入力される。

[0199] この構成においても、冗長に設けられた第1発光素子12 aおよび第2発光素子12 bを発光状態と非発光状態との間で切り替える機能を有する第2 Aトランジスタ11 e aおよび第2 Bトランジスタ11 e bにデジェネレーション抵抗の機能を持たせることができる。これにより、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれにおいて、ゲート電圧 $V_{gs}$ とドレイン電流 $I_{ds}$ との関係が線形に近づき得る。このため、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれを用いたゲート電圧 $V_{gs}$ の変更によるドレイン電流 $I_{ds}$ の微調整が容易となり得る。その結果、表示装置100における画質が向上し得る。また、第1 Aトランジスタ11 d aに縦続に接続されているトランジスタの数を増加させることなく、第2 Aトランジスタ11 e aによって第1 Aトランジスタ11 d aに対するデジェネレーション抵抗による効果が得られる。第1 Bトランジスタ11 d bに縦続に接続されているトランジスタの数を増加させることなく、第2 Bトランジスタ11 e bによって第1 Bトランジスタ11 d bに対するデジェネレーション抵抗による効果が得られる。これにより、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd} - V_{ss}$ )のうち、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd} - V_{ss}$ )が低

下しても、第1発光素子12aおよび第2発光素子12bにかかる順方向の電圧が大きくなっても、第1Aトランジスタ11daおよび第1Bトランジスタ11dbを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100における画質が向上し得る。

[0200] <<副画素回路の構成>>

図26は、第6実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0201] 第6実施形態に係る第1副画素回路1の一例は、図24で示した第6実施形態に係る第1副画素回路1の一例が基礎とされて、第5素子E15としての第5トランジスタ11mが追加された形態を有する。第5トランジスタ11mは、発光制御部11に含まれる。この構成においても、第1副画素回路1は、それぞれ第1電源電位入力部1d1と第2電源電位入力部1s1との間で直列または縦続に接続された、1組目の複数の素子E1と、2組目の複数の素子E1と、を含む。

[0202] 1組目の複数の素子E1は、第1A素子E11aとしての第1発光素子12aと、第2A素子E12aとしての第1Aトランジスタ11daと、第3A素子E13aとしての第2Aトランジスタ11eaと、第5素子E15としての第5トランジスタ11mと、を含む。図26の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第3A素子E13aとしての第2Aトランジスタ11eaと、第2A素子E12aとしての第1Aトランジスタ11daと、第1A素子E11aとしての第1発光素子12aと、第5素子E15としての第5トランジスタ11mとが、この記載の順に直列または縦続に接続している。

[0203] 2組目の複数の素子E1は、第1B素子E11bとしての第2発光素子12bと、第2B素子E12bとしての第1Bトランジスタ11dbと、第3

B素子E 1 3 bとしての第2 Bトランジスタ1 1 e bと、第5素子E 1 5としての第5トランジスタ1 1 mと、を含む。図26の例では、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、第3 B素子E 1 3 bとしての第2 Bトランジスタ1 1 e bと、第2 B素子E 1 2 bとしての第1 Bトランジスタ1 1 d bと、第1 B素子E 1 1 bとしての第2発光素子1 2 bと、第5素子E 1 5としての第5トランジスタ1 1 mとが、この記載の順に直列または縦続に接続している。

[0204] そして、複数の第1トランジスタ1 1 dと、複数の第2トランジスタ1 1 eと、第3トランジスタ1 1 gと、容量素子1 1 cと、第5トランジスタ1 1 mと、を有する発光制御部1 1によって、複数の発光素子1 2における発光が制御され得る。

[0205] 第6実施形態では、第2 Aトランジスタ1 1 e aは、第1発光素子1 2 aを使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能を有し、第1発光素子1 2 aの発光および非発光を制御するための素子（発光制御用素子）としての機能は有していない。第2 Bトランジスタ1 1 e bは、第2発光素子1 2 bを使用状態または不使用状態に選択的に設定するための素子（使用状態設定用素子）としての機能を有し、第2発光素子1 2 bの発光および非発光を制御するための素子（発光制御用素子）としての機能は有していない。

[0206] 第5トランジスタ1 1 mは、第1発光素子1 2 aおよび第2発光素子1 2 bを発光状態と非発光状態との間で切り替えることができる。第5トランジスタ1 1 mは、第1発光素子1 2 aおよび第2発光素子1 2 bの発光および非発光を制御するための素子（発光制御用素子）としての機能を有する。第5トランジスタ1 1 mは、第1発光素子1 2 aと第2電源電位入力部1 s lとの間に位置している。また、第5トランジスタ1 1 mは、第2発光素子1 2 bと第2電源電位入力部1 s lとの間に位置している。第5トランジスタ1 1 mには、Pチャネルトランジスタが適用される。この場合、第5トランジスタ1 1 mのソース電極は、第1発光素子1 2 aの負電極に接続されてい

るとともに、第2発光素子12bの負電極に接続されている。第5トランジスタ11mのドレイン電極は、第2電源電位入力部1s1に接続されている。第5トランジスタ11mのゲート電極には、発光制御信号線4eから発光制御信号が入力される。そして、第5トランジスタ11mのゲート電極に、発光制御信号としてのオンに係る信号であるL信号が入力されると、第5トランジスタ11mは、導通状態となる。第5トランジスタ11mのゲート電極に、発光制御信号としてのオフに係る信号であるH信号が入力されると、第5トランジスタ11mは、非導通状態となる。

[0207] <<制御部>>

第6実施形態では、上記第3実施形態と同じく、制御部5が、第2Aトランジスタ11eaのゲート電極に第1電位V1または第2電位V2を選択的に出力し、第2Bトランジスタ11ebのゲート電極に第1電位V1または第2電位V2を選択的に出力し得る構成が採用され得る。第6実施形態に係る制御部5には、上記第3実施形態に係る制御部5が適用され得る。この構成において、上記第3実施形態で説明したように、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれが制御部5を備えていれば、副画素回路1、2、3ごとに第1発光素子12aおよび第2発光素子12bのそれぞれが使用状態と不使用状態との間で切り替えられ得る。またこの構成において、上記第3実施形態で説明したように、各画素回路10が、第1副画素回路1、第2副画素回路2および第3副画素回路3の組に対して、1つの制御部5および1つの信号出力回路6を備えていてもよい。この場合、1つの画素回路10において制御部5の数が増加しにくく、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。また、上記第3実施形態で説明したように、表示パネル100pが、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6を備えていてもよい。この場合、制御部5は、複数の画素回路10のそれぞれ

における第2トランジスタ11eのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。より具体的には、制御部5は、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。また、制御部5は、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第1電位V1または第2電位V2を選択的に出力し得る。この場合、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6が設けられ、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0208] 図27は、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、第2電位供給線Lv aから入力される入力電位V bと、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位出力信号線L1 aに出力する第1切替制御信号CTL Aと、第2電位出力信号線L1 bに出力する第2切替制御信号CTL Bとが、図27で示される関係を満たす態様で設計されている。図27の真理値表は、図21で示された真理値表を基礎として、第1副画素回路1の状態について、第1トランジスタ11dに対してカスコード接続を形成している状態が、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのうちの1つ以上の第1トランジスタ11dに対してデジェネレーション抵抗を形成している状態に変更された真理値表である。

[0209] 図27で示されるように、入力電位V bが第2電位V2であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aが第2電位V2を有するA信号となり、第2切替制御信号CTL Bが第1電位V1を有するオフ信号としてのH信号となる。この場合、第2Aト

ランジスタ 11 e a のゲート電極に第 2 電位 V 2 を有する A 信号が入力されて、第 1 発光素子 12 a が使用状態に設定される。このとき、第 2 A トランジスタ 11 e a は、第 1 A トランジスタ 11 d a に対してデジェネレーション抵抗を形成している状態となる。また、第 2 B トランジスタ 11 e b のゲート電極に第 1 電位 V 1 を有するオフ信号としての H 信号が入力されて、第 2 発光素子 12 b が不使用状態に設定される。

[0210] 入力電位 V b が第 2 電位 V 2 であり、第 1 選択設定信号 SEL A がオフに係る信号としての H 信号であり、第 2 選択設定信号 SEL B がオンに係る信号としての L 信号であれば、第 1 切替制御信号 CTL A が第 1 電位 V 1 を有するオフ信号としての H 信号となり、第 2 切替制御信号 CTL B が第 2 電位 V 2 を有する A 信号となる。この場合、第 2 A トランジスタ 11 e a のゲート電極に第 1 電位 V 1 を有するオフ信号としての H 信号が入力されて、第 1 発光素子 12 a が不使用状態に設定される。また、第 2 B トランジスタ 11 e b のゲート電極に第 2 電位 V 2 を有する A 信号が入力されて、第 2 発光素子 12 b が使用状態に設定される。このとき、第 2 B トランジスタ 11 e b は、第 1 B トランジスタ 11 d b に対してデジェネレーション抵抗を形成している状態となる。

[0211] 入力電位 V b が第 2 電位 V 2 であり、第 1 選択設定信号 SEL A がオンに係る信号としての L 信号であり、第 2 選択設定信号 SEL B がオンに係る信号としての L 信号であれば、第 1 切替制御信号 CTL A および第 2 切替制御信号 CTL B のそれぞれが第 2 電位 V 2 を有する A 信号となる。この場合、第 2 A トランジスタ 11 e a および第 2 B トランジスタ 11 e b のそれぞれのゲート電極に第 2 電位 V 2 を有する A 信号が入力されて、第 1 発光素子 12 a および第 2 発光素子 12 b が両方とも使用状態に設定される。このとき、第 2 A トランジスタ 11 e a は第 1 A トランジスタ 11 d a に対してデジェネレーション抵抗を形成しており、第 2 B トランジスタ 11 e b は第 1 B トランジスタ 11 d b に対してデジェネレーション抵抗を形成している状態となる。

## [0212] &lt;&lt;第6実施形態におけるバリエーション&gt;&gt;

この構成において、第2 Aトランジスタ11 e aにNチャネルトランジスタが適用されてもよいし、第2 Bトランジスタ11 e bにNチャネルトランジスタが適用されてもよい。第2 Aトランジスタ11 e aにNチャネルトランジスタが適用される場合、第2 Aトランジスタ11 e aに対するオフ電位としての第1電位V1は、第2電源電位Vss以下の電位に設定される。第2 Bトランジスタ11 e bにNチャネルトランジスタが適用される場合、第2 Bトランジスタ11 e bに対するオフ電位としての第1電位V1は、第2電源電位Vss以下の電位に設定される。この場合、オフ電位としての第1電位V1には、第2トランジスタ11 eを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位Vglが適用される。第2電源電位Vssが0Vである場合、第1電位V1は、約-2Vから0Vに設定される。このように、第2 Aトランジスタ11 e aおよび第2 Bトランジスタ11 e bのゲート電極に入力されるオフ電位としての第1電位V1は、第2 Aトランジスタ11 e aおよび第2 Bトランジスタ11 e bの導電型に応じて、第1電源電位Vdd以上もしくは第2電源電位Vss以下となり得る。

## [0213] &lt;2-6. 第7実施形態&gt;

上記第2実施形態において、制御部5の信号入力部5 Iに、第2電位V2が入力されず、1つの第2トランジスタ11 eのスイッチ制御を行う複数のスイッチ素子の機能のそれぞれについてのオンまたはオフに係る信号が選択的に入力されてもよい。そして、制御部5は、1つの発光素子12について、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、第2トランジスタ11 eのゲート電極に1つの発光素子12を非発光状態とするための電位を出力してもよい。また、制御部5は、1つの発光素子12について、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5 Uから、第2トランジスタ11 eのゲート電極

に1つの発光素子12を発光状態とするための電位を出力してもよい。

[0214] この場合、第1トランジスタ11dに縦続に接続されているトランジスタの数を増加させることなく、1つの発光素子12を発光状態と非発光状態との間で切り替える1つの第2トランジスタ11eを用いて、複数のスイッチ素子の機能に係るスイッチ制御が実現され得る。複数のスイッチ素子の機能は、発光素子12を使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。このため、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd} - V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd} - V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0215] <<副画素回路の構成>>

図28は、第7実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0216] 第7実施形態に係る第1副画素回路1の一例は、図11で示した上記第2実施形態に係る第1副画素回路1の一例が基礎とされ、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれのゲート電極に入力される第2電位 $V_2$ を有するA信号が、第3電位 $V_3$ を有する信号に変更された形態を有する。第3電位 $V_3$ は、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebをソース電極とドレイン電極との間に電流が流れ得る状態(導通状態)に設定するための電位(オン電位ともいう)である。第2Aトランジスタ11eaにPチャネルトランジスタが適用される場合、

オン電位には、第2電源電位 $V_{ss}$ 以下のL電位 $V_{gl}$ が適用される。第2電源電位 $V_{ss}$ が0Vである場合、L電位 $V_{gl}$ は、約-2Vから0Vに設定される。

[0217] 図28で示されるように、上記第2実施形態と同じく、第1副画素回路1は、複数の発光素子12と複数の第2トランジスタ11eを備えている。複数の発光素子12は、並列に接続された、第1発光素子12aと第2発光素子12bとを含む。複数の第2トランジスタ11eは、第1発光素子12aに直列に接続された第2Aトランジスタ11eaと、第2発光素子12bに直列に接続された第2Bトランジスタ11ebと、を含む。

[0218] ここで、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された2組の複数の素子E1のうちの1組目の複数の素子E1に着目する。この場合、第1副画素回路1は、第1A素子E11aとしての第1発光素子12aと、第2素子E12としての第1トランジスタ11dと、第3A素子E13aとしての第2Aトランジスタ11eaと、を含む。第1トランジスタ11dは、第1発光素子12aに直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで第1発光素子12aを流れる電流を制御することができる。第2Aトランジスタ11eaは、第1トランジスタ11dに縦続に接続されており、第1発光素子12aを発光状態と非発光状態との間で切り替えることができる。

[0219] また、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された2組の複数の素子E1のうちの2組目の複数の素子E1に着目する。この場合、第1副画素回路1は、第1B素子E11bとしての第2発光素子12bと、第2素子E12としての第1トランジスタ11dと、第3B素子E13bとしての第2Bトランジスタ11ebと、を含む。第1トランジスタ11dは、第2発光素子12bに直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで第2発光素子12bを流れる電流を制御することができる。第2Bトランジスタ11ebは、第1トランジスタ11dに縦続に接続されており、第2発光素子

1 2 b を発光状態と非発光状態との間で切り替えることができる。

[0220] この構成においても、上記第2実施形態と同じく、第1トランジスタ1 1 dと、複数の第2トランジスタ1 1 eと、第3トランジスタ1 1 gと、容量素子1 1 cと、を有する発光制御部1 1によって、複数の発光素子1 2における発光が制御され得る。

[0221] <<制御部>>

図29は、制御部5の入出力ゲートに係る一構成例を模式的に示すゲート回路図である。第7実施形態では、制御部5は、第2トランジスタ1 1 eのスイッチ制御を行う複数のスイッチ素子の機能を備えている。この場合、制御部5は、第3A素子E 1 3 aとしての第2Aトランジスタ1 1 e aのスイッチ制御を行う複数のスイッチ素子の機能を備えている。また、制御部5は、第3B素子E 1 3 bとしての第2Bトランジスタ1 1 e bのスイッチ制御を行う複数のスイッチ素子の機能を備えている。スイッチ制御は、第2トランジスタ1 1 eを、ソース電極とドレイン電極との間における電流が流れている状態と流れていない状態とに選択的に切り替える制御を含む。複数のスイッチ素子の機能は、発光素子1 2を使用状態または不使用状態に選択的に設定する機能と、発光素子1 2を発光状態または非発光状態に選択的に設定する機能と、を含む。上述した1組目の複数の素子E 1については、複数のスイッチ素子の機能は、第1発光素子1 2 aを使用状態または不使用状態に選択的に設定する機能と、発光素子1 2を発光状態または非発光状態に選択的に設定する機能と、を含む。上述した2組目の複数の素子E 1については、複数のスイッチ素子の機能は、第2発光素子1 2 bを使用状態または不使用状態に選択的に設定する機能と、発光素子1 2を発光状態または非発光状態に選択的に設定する機能と、を含む。

[0222] 別の観点から言えば、制御部5は、第1スイッチ素子の機能と、第2スイッチ素子の機能と、第3スイッチ素子の機能と、を備えている。第1スイッチ素子の機能は、第1発光素子1 2 aを使用状態または不使用状態に選択的に設定する機能を含む。第2スイッチ素子の機能は、第2発光素子1 2 bを

使用状態または不使用状態に選択的に設定する機能を含む。第3スイッチ素子の機能は、複数の発光素子12としての第1発光素子12aおよび第2発光素子12bを発光状態または非発光状態に選択的に設定する機能を含む。これにより、冗長に設けられた複数の発光素子12のそれぞれについて、1つの第2トランジスタ11eを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0223] 図29で示されるように、制御部5の信号入力部51には、各発光素子12について、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。この場合、制御部5の信号入力部51には、第1A素子E11aとしての第1発光素子12aについて、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。また、制御部5の信号入力部51には、第1B素子E11bとしての第2発光素子12bについて、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。第7実施形態では、制御部5の信号入力部51には、第1スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、第2スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、第3スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力される。

[0224] この場合、第1スイッチ素子の機能について、オフに係る信号に第1発光素子12aを不使用状態とするための信号が適用され、オンに係る信号に第1発光素子12aを使用状態とするための信号が適用される。第2スイッチ素子の機能について、オフに係る信号に第2発光素子12bを不使用状態とするための信号が適用され、オンに係る信号に第2発光素子12bを使用状態とするための信号が適用される。第3スイッチ素子の機能について、オフに係る信号に発光素子12を非発光状態にするための信号が適用され、オンに係る信号に発光素子12を発光状態にするための信号が適用される。オフに係る信号にH信号が適用され、オンに係る信号にL信号が適用される。

[0225] より具体的には、制御部5には、第1スイッチ素子の機能についてのオンまたはオフに係る第1選択設定信号SEL Aと、第2スイッチ素子の機能についてのオンまたはオフに係る第2選択設定信号SEL Bと、第3スイッチ素子の機能についてのオンまたはオフに係る発光制御信号線4 eからの発光制御信号と、が入力される。制御部5には、第1選択設定信号SEL Aとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。制御部5には、第2選択設定信号SEL Bとして、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。制御部5には、発光制御信号線4 eから、発光制御信号として、オフに係る信号としてのH信号またはオンに係る信号としてのL信号が選択的に入力される。

[0226] 制御部5は、1つの発光素子12について、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、第2トランジスタ11 eのゲート電極に1つの発光素子12を非発光状態とするための電位を出力する。また、制御部5は、1つの発光素子12について、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5 Uから、第2トランジスタ11 eのゲート電極に1つの発光素子12を発光状態とするための電位を出力する。

[0227] この場合、制御部5は、第1A素子E11 aとしての第1発光素子12 aについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、第3A素子E13 aとしての第2Aトランジスタ11 e aのゲート電極に第1発光素子12 aを非発光状態とするための電位を出力し得る。また、制御部5は、第1A素子E11 aとしての第1発光素子12 aについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に

じて、信号出力部5 Uから、第2 Aトランジスタ1 1 e aのゲート電極に第1発光素子1 2 aを発光状態とするための電位を出力し得る。

[0228] また、この場合、制御部5は、第1 B素子E 1 1 bとしての第2発光素子1 2 bについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、第3 B素子E 1 3 bとしての第2 Bトランジスタ1 1 e bのゲート電極に第2発光素子1 2 bを非発光状態とするための電位を出力し得る。また、制御部5は、第1 B素子E 1 1 bとしての第2発光素子1 2 bについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5 Uから、第2 Bトランジスタ1 1 e bのゲート電極に第2発光素子1 2 bを発光状態とするための電位を出力し得る。

[0229] この構成によって、第1トランジスタ1 1 dに縦続に接続されているトランジスタの数を増加させることなく、1つの発光素子1 2を発光状態と非発光状態との間で切り替える1つの第2トランジスタ1 1 eを用いて、複数のスイッチ素子の機能に係るスイッチ制御が実現され得る。このため、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd} - V_{ss}$ )のうち、第1トランジスタ1 1 dにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd} - V_{ss}$ )が低下しても、発光素子1 2にかかる順方向の電圧が大きくなって、第1トランジスタ1 1 dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置1 0 0において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置1 0 0における画質が向上し得る。

[0230] 第7実施形態では、制御部5は、信号入力部5 Iに対する、第1スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2 Aトランジスタ1 1 e aのゲート電極に第2 Aトランジスタ1

1 e a を非導通状態に設定する電位（オフ電位）を出力する。制御部 5 は、信号入力部 5 I に対する、第 1 スイッチ素子の機能についてのオンに係る信号の入力と、第 3 スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部 5 U から、第 2 A トランジスタ 1 1 e a のゲート電極に第 2 A トランジスタ 1 1 e a を導通状態に設定する電位（オン電位）を出力する。

[0231] 制御部 5 は、信号入力部 5 I に対する、第 1 発光素子 1 2 a を不使用状態とするためのオフに係る信号としての H 信号、および発光素子 1 2 を非発光状態とするためのオフに係る信号としての H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極にオフ電位を有するオフ信号としての H 信号を出力する。この場合、制御部 5 は、信号入力部 5 I に対する、第 1 選択設定信号 S E L A としてのオフに係る信号である H 信号、および発光制御信号としてのオフに係る信号である H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極に、第 1 切替制御信号 C T L A としてオフ電位を有するオフ信号である H 信号を出力する。これにより、第 2 A トランジスタ 1 1 e a が非導通状態となる。また、制御部 5 は、信号入力部 5 I に対する、第 1 発光素子 1 2 a を使用状態とするためのオンに係る信号としての L 信号の入力と、発光素子 1 2 を発光状態とするためのオンに係る信号としての L 信号の入力と、に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極にオン電位を有するオン信号としての L 信号を出力する。この場合、制御部 5 は、信号入力部 5 I に対する、第 1 選択設定信号 S E L A としてのオンに係る信号である L 信号の入力と、発光制御信号としてのオンに係る信号である L 信号の入力と、に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、第 2 A トランジスタ 1 1 e a のゲート電極に、第 1 切替制御信号 C T L A としてオン電位を有するオン信号である L 信号を出力する。これに

より、第2 Aトランジスタ11 e aが導通状態となる。

[0232] この構成によって、制御部5は、第1電位出力信号線L1 aを介して、第2 Aトランジスタ11 e aのゲート電極に、第1切替制御信号CTL Aとして、オフ電位を有するオフ信号であるH信号またはオン電位を有するオン信号であるL信号を選択的に出力し得る。その結果、冗長に設けられた2つの発光素子12のうちの第1発光素子12 aについて、1つの第2 Aトランジスタ11 e aを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0233] また、制御部5は、信号入力部5 Iに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2 Bトランジスタ11 e bのゲート電極に第2 Bトランジスタ11 e bを非導通状態とする電位（オフ電位）を出力する。制御部5は、信号入力部5 Iに対する、第2スイッチ素子の機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5 Uから、第2 Bトランジスタ11 e bのゲート電極に第2 Bトランジスタ11 e bを導通状態に設定する電位（オン電位）を出力する。

[0234] 制御部5は、信号入力部5 Iに対する、第2発光素子12 bを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極にオフ電位を有するオフ信号としてのH信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2選択設定信号SEL Bとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号であるH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極に、第2切替制御信号CTL Bと

してオフ電位を有するオフ信号であるH信号を出力する。これにより、第2 Bトランジスタ11 e bが非導通状態となる。また、制御部5は、信号入力部5 Iに対する、第2発光素子12 bを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子12を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5 Uから、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極にオン電位を有するオン信号としてのL信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2選択設定信号SEL Bとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5 Uから、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極に、第2切替制御信号CTL Bとしてオン電位を有するオン信号であるL信号を出力する。これにより、第2 Bトランジスタ11 e bが導通状態となる。

[0235] この構成によって、制御部5は、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極に、第2切替制御信号CTL Bとして、オフ電位を有するオフ信号であるH信号またはオン電位を有するオン信号であるL信号を選択的に出力し得る。その結果、冗長に設けられた2つの発光素子12のうちの第2発光素子12 bについて、1つの第2 Bトランジスタ11 e bを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0236] 図30は、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、発光制御信号線4 eから入力される発光制御信号と、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位出力信号線L1 aに出力する第1切替制御信号CTLAと、第2電位出力信号線L1 bに出力する第2切替制御信号CTL Bとが、図30で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。制御部5は、複数の論理回

路の組み合わせなどによって構成され得る。

[0237] 図30で示されるように、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれが第1電位V1を有するオフ信号としてのH信号となる。この場合、第2Aトランジスタ11e aおよび第2Bトランジスタ11e bのそれぞれは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bが両方とも非発光状態となる。

[0238] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aがオン電位を有するオン信号としてのL信号となり、第2切替制御信号CTL Bが第1電位V1を有するオフ信号としてのH信号となる。この場合、第2Aトランジスタ11e aは、ゲート電極にオン電位を有するオン信号としてのL信号が入力されて導通状態となる。これにより、第1発光素子12aが発光状態にある状態（第1発光状態）となる。また、第2Bトランジスタ11e bは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第2発光素子12bが非発光状態にある状態（第2非発光状態）となる。

[0239] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオフに係る信号としてのH信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTL Aが第1電位V1を有するオフ信号としてのH信号となり、第2切替制御信号CTL Bがオン電位を有するオン信号としてのL信号となる。この場合、第2Aトランジスタ11e aは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12aが非発光状態にある状態（第1非発光状態）となる。また、第2Bトランジスタ11e bは、ゲート電極にオン電位を有する

オン信号としてのL信号が入力されて導通状態となる。これにより、第2発光素子12bが発光状態にある状態（第2発光状態）となる。

[0240] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAおよび第2切替制御信号CTLBのそれぞれがオン電位を有するオン信号としてのL信号となる。この場合、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれは、ゲート電極にオン電位を有するオン信号としてのL信号が入力されて導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bのそれぞれが発光状態にある状態（両発光状態）となる。

[0241] この構成において、上記第2実施形態と同一もしくは類似の構成を有する信号出力回路6から制御部5に第1選択設定信号SEL Aおよび第2選択設定信号SEL Bを出力する構成が採用され得る。

[0242] また、第1副画素回路1では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1トランジスタ11dに、第2トランジスタ11eとしての第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位Vddと第2電源電位Vssとの電位差（ $V_{dd} - V_{ss}$ ）のうち、第1トランジスタ11dにおけるドレインソース間電圧Vdsが低下しにくい。その結果、仮に第1電源電位Vddの降下などによって電位差（ $V_{dd} - V_{ss}$ ）が低下しても、第1発光素子12aおよび第2発光素子12bにかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100における画質が向上し得る。

[0243] <<第7実施形態におけるバリエーション>>

この構成において、上記第2実施形態と同じく、各画素回路10は、第1

副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 の組に対して、1 つの制御部 5 および 1 つの信号出力回路 6 を備えていてもよい。換言すれば、各画素回路 10 は、第 1 副画素回路 1、第 2 副画素回路 2 および第 3 副画素回路 3 のそれぞれに、発光素子 12 を非発光状態とするための電位または発光素子 12 を発光状態とするための電位を選択的に出力する制御部 5 を備えていてもよい。この場合、図 16 で示されたように、制御部 5 に接続された第 1 電位出力信号線 L 1 a および第 2 電位出力信号線 L 1 b のそれぞれが複数の副画素回路 1, 2, 3 に接続されている構成が採用され得る。この構成によって、1 つの画素回路 10 において制御部 5 の数が増加しにくく、画素回路 10 が増大しにくい。これにより、表示装置 100 および表示パネル 100 p では、複数の画素回路 10 が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置 100 における画質が向上し得る。

[0244] また、上記第 2 実施形態と同じく、表示パネル 100 p は、複数の画素回路 10 に対して 1 つの制御部 5 および 1 つの信号出力回路 6 を備えていてもよい。換言すれば、表示パネル 100 p は、複数の画素回路 10 のそれぞれに、発光素子 12 を非発光状態とするための電位または発光素子 12 を発光状態とするための電位を選択的に出力する制御部 5 を備えていてもよい。この場合、制御部 5 および信号出力回路 6 は、基板 20 の第 1 面 F 1 上において画像表示部 300 の空き領域もしくは額縁部分に配置されていてもよいし、基板 20 の第 2 面 F 2 上に配置されていてもよい。

[0245] この場合、制御部 5 は、1 つの発光素子 12 について、信号入力部 5 l に対する、複数のスイッチ素子の機能のうちの 1 つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部 5 u から、複数の画素回路 10 のそれぞれにおける第 2 トランジスタ 11 e のゲート電極に、1 つの発光素子 12 を非発光状態とするための電位を出力し得る。また、制御部 5 は、1 つの発光素子 12 について、信号入力部 5 l に対する、複数のスイッチ素子のうちの全てのスイッチ素子の機能のそれぞれについてのオンに

係る信号の入力に応じて、信号出力部5 Uから、複数の画素回路10のそれぞれにおける第2トランジスタ11 eのゲート電極に、1つの発光素子12を発光状態とするための電位を出力し得る。

[0246] この場合、制御部5および信号出力回路6は、1行の画素回路10を構成する複数の画素回路10ごとに配置され得る。図17で示されたように、制御部5に接続された第1電位出力信号線L1 aおよび第2電位出力信号線L1 bのそれぞれが、複数の画素回路10に接続されている構成が採用され得る。より具体的には、制御部5に接続された第1電位出力信号線L1 aおよび第2電位出力信号線L1 bのそれぞれが、複数の画素回路10のそれぞれに含まれた複数の副画素回路1, 2, 3にそれぞれ接続されている構成が採用され得る。この場合、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6が設けられ、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100 pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0247] この場合、制御部5は、第1 A素子E11 aとしての第1発光素子12 aについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうちの一つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5 Uから、複数の画素回路10のそれぞれにおける第3 A素子E13 aとしての第2 Aトランジスタ11 e aのゲート電極に第1発光素子12 aを非発光状態とするための電位を出力し得る。また、制御部5は、第1 A素子E11 aとしての第1発光素子12 aについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5 Uから、複数の画素回路10のそれぞれにおける第2 Aトランジスタ11 e aのゲート電極に第1発光素子12 aを発光状態とするための電位を出力し得る。

[0248] また、この場合、制御部5は、第1 B素子E11 bとしての第2発光素子12 bについて、信号入力部5 Iに対する、複数のスイッチ素子の機能のう

ちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第3B素子E13bとしての第2Bトランジスタ11ebのゲート電極に第2発光素子12bを非発光状態とするための電位を出力し得る。また、制御部5は、第1B素子E11bとしての第2発光素子12bについて、信号入力部5Iに対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第2発光素子12bを発光状態とするための電位を出力し得る。

[0249] より具体的には、制御部5は、信号入力部5Iに対する、第1スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2Aトランジスタ11eaを非導通状態に設定する電位（オフ電位）を出力し得る。制御部5は、信号入力部5Iに対する、第1スイッチ素子の機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第2Aトランジスタ11eaを導通状態に設定する電位（オン電位）を出力し得る。

[0250] 制御部5は、信号入力部5Iに対する、第1発光素子12aを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極にオフ電位を有するオフ信号としてのH信号を出力する。この場合、制御部5は、信号入力部5Iに対する、第1選択設定信号SELAとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号

であるH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、複数の画素回路1 0のそれぞれにおける第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとしてオフ電位を有するオフ信号であるH信号を出力する。これにより、第2 Aトランジスタ1 1 e aが非導通状態となる。また、制御部5は、信号入力部5 Iに対する、第1発光素子1 2 aを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子1 2を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、複数の画素回路1 0のそれぞれにおける第2 Aトランジスタ1 1 e aのゲート電極にオン電位を有するオン信号としてのL信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第1選択設定信号S E L Aとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、複数の画素回路1 0のそれぞれにおける第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとしてオン電位を有するオン信号であるL信号を出力する。これにより、第2 Aトランジスタ1 1 e aが導通状態となる。

[0251] この構成によって、制御部5は、第1電位出力信号線L 1 aを介して、複数の画素回路1 0のそれぞれにおける第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号C T L Aとして、オフ電位を有するオフ信号であるH信号またはオン電位を有するオン信号であるL信号を選択的に出力し得る。

[0252] また、制御部5は、信号入力部5 Iに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、複数の画素回路1 0のそれぞれにおける第2 Bトランジスタ1 1 e bのゲート電極に第2 Bトランジスタ1 1 e bを非導通状態に設定する電位（オフ電位）を出力し得る。制御部5は、信号入力部5 Iに対する、第2スイッチ素子の

機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に第2Bトランジスタ11ebを導通状態に設定する電位（オン電位）を出力し得る。

- [0253] 制御部5は、信号入力部5Iに対する、第2発光素子12bを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極にオフ電位を有するオフ信号としてのH信号を出力する。この場合、制御部5は、信号入力部5Iに対する、第2選択設定信号SELBとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号であるH信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとしてオフ電位を有するオフ信号であるH信号を出力する。これにより、第2Bトランジスタ11ebが非導通状態となる。また、制御部5は、信号入力部5Iに対する、第2発光素子12bを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子12を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極にオン電位を有するオン信号としてのL信号を出力する。この場合、制御部5は、信号入力部5Iに対する、第2選択設定信号SELBとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5Uから、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第2切替

制御信号CTLBとしてオン電位を有するオン信号であるL信号を出力する。これにより、第2Bトランジスタ11ebが導通状態となる。

[0254] この構成によって、制御部5は、第2電位出力信号線L1bを介して、複数の画素回路10のそれぞれにおける第2Bトランジスタ11ebのゲート電極に、第2切替制御信号CTLBとして、オフ電位を有するオフ信号であるH信号またはオン電位を有するオン信号であるL信号を選択的に出力し得る。

[0255] この構成において、第2Aトランジスタ11eaにNチャネルトランジスタが適用されてもよいし、第2Bトランジスタ11ebにNチャネルトランジスタが適用されてもよい。第2Aトランジスタ11eaにNチャネルトランジスタが適用される場合、第2Aトランジスタ11eaに対して、オフ電位が第2電源電位Vss以下の電位に設定され、オン電位が第1電源電位Vdd以上の電位に設定される。第2Bトランジスタ11ebにNチャネルトランジスタが適用される場合、第2Bトランジスタ11ebに対して、オフ電位が第2電源電位Vss以下の電位に設定され、オン電位が第1電源電位Vdd以上の電位に設定される。この場合、オフ電位には、第2トランジスタ11eを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位Vglが適用される。第2電源電位Vssが0Vである場合、オフ電位は、約-2Vから0Vに設定される。オン電位には、第2トランジスタ11eを導通状態（オン状態）とするオン信号としてのH信号のH電位Vghが適用される。第2電源電位Vddが8Vである場合、オン電位は、8Vから約10Vに設定される。

[0256] この場合、第2Aトランジスタ11eaのゲート電極にオフ電位としてのL電位Vglが入力されると、第2Aトランジスタ11eaは非導通状態となり、第1発光素子12aは非発光状態となる。第2Aトランジスタ11eaのゲート電極にオン電位としてのH電位Vghが入力されると、第2Aトランジスタ11eaは導通状態となり、第1発光素子12aは発光状態となる。また、第2Bトランジスタ11ebのゲート電極にオフ電位としてのL

電位  $V_{g1}$  が入力されると、第2 Bトランジスタ  $11eb$  は非導通状態となり、第2 発光素子  $12b$  は非発光状態となる。第2 Bトランジスタ  $11eb$  のゲート電極にオン電位としてのH電位  $V_{gh}$  が入力されると、第2 Bトランジスタ  $11eb$  は導通状態となり、第2 発光素子  $12b$  は発光状態となる。

[0257] 図31は、第7実施形態の別の一例に係る第1副画素回路1の一例を示す回路図である。第7実施形態の別の一例においても、第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0258] 第7実施形態の別の一例に係る第1副画素回路1の一例は、図28で示した第7実施形態に係る第1副画素回路1の一例が基礎とされている。第7実施形態の別の一例に係る第1副画素回路1は、Pチャネルトランジスタが適用された第2 Aトランジスタ  $11ea$  の代わりに、第1 発光素子  $12a$  の負電極側に位置しているNチャネルトランジスタが適用された第2 Aトランジスタ  $11ea$  を有する。また、第7実施形態の別の一例に係る第1副画素回路1は、Pチャネルトランジスタが適用された第2 Bトランジスタ  $11eb$  の代わりに、第2 発光素子  $12b$  の負電極側に位置しているNチャネルトランジスタが適用された第2 Bトランジスタ  $11eb$  を有する。

[0259] 図31の例では、第1電源電位入力部  $1d1$  と第2電源電位入力部  $1s1$  との間において、第2素子  $E12$  としての第1トランジスタ  $11d$  と、第1 A素子  $E11a$  としての第1 発光素子  $12a$  と、第3 A素子  $E13a$  としての第2 Aトランジスタ  $11ea$  とが、この記載の順に直列または縦続に接続している。また、第1電源電位入力部  $1d1$  と第2電源電位入力部  $1s1$  との間において、第2素子  $E12$  としての第1トランジスタ  $11d$  と、第1 B素子  $E11b$  としての第2 発光素子  $12b$  と第3 B素子  $E13b$  としての第2 Bトランジスタ  $11eb$  とが、この記載の順に直列または縦続に接続している。より具体的には、第1トランジスタ  $11d$  のソース電極は、第1電源電位入力部  $1d1$  に接続している。第1トランジスタ  $11d$  のドレイン電極

は、第1発光素子12aおよび第2発光素子12bのそれぞれの正電極に接続している。第1発光素子12aの負電極は、第2Aトランジスタ11eaのドレイン電極に接続している。第2発光素子12bの負電極は、第2Bトランジスタ11ebのドレイン電極に接続している。第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれのソース電極は、第2電源電位入力部1s1に接続している。

[0260] 図32は、第7実施形態の別の一例における、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、発光制御信号線4eから入力される発光制御信号と、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位出力信号線L1aに出力する第1切替制御信号CTL Aと、第2電位出力信号線L1bに出力する第2切替制御信号CTL Bとが、図32で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。図32の真理値表は、図30で示された真理値表が基礎とされて、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれについて、L信号とH信号とが入れ替えられた真理値表である。

[0261] 図32で示されるように、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれが第1電位V1を有するオフ信号としてのL信号となる。この場合、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれは、ゲート電極に第1電位V1を有するオフ信号としてのL信号が入力されて非導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bが両方とも非発光状態となる。

[0262] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aがオン電位を有するオン信号としてのH信号となり、第2切替制御信号CTL Bが第1電位V1を有するオフ信号としてのL信号と

なる。この場合、第2 Aトランジスタ1 1 e aのゲート電極にオン電位を有するオン信号としてのH信号が入力されて、第1発光素子1 2 aが発光状態にある状態（第1発光状態）となる。また、第2 Bトランジスタ1 1 e bのゲート電極に第1電位V 1を有するオフ信号としてのL信号が入力されて、第2発光素子1 2 bが非発光状態にある状態（第2非発光状態）となる。

[0263] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオフに係る信号としてのH信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAが第1電位V 1を有するオフ信号としてのL信号となり、第2切替制御信号CTLBがオン電位を有するオン信号としてのH信号となる。この場合、第2 Aトランジスタ1 1 e aのゲート電極に第1電位V 1を有するオフ信号としてのL信号が入力されて、第1発光素子1 2 aが非発光状態にある状態（第1非発光状態）となる。また、第2 Bトランジスタ1 1 e bのゲート電極にオン電位を有するオン信号としてのH信号が入力されて、第2発光素子1 2 bが発光状態にある状態（第2発光状態）となる。

[0264] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aおよび第2選択設定信号SEL Bのそれぞれがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAおよび第2切替制御信号CTLBのそれぞれがオン電位を有するオン信号としてのH信号となる。この場合、第2 Aトランジスタ1 1 e aおよび第2 Bトランジスタ1 1 e bのそれぞれのゲート電極にオン電位を有するオン信号としてのH信号が入力されて、第1発光素子1 2 aおよび第2発光素子1 2 bが両方とも発光状態にある状態（両発光状態）となる。

[0265] <2-7. 第8実施形態>

上記第7実施形態において、図33で示されるように、複数の発光素子1 2および複数の第2トランジスタ1 1 eの接続形態が変更されてもよい。この場合、複数の発光素子1 2は、並列に接続された第1発光素子1 2 aおよび第2発光素子1 2 bの代わりに、直列に接続された第1発光素子1 2 aお

よび第2発光素子12bを含む。また、複数の第2トランジスタ11eは、第1発光素子12aに直列に接続された第2Aトランジスタ11eaおよび第2発光素子12bに直列に接続された第2Bトランジスタ11ebの代わりに、第1発光素子12aに並列に接続された第2Aトランジスタ11eaおよび第2発光素子12bに並列に接続された第2Bトランジスタ11ebを含む。

[0266] この構成においても、第1トランジスタ11dに縦続に接続されているトランジスタの数を増加させることなく、冗長に設けられた2つの発光素子12のうちの1つの発光素子12を発光状態と非発光状態との間で切り替える1つの第2トランジスタ11eを用いて、複数のスイッチ素子の機能に係るスイッチ制御が実現され得る。複数のスイッチ素子の機能は、発光素子12を使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1トランジスタ11dにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0267] <<副画素回路の構成>>

図33は、第8実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0268] 第8実施形態に係る第1副画素回路1の一例は、図28で示した第7実施形態に係る第1副画素回路1の一例が基礎とされて、複数の発光素子12お

よび複数の第2トランジスタ11eの接続形態が変更された形態を有する。この場合、第1副画素回路1は、複数の発光素子12として、並列に接続された第1発光素子12aおよび第2発光素子12bの代わりに、直列に接続された第1発光素子12aおよび第2発光素子12bを含む。また、第1副画素回路1は、複数の第2トランジスタ11eとして、第1発光素子12aに直列に接続された第2Aトランジスタ11eaおよび第2発光素子12bに直列に接続された第2Bトランジスタ11ebの代わりに、第1発光素子12aに並列に接続された第2Aトランジスタ11eaおよび第2発光素子12bに並列に接続された第2Bトランジスタ11ebを含む。

[0269] 図33で示されるように、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第2素子E12としての第1トランジスタ11dと、第1A素子E11aとしての第1発光素子12aと、第1B素子E11bとしての第2発光素子12bとが、直列に接続されている。図33の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第2素子E12としての第1トランジスタ11dと、第1A素子E11aとしての第1発光素子12aと、第1B素子E11bとしての第2発光素子12bとが、この記載の順に直列に接続されている。より具体的には、第1トランジスタ11dにはPチャネルトランジスタが適用されている。第1トランジスタ11dのソース電極が第1電源電位入力部1d1に接続している。第1トランジスタ11dのドレイン電極が第1発光素子12aの正電極に接続している。第1発光素子12aの負電極が第2発光素子12bの正電極に接続している。第2発光素子12bの負電極が第2電源電位入力部1s1に接続している。

[0270] また、第1発光素子12aの正電極と負電極とを接続する接続線上に第2Aトランジスタ11eaが位置している。第2発光素子12bの正電極と負電極とを接続する接続線上に第2Bトランジスタ11ebが位置している。第2Aトランジスタ11eaには、PチャネルトランジスタおよびNチャネルトランジスタの何れが適用されてもよい。第2Bトランジスタ11ebに

は、PチャネルトランジスタおよびNチャネルトランジスタの何れが適用されてもよい。図33の例では、第2Aトランジスタ11e aにPチャネルトランジスタが適用され、第2Bトランジスタ11e bにNチャネルトランジスタが適用されている。より具体的には、第2Aトランジスタ11e aのソース電極が、第1発光素子12aの正電極に接続されており、第2Aトランジスタ11e aのドレイン電極が、第1発光素子12aの負電極に接続されている。第2Bトランジスタ11e bのドレイン電極が、第2発光素子12bの正電極に接続されており、第2Bトランジスタ11e bのソース電極が、第2発光素子12bの負電極に接続されている。

[0271] そして、第1トランジスタ11dと、複数の第2トランジスタ11eと、第3トランジスタ11gと、容量素子11cと、を有する発光制御部11によって、複数の発光素子12における発光が制御され得る。

[0272] <<制御部>>

第8実施形態に係る制御部5には、上記第7実施形態に係る制御部5と同一もしくは類似の構成を有する制御部が適用され得る。第8実施形態では、上記第7実施形態と同じく、制御部5は、第2トランジスタ11eのスイッチ制御を行う複数のスイッチ素子の機能を備えている。この場合、制御部5は、第3A素子E13aとしての第2Aトランジスタ11e aのスイッチ制御を行う複数のスイッチ素子の機能を備えている。また、制御部5は、第3B素子E13bとしての第2Bトランジスタ11e bのスイッチ制御を行う複数のスイッチ素子の機能を備えている。複数のスイッチ素子の機能は、発光素子12を使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。第1発光素子12aについては、複数のスイッチ素子の機能は、第1発光素子12aを使用状態または不使用状態に選択的に設定する機能と、発光素子12を発光状態または非発光状態に選択的に設定する機能と、を含む。第2発光素子12bについては、複数のスイッチ素子の機能は、第2発光素子12bを使用状態または不使用状態に選択的に設定する機能と、発光素子12を

発光状態または非発光状態に選択的に設定する機能と、を含む。

[0273] 別の観点から言えば、上記第7実施形態と同じく、制御部5は、第1スイッチ素子の機能と、第2スイッチ素子の機能と、第3スイッチ素子の機能と、を備えている。第1スイッチ素子の機能は、第1発光素子12aを使用状態または不使用状態に選択的に設定する機能を含む。第2スイッチ素子の機能は、第2発光素子12bを使用状態または不使用状態に選択的に設定する機能を含む。第3スイッチ素子の機能は、複数の発光素子12としての第1発光素子12aおよび第2発光素子12bを発光状態または非発光状態に選択的に設定する機能を含む。これにより、冗長に設けられた複数の発光素子12のそれぞれについて、1つの第2トランジスタ11eを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0274] 第8実施形態では、上記第7実施形態と同じく、制御部5の信号入力部51には、各発光素子12に関して、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。この場合、制御部5の信号入力部51には、第1A素子E11aとしての第1発光素子12aに関して、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。また、制御部5の信号入力部51には、第1B素子E11bとしての第2発光素子12bに関して、複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力される。第8実施形態では、上記第7実施形態と同じく、制御部5の信号入力部51には、第1スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、第2スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、第3スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力される。

[0275] 制御部5は、1つの発光素子12について、信号入力部51に対する、複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、第2トランジスタ1

1 e のゲート電極に1つの発光素子 1 2 を非発光状態とするための電位を出力する。また、制御部 5 は、1つの発光素子 1 2 について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部 5 U から、第2トランジスタ 1 1 e のゲート電極に1つの発光素子 1 2 を発光状態とするための電位を出力する。

[0276] この場合、制御部 5 は、第1 A 素子 E 1 1 a としての第1発光素子 1 2 a について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部 5 U から、第3 A 素子 E 1 3 a としての第2 A トランジスタ 1 1 e a のゲート電極に第1発光素子 1 2 a を非発光状態とするための電位を出力し得る。また、制御部 5 は、第1 A 素子 E 1 1 a としての第1発光素子 1 2 a について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部 5 U から、第2 A トランジスタ 1 1 e a のゲート電極に第1発光素子 1 2 a を発光状態とするための電位を出力し得る。

[0277] また、制御部 5 は、第1 B 素子 E 1 1 b としての第2発光素子 1 2 b について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部 5 U から、第3 B 素子 E 1 3 b としての第2 B トランジスタ 1 1 e b のゲート電極に第2発光素子 1 2 b を非発光状態とするための電位を出力し得る。また、制御部 5 は、第1 B 素子 E 1 1 b としての第2発光素子 1 2 b について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部 5 U から、第2 B トランジスタ 1 1 e b のゲート電極に第2発光素子 1 2 b を発光状態とするための電位を出力し得る。

[0278] 第8実施形態では、制御部 5 は、信号入力部 5 1 に対する、第1スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能につい

でのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2 Aトランジスタ1 1 e aのゲート電極に第2 Aトランジスタ1 1 e aを導通状態に設定する電位（オン電位）を出力する。制御部5は、信号入力部5 Iに対する、第1スイッチ素子の機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5 Uから、第2 Aトランジスタ1 1 e aのゲート電極に第2 Aトランジスタ1 1 e aを非導通状態に設定する電位（オフ電位）を出力する。

[0279] 制御部5は、信号入力部5 Iに対する、第1発光素子1 2 aを不使用状態とするためのオフに係る信号としてのH信号、および発光素子1 2を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極にオン電位を有するオン信号としてのL信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第1選択設定信号SEL Aとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号であるH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極に、第1切替制御信号CTLAとしてオン電位を有するオン信号であるL信号を出力する。これにより、第2 Aトランジスタ1 1 e aが導通状態となる。また、制御部5は、信号入力部5 Iに対する、第1発光素子1 2 aを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子1 2を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを介して、第2 Aトランジスタ1 1 e aのゲート電極にオフ電位を有するオフ信号としてのH信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第1選択設定信号SEL Aとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5 Uから、第1電位出力信号線L 1 aを

介して、第2 Aトランジスタ11 e aのゲート電極に、第1切替制御信号C T L Aとしてオフ電位を有するオフ信号であるH信号を出力する。これにより、第2 Aトランジスタ11 e aが非導通状態となる。

[0280] この構成によって、制御部5は、第1電位出力信号線L1 aを介して、第2 Aトランジスタ11 e aのゲート電極に、第1切替制御信号C T L Aとして、オン電位を有するオン信号としてのL信号またはオフ電位を有するオフ信号としてのH信号を選択的に出力し得る。その結果、冗長に設けられた2つの発光素子12のうちの第1発光素子12 aについて、1つの第2 Aトランジスタ11 e aを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0281] また、制御部5は、信号入力部5 Iに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2 Bトランジスタ11 e bのゲート電極に第2 Bトランジスタ11 e bを導通状態とする電位（オン電位）を出力する。制御部5は、信号入力部5 Iに対する、第2スイッチ素子の機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5 Uから、第2 Bトランジスタ11 e bのゲート電極に第2 Bトランジスタ11 e bを非導通状態に設定する電位（オフ電位）を出力する。

[0282] 制御部5は、信号入力部5 Iに対する、第2発光素子12 bを不使用状態とするためのオフに係る信号としてのH信号、および発光素子12を非発光状態とするためのオフに係る信号としてのH信号のうちの1つ以上の信号の入力に応じて、信号出力部5 Uから、第2電位出力信号線L1 bを介して、第2 Bトランジスタ11 e bのゲート電極にオン電位を有するオン信号としてのH信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2選択設定信号S E L Bとしてのオフに係る信号であるH信号、および発光制御信号としてのオフに係る信号であるH信号のうちの1つ以上の信号の

入力に応じて、信号出力部5 Uから、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極に、第2 切替制御信号C T L Bとしてオン電位を有するオン信号であるH信号を出力する。これにより、第2 Bトランジスタ1 1 e bが導通状態となる。また、制御部5は、信号入力部5 Iに対する、第2 発光素子1 2 bを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子1 2を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5 Uから、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極にオフ電位を有するオフ信号としてのL信号を出力する。この場合、制御部5は、信号入力部5 Iに対する、第2 選択設定信号S E L Bとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5 Uから、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極に、第2 切替制御信号C T L Bとしてオフ電位を有するオフ信号としてのL信号を出力する。これにより、第2 Bトランジスタ1 1 e bが非導通状態となる。

[0283] この構成によって、制御部5は、第2 電位出力信号線L 1 bを介して、第2 Bトランジスタ1 1 e bのゲート電極に、第2 切替制御信号C T L Bとして、オン電位を有するオン信号としてのH信号またはオフ電位を有するオフ信号としてのL信号を選択的に出力し得る。その結果、冗長に設けられた2つの発光素子1 2のうちの第2 発光素子1 2 bについて、1つの第2 Bトランジスタ1 1 e bを用いて、使用状態と不使用状態との間で選択的に切り替えるスイッチ制御と、発光のタイミングに係るスイッチ制御と、が容易に実現され得る。

[0284] 図3 4は、制御部5における入力と出力と第1 副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、発光制御信号線4 eから入力される発光制御信号と、入力される第1 選択設定信号S E L Aと、入力される第2 選択設定信号S E L Bと、第1 電位出力信号線L 1 aに出力する第1 切替制御信号C T L Aと、第2 電位出力信号線L 1 bに出力する

第2切替制御信号CTLBとが、図34で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。図34の真理値表は、図30で示された真理値表が基礎とされて、第1切替制御信号CTLAについて、L信号とH信号とが入れ替えられた真理値表である。

[0285] 図34で示されるように、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1切替制御信号CTLAがオン信号としてのL信号となり、第2切替制御信号CTLBがオン信号としてのH信号となる。この場合、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebは、それぞれ導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bが両方とも非発光状態となる。

[0286] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオンに係る信号としてのL信号であり、第2選択設定信号SELBがオフに係る信号としてのH信号であれば、第1切替制御信号CTLAがオフ信号としてのH信号となり、第2切替制御信号CTLBがオン信号としてのH信号となる。この場合、第2Aトランジスタ11eaが非導通状態となり、第2Bトランジスタ11ebが導通状態となる。これにより、第1発光素子12aが発光状態にある状態（第1発光状態）となり、第2発光素子12bが非発光状態にある状態（第2非発光状態）となる。

[0287] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SELAがオフに係る信号としてのH信号であり、第2選択設定信号SELBがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAがオン信号としてのL信号となり、第2切替制御信号CTLBがオフ信号としてのL信号となる。この場合、第2Aトランジスタ11eaが導通状態となり、第2Bトランジスタ11ebが非導通状態となる。これにより、第1発光素子12aが非発光状態にある状態（第1非発光状態）となり、第2発光素子12bが発光状態にある状態（第2発光状態）となる。

[0288] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAがオフ信号としてのH信号となり、第2切替制御信号CTL Bがオフ信号としてのL信号となる。この場合、第2Aトランジスタ11e aおよび第2Bトランジスタ11e bが、それぞれ非導通状態となる。これにより、第1発光素子12 aおよび第2発光素子12 bが両方とも発光状態にある状態（両発光状態）となる。

[0289] この構成において、上記第2実施形態と同一もしくは類似の構成を有する信号出力回路6から制御部5に第1選択設定信号SEL Aおよび第2選択設定信号SEL Bを出力する構成が採用され得る。

[0290] また、第1副画素回路1では、第1電源電位入力部1d lと第2電源電位入力部1s lとの間において、第1トランジスタ11dに、第2トランジスタ11eとしての第2Aトランジスタ11e aおよび第2Bトランジスタ11e bのみが縦続に接続されている形態が採用され得る。この場合、第1電源電位V d dと第2電源電位V s sとの電位差（ $V d d - V s s$ ）のうち、第1トランジスタ11dにおけるドレインソース間電圧V d sが低下しにくい。その結果、仮に第1電源電位V d dの降下などによって電位差（ $V d d - V s s$ ）が低下しても、第1発光素子12 aおよび第2発光素子12 bにかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100における画質が向上し得る。

[0291] <<第8実施形態におけるバリエーション>>

この構成において、各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3の組に対して、1つの制御部5および1つの信号出力回路6を備えていてもよい。換言すれば、各画素回路10は、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれに、発光

素子 1 2 を非発光状態とするための電位または発光素子 1 2 を発光状態とするための電位を選択的に出力する制御部 5 を備えていてもよい。この場合、図 1 6 で示されたように、制御部 5 に接続された第 1 電位出力信号線 L 1 a および第 2 電位出力信号線 L 1 b のそれぞれが複数の副画素回路 1, 2, 3 に接続されている構成が採用され得る。この構成によって、1 つの画素回路 1 0 において制御部 5 の数が増加しにくく、画素回路 1 0 が増大しにくい。これにより、表示装置 1 0 0 および表示パネル 1 0 0 p では、複数の画素回路 1 0 が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置 1 0 0 における画質が向上し得る。

[0292] また、上記第 7 実施形態と同じく、表示パネル 1 0 0 p は、複数の画素回路 1 0 に対して 1 つの制御部 5 および 1 つの信号出力回路 6 を備えていてもよい。換言すれば、表示パネル 1 0 0 p は、複数の画素回路 1 0 のそれぞれに、発光素子 1 2 を非発光状態とするための電位または発光素子 1 2 を発光状態とするための電位を選択的に出力する制御部 5 を備えていてもよい。この場合、制御部 5 および信号出力回路 6 は、基板 2 0 の第 1 面 F 1 上において画像表示部 3 0 0 の空き領域もしくは額縁部分に配置されていてもよいし、基板 2 0 の第 2 面 F 2 上に配置されていてもよい。

[0293] この場合、上記第 7 実施形態と同じく、制御部 5 は、1 つの発光素子 1 2 について、信号入力部 5 1 に対する、複数のスイッチ素子の機能のうちの 1 つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部 5 U から、複数の画素回路 1 0 のそれぞれにおける第 2 トランジスタ 1 1 e のゲート電極に、1 つの発光素子 1 2 を非発光状態とするための電位を出力し得る。また、制御部 5 は、1 つの発光素子 1 2 について、信号入力部 5 1 に対する、複数のスイッチ素子のうちの全てのスイッチ素子の機能についてのオンに係る信号の入力に応じて、信号出力部 5 U から、複数の画素回路 1 0 のそれぞれにおける第 2 トランジスタ 1 1 e のゲート電極に、1 つの発光素子 1 2 を発光状態とするための電位を出力し得る。

[0294] この場合、制御部 5 および信号出力回路 6 は、1 行の画素回路 1 0 を構成

する複数の画素回路10ごとに配置され得る。図17で示されたように、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、複数の画素回路10に接続されている構成が採用され得る。より具体的には、制御部5に接続された第1電位出力信号線L1aおよび第2電位出力信号線L1bのそれぞれが、複数の画素回路10のそれぞれに含まれた複数の副画素回路1, 2, 3にそれぞれ接続されている構成が採用され得る。この場合、複数の画素回路10に対して1つの制御部5および1つの信号出力回路6が設けられ、画素回路10が増大しにくい。これにより、表示装置100および表示パネル100pでは、複数の画素回路10が配列されるピッチを狭くすることが可能となり、解像度の向上が図られ得る。従って、表示装置100における画質が向上し得る。

[0295] この場合、上記第7実施形態と同じく、制御部5は、第1A素子E11aとしての第1発光素子12aについて、信号入力部5Iに対する、複数のスイッチ素子の機能のうち1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第3A素子E13aとしての第2Aトランジスタ11eaのゲート電極に第1発光素子12aを非発光状態とするための電位を出力し得る。また、制御部5は、第1A素子E11aとしての第1発光素子12aについて、信号入力部5Iに対する、複数のスイッチ素子の機能のうち全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Aトランジスタ11eaのゲート電極に第1発光素子12aを発光状態とするための電位を出力し得る。

[0296] また、この場合、制御部5は、第1B素子E11bとしての第2発光素子12bについて、信号入力部5Iに対する、複数のスイッチ素子の機能のうち1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第3B素子E13bとしての第2Bトランジスタ11ebのゲート電極に第2発光素

子 1 2 b を非発光状態とするための電位を出力し得る。また、制御部 5 は、第 1 B 素子 E 1 1 b としての第 2 発光素子 1 2 b について、信号入力部 5 I に対する、複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、信号出力部 5 U から、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート電極に第 2 発光素子 1 2 b を発光状態とするための電位を出力し得る。

[0297] より具体的には、制御部 5 は、信号入力部 5 I に対する、第 1 スイッチ素子の機能についてのオフに係る信号および第 3 スイッチ素子の機能についてのオフに係る信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、複数の画素回路 1 0 のそれぞれにおける第 2 A トランジスタ 1 1 e a のゲート電極に第 2 A トランジスタ 1 1 e a を導通状態に設定する電位（オン電位）を出力し得る。制御部 5 は、信号入力部 5 I に対する、第 1 スイッチ素子の機能についてのオンに係る信号の入力と、第 3 スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部 5 U から、複数の画素回路 1 0 のそれぞれにおける第 2 A トランジスタ 1 1 e a のゲート電極に第 2 A トランジスタ 1 1 e a を非導通状態に設定する電位（オフ電位）を出力し得る。

[0298] 制御部 5 は、信号入力部 5 I に対する、第 1 発光素子 1 2 a を不使用状態とするためのオフに係る信号としての H 信号、および発光素子 1 2 を非発光状態とするためのオフに係る信号としての H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、複数の画素回路 1 0 のそれぞれにおける第 2 A トランジスタ 1 1 e a のゲート電極にオン電位を有するオン信号としての L 信号を出力する。この場合、制御部 5 は、信号入力部 5 I に対する、第 1 選択設定信号 S E L A としてのオフに係る信号である H 信号、および発光制御信号としてのオフに係る信号である H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 1 電位出力信号線 L 1 a を介して、複数の画素回路 1 0 のそれぞれにおける第 2 A トランジスタ 1 1 e a のゲート電極に、第 1 切替制御信号 C T L

Aとしてオン電位を有するオン信号であるL信号を出力する。これにより、第2Aトランジスタ11e aが導通状態となる。また、制御部5は、信号入力部5Iに対する、第1発光素子12aを使用状態とするためのオンに係る信号としてのL信号の入力と、発光素子12を発光状態とするためのオンに係る信号としてのL信号の入力と、に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11e aのゲート電極にオフ電位を有するオフ信号としてのH信号を出力する。この場合、制御部5は、信号入力部5Iに対する、第1選択設定信号SEL Aとしてのオンに係る信号であるL信号の入力と、発光制御信号としてのオンに係る信号であるL信号の入力と、に応じて、信号出力部5Uから、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11e aのゲート電極に、第1切替制御信号CTLAとしてオフ電位を有するオフ信号としてのH信号を出力する。これにより、第2Aトランジスタ11e aが非導通状態となる。

[0299] この構成によって、制御部5は、第1電位出力信号線L1aを介して、複数の画素回路10のそれぞれにおける第2Aトランジスタ11e aのゲート電極に、第1切替制御信号CTLAとして、オフ電位を有するオフ信号であるH信号またはオン電位を有するオン信号であるL信号を選択的に出力し得る。

[0300] 制御部5は、信号入力部5Iに対する、第2スイッチ素子の機能についてのオフに係る信号および第3スイッチ素子の機能についてのオフに係る信号のうちの1つ以上の信号の入力に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11e bのゲート電極に第2Bトランジスタ11e bを導通状態に設定する電位（オン電位）を出力し得る。制御部5は、信号入力部5Iに対する、第2スイッチ素子の機能についてのオンに係る信号の入力と、第3スイッチ素子の機能についてのオンに係る信号の入力と、に応じて、信号出力部5Uから、複数の画素回路10のそれぞれにおける第2Bトランジスタ11e bのゲート電極に第2Bトラン

ジスタ 1 1 e b を非導通状態に設定する電位（オフ電位）を出力し得る。

[0301] 制御部 5 は、信号入力部 5 1 に対する、第 2 発光素子 1 2 b を不使用状態とするためのオフに係る信号としての H 信号、および発光素子 1 2 を非発光状態とするためのオフに係る信号としての H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート電極にオン電位を有するオン信号としての H 信号を出力する。この場合、制御部 5 は、信号入力部 5 1 に対する、第 2 選択設定信号 S E L B としてのオフに係る信号である H 信号、および発光制御信号としてのオフに係る信号である H 信号のうちの 1 つ以上の信号の入力に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート電極に、第 2 切替制御信号 C T L B としてオン電位を有するオン信号である H 信号を出力する。これにより、第 2 B トランジスタ 1 1 e b が導通状態となる。また、制御部 5 は、信号入力部 5 1 に対する、第 2 発光素子 1 2 b を使用状態とするためのオンに係る信号としての L 信号の入力と、発光素子 1 2 を発光状態とするためのオンに係る信号としての L 信号の入力と、に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート電極にオフ電位を有するオフ信号としての L 信号を出力する。この場合、制御部 5 は、信号入力部 5 1 に対する、第 2 選択設定信号 S E L B としてのオンに係る信号である L 信号の入力と、発光制御信号としてのオンに係る信号である L 信号の入力と、に応じて、信号出力部 5 U から、第 2 電位出力信号線 L 1 b を介して、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート電極に、第 2 切替制御信号 C T L B としてオフ電位を有するオフ信号である L 信号を出力する。これにより、第 2 B トランジスタ 1 1 e b が非導通状態となる。

[0302] この構成によって、制御部 5 は、第 2 電位出力信号線 L 1 b を介して、複数の画素回路 1 0 のそれぞれにおける第 2 B トランジスタ 1 1 e b のゲート

電極に、第2切替制御信号CTLBとして、オフ電位を有するオフ信号であるL信号またはオン電位を有するオン信号であるH信号を選択的に出力し得る。

[0303] ここで、第2Aトランジスタ11eaにNチャネルトランジスタが適用される場合、オン電位は、第1電源電位Vdd以上の電位に設定され、オフ電位は、第2電源電位Vss以下の電位に設定される。具体的には、オン電位には、第2Aトランジスタ11eaを導通状態（オン状態）とするオン信号としてのH信号のH電位Vghが適用される。オフ電位には、第2Aトランジスタ11eaを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位Vglが適用される。この場合、第2Aトランジスタ11eaのゲート電極にオン電位としてのH信号が入力されると、第2Aトランジスタ11eaは導通状態となり、第1発光素子12aは非発光状態となる。第2Aトランジスタ11eaのゲート電極にオフ電位としてのL信号が入力されると、第2Aトランジスタ11eaは非導通状態となり、第1発光素子12aは発光状態となる。

[0304] ここで、第2Bトランジスタ11ebにPチャネルトランジスタが適用される場合、オン電位は、第2電源電位Vss以下の電位に設定され、オフ電位は、第1電源電位Vdd以上の電位に設定される。具体的には、オン電位には、第2Bトランジスタ11ebを導通状態（オン状態）とするオン信号としてのL信号のL電位Vglが適用される。オフ電位には、第2Bトランジスタ11ebを非導通状態（オフ状態）とするオフ信号としてのH信号のH電位Vghが適用される。この場合、第2Bトランジスタ11ebのゲート電極にオン電位としてのL信号が入力されると、第2Bトランジスタ11ebは導通状態となり、第2発光素子12bは非発光状態となる。第2Bトランジスタ11ebのゲート電極にオフ電位としてのH信号が入力されると、第2Bトランジスタ11ebは非導通状態となり、第2発光素子12bは発光状態となる。

[0305] <2-8. 第9実施形態>

上記第7実施形態において、図35で示されるように、第2トランジスタ11eは、第1トランジスタ11dのソース電極側において第1トランジスタ11dに縦属に接続していてもよい。この構成によって、第2トランジスタ11eは、第1トランジスタ11dのソース電極側に縦続に接続されており、発光素子12を発光状態とするために導通状態となっても抵抗を有する。このため、複数のスイッチ素子の機能に係るスイッチ制御を行うための第2トランジスタ11eにアナログ素子の機能としてのデジェネレーション抵抗の機能を持たせることができる。これにより、第1トランジスタ11dにおけるゲート電圧 $V_{gs}$ とドレイン電流 $I_{ds}$ との関係が線形に近づき得るため、第1トランジスタ11dを用いたゲート電圧 $V_{gs}$ の変更によるドレイン電流 $I_{ds}$ の微調整が容易となり得る。その結果、表示装置100における画質が向上し得る。また、第1トランジスタ11dに縦続に接続されているトランジスタの数を増加させることなく、第2トランジスタ11eによって第1トランジスタ11dに対するデジェネレーション抵抗による効果が得られる。よって、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差( $V_{dd}-V_{ss}$ )のうち、第1トランジスタ11dにおけるドレイン-ソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差( $V_{dd}-V_{ss}$ )が低下しても、発光素子12にかかる順方向の電圧が大きくなっても、第1トランジスタ11dを飽和領域で駆動させる条件が厳しくなりにくい。従って、表示装置100において輝度が徐々に低下するグラデーション(輝度むら)が生じ難くなり、表示装置100における画質が向上し得る。

[0306] <<副画素回路の構成>>

図35は、第9実施形態に係る第1副画素回路1の一例を示す回路図である。複数の画素回路10のそれぞれにおいて、第1副画素回路1は同一もしくは類似の構成を有する。第2副画素回路2および第3副画素回路3のそれぞれは、第1副画素回路1と同一もしくは類似の構成を有する。

[0307] 第9実施形態に係る第1副画素回路1は、図28で示した第7実施形態に

係る第1副画素回路1の一例が基礎とされている。第9実施形態に係る第1副画素回路1は、第1トランジスタ11dの代わりに、複数の第1トランジスタ11dを備えている。また、第9実施形態に係る第1副画素回路1は、複数の第2トランジスタ11eのそれぞれが、第1トランジスタ11dのドレイン電極側ではなく、第1トランジスタ11dのソース電極側において、第1トランジスタ11dに縦続に接続している構成を有する。さらに、第9実施形態に係る第1副画素回路1は、第2トランジスタ11eのソース電極とドレイン電極のうちの第1トランジスタ11dと接続されていない電極と、第1トランジスタ11dのゲート電極とを接続している接続線上に容量素子11cが位置している構成を有する。

[0308] 第9実施形態に係る第1副画素回路1は、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された、1組目の複数の素子E1および2組目の複数の素子E1を含む。

[0309] 1組目の複数の素子E1は、第1A素子E11aとしての第1発光素子12aと、第2A素子E12aとしての第1Aトランジスタ11daと、第3A素子E13aとしての第2Aトランジスタ11eaと、を含む。図35の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第3A素子E13aとしての第2Aトランジスタ11eaと、第2A素子E12aとしての第1Aトランジスタ11daと、第1A素子E11aとしての第1発光素子12aとが、この記載の順に直列または縦続に接続している。

[0310] 2組目の複数の素子E1は、第1B素子E11bとしての第2発光素子12bと、第2B素子E12bとしての第1Bトランジスタ11dbと、第3B素子E13bとしての第2Bトランジスタ11ebと、を含む。図35の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第3B素子E13bとしての第2Bトランジスタ11ebと、第2B素子E12bとしての第1Bトランジスタ11dbと、第1B素子E11bとしての第2発光素子12bとが、この記載の順に直列または縦続に接続し

ている。

[0311] 換言すれば、図35の例では、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、直列または縦続に接続された1組目の複数の素子E1と、直列または縦続に接続された2組目の複数の素子E1と、が並列に接続されている。

[0312] この場合、図35で示されるように、第9実施形態に係る第1副画素回路1は、複数の発光素子12と、複数の第1トランジスタ11dと、複数の第2トランジスタ11eと、を備えている。複数の発光素子12は、並列に接続された、第1発光素子12aと第2発光素子12bとを含む。複数の第1トランジスタ11dは、第1Aトランジスタ11daと第1Bトランジスタ11dbとを含む。第1Aトランジスタ11daは、第1発光素子12aに直列に接続されている。第1Bトランジスタ11dbは、第2発光素子12bに直列に接続されている。複数の第2トランジスタ11eは、第2Aトランジスタ11eaと第2Bトランジスタ11ebとを含む。第2Aトランジスタ11eaは、第1Aトランジスタ11daに縦続に接続されている。第2Bトランジスタ11ebは、第1Bトランジスタ11dbに縦続に接続されている。そして、第2Aトランジスタ11eaは、第1Aトランジスタ11daのソース電極側において第1Aトランジスタ11daに縦続に接続されている。第2Bトランジスタ11ebは、第1Bトランジスタ11dbのソース電極側において第1Bトランジスタ11dbに縦続に接続されている。

[0313] この構成によって、第1発光素子12aに直列に接続された第2Aトランジスタ11eaに、デジェネレーション抵抗の機能を持たせることができるとともに、第2発光素子12bに直列に接続された第2Bトランジスタ11ebに、デジェネレーション抵抗の機能を持たせることができる。これにより、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそれぞれにおけるゲート電圧とドレイン電流との関係が線形に近づき得る。このため、第1Aトランジスタ11daおよび第1Bトランジスタ11dbのそ

れぞれを用いたゲート電圧 $V_{gs}$ の変更によるドレイン電流 $I_{ds}$ の微調整が容易となり得る。その結果、表示装置100における画質が向上し得る。

[0314] ここで、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された2組の複数の素子E1のうちの1組目の複数の素子E1に着目する。この場合、第1副画素回路1は、第1A素子E11aとしての第1発光素子12aと、第2A素子E12aとしての第1Aトランジスタ11daと、第3A素子E13aとしての第2Aトランジスタ11eaと、を含む。第1Aトランジスタ11daは、第1発光素子12aに直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで第1発光素子12aを流れる電流を制御することができる。第2Aトランジスタ11eaは、第1Aトランジスタ11daに縦続に接続されており、第1発光素子12aを発光状態と非発光状態との間で切り替えることができる。そして、第2Aトランジスタ11eaは、第1Aトランジスタ11daのソース電極側において第1Aトランジスタ11daに縦続に接続されている。

[0315] また、第1電源電位入力部1d1と第2電源電位入力部1s1との間でそれぞれ直列または縦続に接続された2組の複数の素子E1のうちの2組目の複数の素子E1に着目する。この場合、第1副画素回路1は、第1B素子E11bとしての第2発光素子12bと、第2B素子E12bとしての第1Bトランジスタ11dbと、第3B素子E13bとしての第2Bトランジスタ11ebと、を含む。第1Bトランジスタ11dbは、第1発光素子12aに直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで第2発光素子12bを流れる電流を制御することができる。第2Bトランジスタ11ebは、第1Bトランジスタ11dbに縦続に接続されており、第2発光素子12bを発光状態と非発光状態との間で切り替えることができる。そして、第2Bトランジスタ11ebは、第1Bトランジスタ11dbのソース電極側において第1Bトランジスタ11dbに縦続に接続されている。

[0316] ここで、第1 Aトランジスタ11 d a、第1 Bトランジスタ11 d b、第2 Aトランジスタ11 e aおよび第2 Bトランジスタ11 e bのそれぞれに、Pチャネルトランジスタが適用される場合を想定する。この場合、第2 Aトランジスタ11 e aのソース電極は、第1電源電位入力部1 d lに接続している。第2 Aトランジスタ11 e aのドレイン電極は、第1 Aトランジスタ11 d aのソース電極に接続している。第1 Aトランジスタ11 d aのドレイン電極は、第1発光素子12 aの正電極に接続している。第1発光素子12 aの負電極は、第2電源電位入力部1 s lに接続している。また、第2 Bトランジスタ11 e bのソース電極は、第1電源電位入力部1 d lに接続している。第2 Bトランジスタ11 e bのドレイン電極は、第1 Bトランジスタ11 d bのソース電極に接続している。第1 Bトランジスタ11 d bのドレイン電極は、第2発光素子12 bの正電極に接続している。第2発光素子12 bの負電極は、第2電源電位入力部1 s lに接続している。

[0317] また、第3トランジスタ11 gのドレイン電極（ソース電極）は、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれのゲート電極に接続している。走査信号線4 gからの走査信号としてのオン信号が第3トランジスタ11 gのゲート電極に入力されると、第3トランジスタ11 gは、ソース電極とドレイン電極との間に電流が流れ得る導通状態となる。これにより、第1画像信号線4 s 1からの画像信号が第3トランジスタ11 gを介して第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれのゲート電極に入力される。第3トランジスタ11 gにPチャネルトランジスタが適用される場合、オン信号には、L電位V g lを有するL信号が適用される。ここで、第2副画素回路2では、第1画像信号線4 s 1の代わりに第2画像信号線4 s 2から画像信号が入力され、第3副画素回路3では、第1画像信号線4 s 1の代わりに第3画像信号線4 s 3から画像信号が入力される。

[0318] また、容量素子11 cは、第1 Aトランジスタ11 d aのゲート電極と第2 Aトランジスタ11 e aのソース電極とを接続している接続線上に位置し

ているとともに、第1 Bトランジスタ11 d bのゲート電極と第2 Bトランジスタ11 e bのソース電極とを接続している接続線上に位置している。容量素子11 cは、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bのそれぞれのゲート電極に入力された画像信号の電位 $V_{sig}$ を次の画像信号の入力（書き換え）までの期間（1フレームの期間）保持する保持容量として機能する。

[0319] そして、複数の第1トランジスタ11 dと、複数の第2トランジスタ11 eと、第3トランジスタ11 gと、容量素子11 cと、を有する発光制御部11によって、複数の発光素子12における発光が制御され得る。

[0320] また、第1副画素回路1では、第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、1つ目の第1トランジスタ11 dとしての第1 Aトランジスタ11 d aに、1つ目の第2トランジスタ11 eとしての第2 Aトランジスタ11 e aのみが継続に接続されている形態が採用され得る。第1電源電位入力部1 d lと第2電源電位入力部1 s lとの間において、2つ目の第1トランジスタ11 dとしての第1 Bトランジスタ11 d bに、2つ目の第2トランジスタ11 eとしての第2 Bトランジスタ11 e bのみが継続に接続されている形態が採用され得る。この場合、第1電源電位 $V_{dd}$ と第2電源電位 $V_{ss}$ との電位差 $(V_{dd} - V_{ss})$ のうち、第1 Aトランジスタ11 d aおよび第1 Bトランジスタ11 d bにおけるドレインソース間電圧 $V_{ds}$ が低下しにくい。その結果、仮に第1電源電位 $V_{dd}$ の降下などによって電位差 $(V_{dd} - V_{ss})$ が低下しても、第1発光素子12 aおよび第2発光素子12 bにかかる順方向の電圧が大きくなっても、第1トランジスタ11 dを飽和領域で駆動させる条件が厳しくなりにくい。よって、表示装置100において輝度が徐々に低下するグラデーション（輝度むら）が生じ難くなり、表示装置100における画質が向上し得る。

[0321] <<制御部>>

第9実施形態に係る制御部5には、上記第7実施形態に係る制御部5と同一もしくは類似の構成を有する制御部が適用され得る。

[0322] 図36は、制御部5における入力と出力と第1副画素回路1の状態との関係の一例を示す真理値表である。この場合、制御部5は、発光制御信号線4eから入力される発光制御信号と、入力される第1選択設定信号SEL Aと、入力される第2選択設定信号SEL Bと、第1電位出力信号線L1aに出力する第1切替制御信号CTL Aと、第2電位出力信号線L1bに出力する第2切替制御信号CTL Bとが、図36で示される関係を満たす態様で、各種の論理出力を実行する構成で設計されている。図36の真理値表は、図30で示された真理値表を基礎として、第1副画素回路1の状態について、第1トランジスタ11dに対して第2トランジスタ11eがデジェネレーション抵抗を形成している状態が加えられた真理値表である。制御部5は、複数の論理回路の組み合わせなどによって構成され得る。

[0323] 図36で示されるように、制御部5に入力される発光制御信号がオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aおよび第2切替制御信号CTL Bのそれぞれが第1電位V1を有するオフ信号としてのH信号となる。この場合、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bが両方とも非発光状態となる。

[0324] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオフに係る信号としてのH信号であれば、第1切替制御信号CTL Aがオン電位を有するオン信号としてのL信号となり、第2切替制御信号CTL Bが第1電位V1を有するオフ信号としてのH信号となる。この場合、第2Aトランジスタ11eaは、ゲート電極にオン電位を有するオン信号としてのL信号が入力されて導通状態となる。これにより、第1発光素子12aが発光状態にある状態（第1発光状態）となる。また、第2Bトランジスタ11ebは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第2発光素

子12bが非発光状態にある状態（第2非発光状態）となる。このとき、第2Aトランジスタ11eaは、第1Aトランジスタ11daに対してデジェネレーション抵抗を形成している状態となる。

[0325] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオフに係る信号としてのH信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAが第1電位V1を有するオフ信号としてのH信号となり、第2切替制御信号CTLBがオン電位を有するオン信号としてのL信号となる。この場合、第2Aトランジスタ11eaは、ゲート電極に第1電位V1を有するオフ信号としてのH信号が入力されて非導通状態となる。これにより、第1発光素子12aが非発光状態にある状態（第1非発光状態）となる。また、第2Bトランジスタ11ebは、ゲート電極にオン電位を有するオン信号としてのL信号が入力されて導通状態となる。これにより、第2発光素子12bが発光状態にある状態（第2発光状態）となる。このとき、第2Bトランジスタ11ebは、第1Bトランジスタ11dbに対してデジェネレーション抵抗を形成している状態となる。

[0326] 制御部5に入力される発光制御信号がオンに係る信号としてのL信号であり、第1選択設定信号SEL Aがオンに係る信号としてのL信号であり、第2選択設定信号SEL Bがオンに係る信号としてのL信号であれば、第1切替制御信号CTLAおよび第2切替制御信号CTLBのそれぞれがオン電位を有するオン信号としてのL信号となる。この場合、第2Aトランジスタ11eaおよび第2Bトランジスタ11ebのそれぞれは、ゲート電極にオン電位を有するオン信号としてのL信号が入力されて導通状態となる。これにより、第1発光素子12aおよび第2発光素子12bのそれぞれが発光状態にある状態（両発光状態）となる。このとき、第2Aトランジスタ11eaは、第1Aトランジスタ11daに対してデジェネレーション抵抗を形成している状態となるとともに、第2Bトランジスタ11ebは、第1Bトランジスタ11dbに対してデジェネレーション抵抗を形成している状態となる。

。

[0327] ここで、上記第2実施形態と同一もしくは類似の構成を有する信号出力回路6から制御部5に第1選択設定信号SEL Aおよび第2選択設定信号SEL Bを出力する構成が採用され得る。

[0328] <<第9実施形態におけるバリエーション>>

この構成において、第2 Aトランジスタ11 e aにNチャネルトランジスタが適用されてもよいし、第2 Bトランジスタ11 e bにNチャネルトランジスタが適用されてもよい。第2 Aトランジスタ11 e aにNチャネルトランジスタが適用される場合、第2 Aトランジスタ11 e aに対して、オフ電位が第2電源電位 $V_{ss}$ 以下の電位に設定され、オン電位が第1電源電位 $V_{dd}$ 以上の電位に設定される。第2 Bトランジスタ11 e bにNチャネルトランジスタが適用される場合、第2 Bトランジスタ11 e bに対して、オフ電位が第2電源電位 $V_{ss}$ 以下の電位に設定され、オン電位が第1電源電位 $V_{dd}$ 以上の電位に設定される。この場合、オフ電位には、第2トランジスタ11 eを非導通状態（オフ状態）とするオフ信号としてのL信号のL電位 $V_{gl}$ が適用される。第2電源電位 $V_{ss}$ が0Vである場合、オフ電位は、約-2Vから0Vに設定される。オン電位には、第2トランジスタ11 eを導通状態（オン状態）とするオン信号としてのH信号のH電位 $V_{gh}$ が適用される。第2電源電位 $V_{dd}$ が8Vである場合、オン電位は、8Vから約10Vに設定される。

[0329] <3. その他>

上記各実施形態において、発光制御部11は、種々の構成を有する回路に適宜変更されてもよい。

[0330] <<発光制御部の別の第1例>>

上記各実施形態において、第1副画素回路1、第2副画素回路2および第3副画素回路3の何れについても、第1トランジスタ11 dにNチャネルトランジスタが適用されてもよい。この場合、第1電源電位入力部L d lと第2電源電位入力部L s lとの間において直列または縦続に接続されている複

数の素子E 1の配置の順が、上記各実施形態とは逆となる構成が考えられる。この場合、第1副画素回路1、第2副画素回路2および第3副画素回路3のそれぞれには、同一もしくは類似の回路の構成を適用することができる。このため、第1副画素回路1の第1トランジスタ11dにNチャネルトランジスタが適用された具体例を挙げて説明する。

[0331] 図37は、第1トランジスタ11dにNチャネルトランジスタが適用された第1副画素回路1の一例を示す回路図である。図37で示された第1副画素回路1は、上記第1実施形態において採用され得る。図37の例では、第1トランジスタ11d、第2トランジスタ11eおよび第3トランジスタ11gのそれぞれに、Nチャネルトランジスタが適用されている。

[0332] この場合、第1電源電位入力部1d1と第2電源電位入力部1s1との間において、第1素子E11としての発光素子12と、第3素子E13としての第2トランジスタ11eと、第2素子E12としての第1トランジスタ11dとが、この記載の順に直列または縦続に接続している。発光素子12は、第1電源電位入力部1d1に接続している。より具体的には、発光素子12の正電極は、第1電源電位入力部1d1に接続している。また、発光素子12は、第2トランジスタ11eおよび第1トランジスタ11dを介して第2電源電位入力部1s1に接続している。より具体的には、発光素子12の負電極は、第2トランジスタ11eのドレイン電極に接続している。第2トランジスタ11eのソース電極は、第1トランジスタ11dのドレイン電極に接続している。第1トランジスタ11dのソース電極は、第2電源電位入力部1s1に接続している。換言すれば、第2トランジスタ11eは、第1トランジスタ11dに対して縦続に接続している。

[0333] また、第3トランジスタ11gのゲート電極は、走査信号線4gに接続している。第3トランジスタ11gのドレイン電極（ソース電極）は、第1画像信号線4s1に接続している。第3トランジスタ11gのソース電極（ドレイン電極）は、第1トランジスタ11dのゲート電極に接続している。走査信号線4gからの走査信号としてのオン信号（この場合、H信号）が第3

トランジスタ11gのゲート電極に入力されると、第3トランジスタ11gは、ドレイン電極とソース電極との間に電流が流れ得る導通状態となる。この場合、第1画像信号線4s1からの画像信号に応じた電位が第3トランジスタ11gを介して第1トランジスタ11dのゲート電極に入力される。これにより、第1トランジスタ11dは、ドレイン電極とソース電極との間に電流が流れ得る導通状態となる。容量素子11cは、第1トランジスタ11dのゲート電極とソース電極とを接続している接続線上に位置している。第2トランジスタ11eのゲート電極は、電位出力信号線L1に接続している。

[0334] また、第2トランジスタ11eのゲート電極には、制御部5から電位出力信号線L1を介してオフ電位としての第1電位V1またはアナログ的な電位としての第2電位V2が選択的に入力される。ここで、切替制御信号CTLとして第1電位V1を有するL信号が第2トランジスタ11eのゲート電極に入力されると、第2トランジスタ11eは、ソース電極とドレイン電極との間に電流が流れ得ない非導通状態となる。切替制御信号CTLとして第2電位V2を有するA信号が第2トランジスタ11eのゲート電極に入力されると、第2トランジスタ11eは、ソース電極とドレイン電極との間に電流が流れ得る状態となる。このとき、第1電源電位入力部1d1から発光素子12に駆動電流が流れ、発光素子12が発光し得る。この場合、画像信号のレベル（電位）に応じて、発光素子12における発光の強度（輝度）が制御され得る。また、このとき、第2トランジスタ11eは、第1トランジスタ11dに対してカスコード接続を形成している状態となる。

[0335] <<発光制御部の別の第2例>>

上記各実施形態において、第1副画素回路1、第2副画素回路2および第3副画素回路3の何れについても、発光制御部11には、画像信号のレベル（電位）を駆動素子の閾値電圧に応じて補正する回路（閾値電圧補正回路ともいう）などの種々の機能を有する各種の回路のうちの1つ以上の回路が組み込まれてもよい。この場合、第1副画素回路1、第2副画素回路2および

第3副画素回路3のそれぞれには、同一もしくは類似の回路を組み込むことができる。このため、第1副画素回路1に閾値電圧補正回路が組み込まれた具体例を挙げて説明する。

[0336] 図38は、閾値電圧補正回路14が組み込まれた第1副画素回路1の一例を示す回路図である。第2副画素回路2および第3副画素回路3のそれぞれには、図38で示された閾値電圧補正回路14が組み込まれてもよい。図38で示される第1副画素回路1は、図37で示された第1副画素回路1に閾値電圧補正回路14が加えられた構成を有する。

[0337] 図38で示されるように、閾値電圧補正回路14は、第1の補正用のトランジスタ（第1補正用トランジスタともいう）11pと、第2の補正用のトランジスタ（第2補正用トランジスタともいう）11zと、補正用の容量素子（補正用容量素子ともいう）11iと、を有する。

[0338] 補正用容量素子11iは、第3トランジスタ11gと第1トランジスタ11dのゲート電極とを接続している接続線上に位置している。

[0339] 第1補正用トランジスタ11pは、第1トランジスタ11dのゲート電極に対して、補正用容量素子11iを介して基準の電位（基準電位ともいう） $V_{ref}$ を付与するための素子である。第1補正用トランジスタ11pには、Nチャネルトランジスタが適用される。この場合、第1補正用トランジスタ11pのゲート電極は、第1補正用トランジスタ11pを導通状態と非導通状態との間で切り替えるための信号（第1開閉切替信号ともいう）を付与する信号線（第1開閉切替信号線ともいう）4rに接続している。第1開閉切替信号線4rには、駆動部30から所定の配線を介して信号が入力される。第1補正用トランジスタ11pのドレイン電極は、基準電位 $V_{ref}$ を供給する電源線（第3電源線ともいう）Lvrに接続している。第3電源線Lvrは、第3電源線Lvrに基準電位 $V_{ref}$ を付与する電源に接続している。基準電位 $V_{ref}$ には、正の所定の電位が適用される。第1補正用トランジスタ11pのソース電極は、第3トランジスタ11gのソース電極（ドレイン電極）と補正用容量素子11iとを接続している接続線に接続してい

る。

[0340] 第2補正用トランジスタ11zは、第1トランジスタ11dをゲート電極とドレイン電極とが接続された状態（ダイオード接続の状態）とするための素子である。第2補正用トランジスタ11zは、第1トランジスタ11dのゲート電極と第1トランジスタ11dのドレイン電極とを接続している接続線上に位置している。第2補正用トランジスタ11zには、Nチャネルトランジスタが適用される。この場合、第2補正用トランジスタ11zのゲート電極は、第2補正用トランジスタ11zを導通状態と非導通状態との間で切り替えるための信号（第2開閉切替信号ともいう）を付与する信号線（第2開閉切替信号線ともいう）4zに接続している。第2開閉切替信号線4zには、駆動部30から所定の配線を介して信号が入力される。第2補正用トランジスタ11zのドレイン電極は、第1トランジスタ11dのゲート電極に接続している。第2補正用トランジスタ11zのソース電極は、第1トランジスタ11dのドレイン電極に接続している。

[0341] 図39は、閾値電圧補正回路14が組み込まれた第1副画素回路1の動作の一例を示すタイミングチャートである。この場合、第1開閉切替信号線4rから第1補正用トランジスタ11pのゲート電極に入力される第1開閉切替信号の電位を電位Vrとする。走査信号線4gから第3トランジスタ11gのゲート電極に入力される電位を電位Vgとする。第2開閉切替信号線4zから第2補正用トランジスタ11zのゲート電極に入力される第2開閉切替信号の電位を電位Vaとする。制御部5から電位出力信号線L1を介して第2トランジスタ11eのゲート電極に入力される切替制御信号CTLの電位を電位Vcとする。図39では、第1副画素回路1が画像信号に応じて1回発光する際について、時間の経過に対する、電位Vr、電位Vg、電位Vaおよび電位Vcのそれぞれにおける変化が示されている。この場合、図39で示されるように、次の[i]から[vii]の動作が順に行われる。

[0342] [i] 時刻t1において、第1補正用トランジスタ11pのゲート電極にH信号が入力されることで、第1補正用トランジスタ11pが導通状態とな

る。このとき、第1トランジスタ11dのゲート電極に、基準電位 $V_{ref}$ に応じた正電位が補正用容量素子11iを介して付与される。

[0343] [ii] 時刻 $t_2$ において、第2補正用トランジスタ11zのゲート電極にH信号が入力されることで、第2補正用トランジスタ11zが導通状態となる。このとき、第1トランジスタ11dが、ゲート電極とドレイン電極が接続されたダイオード接続の状態となる。これにより、第1トランジスタ11dにおけるゲート電極とソース電極との間の電圧（ゲート電圧） $V_{gs}$ が、第1トランジスタ11dの閾値電圧 $V_{th}$ に至るまで、第1トランジスタ11dにおいてゲート電極からドレイン電極を経てソース電極に電流が流れる。

[0344] [iii] 時刻 $t_3$ において、第2補正用トランジスタ11zのゲート電極にL信号が入力されることで、第2補正用トランジスタ11zが非導通状態となる。このとき、第1トランジスタ11dにおけるゲート電圧 $V_{gs}$ が、閾値電圧 $V_{th}$ に維持される。

[0345] [iv] 時刻 $t_4$ において、第1補正用トランジスタ11pのゲート電極にL信号が入力されることで、第1補正用トランジスタ11pが非導通状態となる。このとき、容量素子11cによって、第1トランジスタ11dにおけるゲート電圧 $V_{gs}$ が、閾値電圧 $V_{th}$ に維持される。

[0346] [v] 時刻 $t_5$ において、第3トランジスタ11gのゲート電極にH信号が入力されることで、走査信号線4gが導通状態となる。このとき、画像信号線4sから第3トランジスタ11gおよび補正用容量素子11iを介して、画像信号の電位 $V_{sig}$ に応じた電位が、第1トランジスタ11dのゲート電極に付与される。これにより、第1トランジスタ11dのゲート電圧 $V_{gs}$ が、 $V_{gs} = V_{th} + (V_{sig} - V_{ref})$ の関係を満たす電圧となる態様で、画像信号の電位の入力（書き換え）が行われる。その結果、画像信号の電位に応じた第1トランジスタ11dのゲート電圧 $V_{gs}$ が、第1副画素回路1ごとに異なる第1トランジスタ11dの閾値電圧 $V_{th}$ に応じて補償された値となる。この場合、第1トランジスタ11dのゲート電圧 $V_g$

sのうちの電圧 ( $V_{sig} - V_{ref}$ ) が、第1トランジスタ11dのドレイン電極とソース電極との間を流れる電流 (ドレイン電流)  $I_{ds}$ の大きさを制御する。

[0347] [vi] 時刻  $t_6$  において、第3トランジスタ11gのゲート電極にL信号が入力されることで、第3トランジスタ11gが非導通状態となる。これにより、第1トランジスタ11dに対する画像信号の電位の入力 (書き換え) が終了する。

[0348] [vii] 時刻  $t_7$  において、第2トランジスタ11eのゲート電極に第2電位  $V_2$  を有するA信号が付与されることで、第2トランジスタ11eがソース電極とドレイン電極との間に電流が流れる状態となる。これにより、第1電源電位入力部1d1から第2電源電位入力部1s1に向けて、第1トランジスタ11dのゲート電圧  $V_{gs}$  (実質的には、電圧 ( $V_{sig} - V_{ref}$ )) に応じた電流 (駆動電流) が流れ、発光素子12が発光する。このとき、第2トランジスタ11eは、第1トランジスタ11dに対してカスコード接続を形成している状態となる。

[0349] <<発光制御部の他の一例>>

上記第2実施形態、上記第3実施形態、上記第5実施形態、上記第6実施形態、上記第7実施形態および上記第9実施形態において、第1副画素回路1、第2副画素回路2および第3副画素回路3の何れについても、発光制御部11は、冗長に設けられ且つ並列に接続された第1発光素子12aおよび第2発光素子12bに対応する形で、各素子が適宜冗長に設けられた2つの素子に変更された回路の構成を有していてもよい。

[0350] 上記第2実施形態、上記第3実施形態および上記第7実施形態では、第1トランジスタ11dは、冗長に設けられ且つ並列に接続された1つ目の第1トランジスタ11dおよび2つ目の第1トランジスタ11dに置換されてもよい。

[0351] より具体的には、図11、図18、図28の例では、1つ目の第1トランジスタ11dは、第1電源電位入力部1d1に接続されたソース電極と第2

Aトランジスタ11e aのソース電極に接続されたドレイン電極とを有していてもよい。2つ目の第1トランジスタ11dは、第1電源電位入力部1d1に接続されたソース電極と第2Bトランジスタ11e bのソース電極に接続されたドレイン電極とを有していてもよい。さらに、容量素子11cは、冗長に設けられ且つ並列に接続された1つ目の容量素子11cおよび2つ目の容量素子11cに置換されてもよい。この場合、1つ目の容量素子11cは、1つ目の第1トランジスタ11dのゲート電極とソース電極とを接続する接続線上に位置していてもよい。2つ目の容量素子11cは、2つ目の第1トランジスタ11dのゲート電極とソース電極とを接続する接続線上に位置していてもよい。

[0352] また、図31の例では、1つ目の第1トランジスタ11dは、第1電源電位入力部1d1に接続されたソース電極と第1発光素子12aの正電極に接続されたドレイン電極とを有していてもよい。2つ目の第1トランジスタ11dは、第1電源電位入力部1d1に接続されたソース電極と第2発光素子12bの正電極に接続されたドレイン電極とを有していてもよい。さらに、容量素子11cは、冗長に設けられ且つ並列に接続された1つ目の容量素子11cおよび2つ目の容量素子11cに置換されてもよい。この場合、1つ目の容量素子11cは、1つ目の第1トランジスタ11dのゲート電極とソース電極とを接続する接続線上に位置していてもよい。2つ目の容量素子11cは、2つ目の第1トランジスタ11dのゲート電極とソース電極とを接続する接続線上に位置していてもよい。

[0353] 上記第5実施形態、上記第6実施形態および上記第9実施形態では、容量素子11cは、冗長に設けられ且つ並列に接続された1つ目の容量素子11cおよび2つ目の容量素子11cに置換されてもよい。

[0354] より具体的には、図24、図26および図35の例では、1つ目の容量素子11cは、第1Aトランジスタ11daのゲート電極と第2Aトランジスタ11eaのソース電極とを接続する接続線上に位置していてもよい。2つ目の容量素子11cは、第1Bトランジスタ11dbのゲート電極と第2B

トランジスタ 11e b のソース電極とを接続する接続線上に位置していてもよい。

[0355] <<その他の各種の例>>

上記第1実施形態から上記第3実施形態において、第1トランジスタ 11d のソース電極側にデジェネレーション抵抗が加えられてもよい。

[0356] 上記第4実施形態から上記第9実施形態において、第1トランジスタ 11d のドレイン電極側に、第1トランジスタ 11d に対してカスコード接続を形成するためのトランジスタが加えられてもよい。

[0357] 上記各実施形態において、図40で示されるように、複数の表示装置 100 がタイル状に並べられた1つのディスプレイ（タイリングディスプレイ、マルチディスプレイともいう）700を構成していてもよい。図40は、タイリングディスプレイ700の一例を模式的に示す正面図である。図40の例では、タイリングディスプレイ700は、XZ平面に沿ってマトリックス状に並べられた複数の表示装置 100を有する。複数の表示装置 100のそれぞれは、平板状である。

[0358] 上記各実施形態において、第1副画素回路1と第2副画素回路2とが異なる構成を有していてもよいし、第1副画素回路1と第3副画素回路3とが異なる構成を有していてもよいし、第2副画素回路2と第3副画素回路3とが異なる構成を有していてもよい。また、第1副画素回路1と第2副画素回路2と第3副画素回路3とが相互に異なる構成を有していてもよい。

[0359] 上記各実施形態において、各画素回路 10は、少なくとも第1副画素回路1を有していればよい。各画素回路 10は、第1副画素回路1と第2副画素回路2とを有していてもよい。各画素回路 10は、第1副画素回路1と第2副画素回路2および第3副画素回路3に加えて、第1色、第2色および第3色とは異なる色の光を発する1つ以上の副画素回路を有していてもよい。この場合、第1副画素回路1および他の1つ以上の副画素回路のそれぞれにおける第2トランジスタ 11e のゲート電極が、共通の電位出力信号線 L1 に接続していてもよい。

[0360] 上記第2実施形態、上記第3実施形態、上記第5実施形態から上記第9実施形態において、信号出力回路6は、駆動部30の一部の機能とされてもよい。この場合、駆動部30が、各制御部5に対して第1選択設定信号SEL Aおよび第2選択設定信号SEL Bを出力してもよい。この構成によって、駆動部30によって、全ての画素回路10について一括して、画素回路10において冗長に設けられた複数の発光素子12の何れの発光素子12を使用するのか設定することができる。

[0361] 上記各実施形態および各種の例をそれぞれ構成する全部または一部を、適宜、矛盾しない範囲で組み合わせ可能であることは、言うまでもない。

### 符号の説明

- [0362]
- 1 第1副画素回路
  - 10 画素回路
  - 100 表示装置
  - 100p 表示パネル
  - 11d 第1トランジスタ
  - 11da 第1Aトランジスタ
  - 11db 第1Bトランジスタ
  - 11e 第2トランジスタ
  - 11ea 第2Aトランジスタ
  - 11eb 第2Bトランジスタ
  - 12 発光素子
  - 12a 第1発光素子
  - 12b 第2発光素子
  - 1dl 第1電源電位入力部
  - 1sl 第2電源電位入力部
  - 2 第2副画素回路
  - 3 第3副画素回路
  - 30 駆動部

- 5 制御部
- 5 I 信号入力部
- 5 U 信号出力部
- E 1 素子
- S f 1 表示面
- S f 2 反表示面
- V 1 第1電位（オフ電位）
- V 2 第2電位
- V 3 第3電位（オン電位）

## 請求の範囲

- [請求項1] 第1電源電位を供給する第1電源電位入力部と、  
前記第1電源電位よりも低電位の第2電源電位を供給する第2電源電位入力部と、  
前記第1電源電位入力部と前記第2電源電位入力部との間で直列または縦続に接続された複数の素子と、を備え、  
該複数の素子は、  
発光素子と、  
該発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を流れる電流を制御する第1トランジスタと、  
該第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える第2トランジスタと、を含み、  
前記第2トランジスタのゲート電極には、該第2トランジスタをソース電極とドレイン電極との間に電流が流れ得ない非導通状態に設定するための前記第1電源電位以上もしくは前記第2電源電位以下の第1電位、および前記第2トランジスタのソース電極とドレイン電極との間に電流を流すための前記第1電源電位と前記第2電源電位との間の第2電位、のうちの何れか一方の電位が選択的に入力される、画素回路。
- [請求項2] 請求項1に記載の画素回路であって、  
前記第2トランジスタがPチャネルトランジスタである場合、前記第1電位は、前記第1電源電位以上であり、  
前記第2トランジスタがNチャネルトランジスタである場合、前記第1電位は、前記第2電源電位以下である、画素回路。
- [請求項3] 請求項1または請求項2に記載の画素回路であって、  
前記第2トランジスタは、前記第1トランジスタと同一の導電型のトランジスタであり、前記第1トランジスタのドレイン電極側におい

て前記第1トランジスタに対して縦続に接続しており、

前記第2トランジスタのドレイン電極に、前記発光素子が接続している、画素回路。

[請求項4]

請求項3に記載の画素回路であって、

複数の前記発光素子および複数の前記第2トランジスタを備え、

複数の前記発光素子は、並列に接続された、第1発光素子および第2発光素子を含み、

複数の前記第2トランジスタは、前記第1発光素子に直列に接続された第2Aトランジスタおよび前記第2発光素子に直列に接続された第2Bトランジスタを含み、

前記第2Aトランジスタのゲート電極には、前記第1電位または前記第2電位が選択的に入力され、

前記第2Bトランジスタのゲート電極には、前記第1電位または前記第2電位が選択的に入力される、画素回路。

[請求項5]

請求項1または請求項2に記載の画素回路であって、

前記第2トランジスタは、前記第1トランジスタのソース電極側において該第1トランジスタに縦続に接続している、画素回路。

[請求項6]

請求項5に記載の画素回路であって、

複数の前記発光素子と複数の前記第1トランジスタと複数の前記第2トランジスタを備え、

複数の前記発光素子は、並列に接続された、第1発光素子および第2発光素子を含み、

複数の前記第1トランジスタは、前記第1発光素子に直列に接続された第1Aトランジスタおよび前記第2発光素子に直列に接続された第1Bトランジスタを含み、

複数の前記第2トランジスタは、前記第1Aトランジスタのソース電極側において該第1Aトランジスタに縦続に接続された第2Aトランジスタおよび前記第1Bトランジスタのソース電極側において該第

1 Bトランジスタに縦続に接続された第2 Bトランジスタを含み、  
前記第2 Aトランジスタは、ゲート電極に前記第1 電位または前記第2 電位が選択的に入力され、  
前記第2 Bトランジスタは、ゲート電極に前記第1 電位または前記第2 電位が選択的に入力される、画素回路。

[請求項7] 請求項1 から請求項6 の何れか1 つの請求項に記載の画素回路であって、  
前記第1 電源電位入力部と前記第2 電源電位入力部との間において、前記第1 トランジスタは、前記第2 トランジスタのみが縦続に接続されている、画素回路。

[請求項8] 請求項1 から請求項7 の何れか1 つの請求項に記載の画素回路であって、  
前記第2 トランジスタのゲート電極に前記第1 電位または前記第2 電位を選択的に出力する制御部を備えている、画素回路。

[請求項9] 請求項8 に記載の画素回路であって、  
前記制御部は、前記第2 トランジスタをスイッチ制御するスイッチ素子の機能を備え、  
前記制御部には、オンまたはオフに係る信号が選択的に入力されるとともに、前記第2 電位が入力され、  
前記制御部は、前記オフに係る信号の入力に応じて、前記第2 トランジスタのゲート電極に前記第1 電位を出力し、  
前記制御部は、前記オンに係る信号の入力と前記第2 電位の入力に応じて、前記第2 トランジスタのゲート電極に前記第2 電位を出力する、画素回路。

[請求項10] 請求項9 に記載の画素回路であって、  
前記制御部は、前記スイッチ素子の機能によって前記発光素子の発光のタイミングを制御する、画素回路。

[請求項11] 請求項8 に記載の画素回路であって、

前記制御部は、前記第2トランジスタをスイッチ制御する複数のスイッチ素子の機能を備え、

前記制御部には、前記複数のスイッチ素子の機能のそれぞれについてのオンまたはオフに係る信号が選択的に入力されるとともに前記第2電位が入力され、

前記制御部は、前記複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、前記第2トランジスタのゲート電極に前記第1電位を出力し、

前記制御部は、前記複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力と前記第2電位の入力とに応じて、前記第2トランジスタのゲート電極に前記第2電位を出力する、画素回路。

[請求項12]

請求項4または請求項6に記載の画素回路であって、

前記第2Aトランジスタのゲート電極に前記第1電位または前記第2電位を選択的に出力し、前記第2Bトランジスタのゲート電極に前記第1電位または前記第2電位を選択的に出力する制御部、を備え、

前記制御部は、前記第1発光素子を使用状態または不使用状態に選択的に設定する第1スイッチ素子の機能と、前記第2発光素子を使用状態または不使用状態に選択的に設定する第2スイッチ素子の機能と、を備え、

前記制御部には、前記第1スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力され、前記第2スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力されるとともに、前記第2電位が入力され、

前記制御部は、前記第1スイッチ素子の機能についてのオフに係る信号の入力に応じて、前記第2Aトランジスタのゲート電極に前記第1電位を出力し、

前記制御部は、前記第1スイッチ素子の機能についてのオンに係る

信号の入力と前記第2電位の入力とに応じて、前記第2Aトランジスタのゲート電極に前記第2電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオフに係る信号の入力に応じて、前記第2Bトランジスタのゲート電極に前記第1電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオンに係る信号の入力と前記第2電位の入力とに応じて、前記第2Bトランジスタのゲート電極に前記第2電位を出力する、画素回路。

[請求項13]

請求項12に記載の画素回路であって、

前記制御部は、前記第1発光素子および前記第2発光素子のそれぞれを発光状態または非発光状態に選択的に設定する第3スイッチ素子の機能をさらに備え、

前記制御部には、前記第3スイッチ素子の機能についてのオンまたはオフに係る信号が選択的に入力され、

前記制御部は、前記第1スイッチ素子の機能についてのオフに係る信号および前記第3スイッチ素子の機能についてのオフに係る信号のうち1つ以上の信号の入力に応じて、前記第2Aトランジスタのゲート電極に前記第1電位を出力し、

前記制御部は、前記第1スイッチ素子の機能についてのオンに係る信号の入力と前記第3スイッチ素子の機能についてのオンに係る信号の入力と前記第2電位の入力とに応じて、前記第2Aトランジスタのゲート電極に前記第2電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオフに係る信号および前記第3スイッチ素子の機能についてのオフに係る信号のうち1つ以上の信号の入力に応じて、前記第2Bトランジスタのゲート電極に前記第1電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオンに係る信号の入力と前記第3スイッチ素子の機能についてのオンに係る信号

の入力と前記第2電位の入力とに応じて、前記第2Bトランジスタのゲート電極に前記第2電位を出力する、画素回路。

[請求項14] 請求項1から請求項7の何れか1つの請求項に記載の画素回路を複数備えている表示パネルであって、

複数の前記画素回路のそれぞれにおける前記第2トランジスタのゲート電極に、前記第1電位または前記第2電位を選択的に出力する制御部、を備えている、表示パネル。

[請求項15] 発光素子と、

該発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を流れる電流を制御する第1トランジスタと、

該第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える第2トランジスタと、を含み、

前記第2トランジスタをスイッチ制御する複数のスイッチ素子の機能を備える制御部を備え、

前記制御部には、前記複数のスイッチ素子の機能のそれぞれについてオンまたはオフに係る信号が選択的に入力され、

前記制御部は、前記複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、前記第2トランジスタのゲート電極に前記発光素子を非発光状態とするための電位を出力し、

前記制御部は、前記複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、前記第2トランジスタのゲート電極に前記発光素子を発光状態とするための電位を出力する、画素回路。

[請求項16] 請求項15に記載の画素回路であって、

前記第2トランジスタは、前記第1トランジスタのソース電極側において該第1トランジスタに縦続に接続している、画素回路。

## [請求項17]

請求項 1 5 または請求項 1 6 に記載の画素回路であって、  
複数の前記発光素子と複数の前記第 2 トランジスタを備え、  
複数の前記発光素子は、並列に接続された、第 1 発光素子および第 2 発光素子を含み、

複数の前記第 2 トランジスタは、前記第 1 発光素子に直列に接続された第 2 A トランジスタおよび前記第 2 発光素子に直列に接続された第 2 B トランジスタを含み、

前記制御部は、第 1 スイッチ素子の機能と第 2 スイッチ素子の機能と第 3 スイッチ素子の機能を備え、

前記制御部には、前記第 1 スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、前記第 2 スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、前記第 3 スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、

前記制御部は、前記第 1 スイッチ素子の機能についてのオフに係る信号および前記第 3 スイッチ素子の機能についてのオフに係る信号のうちの一つ以上の信号の入力に応じて、前記第 2 A トランジスタのゲート電極に、該第 2 A トランジスタをソース電極とドレイン電極との間に電流が流れ得ない非導通状態に設定する電位を出力し、

前記制御部は、前記第 1 スイッチ素子の機能についてのオンに係る信号の入力と前記第 3 スイッチ素子の機能についてのオンに係る信号の入力とに応じて、前記第 2 A トランジスタのゲート電極に、該第 2 A トランジスタをソース電極とドレイン電極との間に電流が流れ得る導通状態に設定する電位を出力し、

前記制御部は、前記第 2 スイッチ素子の機能についてのオフに係る信号および前記第 3 スイッチ素子の機能についてのオフに係る信号のうちの一つ以上の信号の入力に応じて、前記第 2 B トランジスタのゲート電極に、該第 2 B トランジスタをソース電極とドレイン電極との

間に電流が流れ得ない非導通状態に設定する電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオンに係る信号の入力と前記第3スイッチ素子の機能についてのオンに係る信号の入力とに応じて、前記第2 Bトランジスタのゲート電極に、該第2 Bトランジスタをソース電極とドレイン電極との間に電流が流れ得る導通状態に設定する電位を出力する、画素回路。

[請求項18]

請求項17に記載の画素回路であって、

複数の前記第1トランジスタを備え、

複数の前記第1トランジスタは、前記第1発光素子に直列に接続された第1 Aトランジスタおよび前記第2発光素子に直列に接続された第1 Bトランジスタを含み、

前記第2 Aトランジスタは、前記第1 Aトランジスタのソース電極側において該第1 Aトランジスタに縦続に接続されており、

前記第2 Bトランジスタは、前記第1 Bトランジスタのソース電極側において該第1 Bトランジスタに縦続に接続されている、画素回路

。

[請求項19]

請求項15に記載の画素回路であって、

複数の前記発光素子と複数の前記第2トランジスタを備え、

複数の前記発光素子は、直列に接続された、第1発光素子および第2発光素子を含み、

複数の前記第2トランジスタは、前記第1発光素子に並列に接続された第2 Aトランジスタおよび前記第2発光素子に並列に接続された第2 Bトランジスタを含み、

前記制御部は、第1スイッチ素子の機能と第2スイッチ素子の機能と第3スイッチ素子の機能を備え、

前記制御部には、前記第1スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、前記第2スイッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、前記第3スイ

ッチ素子の機能についてオンまたはオフに係る信号が選択的に入力され、

前記制御部は、前記第1スイッチ素子の機能についてのオフに係る信号および前記第3スイッチ素子の機能についてのオフに係る信号のうち1つ以上の信号の入力に応じて、前記第2Aトランジスタのゲート電極に、該第2Aトランジスタをソース電極とドレイン電極との間に電流が流れ得る導通状態に設定する電位を出力し、

前記制御部は、前記第1スイッチ素子の機能についてのオンに係る信号の入力と前記第3スイッチ素子の機能についてのオンに係る信号の入力とに応じて、前記第2Aトランジスタのゲート電極に、該第2Aトランジスタをソース電極とドレイン電極との間に電流が流れ得ない非導通状態に設定する電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオフに係る信号および前記第3スイッチ素子の機能についてのオフに係る信号のうち1つ以上の信号の入力に応じて、前記第2Bトランジスタのゲート電極に、該第2Bトランジスタをソース電極とドレイン電極との間に電流が流れ得る導通状態に設定する電位を出力し、

前記制御部は、前記第2スイッチ素子の機能についてのオンに係る信号の入力と前記第3スイッチ素子の機能についてのオンに係る信号の入力とに応じて、前記第2Bトランジスタのゲート電極に、該第2Bトランジスタをソース電極とドレイン電極との間に電流が流れ得ない非導通状態に設定する電位を出力する、画素回路。

[請求項20]

請求項17から請求項19の何れか1つの請求項に記載の画素回路であって、

前記第1スイッチ素子の機能は、前記第1発光素子を使用状態または不使用状態に選択的に設定する機能を含み、

前記第2スイッチ素子の機能は、前記第2発光素子を使用状態または不使用状態に選択的に設定する機能を含み、

前記第3スイッチ素子の機能は、複数の前記発光素子を発光状態または非発光状態に選択的に設定する機能を含む、画素回路。

[請求項21]

請求項15から請求項20の何れか1つの請求項に記載の画素回路であって、

第1電源電位を供給する第1電源電位入力部と、前記第1電源電位よりも低電位の第2電源電位を供給する第2電源電位入力部と、を備え、

前記第1電源電位入力部と前記第2電源電位入力部との間において、前記第1トランジスタは、前記第2トランジスタのみが縦続に接続されている、画素回路。

[請求項22]

複数の画素回路と、

複数のスイッチ素子の機能を有する制御部と、を備え、

前記複数の画素回路のそれぞれは、

発光素子と、

該発光素子に直列に接続されており、画像信号に応じた電位がゲート電極に入力されることで前記発光素子を流れる電流を制御する第1トランジスタと、

該第1トランジスタに縦続に接続されており、前記発光素子を発光状態と非発光状態との間で切り替える第2トランジスタと、を含み、

前記制御部には、前記複数のスイッチ素子の機能のそれぞれについてのオンまたはオフに係る信号が選択的に入力され、

前記制御部は、前記複数のスイッチ素子の機能のうちの1つ以上のスイッチ素子の機能についてのオフに係る信号の入力に応じて、前記複数の画素回路のそれぞれにおける前記第2トランジスタのゲート電極に、前記発光素子を非発光状態とするための電位を出力し、

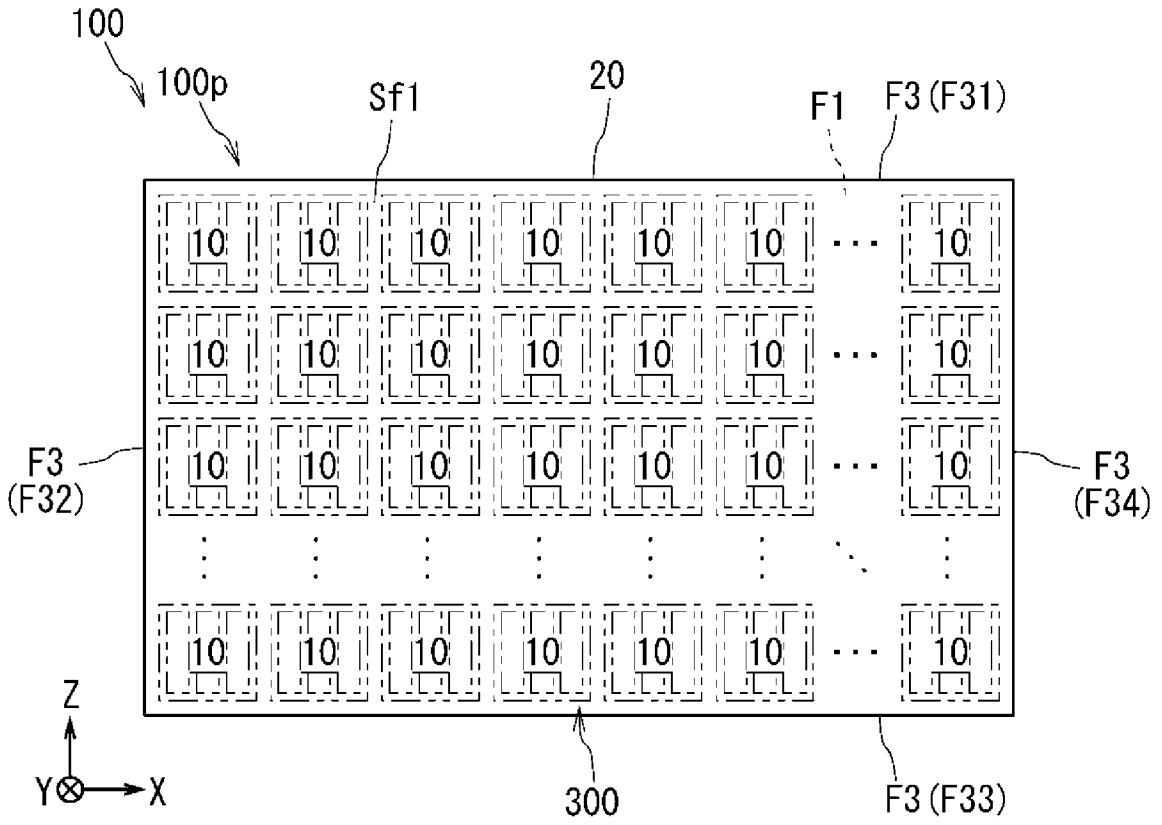
前記制御部は、前記複数のスイッチ素子の機能のうちの全てのスイッチ素子の機能のそれぞれについてのオンに係る信号の入力に応じて、前記複数の画素回路のそれぞれにおける前記第2トランジスタのゲ

一ト電極に、前記発光素子を発光状態とするための電位を出力する、表示パネル。

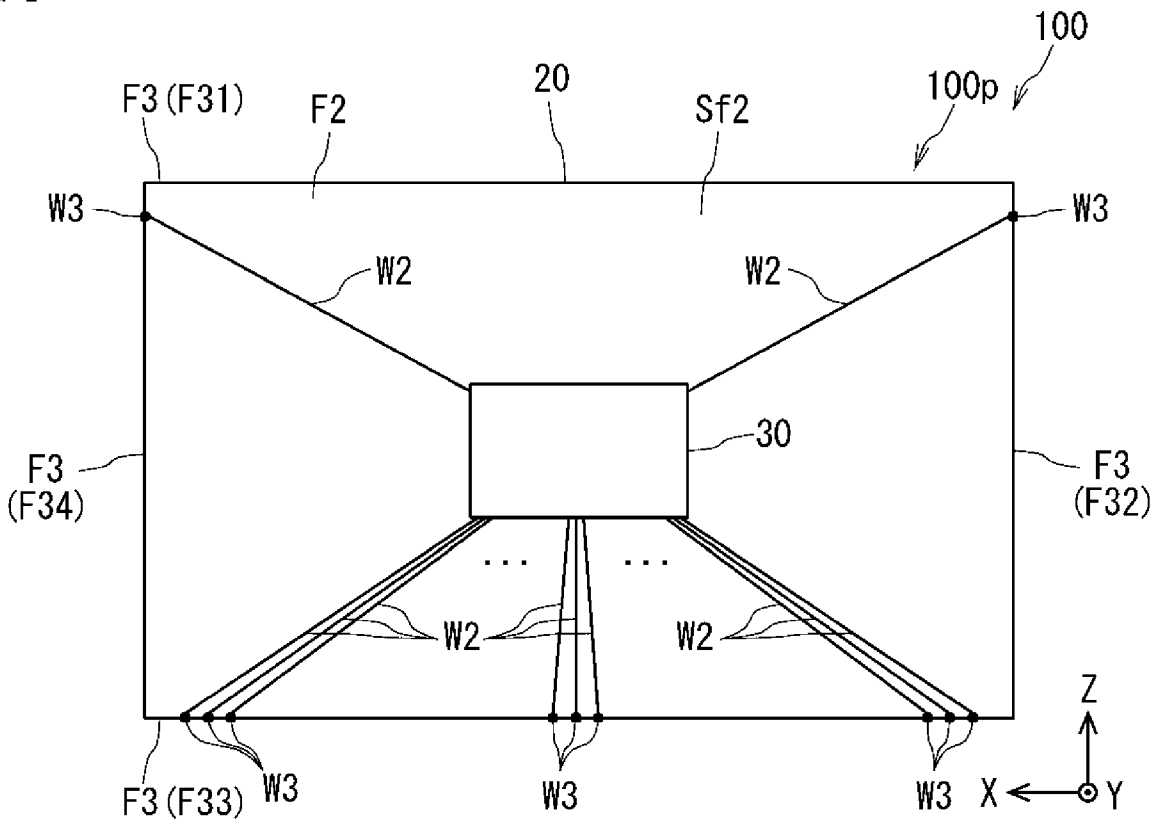
[請求項23]

請求項14または請求項22に記載の表示パネルと、  
前記表示パネルの表示面と反対側の反表示面の側に位置し、前記画素回路に電氣的に接続している駆動部と、を備えている、表示装置。

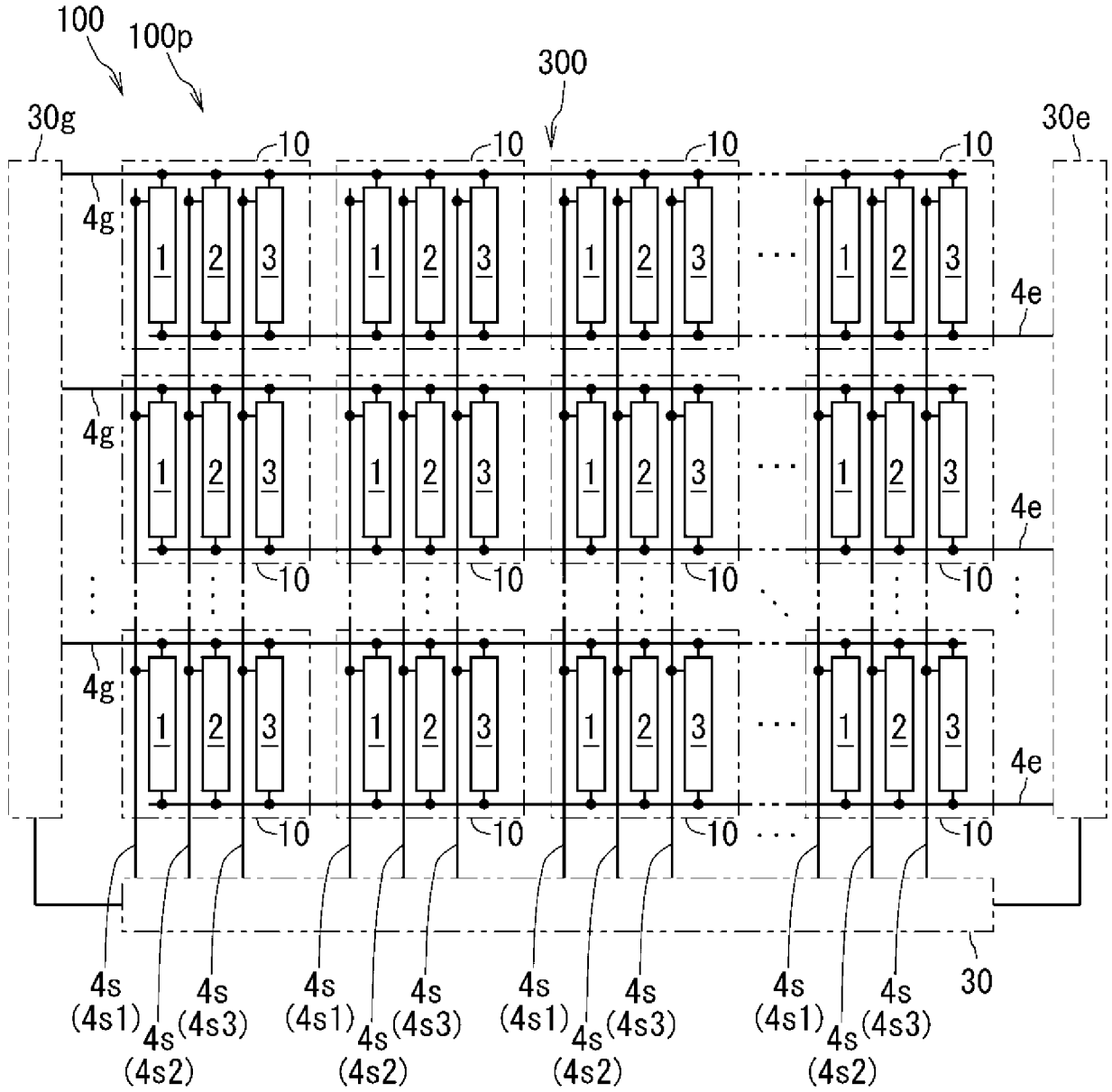
[図1]



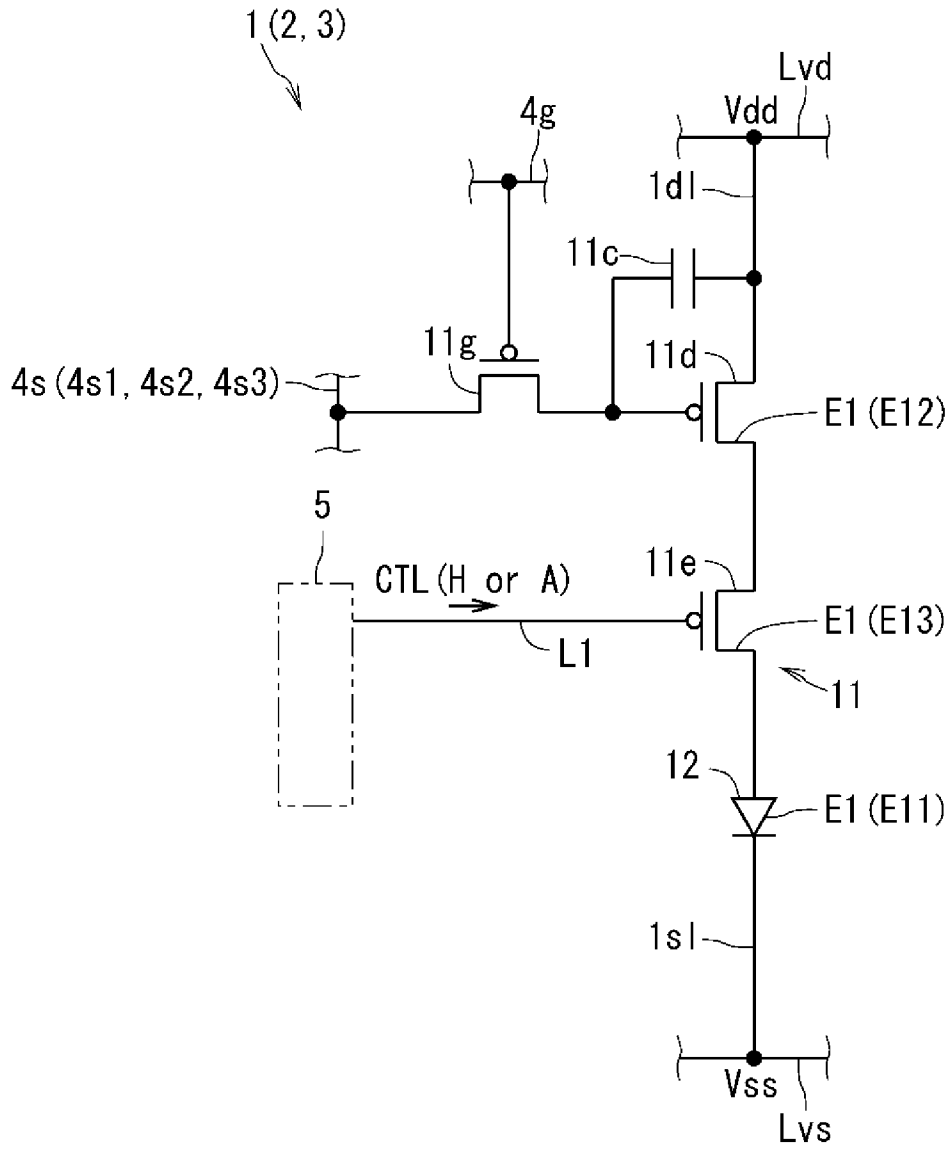
[図2]



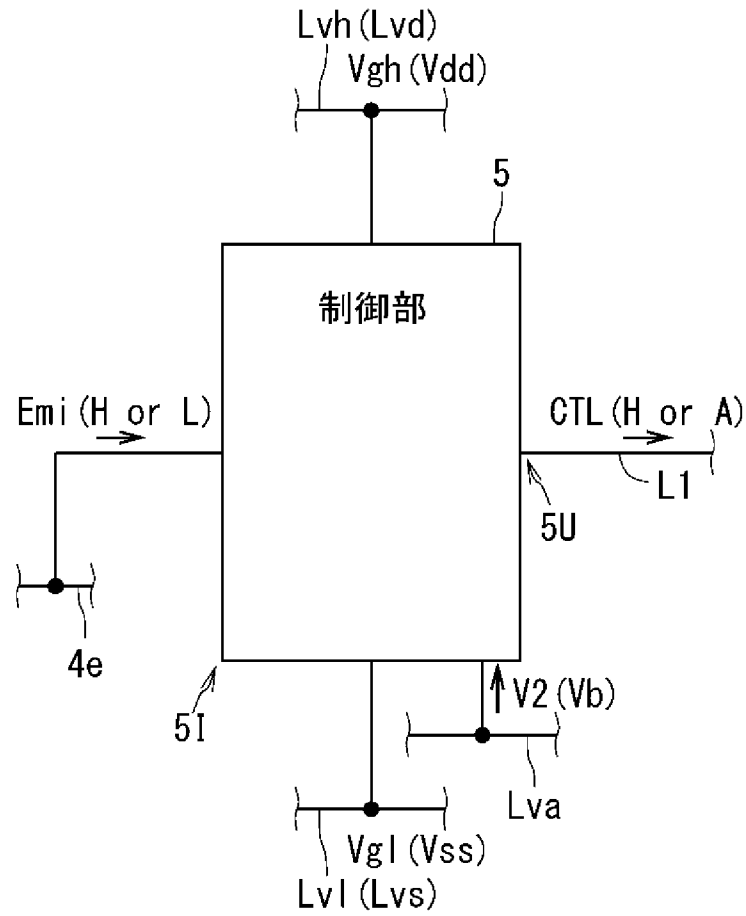
[図3]



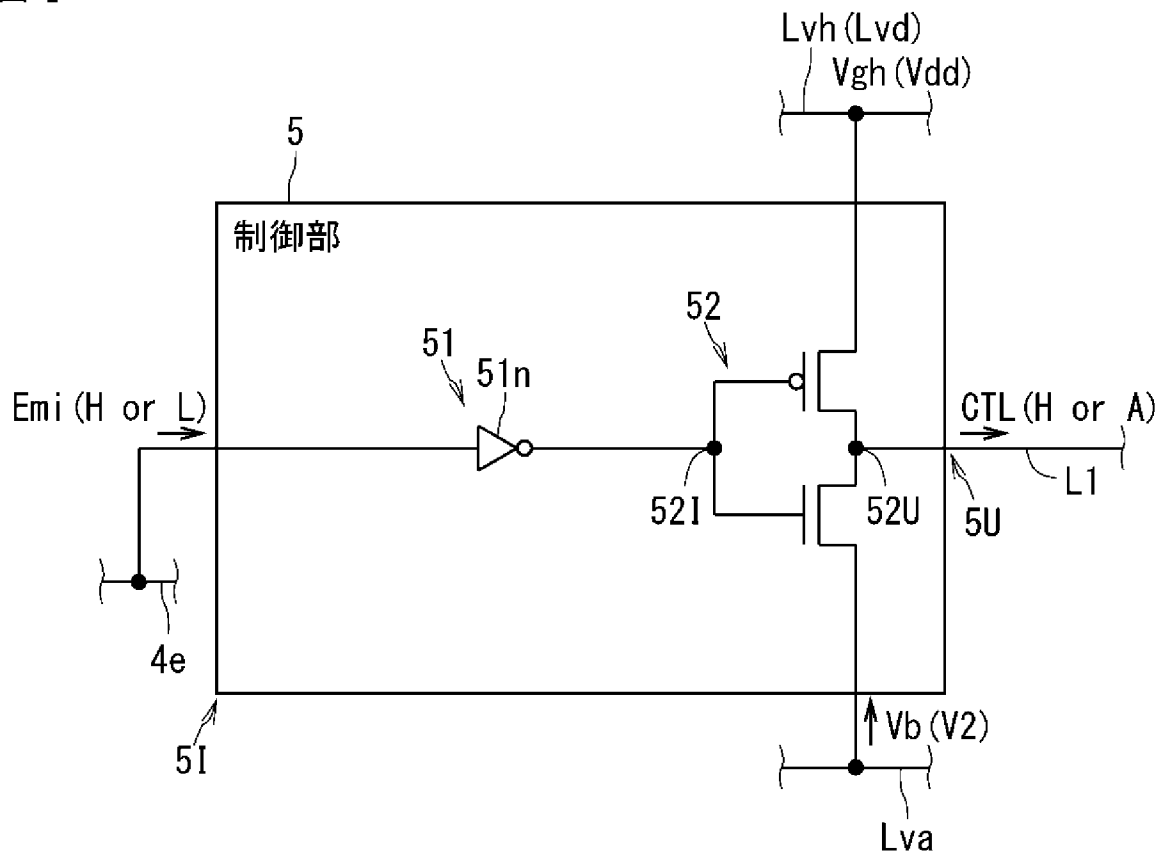
[図4]



[図5]



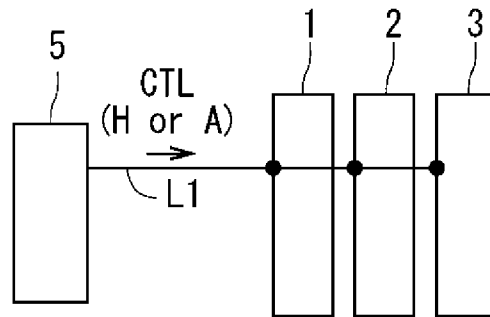
[図6]



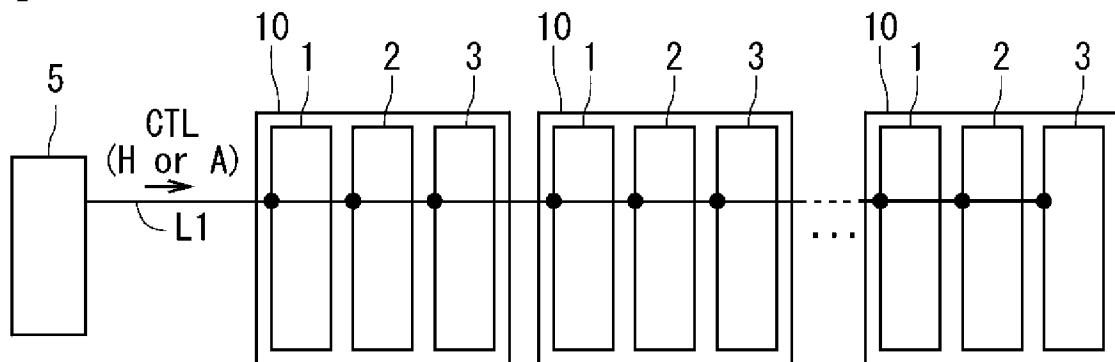
[図7]

入力		出力	状態
Vb	Emi	CTL	
任意	H	H	非発光
V2	L	A	発光、カスケード

[図8]

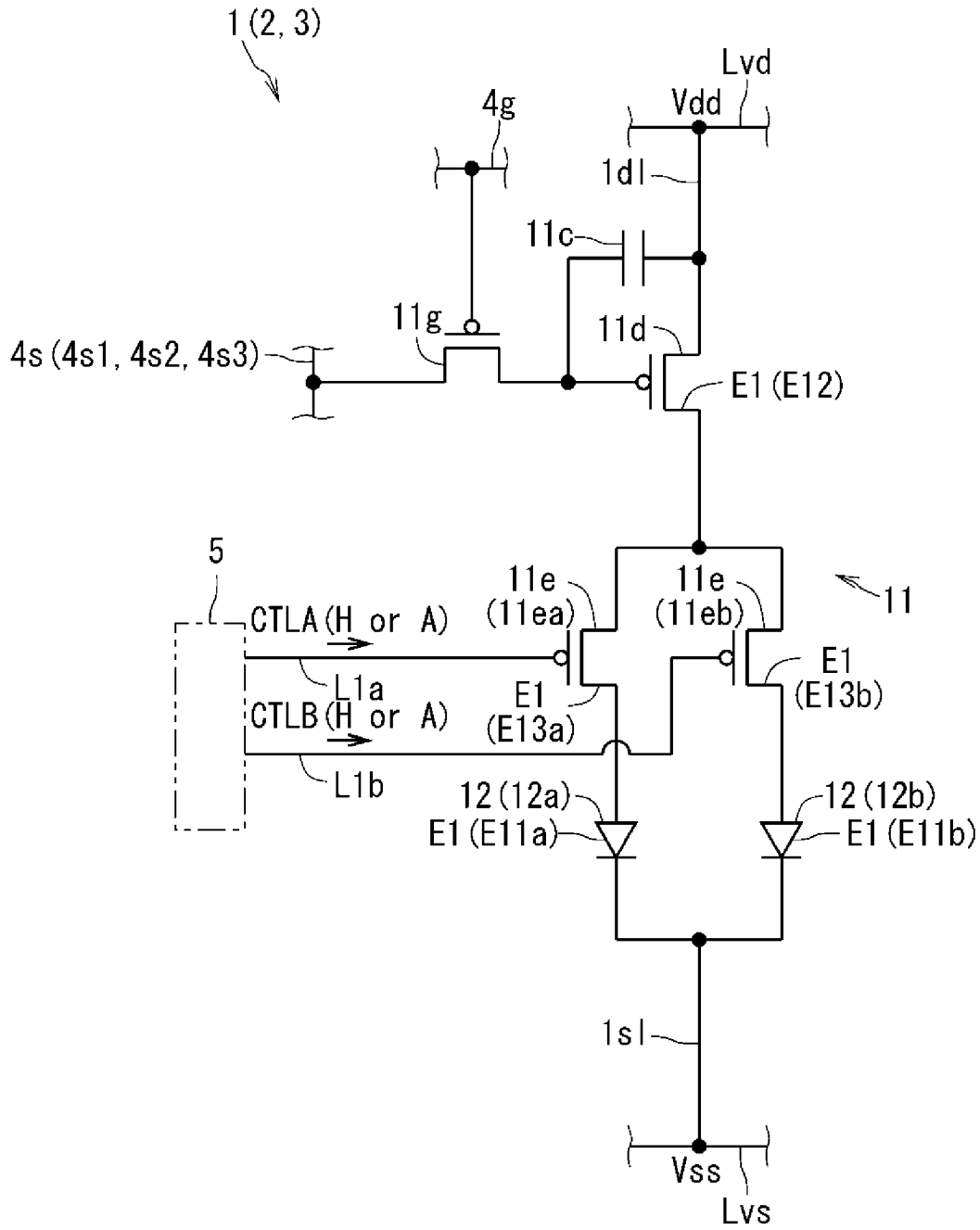


[図9]

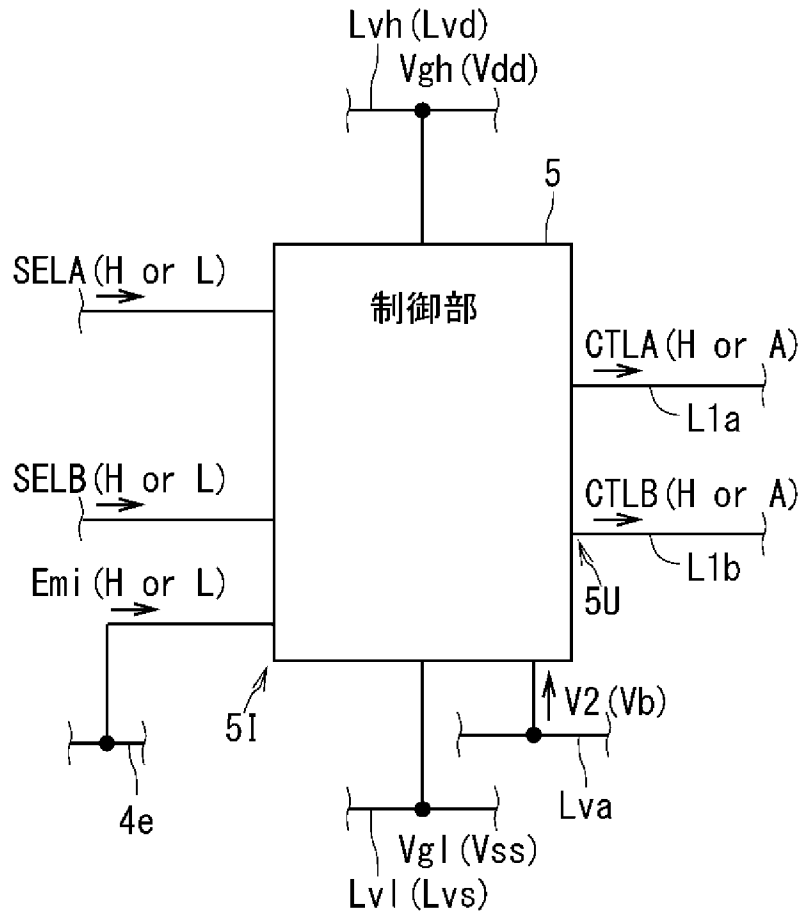




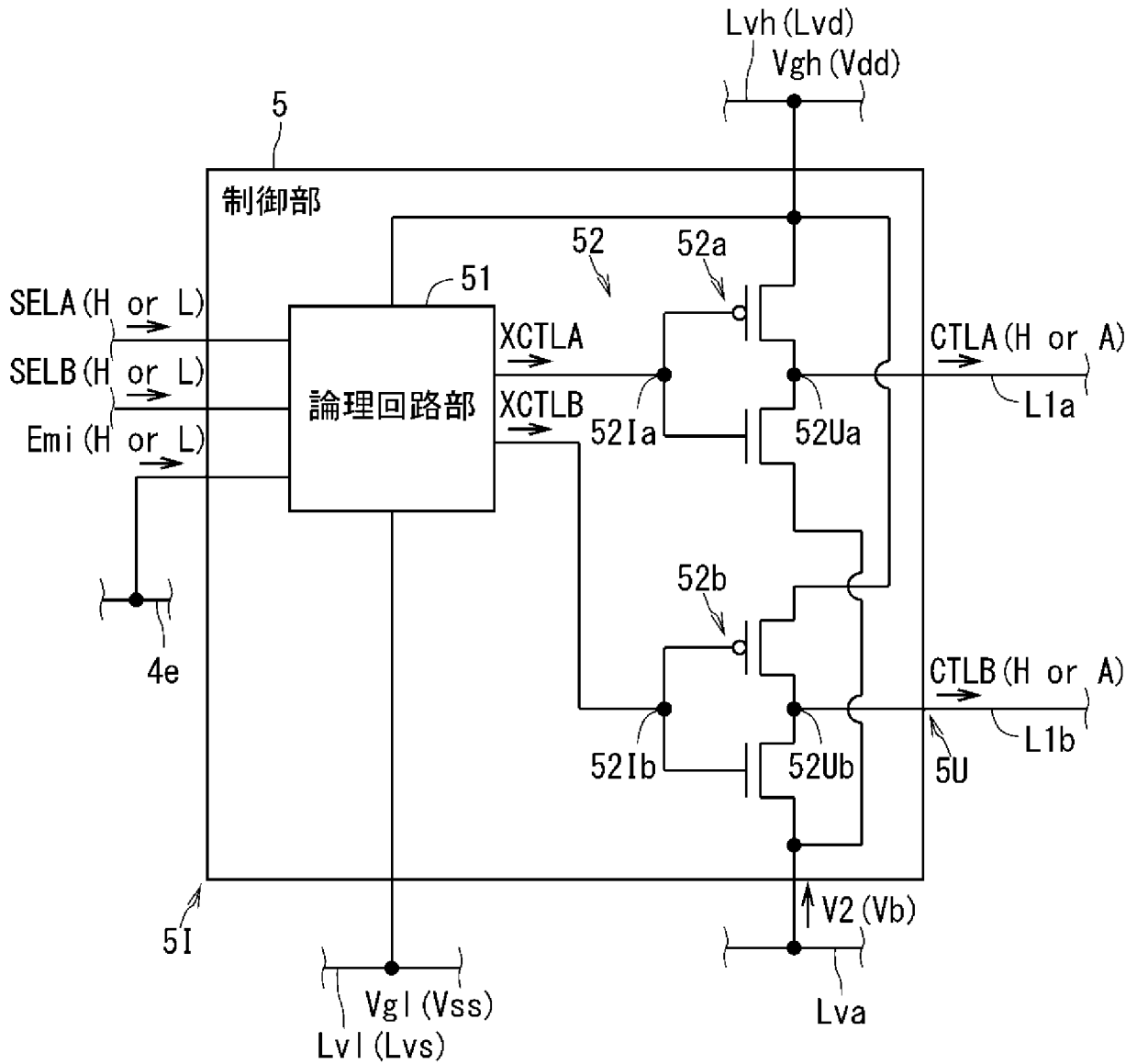
[図11]



[図12]



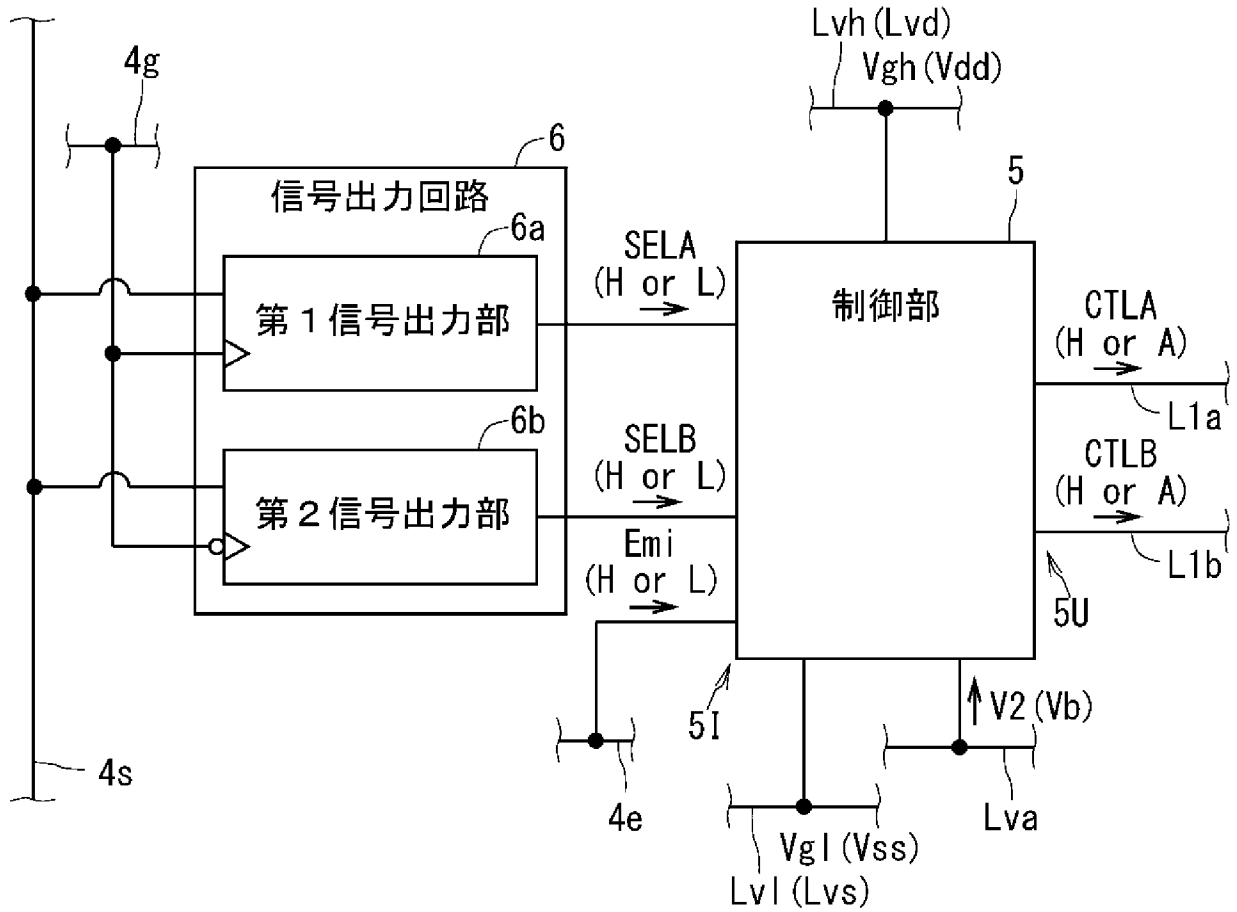
[図13]



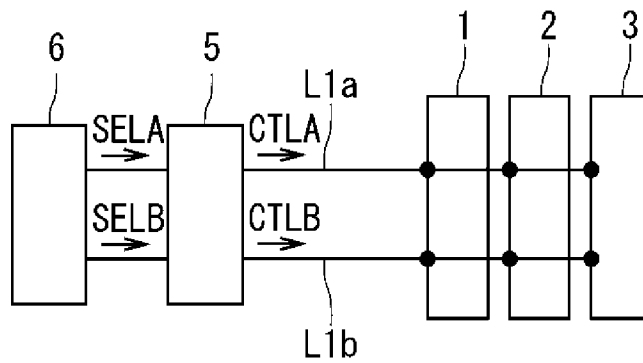
[図14]

入力				中間出力		出力		状態
Vb	Emi	SELA	SELB	XCTLA	XCTLB	CTLA	CTLB	
任意	H	L/H	L/H	L	L	H	H	非発光
V2	L	L	H	H	L	A	H	第1発光、カスコード <sup>°</sup>
V2	L	H	L	L	H	H	A	第2発光、カスコード <sup>°</sup>
V2	L	L	L	H	H	A	A	両発光、カスコード <sup>°</sup>

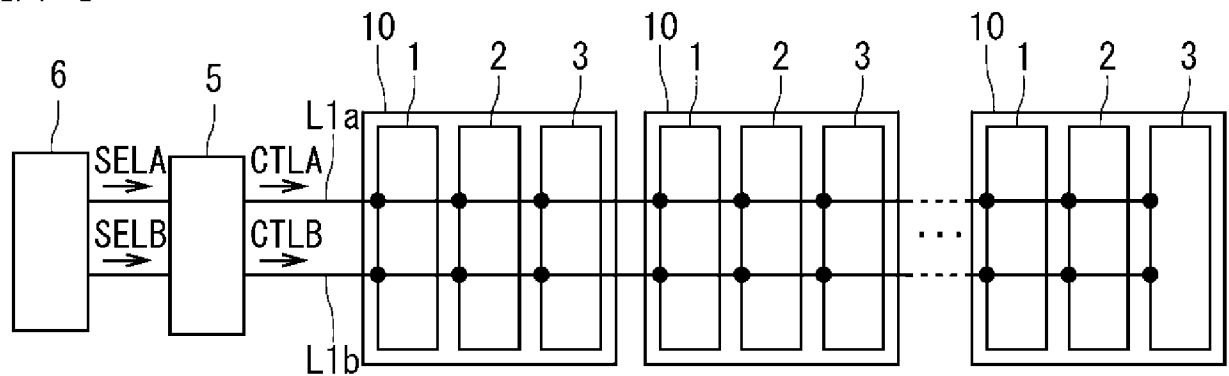
[図15]



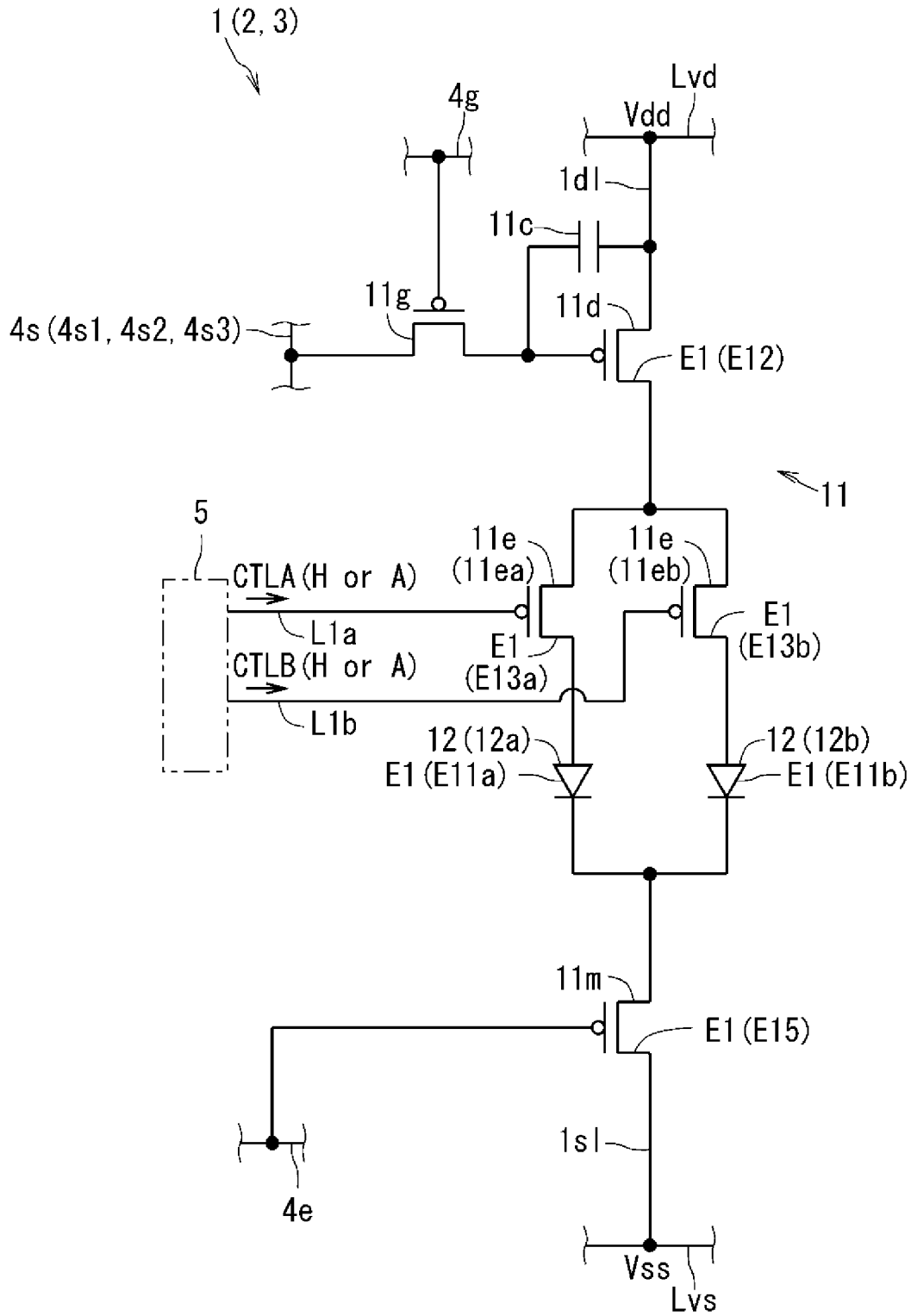
[図16]



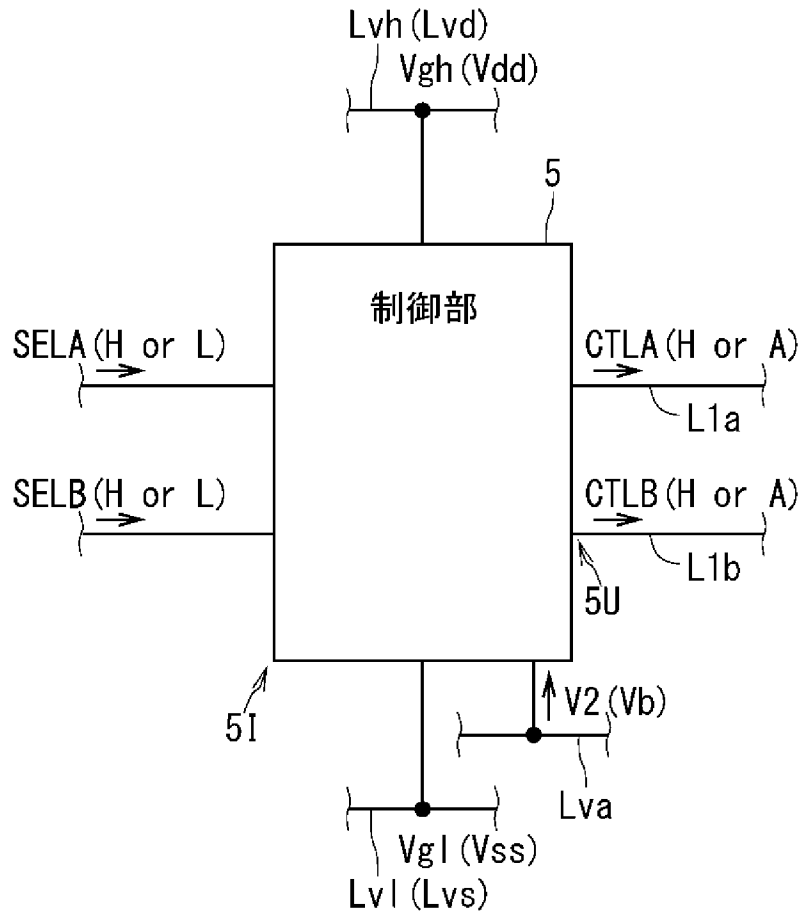
[図17]



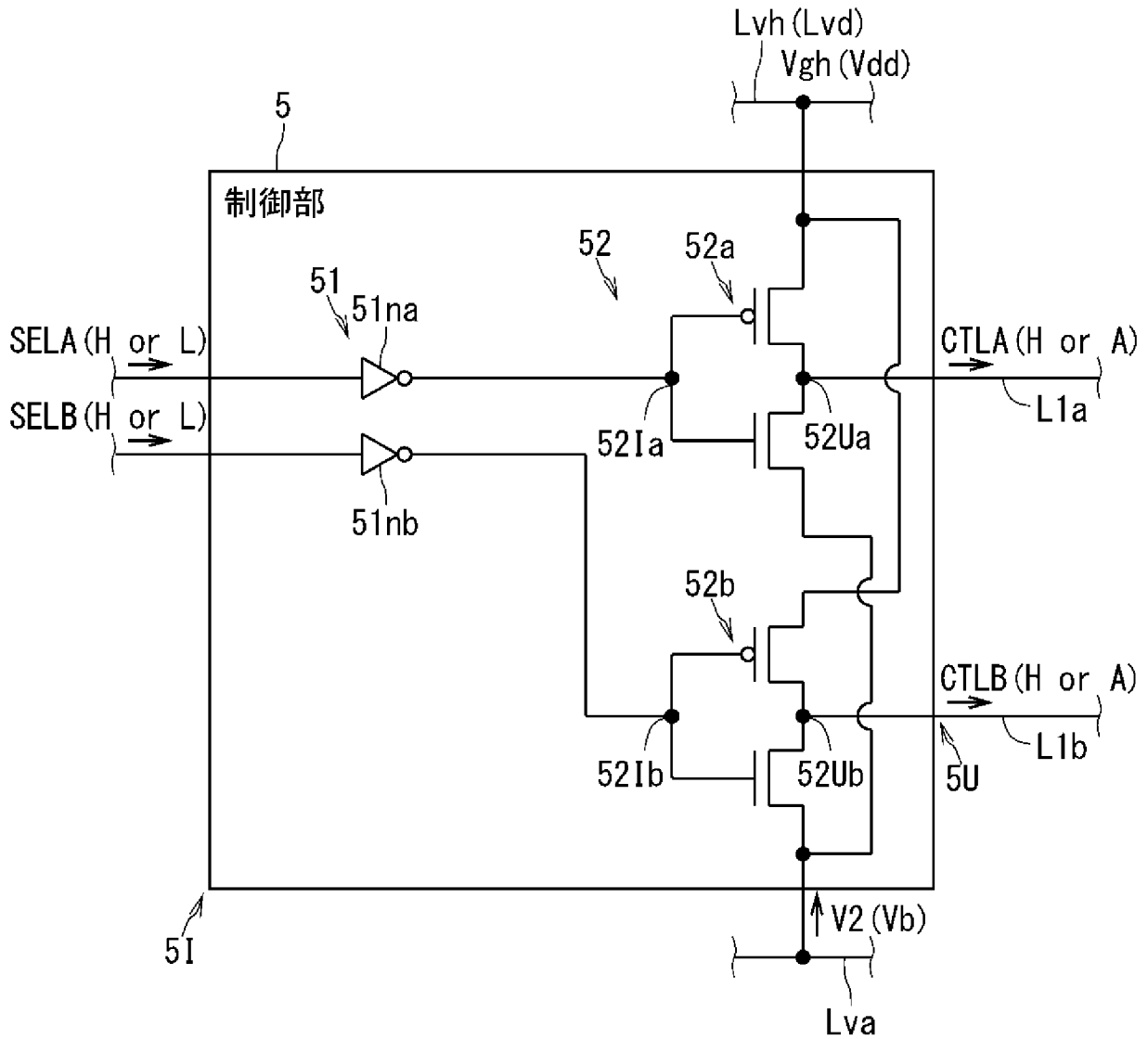
[図18]



[図19]



[図20]

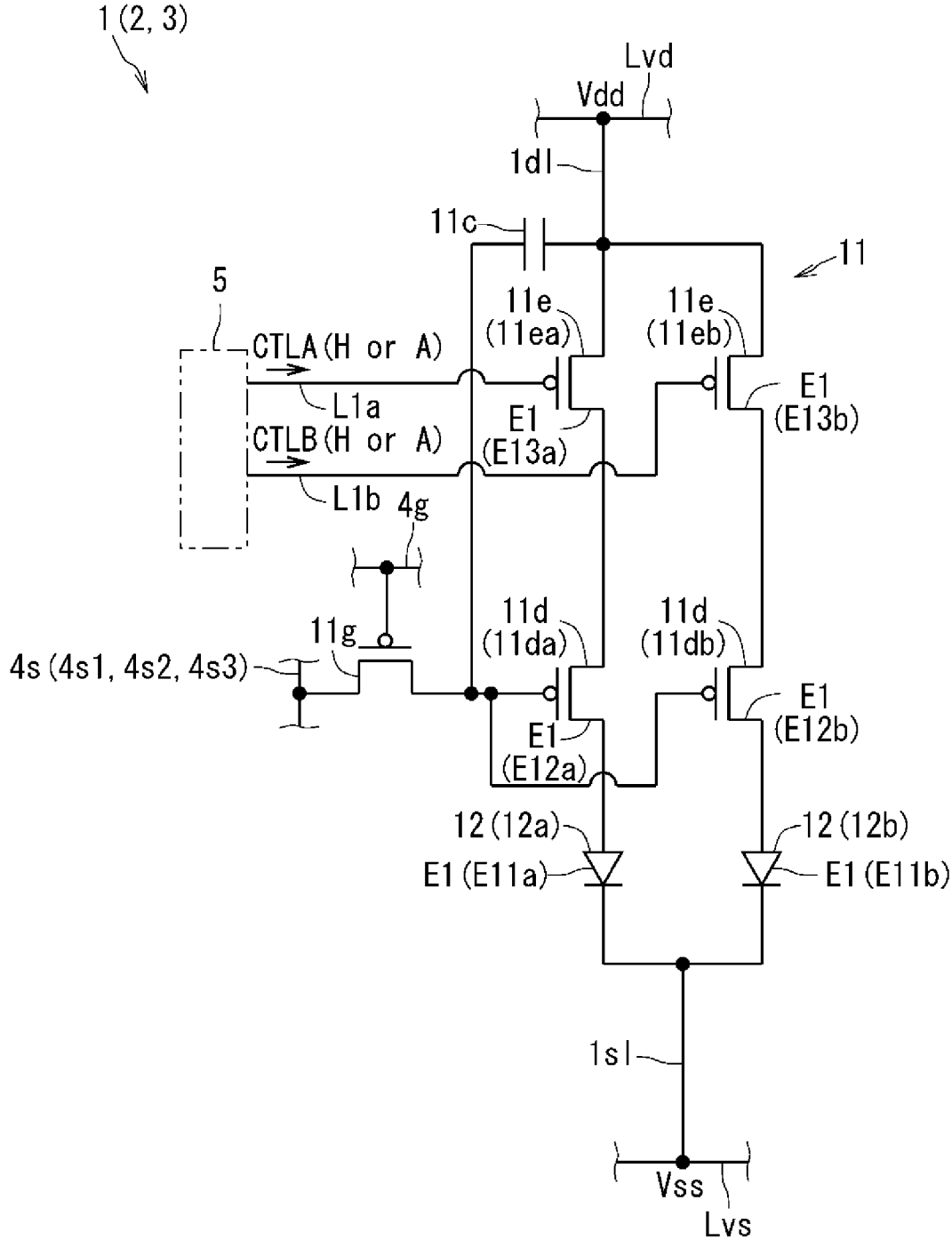


[図21]

入力		出力		状態	
Vb	SELA	SELB	CTLA		GTLB
V2	L	H	A	H	第1発光素子が使用状態、カスコード
V2	H	L	H	A	第2発光素子が使用状態、カスコード
V2	L	L	A	A	両発光素子が使用状態、カスコード



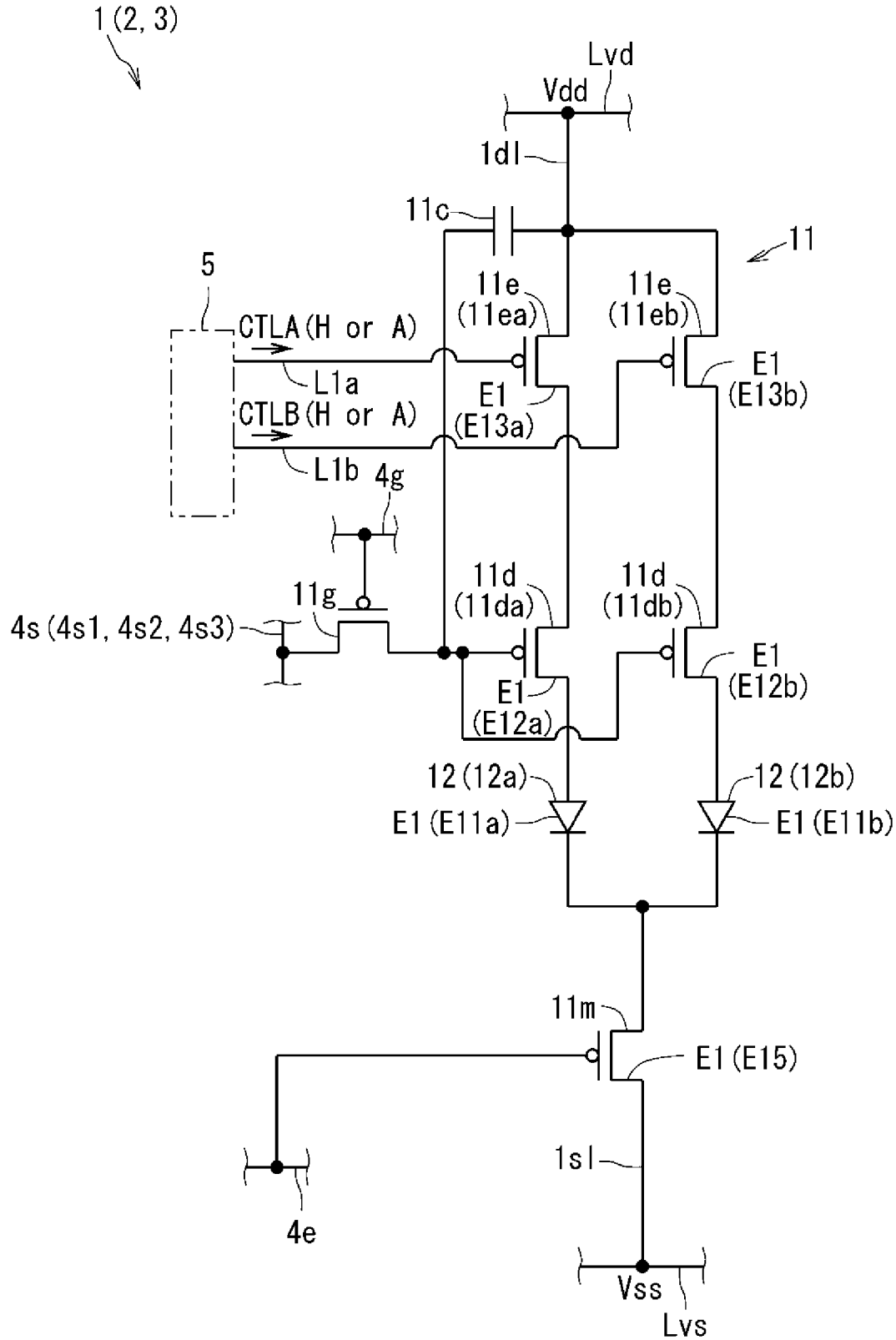
[図24]



[図25]

入力				中間出力		出力		状態
Vb	Emi	SELA	SELB	XCTLA	XCTLB	CTLA	CTLB	
任意	H	L/H	L/H	L	L	H	H	非発光
V2	L	L	H	H	L	A	H	第1発光、デジエネーション
V2	L	H	L	L	H	H	A	第2発光、デジエネーション
V2	L	L	L	H	H	A	A	両発光、デジエネーション

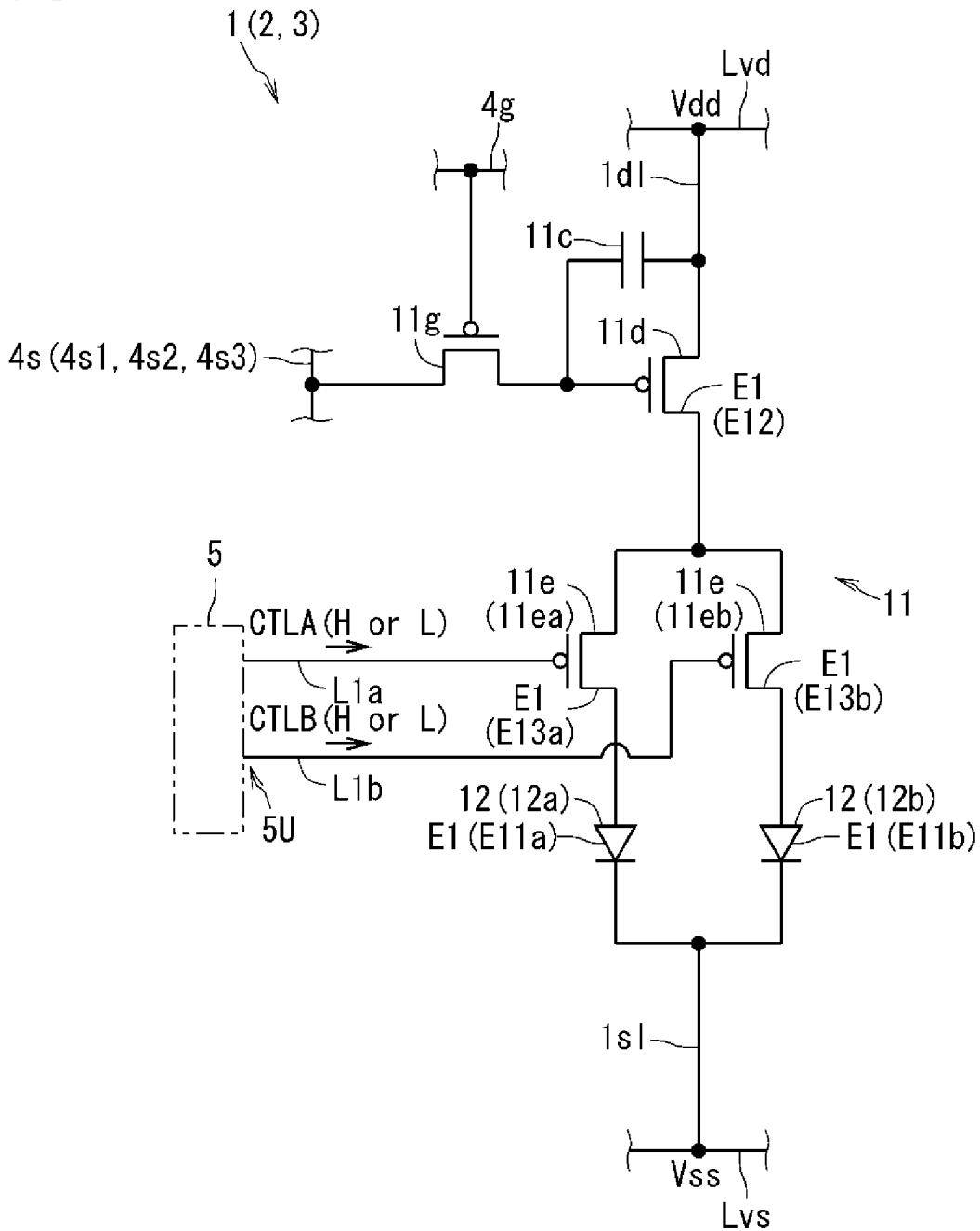
[図26]



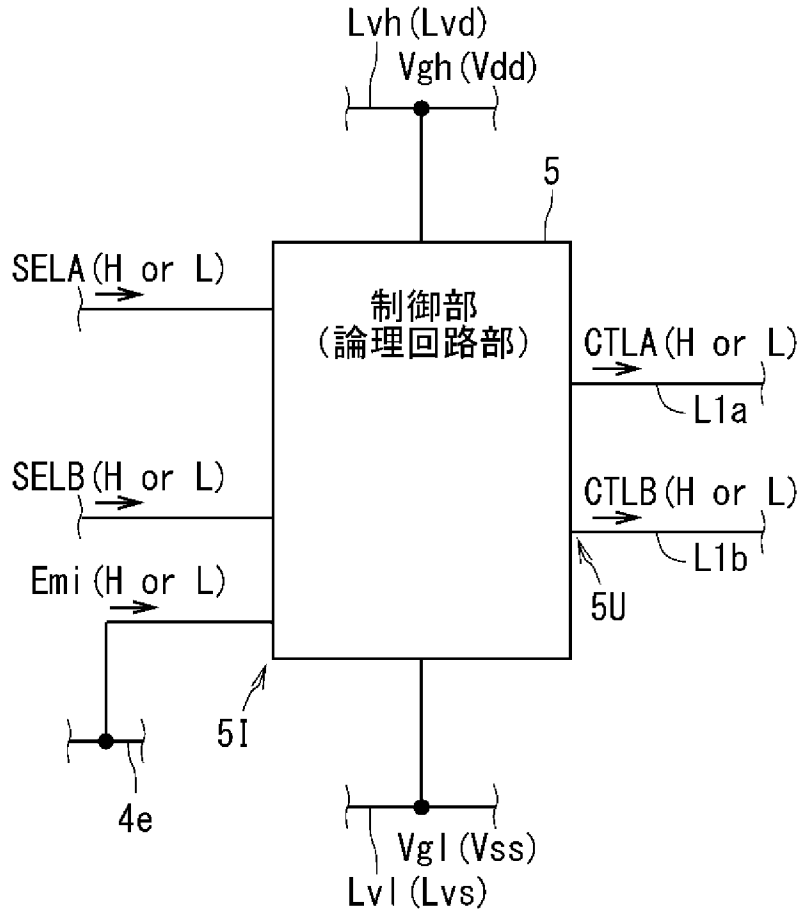
[図27]

入力			出力		状態
Vb	SELA	SELB	CTLA	CTLB	
V2	L	H	A	H	第1発光素子在使用状態、デジィネレーション
V2	H	L	H	A	第2発光素子在使用状態、デジィネレーション
V2	L	L	A	A	両発光素子在使用状態、デジィネレーション

[図28]



[図29]

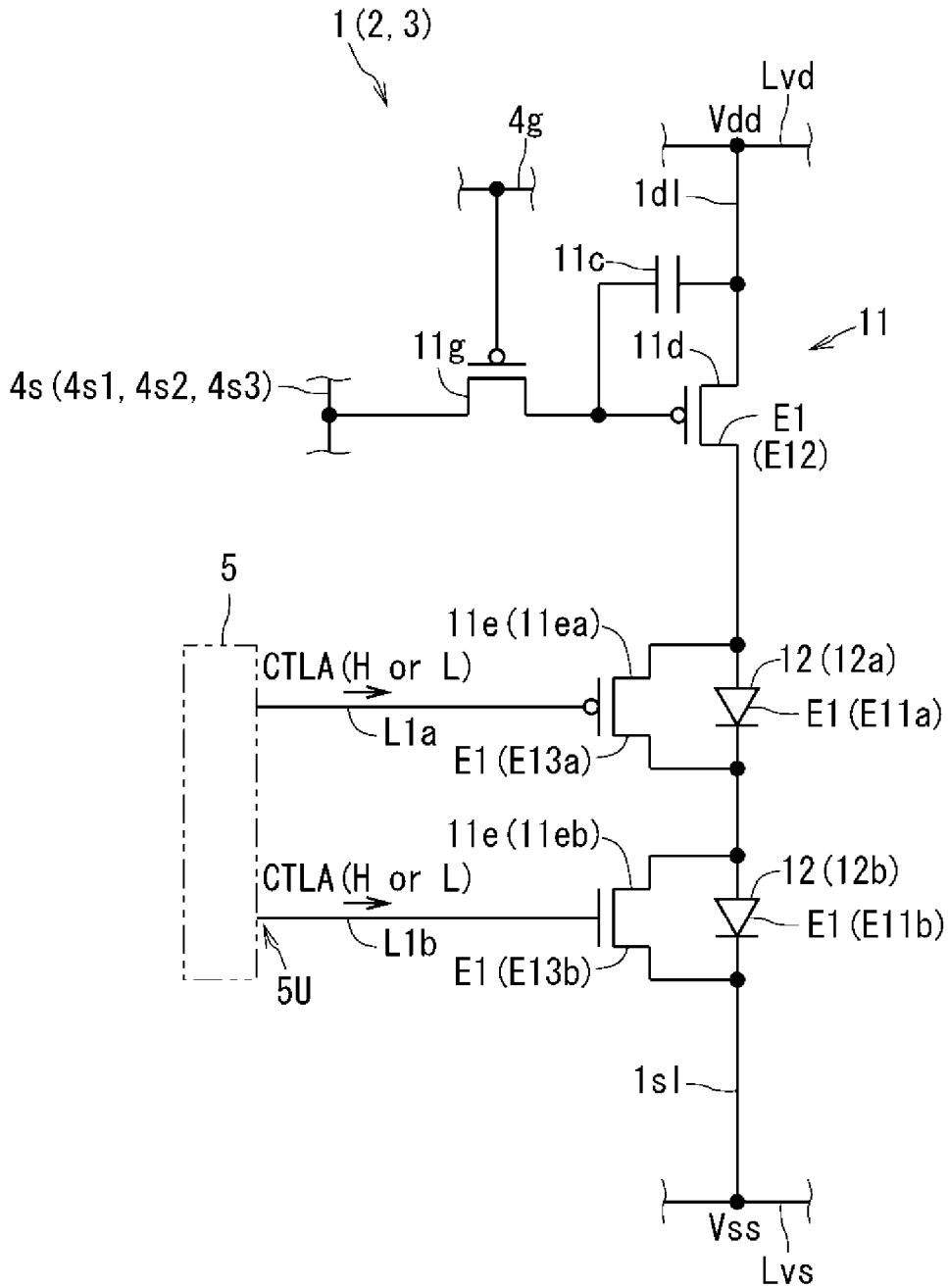


[図30]

入力			出力		状態
Emi	SELA	SELB	CTLA	CTLB	
H	L/H	L/H	H	H	非発光
L	L	H	L	H	第1発光
L	H	L	H	L	第2発光
L	L	L	L	L	両発光



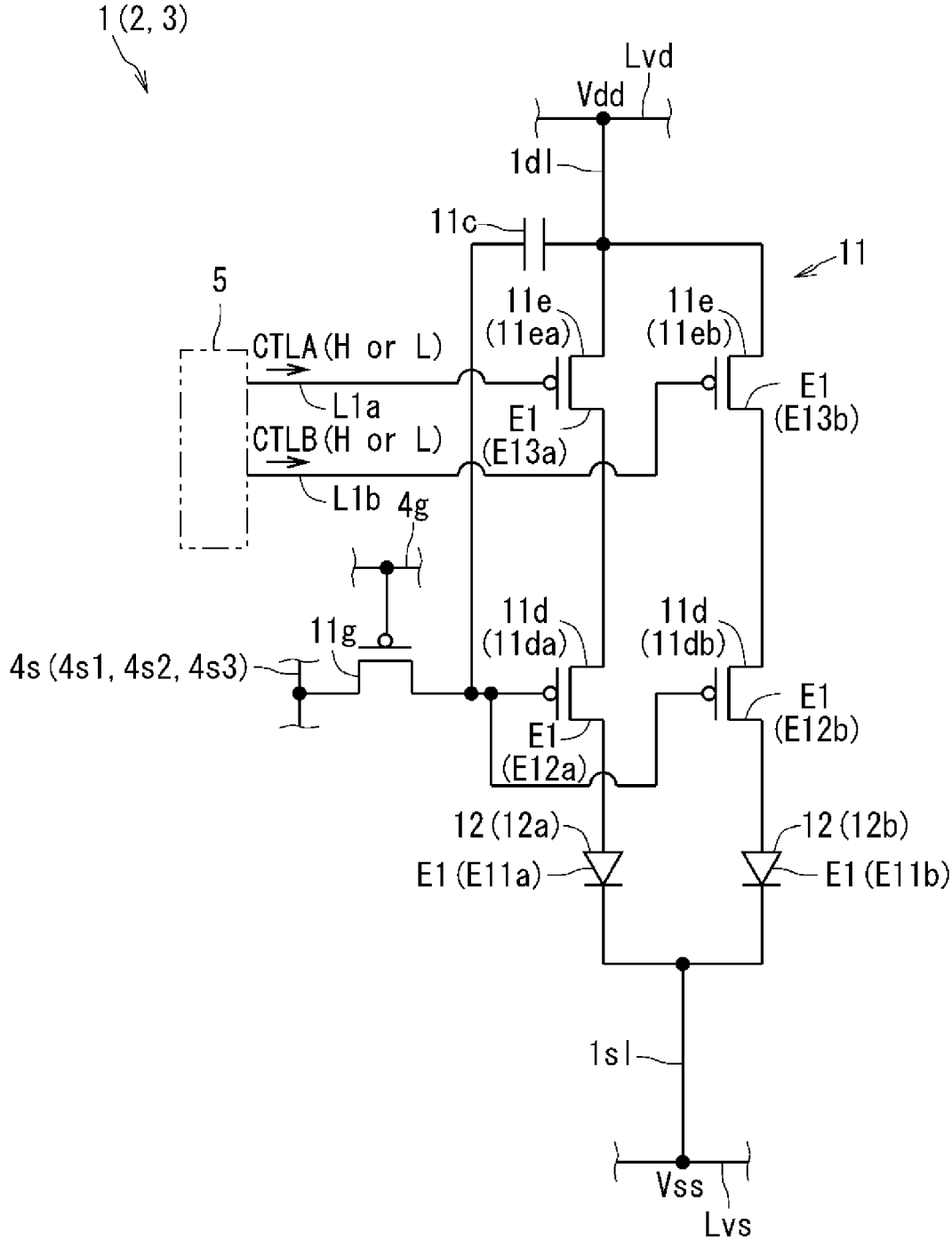
[図33]



[図34]

入力			出力		状態
Emi	SELA	SELB	CTLA	CTLB	
H	L/H	L/H	L	H	非発光
L	L	H	H	H	第1発光
L	H	L	L	L	第2発光
L	L	L	H	L	両発光

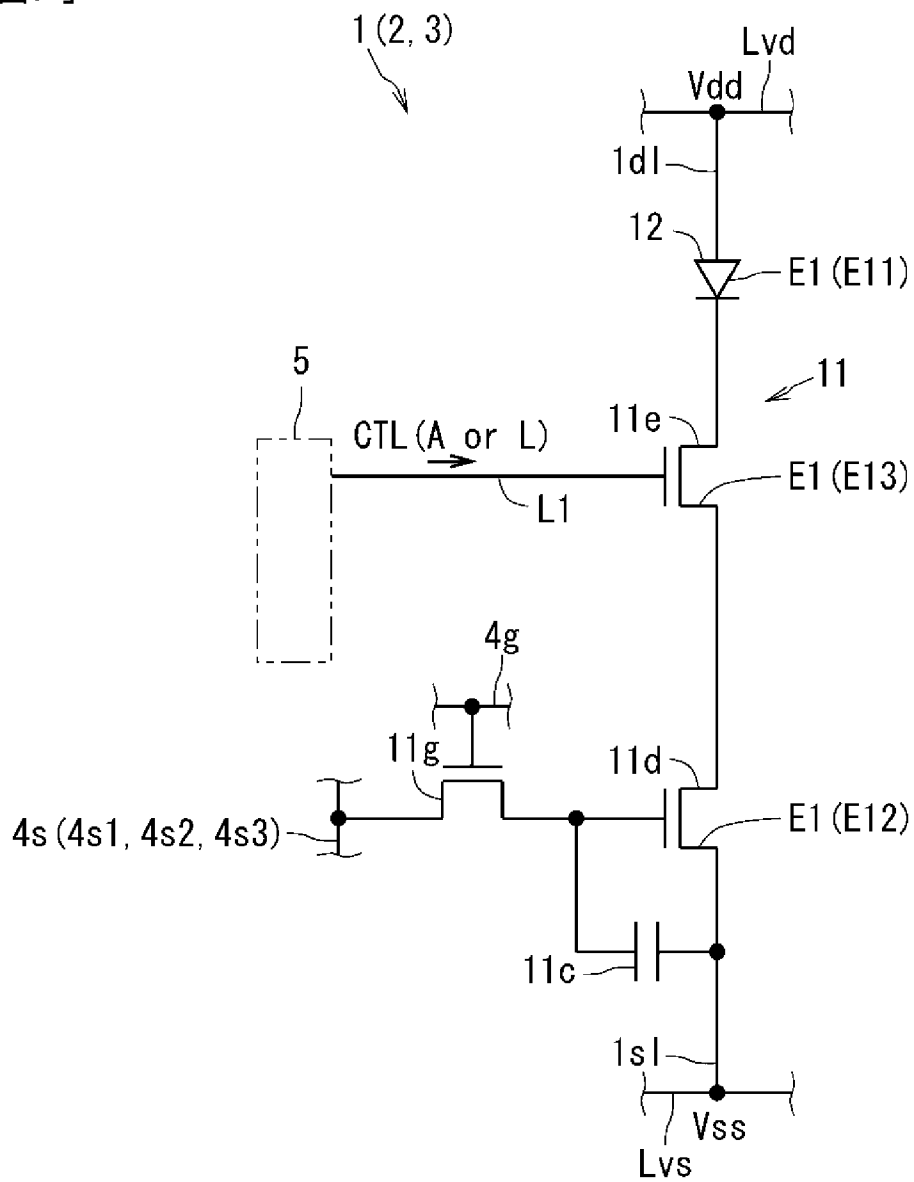
[図35]



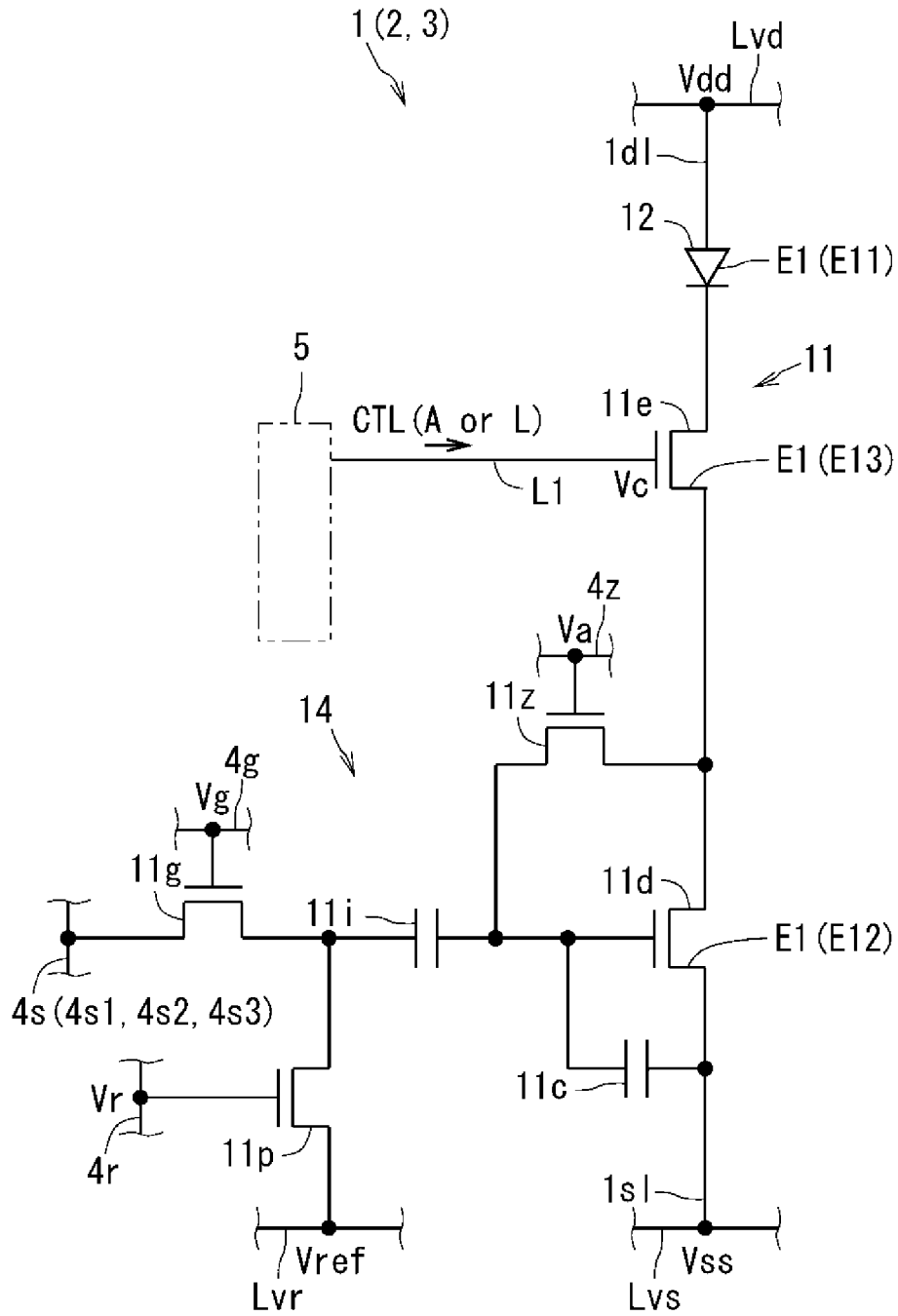
[図36]

入力			出力		状態
Emi	SELA	SELB	CTLA	CTLB	
H	L/H	L/H	H	H	非発光
L	L	H	L	H	第1発光、デジエレーション
L	H	L	H	L	第2発光、デジエレーション
L	L	L	L	L	両発光、デジエレーション

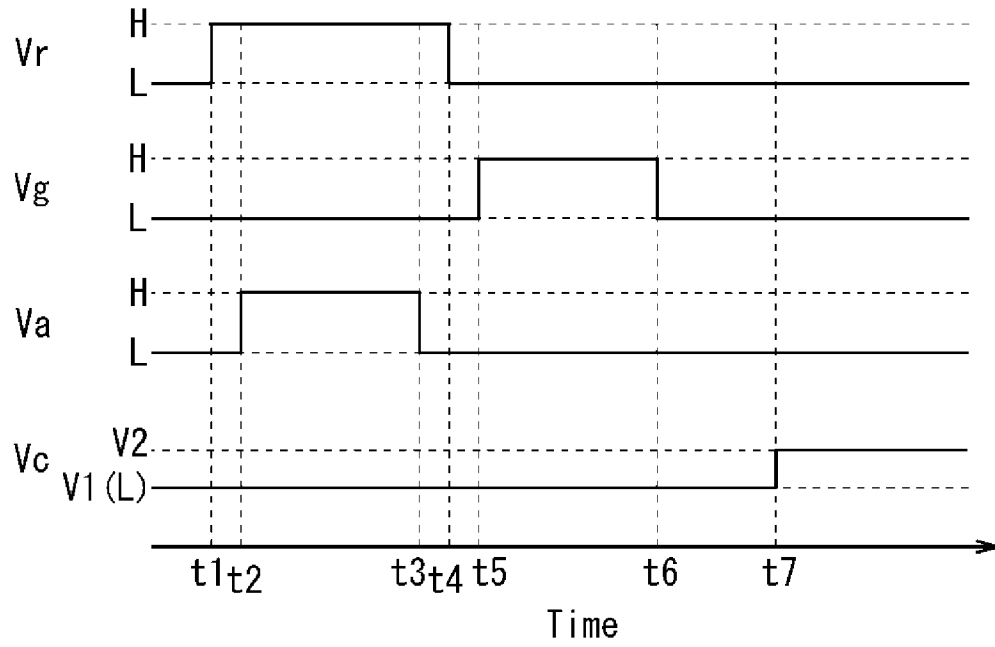
[図37]



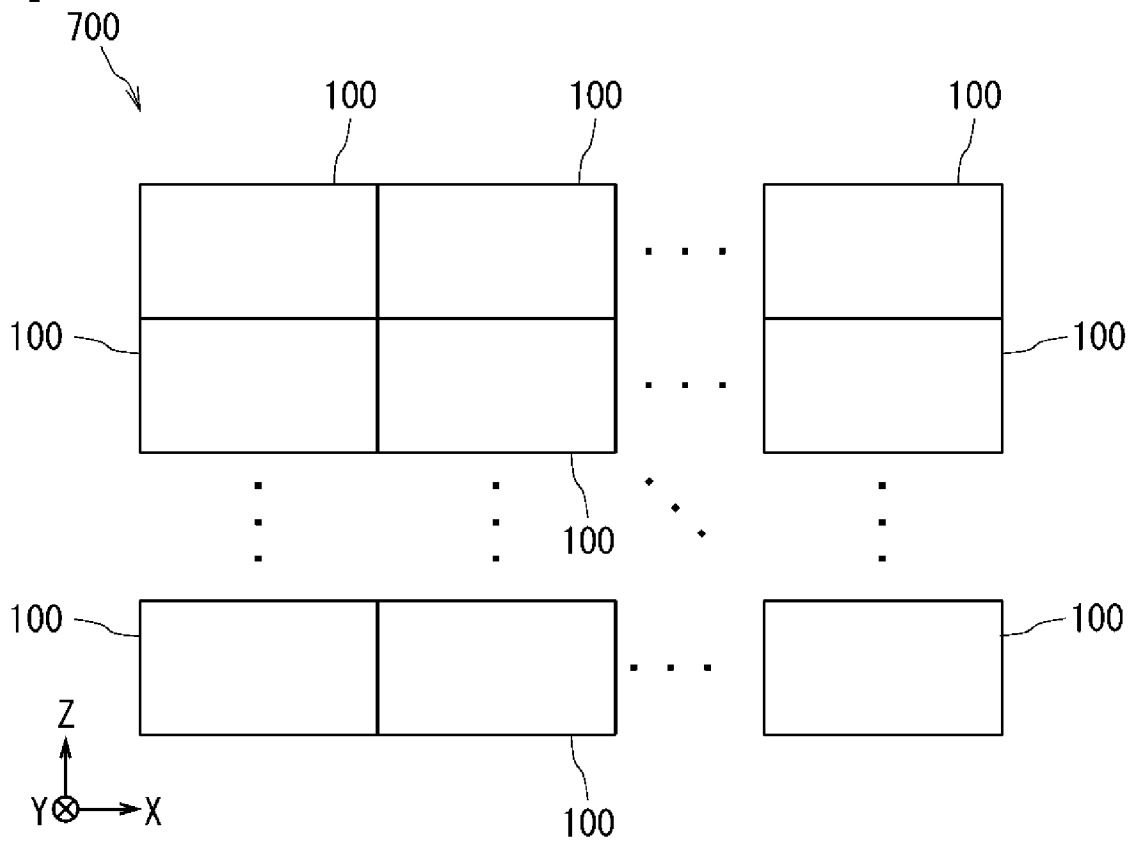
[図38]



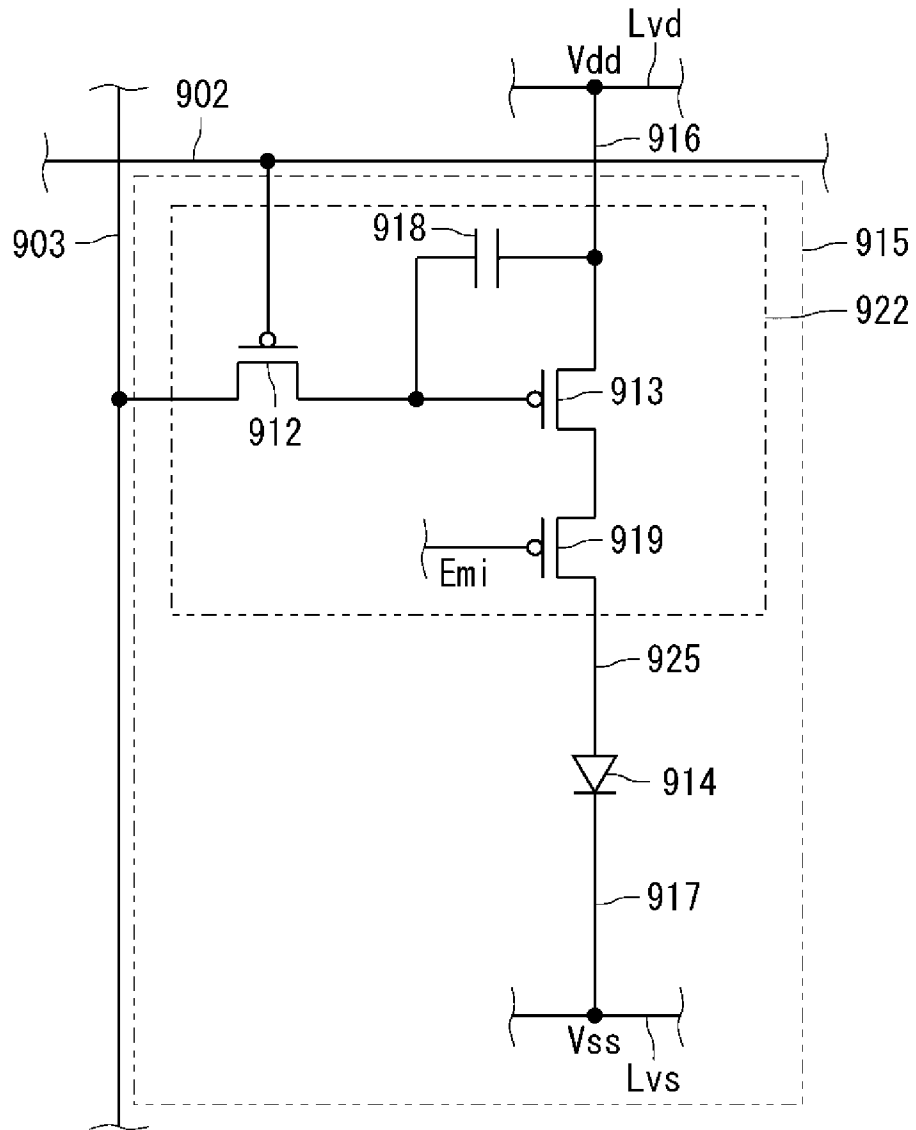
[図39]



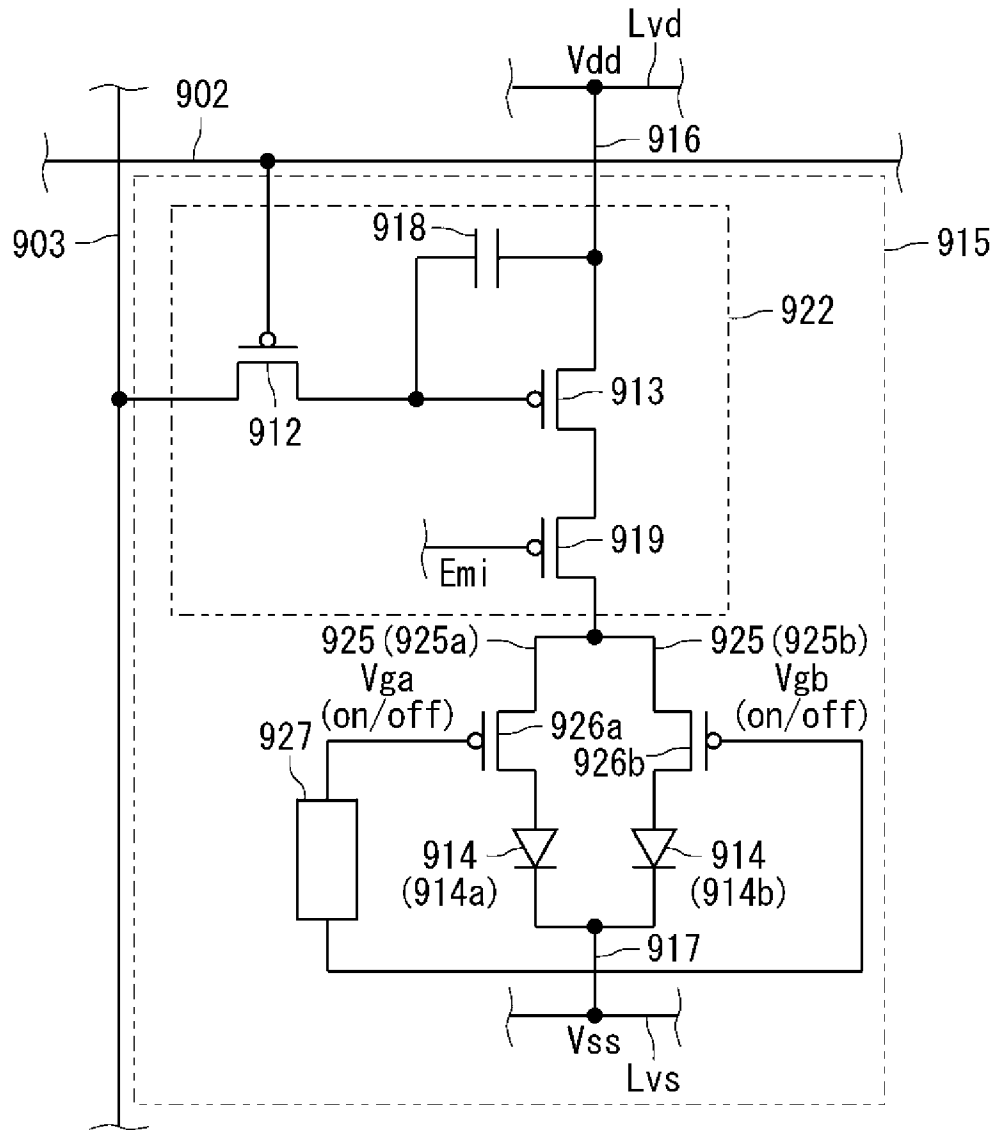
[図40]



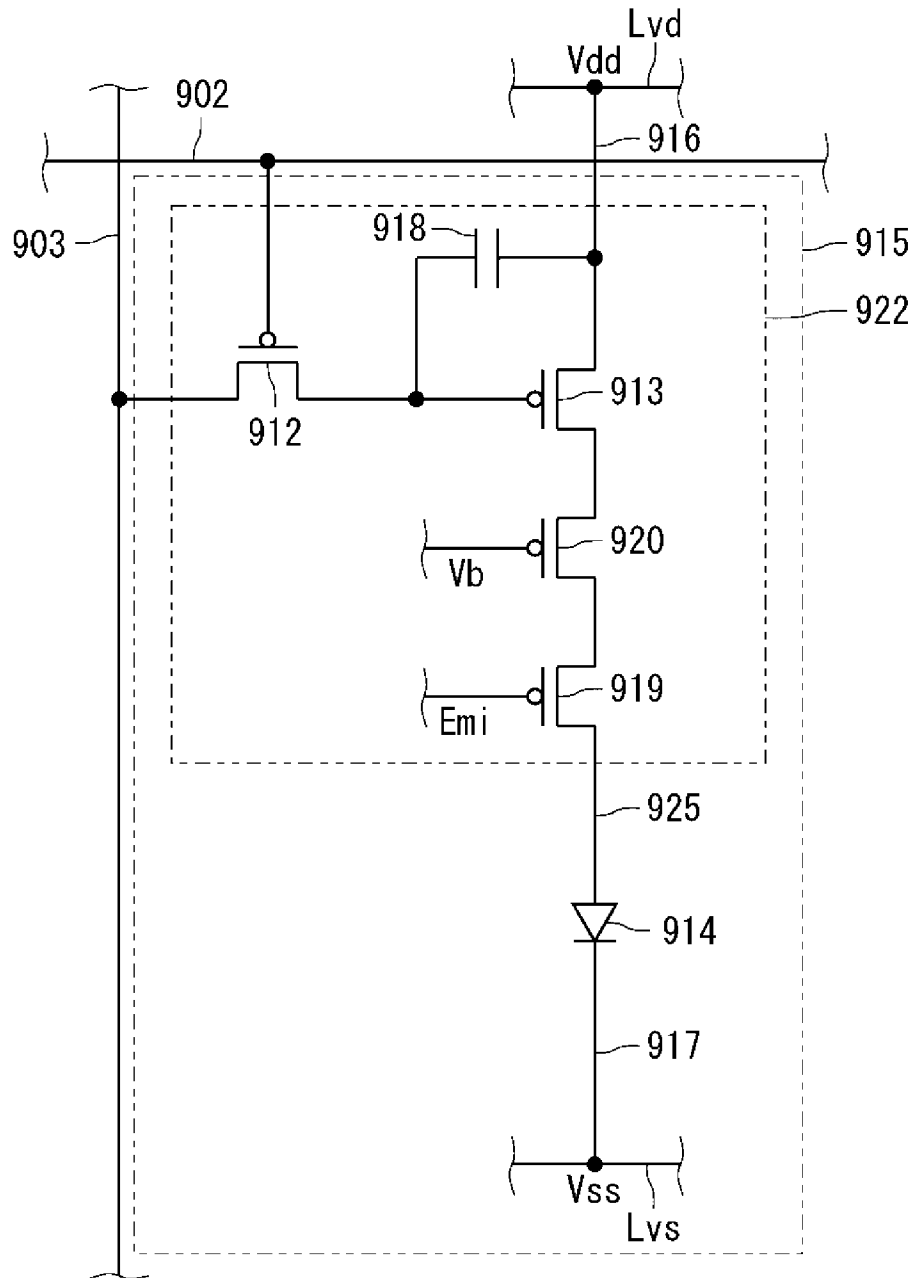
[図41]



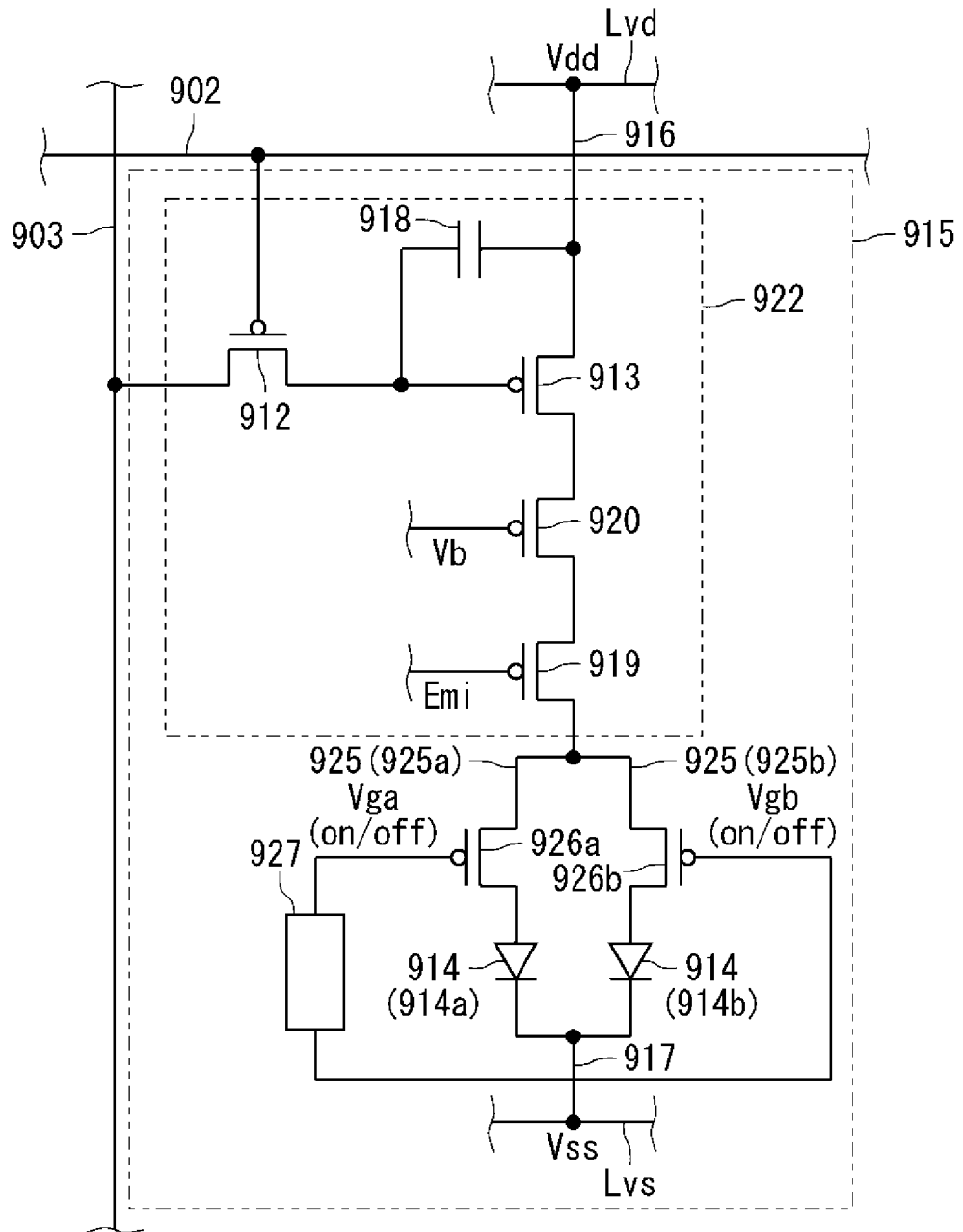
[図42]



[図43]



[図44]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/031053

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>G09G 3/3233</i> (2016.01)i; <i>G09F 9/30</i> (2006.01)i; <i>G09G 3/20</i> (2006.01)i; <i>G09G 3/32</i> (2016.01)i; <i>H01L 27/32</i> (2006.01)i; <i>H01L 51/50</i> (2006.01)i; <i>H05B 33/02</i> (2006.01)i FI: G09G3/3233; G09G3/20 611F; G09G3/32 A; G09G3/20 624B; G09G3/20 670A; G09G3/20 621A; G09G3/20 612D; G09G3/20 621J; G09F9/30 338; H01L27/32; H05B33/02; H05B33/14 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G09G3/3233; G09F9/30; G09G3/20; G09G3/32; H01L27/32; H01L51/50; H05B33/02		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-255895 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 10 September 2003 (2003-09-10) paragraphs [0047]-[0057], fig. 3	1-3, 7, 14, 22
Y		4-21, 23
Y	JP 2006-39505 A (SAMSUNG SDI CO., LTD.) 09 February 2006 (2006-02-09) paragraphs [0039]-[0048], fig. 3-4	4, 6-14, 17-21, 23
Y	JP 2016-75946 A (SEMICONDUCTOR ENERGY LAB. CO., LTD.) 12 May 2016 (2016-05-12) paragraphs [0084]-[0092], fig. 7-8	5-14, 16-18, 20-21, 23
Y	WO 2020/174879 A1 (KYOCERA CORP.) 03 September 2020 (2020-09-03) paragraphs [0013]-[0099], fig. 1-17	8-13, 15-21, 23
A	JP 2021-520508 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 August 2021 (2021-08-19) entire text, all drawings	1-23
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>05 October 2022</b>		Date of mailing of the international search report <b>25 October 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2022/031053**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-195307 A (HITACHI DISPLAYS, LTD.) 27 July 2006 (2006-07-27) entire text, all drawings	1-23
A	JP 2008-40326 A (SEIKO EPSON CORP.) 21 February 2008 (2008-02-21) entire text, all drawings	1-23

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/031053**

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2003-255895 A	10 September 2003	US 2003/0160745 A1 paragraphs [0207]-[0226], fig. 3A-3E	
JP 2006-39505 A	09 February 2006	US 2006/0022909 A1 paragraphs [0047]-[0054], fig. 3-4 EP 1622122 A1 KR 10-2006-0010491 A CN 1737894 A	
JP 2016-75946 A	12 May 2016	US 2007/0126665 A1 paragraphs [0134]-[0142], fig. 7-8 WO 2007/063814 A1 KR 10-2008-0080608 A CN 101313348 A	
WO 2020/174879 A1	03 September 2020	US 2022/0139300 A1 paragraphs [0038]-[0125], fig. 1-17 EP 3934383 A1 CN 113424658 A	
JP 2021-520508 A	19 August 2021	US 2020/0312244 A1 entire text, all drawings WO 2019/214304 A1 EP 3792905 A1 CN 110473496 A	
JP 2006-195307 A	27 July 2006	US 2006/0158398 A1 entire text, all drawings KR 10-2006-0083885 A CN 1808546 A	
JP 2008-40326 A	21 February 2008	US 2008/0036706 A1 entire text, all drawings CN 101123065 A KR 10-2008-0013730 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09F 9/30(2006.01)i; G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; H01L 27/32(2006.01)i; H01L 51/50(2006.01)i; H05B 33/02(2006.01)i FI: G09G3/3233; G09G3/20 611F; G09G3/32 A; G09G3/20 624B; G09G3/20 670A; G09G3/20 621A; G09G3/20 612D; G09G3/20 621J; G09F9/30 338; H01L27/32; H05B33/02; H05B33/14 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09F9/30; G09G3/20; G09G3/32; H01L27/32; H01L51/50; H05B33/02 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-255895 A (株式会社半導体エネルギー研究所) 10.09.2003 (2003-09-10) [0047]-[0057], [図3]	1-3, 7, 14, 22
Y		4-21, 23
Y	JP 2006-39505 A (三星エスディアイ株式会社) 09.02.2006 (2006-02-09) [0039]-[0048], [図3]-[図4]	4, 6-14, 17-21, 23
Y	JP 2016-75946 A (株式会社半導体エネルギー研究所) 12.05.2016 (2016-05-12) [0084]-[0092], [図7]-[図8]	5-14, 16-18, 20-21, 23
Y	WO 2020/174879 A1 (京セラ株式会社) 03.09.2020 (2020-09-03) [0013]-[0099], [図1]-[図17]	8-13, 15-21, 23
A	JP 2021-520508 A (京東方科技集団股▲ふん▼有限公司) 19.08.2021 (2021-08-19) 全文, 全図	1-23
A	JP 2006-195307 A (株式会社 日立ディスプレイズ) 27.07.2006 (2006-07-27) 全文, 全図	1-23
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	05.10.2022	国際調査報告の発送日 25.10.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）  西島 篤宏 21 9308  電話番号 03-3581-1101 内線 3273	



国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/031053

引用文献	公表日	パテントファミリー文献	公表日
JP 2003-255895 A	10.09.2003	US 2003/0160745 A1 [0207]-[0226], 図3A-図3E	
JP 2006-39505 A	09.02.2006	US 2006/0022909 A1 [0047]-[0054], 図3-図4 EP 1622122 A1 KR 10-2006-0010491 A CN 1737894 A	
JP 2016-75946 A	12.05.2016	US 2007/0126665 A1 [0134]-[0142], 図7-図8 WO 2007/063814 A1 KR 10-2008-0080608 A CN 101313348 A	
WO 2020/174879 A1	03.09.2020	US 2022/0139300 A1 [0038]-[0125], 図1-図17 EP 3934383 A1 CN 113424658 A	
JP 2021-520508 A	19.08.2021	US 2020/0312244 A1 全文, 全図 WO 2019/214304 A1 EP 3792905 A1 CN 110473496 A	
JP 2006-195307 A	27.07.2006	US 2006/0158398 A1 全文, 全図 KR 10-2006-0083885 A CN 1808546 A	
JP 2008-40326 A	21.02.2008	US 2008/0036706 A1 全文, 全図 CN 101123065 A KR 10-2008-0013730 A	