

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月19日(2006.1.19)

【公開番号】特開2003-209195(P2003-209195A)

【公開日】平成15年7月25日(2003.7.25)

【出願番号】特願2002-377015(P2002-377015)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	27/10	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	29/788	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	27/10	4 8 1
H 01 L	29/78	3 7 1

【手続補正書】

【提出日】平成17年11月22日(2005.11.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】半導体基板に配置された共通ソース領域、セルソース領域及びドレン領域と、

前記共通ソース領域及び前記セルソース領域の間の前記半導体基板上に配置された選択ゲート電極と、

前記セルソース領域及び前記ドレン領域の間の半導体基板上に配置され、前記ドレン領域と横方向に離隔された浮遊ゲートと、

前記浮遊ゲート及び前記ドレン領域の間の前記半導体基板上に前記浮遊ゲートの側壁に形成された制御ゲート電極と、

前記制御ゲート電極及び前記浮遊ゲートの間に介されたトンネル酸化膜と、

前記トンネル酸化膜と少なくとも前記浮遊ゲートの側壁との間に介された側壁酸化膜と

を含み、

前記トンネル酸化膜はCVD酸化膜であり、前記側壁酸化膜は熱酸化膜であることを特徴とする不揮発性メモリ素子。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正の内容】

【請求項2】前記浮遊ゲート及び前記半導体基板の間、および前記選択ゲートと前記半導体基板との間に介された第1ゲート絶縁膜と、

前記トンネル酸化膜は前記選択ゲートと前記基板との間にも介されたことを特徴とする請求項1に記載の不揮発性メモリ素子。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】 前記制御ゲート電極は、

前記浮遊ゲート電極の側壁から拡張されて前記ドレイン領域の一部を覆うことを特徴とする請求項1に記載の不揮発性メモリ素子。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項5

【補正方法】変更

【補正の内容】

【請求項5】 半導体基板の所定の領域に一方向に配置された活性領域と、

前記活性領域を横切り、前記活性領域を連結する共通ソースラインと、

一対の共通ソースラインの間に配置され、前記共通ソースラインに対して対称的に配置されたセルソース領域及びドレイン領域と、

前記共通ソースライン及び前記セルソースラインの間に配置されて前記活性領域の上部を横切る選択ゲート電極と、

前記セルソース領域及び前記ドレイン領域の間の前記活性領域上に配置され、前記ドレイン領域と横方向に離隔された浮遊ゲートと、

n個の浮遊ゲート及びこれらと隣接したn個のドレイン領域の間の前記活性領域上において、前記浮遊ゲートの側壁に配置されて前記活性領域の上部を横切る制御ゲート電極と、

前記制御ゲートと前記n個の浮遊ゲートとの間に介されたトンネル酸化膜、前記トンネル酸化膜と少なくとも前記n個の浮遊ゲートの側壁との間に介された側壁酸化膜とを含むことを特徴とする不揮発性メモリ素子。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正の内容】

【請求項8】 前記n個の浮遊ゲート及びこれらと隣接した活性領域の間、および選択ゲートラインと活性領域との間に介された第1ゲート絶縁膜をさらに含み、

前記トンネル酸化膜は、前記選択ゲートと活性領域との間にも介されたことを特徴とする請求項6に記載の不揮発性メモリ素子。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段】

上述の課題はスプリットゲート型不揮発性メモリ素子及びその製造方法により提供されることがある。この素子は、半導体基板上に形成された共通ソース領域、セルソース領域及びドレイン領域を含む。前記共通ソース領域及び前記セルソース領域の間の半導体基板上に選択ゲート電極が配置される。前記選択ゲート電極は前記活性領域の上部を横切る。前記ソース領域及び前記ドレイン領域の間の半導体基板上に浮遊ゲートが形成される。前記浮遊ゲートは前記ドレイン領域と横方向に離隔されて配置される。前記浮遊ゲート及び前記ドレイン領域の間の前記半導体基板上に制御ゲート電極が形成される。前記制御ゲート電極は前記浮遊ゲートの側壁に形成される。前記制御ゲート電極及び前記浮遊ゲートの間にトンネル酸化膜が介される。前記トンネル酸化膜と少なくとも前記浮遊ゲートの側壁に形成される。前記トンネル酸化膜と少なくとも前記浮遊ゲートの側壁に形成される。

壁との間に側壁酸化膜が介される。前記トンネル酸化膜はCVD酸化膜であり、前記側壁酸化膜は熱酸化膜である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

前記セル領域は半導体基板の所定の領域に一方向に配置された複数の活性領域を含む。前記活性領域を共通ソース領域が横切る。一对の前記共通ソース領域の間の活性領域内にセルソース領域及びドレイン領域が形成される。前記セルソース領域及び前記ドレイン領域は前記共通ソース領域に対して対称的に形成される。前記共通ソース領域及び前記セルソース領域の間の前記活性領域の上部を横切って選択ゲート電極が配置される。前記セルソース領域及び前記ドレイン領域の間の活性領域上に浮遊ゲートが配置され、前記浮遊ゲートは前記ドレイン領域から横方向に離隔されて配置される。前記浮遊ゲートの側壁に制御ゲート電極が配置され、前記制御ゲート電極は前記浮遊ゲートと前記ドレイン領域との間の前記活性領域の上部を横切る。前記浮遊ゲート及び前記制御ゲート電極の間にトンネル絶縁膜が介され、前記浮遊ゲート及び前記半導体基板の間、および前記選択ゲートと前記半導体基板との間には第1ゲート絶縁膜が介される。前記トンネル酸化膜は前記選択ゲートと前記基板との間にも介される。前記制御ゲート電極及び前記半導体基板の間と、前記選択ゲート電極と前記半導体基板との間には第2ゲート絶縁膜が介される。前記第2ゲート絶縁膜は前記浮遊ゲートの下部から延長された第1ゲート絶縁膜と前記浮遊ゲートの側壁から延長されたトンネル酸化膜で構成される。すなわち、前記第2ゲート絶縁膜の厚さは前記第1ゲート絶縁膜の厚さより厚い。