

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



(10) 国際公開番号
WO 2012/111203 A1

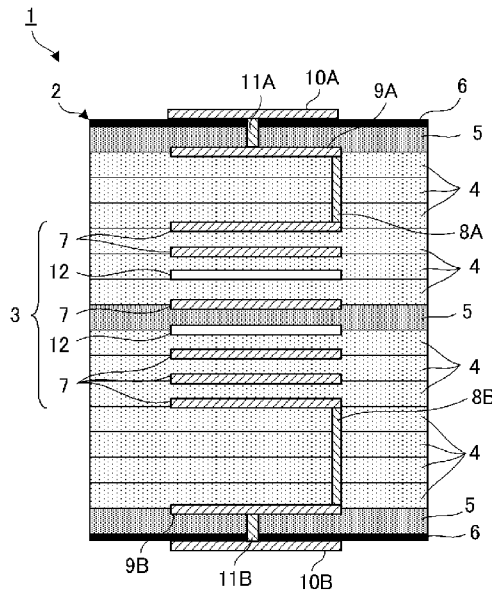
- (51) 国際特許分類:
H01F 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2011/076478
- (22) 国際出願日: 2011年11月17日(17.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-029773 2011年2月15日(15.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 横山智哉(YOKOYAMA Tomoya) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 佐藤貴子(SATO Takako) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所(Kaede Patent Attorneys' Office); 〒5400011 大阪府大阪市中央区農人橋1丁目4番34号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: LAMINATE-TYPE INDUCTOR ELEMENT

(54) 発明の名称: 積層型インダクタ素子

[図2]



セラミックのカバー層(6)を有している。

(57) Abstract: Provided is a laminate-type inductor element capable of avoiding possible decreases in reliability when components are mounted on the surface. This laminate-type inductor element is provided with: a laminate substrate (2) formed by laminating multiple layers, including magnetic layers (4); an inductor (3) comprising a coil conductors (7) which, provided between layers of the laminate substrate (2), are connected in the lamination direction of the laminate substrate (2); and a pair of nonmagnetic layers (5) laminated on the laminate substrate (2) so as to sandwich the laminate substrate (2) in the lamination direction. The nonmagnetic layer (5) has a cover layer (6) of a low temperature co-fired ceramic.

(57) 要約: 表面に部品を実装した場合に信頼性が低減する可能性を抑制することができる積層型インダクタ素子を提供する。磁性体層(4)を含む複数層が積層される積層基板(2)と、積層基板(2)の層間に設けられたコイル導体(7)を、積層基板(2)の積層方向に接続したインダクタ(3)と、積層方向において積層基板(2)を挟み込むように、積層基板(2)に積層された一対の非磁性体層(5)と、を備え、非磁性体層(5)は低温同時焼成

WO 2012/111203 A1

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：積層型インダクタ素子

技術分野

[0001] 本発明は、磁性体層を備える積層基板にコイル導体を設けてインダクタを構成した積層型インダクタ素子に関する。

背景技術

[0002] 近年、電子部品の小型化又は薄型化が進んでいる。例えば、ガラスセラミックスからなる絶縁層が積層されたセラミック基板の内部にコイル導体を形成した積層型セラミック電子部品がある（例えば、特許文献1参照）。図1は特許文献1に記載の積層型セラミック電子部品の断面図である。

[0003] 特許文献1に記載の積層型セラミック電子部品は、セラミック積層体101を備えている。セラミック積層体101は、内部または外部にコイルを構成する導体パターンが形成されたセラミック基材層102と、セラミック基材層102の上下主面に積層されたセラミック補助層103、104とを有している。セラミック積層体101は、内部または外部に導体パターンを形成している。セラミック積層体101の表面には、表面実装部品109、110などのIC (Integrated Circuit) が搭載され、内部には導体パターン106、107が形成される。

[0004] 高いインダクタンス値を得るためには、セラミック基材層102は磁性体フェライトであることが望ましく、セラミック補助層103、104は、磁性体フェライトからなるセラミック基材層102との収縮差等による焼成時の構造欠陥を防ぐために、低透磁率または非磁性のフェライト（例えば、Fe, Zn, Cu）であることが望ましい。導体パターン106、107に電流が流れることにより、不要な磁場が発生し、例えば、表面実装部品109、110やセラミック基材層102に内蔵されたコイルパターン108の電気的特性に影響を及ぼすことがあるが、セラミック補助層103、104が、低透磁率または非磁性のフェライトとすることで、導体パターン106、

107からの不要な磁場の発生を抑制することができる。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2007/145189号公報

発明の概要

発明が解決しようとする課題

[0006] フェライト材料は有機酸に弱いことが一般的に知られているが、特許文献1では、表面実装部品109、110等を半田によりセラミック補助層103に実装している。このため、セラミック補助層103を非磁性フェライトで形成した場合、半田に含まれるフラックスやメッキ処理等によりフェライト材料に悪影響を及ぼすことが想定され、電子機器の組み立て工程等で電子部品に対してどのような処理がなされるか分からないため、何らかのコーティング処理がなされていることが望ましい。

[0007] そこで、本発明の目的は、表面に部品を実装した場合に信頼性が低減する可能性を抑制することができる積層型インダクタ素子を提供することにある。

課題を解決するための手段

[0008] 本発明に係る積層型インダクタ素子は、磁性体層を含む複数層が積層されてなる積層基板と、該積層基板の層間に設けられたコイル導体を、前記積層基板の積層方向に接続したインダクタと、前記積層方向において前記積層基板を挟み込むように、前記積層基板に積層された一对の非磁性体層と、を備え、前記非磁性体層は低温同時焼成セラミックを有している。

[0009] この構成では、最外層である非磁性体層が低温同時焼成セラミックを有するため、非磁性体層に電子部品を実装する際の半田付けやメッキ等の処理に対する耐環境性を確保することができると共に、表面に部品を実装しても信頼性を損なうことを防止できる。また、非磁性体層が低温同時焼成セラミックを有するため、積層した磁性体層を焼成する際に同時焼成が可能となり、

積層型インダクタ素子の生産性を高めることができる。

- [0010] なお、非磁性体層は、表面の一部の必要箇所にもみ低温同時焼成セラミックが設けられて（塗布されて）いてもよいし、表面全体に設けられていてもよい。また、非磁性体層の主成分を低温同時焼成セラミックとしてもよい。
- [0011] 本発明に係る積層型インダクタ素子において、前記非磁性体層は、表面に形成された導体パターンと、該導体パターンおよび前記コイル導体を電氣的に接続するビア導体と、を有することが好ましい。
- [0012] この構成では、表面に形成した導体パターンと、磁性体層のコイル導体とを導通させることができ、配線構造を単純にできる。
- [0013] 本発明に係る積層型インダクタ素子において、前記積層基板は前記コイル導体の周囲に空隙を形成している構成でもよい。
- [0014] この構成では、コイル導体の間に空隙が設けられるため、軽負荷領域での積層型インダクタ素子におけるインダクタンス値を大きくすることができ、さらに、重負荷領域での直流重畳特性を維持させることができる。
- [0015] 本発明に係る積層型インダクタ素子において、前記磁性体層の熱膨張係数と前記非磁性体層の熱膨張係数との差分は、 $0 \text{ ppm}/^{\circ}\text{C}$ より大きく、 $1 \text{ ppm}/^{\circ}\text{C}$ 未満である構成が好ましい。
- [0016] この構成では、磁性体層および非磁性体層の熱膨張係数の差を小さくすることで、焼成時に、インダクタンス値を大きくするために設けた空隙にクラックが入ることを防止することができる。

発明の効果

- [0017] 本発明によれば、積層型インダクタ素子の表面に部品を実装しても信頼性を損なうことを防止でき、また、積層型インダクタ素子の生産性を高めることができる。

図面の簡単な説明

- [0018] [図1]特許文献1に記載の積層型セラミック電子部品の断面図。
[図2]積層型インダクタ素子の模式断面図。
[図3]図2に示す積層型インダクタ素子の焼成前の各層を示す積み図。

[図4]積層型インダクタ素子の他の例の模式断面図。

発明を実施するための形態

- [0019] 図2は積層型インダクタ素子の模式断面図である。図3は図2に示す積層型インダクタ素子の焼成前の各層を示す積み図である。本実施形態に係る積層型インダクタ素子は、例えば、携帯電話機等に搭載される非絶縁型DC-DCコンバータに用いられる。
- [0020] 積層型インダクタ素子1は、積層基板2とインダクタ3とを備える。積層基板2は、合わせて16層の磁性体層4と非磁性体層5とを積層した構成である。積層基板2の上面から数えて第1層、第8層、第16層が非磁性体層5となっており、それ以外の層が磁性体層4となっている。なお、図3に示す括弧書きは各層の番号を示している。例えば第1層の場合は(1)とする。
- [0021] 磁性体層4は、磁性を有するフェライトとセラミック材料とを主成分とするものである。磁性体層4は、焼成後の厚みが100~2000 μm 程度であり、透磁率が290程度であることが好ましい。
- [0022] 非磁性体層5は、非磁性なフェライトとセラミック材料とを主成分とするものである。非磁性体層5は、焼成後の厚みが10~100 μm 程度であり、透磁率が1程度であることが好ましい。最外層(第1層および第16層)となる非磁性体層5は、LTCC(低温同時焼成セラミックス)からなり、焼成後の厚みが10~400 μm 程度のカバー層6を有している。
- [0023] カバー層6を形成するLTCCは、約900 $^{\circ}\text{C}$ 程度以下の「低温」で焼成することが可能である。従って、これにより融点の低いCuやAgを使った後述のコイル導体等を内部に作りこんだ積層型インダクタ素子1は、カバー層6を同時に焼成して一体化することが可能となる。
- [0024] このカバー層6には、実装する電子部品の実装用端子となる実装ランド10A、10Bが設けられている。非磁性体層5の表面にLTCCのカバー層6を設けることで、実装ランド10A、10Bに電子部品を半田により実装する場合、カバー層6により半田が非磁性体層5に浸食することを防止でき

る。これにより、積層型インダクタ素子 1 の信頼性が低下することを防止できる。

[0025] インダクタ 3 は、積層基板 2 の基板積層方向を軸方向として複数のコイル導体 7 を、ビアホール導体（不図示）を介して螺旋状に接続した構成である。コイル導体 7 は、積層基板 2 の第 7 層と第 9 層とを除く第 5 層から第 12 層までの各層上面に設けられる。

[0026] インダクタ 3 の一端部、具体的には、第 5 層上面に設けられたコイル導体 7 の一端部は、ビアホール導体 8 A を介して積層基板 2 の第 2 層上面に設けられた導体 9 A に接続されている。第 1 層上面には、実装ランド 10 A が設けられており、第 1 層に形成されたビアホール導体 11 A を介して導体 9 A と実装ランド 10 A とが導通している。

[0027] また、インダクタ 3 の他端部、具体的には、第 12 層上面に設けられたコイル導体 7 の一端部は、ビアホール導体 8 B を介して積層基板 2 の第 16 層上面に設けられた導体 9 B に接続されている。第 16 層下面には、実装ランド 10 B が設けられており、第 16 層に形成されたビアホール導体 11 B を介して導体 9 B と実装ランド 10 B とが導通している。

[0028] なお、コイル導体 7 が形成されていない第 7 層および第 9 層の磁性体層 4 には、上下層のコイル導体 7 を導通させるためのビアホール導体 8 C, 8 D が形成されている。

[0029] すなわち、実装ランド 10 A, 10 B の間にコイルが接続された構成となり、実装ランド 10 A, 10 B の一方が入力端子となり、他方が出力端子となる。

[0030] 積層基板 2 において、インダクタ 3 が形成される第 5 層から第 12 層までの領域内、第 7 層の上面側および第 9 層の上面側には空隙部 12 が設けられている。製造段階では、図 3 に示すように第 7 層の上面側および第 9 層の上面側にカーボンや樹脂等の焼失材ペースト 12 A を塗布し、焼失材ペースト 12 A を積層基板 2 の焼成時に焼失させて、空隙部 12 が形成される。焼失材ペースト 12 A は環状に塗布していて、これにより螺旋状に形成されるイ

ンダクタ内に空隙部 1 2 が設けられるようにしている。

- [0031] 空隙部 1 2 を設けないと、磁性体層 4 の熱膨張係数と非磁性体層 5 の熱膨張係数との差により、焼成後の積層基板 2 内には圧縮応力がかかるため、鉄損によるコイルの効率低下が生じることとなる。このため、空隙部 1 2 を設けることで、コイル導体 7 の周辺部の応力を緩和させることができ、鉄損抑制による電圧の変換率向上、あるいはインダクタンス値の向上などのコイル特性を向上させることができる。
- [0032] またここでは、インダクタ 3 が形成される第 5 層から第 1 2 層までの領域の中間（第 8 層）に非磁性体層 5 を 2 層挿入することで、磁気ギャップを備えたインダクタとして各インダクタ 3 を構成している。インダクタ 3 に磁気ギャップを設けることによってインダクタンス値を向上させることができる。そして、それらの非磁性体層 5 の両面がコイル導体 7 で挟まれるように構成して、このことにより直流重畳特性を改善するようにしている。
- [0033] また、空隙部 1 2 を設ける場合、積層型インダクタ素子 1 において、磁性体層 4 の熱膨張係数と非磁性体層 5 の熱膨張係数との差分は、0 より大きく、 $1 \text{ ppm}/^\circ\text{C}$ 未満であることが好ましい。熱膨張係数の差を小さくすることで、焼成時に、インダクタンス値を大きくするために設けた空隙部 1 2 を起点とするクラックの抑制を図ることができる。
- [0034] なお、積層型インダクタ素子 1 の製造には、未焼成のセラミックグリーンシートを積層して焼成する製法であればどのような製法を用いてもよい。そのため、例えば無収縮工法によって積層型インダクタ素子 1 を製造することもできる。
- [0035] 無収縮工法は、低温焼成可能なセラミックグリーンシートと低融点金属による導体パターンとを積層してなる未焼成の多層セラミック体を構成し、その上下両主面にアルミナ等による拘束層材料を $50 \sim 1000 \mu\text{m}$ 挟み、 $850 \sim 990^\circ\text{C}$ 程度で焼成させた後、拘束層材料を除去するという工法である。この工法によれば、基板の反りや歪みを抑制することができる。
- [0036] なお、図 2 では、非磁性体層 5 の表面一面にカバー層 6 を設けているが、

実装ランド9 A, 9 B以外の部分にカバー層を設けてもよい。図4は積層型インダクタ素子1の他の例の模式断面図である。図4に示すように、実装ランド10 A, 10 Bは非磁性体層5の表面に直接設け、実装ランド10 A, 10 Bの周囲、すなわち、非磁性体層5が露出している部分にのみL T C Cからなるカバー層6を設けるようにしてもよい。

[0037] なお、積層型インダクタ素子1の具体的構成などは、適宜設計変更可能であり、上述の実施形態に記載された作用及び効果は、本発明から生じる最も好適な作用及び効果を列挙したに過ぎず、本発明による作用及び効果は、上述の実施形態に記載されたものに限定されるものではない。

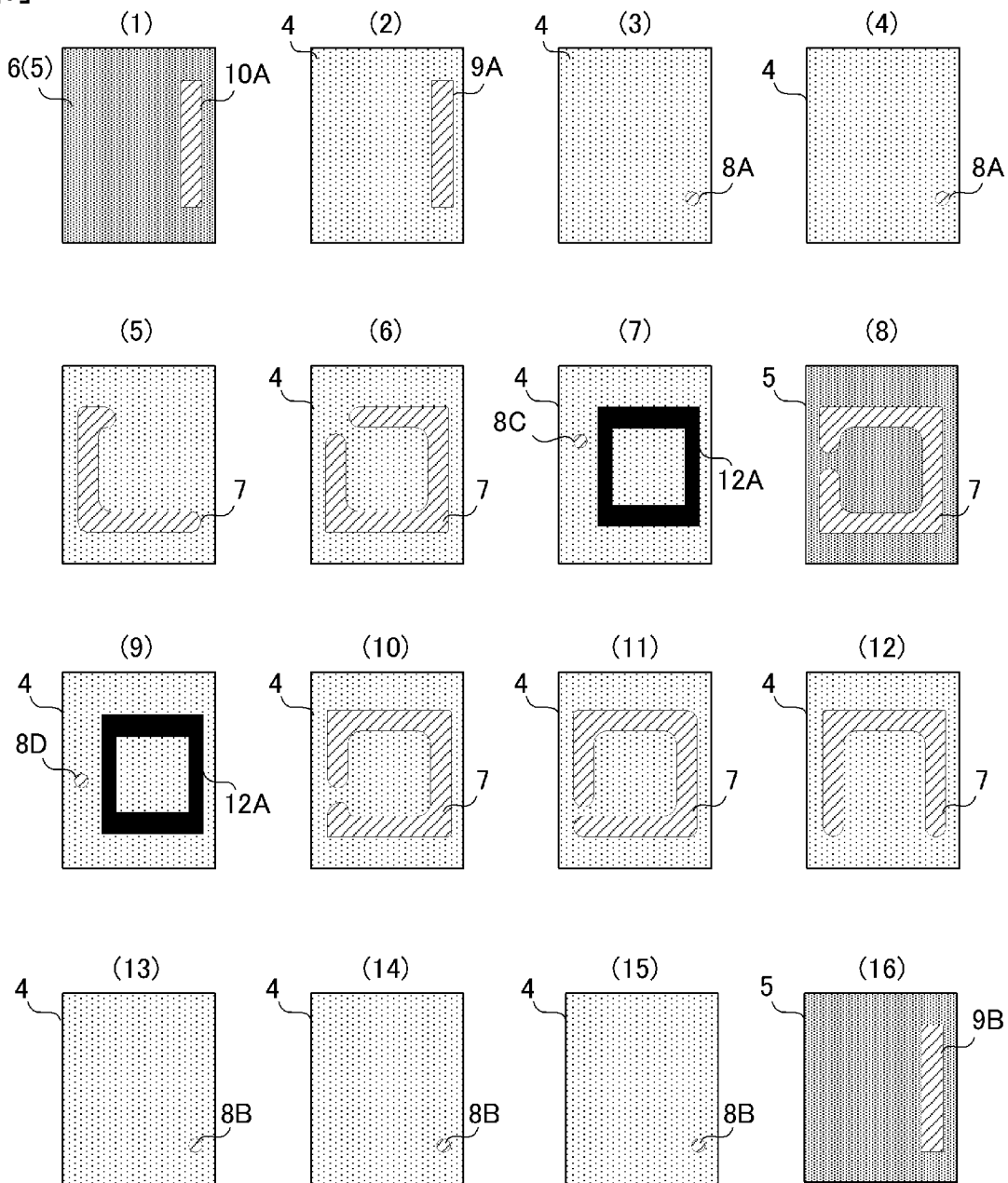
符号の説明

- [0038] 1－積層型インダクタ素子
2－積層基板
3－インダクタ
4－磁性体層
5－非磁性体層
6－カバー層（低温同時焼成セラミック）
7－コイル導体
10 A, 10 B－実装ランド（導体パターン）
11 A, 11 B－ビアホール導体（ビア導体）
12－空隙部

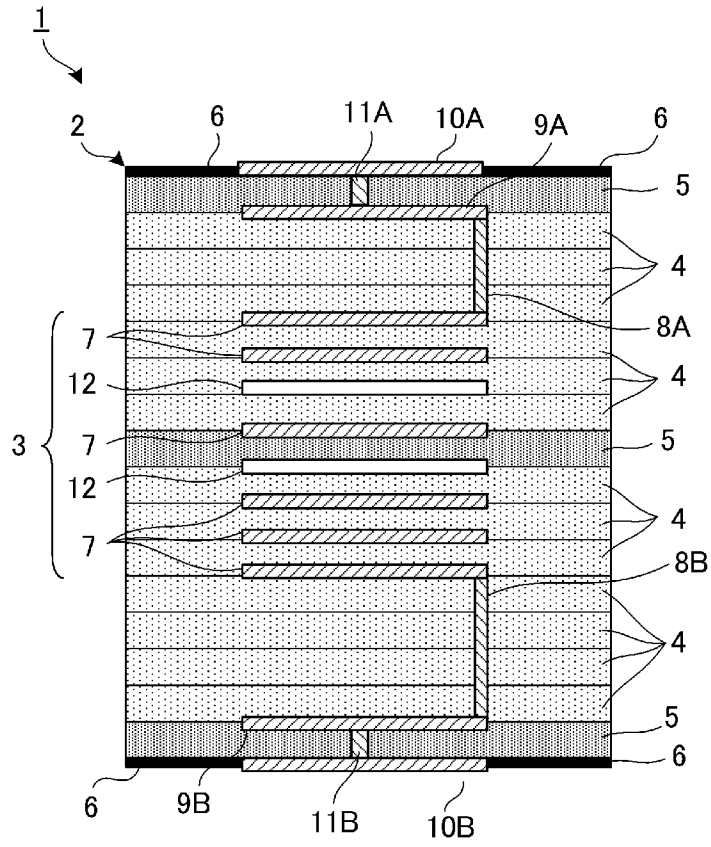
請求の範囲

- [請求項1] 磁性体層を含む複数層が積層されてなる積層基板と、
該積層基板の層間に設けられたコイル導体を、前記積層基板の積層方向に接続したインダクタと、
前記積層方向において前記積層基板を挟み込むように、前記積層基板に積層された一对の非磁性体層と、
を備え、
前記非磁性体層は低温同時焼成セラミックを有している、積層型インダクタ素子。
- [請求項2] 前記非磁性体層は、
表面に形成された導体パターンと、
該導体パターンおよび前記コイル導体を電氣的に接続するビア導体と、
を有する請求項1に記載の積層型インダクタ素子。
- [請求項3] 前記積層基板は前記コイル導体の周囲に空隙を形成している、請求項1又は2に記載の積層型インダクタ素子。
- [請求項4] 前記磁性体層の熱膨張係数と前記非磁性体層の熱膨張係数との差分は、 $0 \text{ ppm}/^\circ\text{C}$ より大きく、 $1 \text{ ppm}/^\circ\text{C}$ 未満である、請求項3に記載の積層型インダクタ素子。

[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076478

A. CLASSIFICATION OF SUBJECT MATTER

H01F17/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01F17/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2007/145189 A1 (Murata Mfg. Co., Ltd.), 21 December 2007 (21.12.2007), paragraphs [0030] to [0044], [0058], [0061]; fig. 1 to 3 & US 2009/0068426 A1 & EP 2028664 A1 & KR 10-2008-0110899 A & CN 101467221 A	1-4
Y	JP 9-283359 A (Matsushita Electric Industrial Co., Ltd.), 31 October 1997 (31.10.1997), entire text; all drawings (Family: none)	1-4

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 February, 2012 (06.02.12)

Date of mailing of the international search report
14 February, 2012 (14.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076478

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-64421 A (Murata Mfg. Co., Ltd.), 08 March 1996 (08.03.1996), claim 6; paragraphs [0022] to [0035]; fig. 1 to 7 (Family: none)	3-4
Y	JP 2006-352018 A (TDK Corp.), 28 December 2006 (28.12.2006), paragraphs [0013] to [0028]; fig. 1 to 4 (Family: none)	3-4
A	JP 2007-266245 A (Kyocera Corp.), 11 October 2007 (11.10.2007), paragraphs [0006] to [0007]; fig. 2 (Family: none)	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01F17/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01F17/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2007/145189 A1 (株式会社村田製作所) 2007.12.21, 段落 [0030]-[0044], [0058], [0061], 図 1-3 & US 2009/0068426 A1 & EP 2028664 A1 & KR 10-2008-0110899 A & CN 101467221 A	1-4
Y	JP 9-283359 A (松下電器産業株式会社) 1997.10.31, 全文, 全図 (フ ァミリーなし)	1-4
Y	JP 8-64421 A (株式会社村田製作所) 1996.03.08, 請求項 6, 段落 【0022】 - 【0035】, 図 1-7 (ファミリーなし)	3-4

C 欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 06.02.2012	国際調査報告の発送日 14.02.2012
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 久保田 昌晴	5 R	4 2 3 0
	電話番号 03-3581-1101 内線 3565		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-352018 A (TDK 株式会社) 2006. 12. 28, 段落【0013】-【0028】, 図 1-4 (ファミリーなし)	3-4
A	JP 2007-266245 A (京セラ株式会社) 2007. 10. 11, 段落【0006】 - 【0007】, 図 2 (ファミリーなし)	1-4