



(12)发明专利

(10)授权公告号 CN 104426552 B

(45)授权公告日 2018.06.19

(21)申请号 201410401228.1

(22)申请日 2014.08.15

(65)同一申请的已公布的文献号

申请公布号 CN 104426552 A

(43)申请公布日 2015.03.18

(30)优先权数据

61/867,233 2013.08.19 US

14/222,223 2014.03.21 US

(73)专利权人 美国亚德诺半导体公司

地址 美国马萨诸塞州

(72)发明人 B·谢佛 赵冰

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51)Int.Cl.

H03M 1/66(2006.01)

(56)对比文件

CN 102291148 A, 2011.12.21,

US 8154432 B2, 2012.04.10,

US 6035320 A, 2000.03.07,

CN 102291148 A, 2011.12.21,

审查员 孟祥宏

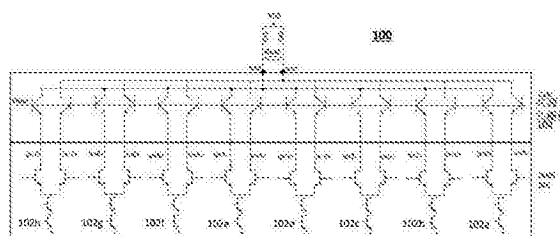
权利要求书3页 说明书17页 附图4页

(54)发明名称

高输出功率数模转换系统

(57)摘要

本发明公开了一种数模转换器(DAC)设计,其是适合于例如在射频应用中提供高输出功率的高速DAC。DAC设计采用了例如具有8个并行DAC和集成电流输出的并行DAC结构,以提供高和可编程的电流输出(在某些实施方式中,高达512毫安或更多)。并行DAC结构减轻了在试图使用单个DAC输出高量电流中存在的设计问题。该DAC设计进一步采用了混合结构,其集成信号链用于更可靠的系统。在一些实施例中,该混合结构采用了电流源和开关的CMOS处理以及GaAs共源共栅级,用于组合输出以最佳利用两种技术的优点。结果是高效率的DAC(可编程的峰值输出功率高达29dBm或更多)。



1. 一种数字-模拟转换器 (DAC), 该DAC包括:
M个并行DAC核心, 其中:
M是大于或等于4的整数;
每个DAC核心都将数字输入信号转换为模拟输出信号;
每个DAC核心包括两个差分输出; 以及
相同的输入数字字被提供作为所述M个并行DAC核心中的每个的数字输入信号; 以及
共源共栅级, 包括M个并行共源共栅, 每个共源共栅都并行地直接连接到所述M个并行DAC核心中相应的DAC核心的所述两个差分输出, 用于组合所述M个并行DAC核心的输出, 以提供总的模拟输出。
2. 根据权利要求1所述的DAC, 其中, M大于或等于8。
3. 根据权利要求1所述的DAC, 其中:
所述M个并行DAC核心使用下列的任意一种或多种构建: 互补金属氧化物半导体 (CMOS) 技术、双极互补金属氧化物半导体 (BiCMOS) 以及绝缘体上硅 (SOI); 以及
所述共源共栅级包括砷化镓 (GaAs) 共源共栅和/或氮化镓 (GaN) 共源共栅。
4. 根据权利要求1所述的DAC, 其中:
所述M个并行共源共栅每个都直接通过迹线网络连接到对应的并行DAC核心。
5. 根据权利要求1所述的DAC, 其中:
所述M个并行DAC核心包括M个差分输出对或2M个差分输出;
所述M个并行共源共栅中每一个包括差分输入对或2个差分输入; 以及
所述M个并行DAC核心的M个差分输出对或2M个差分输出通过迹线网络分别直接连接到所述M个并行共源共栅的M个差分输入对或2M个差分输入。
6. 根据权利要求1所述的DAC, 其中:
所述M个并行DAC核心被组合为成对的2并行DAC, 在DAC的硬件布局中作为M/2个双DAC。
7. 根据权利要求6所述的DAC, 其中:
M个并行DAC中的每个都包括 (1) 电流源阵列, 以及 (2) 切换池和切换驱动器; 和
(1) 电流源阵列和 (2) 切换池和切换驱动器在DAC的硬件布局中被布置在M/2个双DAC的外部区域中。
8. 根据权利要求6所述的DAC, 其中:
每个双DAC包括DAC解码器和高速多路转换器; 以及
DAC解码器和高速多路转换器在各个双DAC的两个并行的DAC之间共享。
9. 根据权利要求6所述的DAC, 其中:
每个相邻的双DAC的硬件布局被翻转, 以补偿定时偏移和/或梯度。
10. 根据权利要求6所述的DAC, 还包含:
每个双DAC的硬件布局具有N个单元的阵列, 用于接收和处理以N位的特定顺序布置的数字字的N位; 以及
对于双DAC, N个单元的阵列处理的N位的特定顺序在常规顺序和颠倒顺序之间交替。
11. 根据权利要求6所述的DAC, 其中:
每个双DAC的硬件布局具有X+Y个单元的阵列, 用于接收和处理X个最低有效位和Y个最高有效位;

X+Y个单元的阵列包括布置在所述硬件布局中的顶部部分、中间部分以及底部部分；
用于接收和处理最低有效位的单元被分配在顶部部分和底部部分；以及
用于接收和处理数字输入字的最高有效位的单元被分配在中间部分。

12. 根据权利要求6所述的DAC, 其中:

每个双DAC的硬件布局都具有N个单元的阵列, 用于接收和处理数字输入字的N位;
对于每隔一个的双DAC, N个单元的阵列接收和处理以N位的第一顺序布置的N位;
对于其它双DAC, N个单元的阵列接收和处理以N位的第二顺序布置的N位; 以及
其中所述第二顺序与所述第一顺序互补。

13. 根据权利要求12所述的DAC, 其中:

通过如下来定义N位的第一顺序: 针对所述N个单元的阵列的连续部分, 根据位的位置, 将偶数位置中的至少一些位以升序来布置, 以及针对所述N个单元的阵列的所述连续部分, 根据位的位置, 将奇数位置中的至少一些位以降序来布置。

14. 根据权利要求12所述的DAC, 其中:

通过如下来定义N位的第一顺序: 针对N个单元的阵列的至少连续部分, 将偶数位置中的至少一些位以升序顺序布置作为第一顺序中的每隔一个的位, 以及针对N个单元的阵列的所述连续部分, 将奇数位置中的至少一些位以降序布置作为第一顺序中的其它位。

15. 根据权利要求1所述的DAC, 其中:

DAC产生具有在256毫安到512毫安之间的电流的模拟输出信号。

16. 根据权利要求1所述的DAC, 其中:

DAC产生具有在512毫安到3安培之间的电流的模拟输出信号。

17. 一种数字-模拟转换器 (DAC) 系统, 用于将数字输入信号转换为模拟输出信号, 所述DAC系统包括:

DAC级, 其包括M个并行DAC核心, 其中

M等于或大于4; 以及

每个DAC核心包括两个差分输出;

包括M个并行共源共栅的共源共栅级, 每个共源共栅都直接连接到所述M个并行DAC核心中的相应的DAC核心的所述两个差分输出, 共源共栅级被配置为放大和组合所述M个并行DAC核心的输出, 其中DAC级中的所述M个并行DAC核心的输出以及共源共栅级中共源共栅的输入通过迹线网络直接相连; 以及

数字预失真处理器, 用于 (1) 提供非线性的反转作为到DAC级和/或共源共栅级的输入, 以补偿DAC级和/或共源共栅级的非理想误差, 和/或 (2) 还原理想波形, 以补偿存在于DAC级和/或共源共栅级中的非理想误差。

18. 根据权利要求17所述的DAC系统, 其中, M大于或等于8。

19. 根据权利要求17所述的DAC系统, 其中, 所述数字预失真处理器是开环数字预失真处理器。

20. 一种用于提供有限脉冲响应滤波器 (FIR) 的装置, 该装置包括:

M个并行DAC核心, 其中

M是大于或等于4的整数,

每个DAC核心包括两个差分输出; 以及

每个DAC核心都将数字输入信号转换为模拟输出信号；

共源共栅级,包括M个并行共源共栅,每个共源共栅都直接连接到所述M个并行DAC核心中的相应的DAC核心的所述两个差分输出,用于组合所述M个并行DAC核心的输出,以提供总的模拟输出；

数字信号处理器,被配置以将不同的输入代码分配到所述M个并行DAC核心,用于使用所述M个并行DAC提供有限脉冲响应(FIR)滤波器；

共源共栅级,包括连接到所述M个并行DAC核心的M个共源共栅的网络,所述共源共栅级被配置为执行FIR滤波器的求和；

其中：

所述M个并行DAC的每个都使用不同的输入代码以实施用于FIR滤波器的延迟；

所述M个并行DAC的每个都包括电流源阵列,用于执行用于FIR滤波器的线性乘法；和

所述M个并行DAC的每个的输出电流都是可编程的,以对应于FIR滤波器的乘法系数。

高输出功率数模转换系统

[0001] 优先权的数据

[0002] 本申请是于2013年8月19日提交的、标题为“HIGH OUTPUT POWER DIGITAL-TO-ANALOG CONVERTER SYSTEM”的美国临时申请61/867,233的非临时申请(代理人案卷号ACQ165-1-US)。该引用的临时申请通过引用并入本文。

[0003] 本公开的技术领域

[0004] 本发明总体上涉及提供数字-模拟转换器,并且更具体地涉及提供包括多个平行的数字-模拟转换器的高输出功率的数字-模拟转换器。

背景技术

[0005] 数模转换器在电子设备中是无处不在的,其中数字信号转换成模拟信号,例如,用于输出或传输。数模转换器被用于多种应用,包括音频输出系统和射频发射器。对DAC有无数种设计,以及这些设计可以根据应用和性能要求而有所不同。

发明内容

[0006] 本发明公开了一种数模转换器(DAC)设计,其是适合于例如在射频应用中提供高输出功率的高速DAC。DAC设计采用了例如具有8个并行DAC和集成电流输出的并行DAC结构,以提供高和可编程的电流输出(在某些实施方式中,高达512毫安或更多)。并行DAC结构减轻了试图使用单个DAC输出高量电流中存在的设计问题。该DAC设计进一步采用了混合结构,其集成信号链用于更可靠的系统。在一些实施例中,该混合结构采用了电流源和开关的CMOS处理以及GaAs共源共栅级,用于组合输出以最佳利用两种技术的优点。结果是高效率的DAC(可编程的峰值输出功率高达29dBm或更多)。

附图说明

[0007] 图1是示出根据本发明的一些实施例的数字-模拟转换器的简化电路图;

[0008] 图2是示出根据本发明的一些实施例的数字-模拟转换器的简化电路图;

[0009] 图3示出根据本发明的一些实施例的数字-模拟转换器的示例性布局;

[0010] 图4示出根据本发明的一些实施例,用于在四个双数字-模拟转换器内核中接收并处理输入单词的四个阵列单元;

[0011] 图5示出根据本发明的一些实施例的高输出功率DAC系统的示意系统图;以及

[0012] 图6示出根据本发明的一些实施例的另一个高输出功率的DAC系统的示例性系统图。

具体实施方式

[0013] 发射器是通过线路或通过空中发送信号以允许远程设备相互通信的电子电路。发送器被用在许多电子设备中,诸如基站、广播基础设施设备、移动设备、无线电设备、以及被配置为发送信号至另一电子设备的任何实际上任何电子设备。典型地,数字系统生成要传

达的数字信息,以及发射器被提供在数字系统和在其上传送信息的介质之间。发射机将来自数字系统的数字信息(例如,在数字信号中)转换成适合于在介质上传输的模拟信号。例如,射频发射器可将基带上的数字信号转换成适合于在射频域传输的模拟信号。在一些情况下,发射器与作为收发器的一部分的接收器相结合。

[0014] 通常,射频(RF)发射器可以包括用于携带数据的数字信号源,用于将数字信号源转换为模拟信号的数字-模拟转换器(DAC),和用于在通过空中或电缆发送信号之前放大模拟信号的功率放大器。随着移动设备变得无处不在,提供非常有效的射频发射机和基站的需要也上升了。提高射频(RF)发射器的效率是在RF设计的主要目标之一。

[0015] 在一些RF设计中,DAC的输出功率对于确保DAC以及功率放大器的高效率是重要的。DAC和功率放大器的更高效率可以提高性能并降低成本。功率等于电压和电流的乘积,以及增加DAC的电压和电流不是简单的任务。在提供高功率输出的DAC的硬件中存在着挑战。更多的挑战存在于确保具有高输出功率的DAC是可靠的并能产生高质量的模拟输出(具有较少噪声)。当DAC用于数字预失真(DPD)系统中尤其如此,当DAC具有较少的随机误差时它通常执行得更好。

[0016] 在射频系统中使用的常规发射器DAC患有漏极效率问题(通常小于1%)。此外,一些发射器DAC通常具有20mA至30mA的低输出电流(以及具有相对较低的功率)。随着发射系统持续要求更高的容量和带宽,对于具有功率高效的高功率发射机DAC的需求上升。为此,并不是依赖于使用单个DAC提供高电流输出(其可以是不可靠的),本发明公开了一种包括多个平行DAC核心的DAC。这些DAC内核可以集成产生高量的输出电流并提供各种设计优势。

[0017] 在一些实施例中,本发明涉及到包括四个、六个或八个(或甚至更多)并行DAC核心的DAC系统。根据本公开的一个方面,相同的输入字可被提供作为并行DAC核心的数字输入信号,以及DAC核心的输出可以被组合以提供聚合的模拟输出。根据另一个方面,所述DAC的输出被放大并在共源共栅级中组合在一起。共源共栅级可包括直接连接到八个并行DAC核心的八个(或更多)的平行共源共栅。共源共栅级可包括功率组合网络以在共源共栅的输出组合输出功率。本公开进一步描述了设计的特点,其解决了在包含并行DAC的布局中出现的热稳定性和定时偏斜的问题。

[0018] 该架构提供了一种结合了两种不同的处理技术的混合且集成的结构,一种技术用于并行DAC结构以产生高电流输出,而另一种技术用于将共源共栅级以产生高电压输出。具体而言,DAC通过多芯片模块(MCM)上结合互补金属氧化物半导体(CMOS)处理和高击穿电压化合物半导体(例如,砷化镓(GaAs))而在转换器设计中集成功率电子。

[0019] 概括地说,并行DAC核心可以使用如下中的任何一个或多个构建:互补金属氧化物半导体(CMOS)技术、双极互补金属氧化物半导体(BiCMOS)、硅绝缘体上(SOI)或任何其它合适的材料。共源共栅级可以采用如下的任何一个或多个构建:砷化镓(GaAs)共源共栅和/或氮化镓(GaN)共源共栅,或使用任何其他合适的材料制成的共源共栅。

[0020] 在细线CMOS处理中产生并切换电流是功率高效且快速的,但晶体管上的电压摆动是有限的。亚微米CMOS处理的另一个优点是可集成在合理的功率/面积需求的数字信号处理量。GaAs共源共栅级的高击穿电压可实现高输出摆动,并同时限制在CMOS DAC上的电压。因此,所得到的DAC合并CMOS中的电流导引DAC核心以及GaAs中的共源共栅输出驱动级以最佳地利用这两种技术的优点。在DAC中将信号生成功能和功率放大功能集成在一起允许设

计者设计使用DAC的更大功率并从而提高性能。

[0021] 其结果是具有高输出功率和高漏极效率的DAC系统。在一些应用中(例如,取决于输出功率的要求),DAC系统的高输出功率可不需要具有RF发射器中的功率放大器,或减轻在该RF发射器中具有极高增益的功率放大器的需要,从而大大简化了射频发射机的整体设计。此外,DAC级和共源共栅级的组合系统提供的信号链的更加无缝的集成,这增加了诸如稳定性、更小的尺寸、更低的成本、更高的性能以及更高的功率效率的优势。

[0022] 集成RF发射器的发射路径的信号生成和功率部分是朝着沿信号链实现高层次集成的重要步骤。为了在射频(RF)DAC中高效地产生高输出功率存在许多挑战以及技术困难。本公开的实施方案旨在实现高输出功率和高漏极效率并同时克服这些困难。

[0023] 平行DAC结构

[0024] 图1是示出根据本发明的一些实施例的数字-模拟转换器(系统)的简化电路图。该DAC系统100包括八个并行DAC核心102a-h。每个DAC核心可使用合适的CMOS DAC电路(诸如所示的)实施,该电路配置以接收数字信号输入编码,并输出一对差分信号(例如,最右边DAC核心的 $i_{p<0>}$, $i_{n<0>}$)。虽然示出八个DAC核心,可以想到的是其它数量的DAC核心也可以使用,其中DAC系统(或DAC系统的DAC级)可以包括在DAC系统的硬件布局中被复制的多个DAC核心结构。例如,可以设想在DAC系统中提供2、4、6、8、10、12、14、16、18、20、22、24(等)个DAC核心。

[0025] 有利的是,当由八个独立并行DAC核心共同而不是由单个DAC核心提供高输出电流时,DAC硬件部分的设计要求可放宽(即,对于单独DAC的设计要求)。不仅设计要求可适当放宽,当结合输出时并行DAC核心的叠加效应提供了高(聚合)电流输出。因此,DAC系统能提供高输出功率,并同时保持在每个并行DAC核心的效率和可靠性。

[0026] 在一个实施例中,相同的输入代码被提供给每个并行DAC核心,以及来自并行DAC的输出可以在输出端组合以产生高(聚合)电流输出,用于提供高功率输出的DAC。每个DAC可以具有可编程的电流输出,其中每个DAC核心可产生超过32毫安,并在某些情况下可达64毫安。值得注意的是,这种范围的电流超过了市场上现有的DAC核心。在某些情况下,每个DAC核心可产生40或更多毫安并高达64毫安,或50或更多毫安并高达64毫安。

[0027] 当八个并行DAC核心的输出被组合或聚合时,DAC系统可以产生具有超过256毫安并达512毫安的模拟输出信号。与不使用并行DAC核心(产生大致最大为30毫安)或少于八个并行DAC核心的DAC相比,DAC系统可以有利地产生50毫安或以上并达512毫安、75毫安或以上并达512毫安、100毫安或以上并达512毫安、200毫安或以上并达512毫安、300毫安或以上并达512毫安、或400毫安或以上并达512毫安。进一步需要注意,使用八个并行DAC核心的该DAC系统的电流范围产生市场还没有见过的大量电流。虽然在一些情况下,单个DAC核心可以被配置为产生高的电流。但在该DAC核心中,静态和定时匹配、热稳定性等成为巨大的设计挑战。在一些实施例中,具有四个或更多的并行DAC核心的DAC系统可以通过产生从100毫安到3安、从100毫安到3安、从500毫安到3安等的不同输出电流范围而最佳地操作。单个DAC核心产生该高输出电流电平是不实际的。不仅DAC系统能产生高电流输出,而且每个DAC核心的可编程性向高度灵活的DAC系统提供了高功率输出。

[0028] 集成并行DAC可以解决通信基础设施段和无线基础设施段,诸如电缆调制解调器终端系统(CMTS)、分布式天线系统网络、微小区基站等。不同的输出功率电平被各种应用所

需要,其范围可从约20dBm到约40dBm。因此,输出功率或输出电流的要求是一个关键的参数。在本发明中所描述的具有平行DAC结构的DAC系统可以有利地实现以满足不同的输出功率的要求。

[0029] 共源共栅级

[0030] 和集成的并行DAC核心一起,共源共栅级经提供以实现更好的性能并满足广泛的应用所要求的各种输出功率需求。在一些实施例中,共源共栅级104被提供在的DAC系统100中。共源共栅级可以承受较大的电压摆动,这也使得DAC系统100实现更高的功率输出。共源共栅级可包括八个并行的共源共栅,它们直接连接到八个并行DAC核心的(差分)输出。共源共栅的输出可以在共源共栅级中的功率合成网络中结合起来以有效地组合并放大来自八个并行DAC核心的输出,用于提供聚合(高电流和高电压)的模拟输出(表示为图1中的“outp”和“outn”,图1示出生成差分聚合模拟输出的实施例)。

[0031] 在一些实施例中,采用CMOS技术(例如,65nm CMOS技术)制造八个并行DAC核心,以及共源共栅级包括基于GaAs的共源共栅。其结果是使用混合方法制造的芯片。GaAs的高分解电压可实现高输出电压摆动,这对于电压放大是有利的,因为当对并行DAC核心使用65nm CMOS技术时八个平行的DAC仅限于1.3V。同时,CMOS技术提供了非常的功率高效且快速的电流生成和切换。通过提供源共栅级,整体DAC系统100能提供高电压和高电流输出,并通过限制并行DAC核心的电压摆动到适当水平而确保CMOS DAC核心的可靠性。提供充分利用(leverage) CMOS和GaAs技术的优点的两级放大处理,多芯片模块可用于集成并行DAC核心和共源共栅级。

[0032] DAC核心和共源共栅级之间的接口

[0033] 图2是示出根据本发明的一些实施例的数字-模拟转换器(系统)的简化电路图。为了将DAC核心202直接连接到共源共栅级204,互连网络206或者迹线网络可经提供以利用每个DAC核心的单独迹线而将DAC核心的输出连接到共源共栅级。例如,八个并行DAC核心可具有八个差分输出对(或十六个差分输出),以及八个共源共栅可以具有八个差分输入对(或十六个差分输入)。通过互连网络206中的十六个迹线(迹线组成的网络),DAC核心直接连接到共源共栅。

[0034] 当设计诸如图1所示的DAC系统时,在DAC核心的输出出现的瞬态电流的过冲是要考虑的多个问题之一。在每个数据转换的时刻(当输入数据转换的时刻),大的瞬时电流出现在DAC核心的输出。来自DAC核心的电流源单元的切换瞬时电流可在DAC输出相加在一起。具体而言,当输出迹线具有较大的寄生电感时,切换瞬时电流可产生巨大的过冲。过冲可导致DAC核心中开关的漏极电压超过DAC核心中CMOS晶体管的兼容范围。当漏极电压过低时,它可以限制电流源的正常运行。当漏极电压过高时,漏极电压可以超过在CMOS中所允许的最大工作电压并引起DAC核心中的可靠性问题。因此,严格的设计约束被施加给输出迹线以保证输出迹线的电感较低,以避免瞬时电流的巨大过冲。

[0035] 通过提供单独的迹线以将DAC核心的输出连接到共源共栅级的输入,每对输出的瞬时电流可以减小,从而减少了关于电感缓解的叠层复杂性。迹线的宽度和长度和迹线之间的间距确定了互连网络的寄生电感,并因而直接影响系统的性能。通过每个迹线携带较低电流(相对于在DAC核心携带较大电流相比),施加在迹线上的约束放松了并提供了更大的设计自由度。通过使用多个DAC核心并为每个这些DAC核心使用单独的迹线,输出迹线上

的瞬时电流可对于单独的迹线有效地 (并更容易地) 降低, 从而使得优化共源共栅系统的叠层互连网络设计。

[0036] 当提供高电流输出系统时电迁移是需要考虑的另一个问题。具体而言, 高电流系统中的电迁移可靠性是关键的可信性问题并可对设计施加限制因素。通过实施具有高达64毫安的电流输出的DAC核心, 而不是具有高达512毫安的电流输出的单个DAC, 设计要求的放松的。通过将DAC核心直接连接到共源共栅级, 可以避免在CMOS技术上引入高电流 (例如, 512毫安) 的困难, 并因此减轻CMOS设备的热应力的问题。例如, 较窄的金属宽度和更少的金属层叠足以提供迹线网络的可行设计。宽松的限制极大地简化了芯片的物理实现, 并帮助确保系统的长期可靠性。

[0037] 将DAC核心直接连接到共源共栅级的设计避免在DAC核心的输出结合来自DAC核心的输出 (功率)。因为功率组合网络在共源共栅级的输出被更好地提供, 来自DAC核心的输出功率 (相反) 在共源共栅级结合。实际上, 功率组合网络从DAC输出中移除并置于级联级, 从而减轻功率组合网络可施加于DAC的设计约束。输出功率组合网络通常需要足够的电流驱动能力、最小的基波功率损失和较宽的带宽。优选地, 输出功率组合网络可以结合功率输出而不限制DAC核心的动态性能。对于在DAC核心的输出组合高电流的常规设计中, 输出负载需要足够小以保持DAC的输出低电压摆幅, 但同时足够大以实现期望的输出功率。竞争的因素会导致设计上的折衷, 从而限制系统的最大输出功率。

[0038] 通过从DAC的输出取出功率组合网络, DAC核心具有更少的输出电流, 以及施加于DAC的输出负载的要求放松了。例如, 在GaAs双极结型晶体管 (BJT) 的发射极的电压摆幅可以保持较低, 这对于DAC设计是有利的。高输出电压摆幅在GaAs共源共栅级的集电极是可用的, 允许进一步的优化以满足高输出功率的目标。这也允许DAC设计的更大的振幅/相位/定时设计的灵活性。在设计中提供两种不同的处理技术分离在每级的设计要求。此外, 从DAC核心的输出去除功率组合网络允许使用不同的处理技术以更好地满足功率组合网络的需求, 并因此获得这两种技术的优势。

[0039] 双DAC结构

[0040] 图3示出根据本发明的一些实施例的数字-模拟转换器 (或在DAC系统中的数字-模拟转换器级阶段) 的示例性布局。设计包括许多并行DAC核心的DAC级的硬件配置可以很复杂。简化DAC级设计的一种方法是组合/结合平行的DAC核心, 并复制分组的DAC核心, 用于在DAC级中的所需数量的并行DAC核心。

[0041] 在一些实施例中, 八个并行DAC核心被分组到四个双DAC结构 (双DAC 302a、302b、303c、302d), 作为成对的两个并行DAC核心。每个DAC核心/结构包括电流源的阵列 (示为图3中的“电流阵列”)、切换池 (示为图3中的“切换池”) 和切换驱动器 (示为图3中的“切换池”)。此外, 并行DAC核心可包括DAC解码器 (示为图3中的“DAC解码器”) 和高速多路转换器 (示为图3中的“高速多路复用器”)。如果并行DAC核心被分组在一起并如果相同的输入字被提供给每一个并行DAC核心, DAC解码器和/或高速多路转换器可在每对DAC核心之间结构上共享, 以减少设计的复杂性、减轻热应力并提高效率。

[0042] 当在DAC系统中有许多DAC核心时, 热应力可引起人们的关注。特别是, 用于每个并行DAC核心的电流源阵列、切换池和切换驱动器往往在操作期间非常热。由于金属和环绕材料之间的热膨胀系数有所不同, 模具上的热应力可导致金属连接断裂或故障, 从而导致性

能下降,以及在某些情况下设备的致命故障。在高输出功率的DAC系统中产生的热量可以沿着多条路径散热,其中之一是从芯片表面通过凸点到叠层。该芯片的散热性能从而也显著影响层压材料的热稳定性。为了改善散热性能,在电流源阵列、切换池和切换驱动器(被示为图3中的八个平行和分段的结构)中的(块状和热)晶体管被布置/定位在每个双DAC的硬件布局的外部区域中。由晶体管产生的热量因而更均匀地分布在DAC300系统的硬件布局/芯片面积中,以提高芯片的热性能,从而达到足够的可靠性。此外,该设计避免了局部发热或避免了设备的热点。

[0043] 单元的倒装或互补排序

[0044] 在一些实施例中,为了减少定时偏差和渐变的影响,间隔的双DAC可以被倒装或在布局中进行补充。举例来说,DAC系统300可以具有配置/分组为四个双DAC结构302a、302b、303c、302d的八个并行DAC核心,间隔的双DAC(双DAC 302b、302d)被倒装或与布局中相邻的双DAC进行互补。在硬件配置的块级视图中,每个双DAC具有N个单元,用于接收和/或处理数字输入字的N位(一个单元用于接收/处理一位,例如,从DAC系统300的顶部到底部或一侧到另一侧配置),以及在DAC系统中的硬件在N个单元之间路由数字输入字中的N位,其中N位以特定顺序配置在布局中(其不是从最高有效位到最低有效位的自然顺序)。与布局相关的特定顺序可以相对于下一个/相邻双DAC翻转或与接下来/相邻双DAC进行补充。也可以在平行的DAC核心层(而不是在双DAC层),提供了该功能:提供定时偏移和梯度影响的减少,其中对于平行的DAC核心,所述N单元的排序可倒装或与接下来/平行的DAC核心进行补充。

[0045] 一般来说,在开关单元之间的时钟定时歪斜可导致开关瞬变中的错配。来自开关瞬态的误配的误差总结为非线性项并可导致扭曲。在一些实施例中,时钟信号从系统的底部分布,以及间隔的双DAC(例如,双DAC302b、302d)可以上下颠倒翻转(双DAC中的单元在布局中以相反顺序布置)或下一个/相邻的双DAC相互补充以补偿分段/定时偏移。以这种方式,数字输入字中的相同位被提供给单元,该单元在间隔双DAC中的单元阵列的顶部以及在其他双DAC的另一单元阵列的底部。通过翻转下一个/相邻双DAC的顺序或配置具有互补顺序的下一个/相邻双DAC,时序偏移所产生的问题可被平均化或减轻,以及实施时钟树结构的需要可被避免,因此使得硬件布局更容易并同时减轻电流密度的问题。参考图4进一步解释详细的示例。

[0046] 在硬件配置中,N个单元可被布置为单元阵列(布置成彼此相邻的硬件布局,例如,从顶部到底部,如图3和4所示)用于接收/处理以特定顺序配置的N位。当下一个/相邻双DAC的顺序关于双DAC在布局中倒装时,下一个/相邻双DAC中的N单元阵列处理的N位的顺序/配置相关于双DAC中的顺序进行反转。换句话说,用于接收/处理N位的双DAC的N个单元阵列中的DAC解码器、切换驱动器以及电流源阵列与接下来的/相邻双DAC的顺序相比以相反的顺序配置。当双DAC的顺序与接下来/相邻双DAC互补时,在下一个/相邻双DAC中的N个单元的阵列处理的N位的顺序/配置相关于双DAC的顺序互补或平衡(以减少定时偏差和渐变效果)。换句话说,用于接收/处理N位的双DAC的N个单元阵列中的DAC解码器、切换驱动器以及电流源阵列以互补由下一个/相邻DAC使用的顺序的顺序进行配置。

[0047] 根据一个方面,每个双DAC的硬件布局具有N个单元的阵列,用于接收和处理数字输入字的N位。对于间隔的双DAC,N个单元阵列接收并处理以N位的第一顺序配置的N位。例如,(图3和图4的)“双DAC的普通版本”具有N个单元的阵列,用于接收/处理以第一顺序配置

的N位。对于其他双DAC,例如,(图3和4的)“双DAC的翻转/互补版本”或“双DAC的普通版本”的下一个/相邻双DAC,N个单元的阵列接收并处理以N位的第二顺序配置的N位。第一顺序和第二顺序以该方式互补,以允许位更均匀的整体分布。在一些实施例中,第二顺序是第一顺序的逆顺序。

[0048] 根据另一个方面,每个并行DAC核心的硬件布局具有N个单元,用于接收和处理数字输入字的N位。对于间隔的并行DAC核心,N个单元的阵列接收并处理以N位的第一顺序配置的N位。例如,间隔的并行DAC核心,例如,并行DAC核心的普通版本具有N个单元,用于接收/处理以第一顺序配置的N位。对于其他并行DAC核心,例如,并行DAC核心的普通版本接下来/相邻的并行DAC核心,N个单元的阵列接收并处理以N位的第二顺序配置的N位。第一顺序和第二顺序以该方式互补,以允许位更均匀的整体分布。在一些实施例中,第二顺序是第一顺序的逆顺序。

[0049] 单元的系统化排序

[0050] 图4示出根据本发明的一些实施例,用于接收和处理在四个双数字-模拟转换器(DAC)核心中配置的输入字的四个单元阵列。在这个例子中,每个双DAC是分段DAC,用于处理最低有效位的X个数字以及最高有效位的Y个数字。数字输入字(通过硬件路由)中N位的系统化排序可经提供到以根据/排列特定顺序的N个单元的阵列,以最小化定时偏斜和/或渐变的效果。

[0051] 在一些实施例中,每个双DAC硬件布局具有X+Y个单元的阵列,用于接收和处理例如从顶部到底部配置的X个最低有效位和Y个最高有效位。一个或多个如下方面可用于位的系统化排序中。

[0052] 根据数字输入字中位的系统化排序的一个方面,考虑包括顶部部分、中间部分和底部部分的X+Y个单元的阵列。单元阵列的顶部部分和底部部分被认为外部部分或接近DAC系统的硬件布局的边缘。为了减轻边缘效应、来自相邻信道的影响以及其他因素,用于接收和处理最低有效位的单元被分布在顶部部分和底部部分。换句话说,至少一些或所有的X个最低有效位(较低性能的关键位,显示为“ilsb0”,...“ilsb8”)被分布在单元阵列的顶部。用于接收和处理数字输入字(更高性能的关键位,显示为“imsb0”,...“imsb30”)的最高有效位的单元分布在中间部分。换句话说,至少一些或所有的Y个最高有效位被分布在单元阵列的中间部分。

[0053] 为了更均匀地分布位的配置和顺序,N位的顺序可以通过根据位的位置以升序排列的偶数位置的位(例如,ilsb0、ilsb2、ilsb4、ilsb6、ilsb8、imsb0、imsb0、imsb2、imsb4,...imsb30),以及根据位的位置以降序排列的奇数位置的位(例如,imsb29、imsb27、imsb25、imsb23、imsb21,...imsb3、imsb1、ilsb7、ilsb5、ilsb3、ilsb1)进行定义。

[0054] 升序排列的位的配置可出现在单元阵列的连续部分中,其中N位的顺序可以通过根据N个单元阵列的连续部分的位的位置以升序排列的偶数位置的至少某些位和根据N个单元阵列的相同连续部分的位的位置以降序排列的奇数位置的至少某些位进行定义。

[0055] 为了提供N位的更均匀分布的顺序,偶数位置的某些位可以在配置上与奇数位置上的一些位交错排列。换句话说,按升序排列的偶数位置上的至少一些位被设置成每隔一位,以及以降序排列的奇数位置上的至少一些位被另一位(在单元阵列的连续部分中)。例如,Y个最高有效位可以根据如下顺序配置:其中偶数位置的位被设置为每隔一(一)位,以

及奇数位置的位被配置成其他位。

[0056] 在一些实施例中,交织在升序的偶数位置的位和降序的奇数位置的位可发生在单元阵列的连续部分(例如,中间部分的一部分或中间部分的全部),其中N位的顺序通过以升序的偶数位置的至少某些位(被配置为N个单元的阵列的连续部分的按序的每隔一位)以及以降序的奇数位置的至少某些位(作为用于N个单元的阵列的连续部分的按序的其他位)进行定义。

[0057] 如下示出表示上述各方面的表格,表示根据一个特定实施例双DAC的输入位的系统化排序(排序1),以便缓解双DAC的布局中的定时歪斜和渐变效果。注意,在图4所示的实施例中,双DAC在示例性排序1和示例性排序1的反转本本之间交替。

[0058] 示例性排序1

[0059]

位	部分	偶/奇位置
ilsb0	顶部	偶数
ilsb2	顶部	偶数
ilsb4	顶部	偶数
ilsb6	顶部	偶数
ilsb8	顶部	偶数
imsb0	中间	偶数
imsb29	中间	奇数
imsb2	中间	偶数
imsb27	中间	奇数

[0060]

imsb4	中间	偶数
imsb25	中间	奇数
imsb6	中间	偶数
imsb23	中间	奇数
imsb8	中间	偶数
imsb21	中间	奇数
imsb10	中间	偶数
imsb19	中间	奇数
imsb12	中间	偶数
imsb17	中间	奇数
imsb14	中间	偶数
imsb15	中间	奇数
imsb16	中间	偶数
imsb13	中间	奇数
imsb18	中间	偶数
imsb11	中间	奇数
imsb20	中间	偶数

imsb9	中间	奇数
imsb22	中间	偶数
imsb7	中间	奇数
imsb24	中间	偶数
imsb5	中间	奇数
imsb26	中间	偶数
imsb3	中间	奇数
imsb28	中间	偶数
imsb1	中间	奇数
imsb30	中间	偶数
ilsb7	底部	奇数

[0061]

ilsb5	底部	奇数
ilsb3	底部	奇数
ilsb1	底部	奇数

[0062] 总之,最低有效位可以被提供给阵列的外侧(在顶部和底部部分)的单元,以及更多的性能关键的最高有效位可以被提供给驻留/配置在阵列中间的单元,例如,imsb15位在阵列的中心(中间部分)。在双DAC核心的普通版本中,偶数位位置中的位可从阵列的顶部至底部以递增顺序配置,以及奇数位位置的位可从阵列的底部到顶部以递增顺序配置。该序列在双DAC核心的反转版本中被翻转。偶数位置的位和奇数位置的位交织在阵列的中间部分。该平均化技术有效地抑制由定时偏移和/或倾斜所引起的误差。常规方法可随机化输入位以减少该效果,但本发明提出了能更好地减少该效果的系统模式。

[0063] 除了在以上表格中所示的系统模式,其他的排序也可以使用。下表说明了单元的又一示例性排序(示例性排序2):

[0064] 示例性排序2

[0065]

位	部分	偶/奇位置	连续部分
ilsb0	顶部	偶数	1
ilsb2	顶部	偶数	1
ilsb4	顶部	偶数	1
ilsb6	顶部	偶数	1
ilsb8	顶部	偶数	1
imsb15	中间	奇数	2
imsb16	中间	偶数	2
imsb13	中间	奇数	2
imsb18	中间	偶数	2
imsb11	中间	奇数	2
imsb20	中间	偶数	2
imsb9	中间	奇数	2

[0066]

imsb22	中间	偶数	2
imsb7	中间	奇数	2
imsb24	中间	偶数	2
imsb5	中间	奇数	2
imsb26	中间	偶数	2
imsb3	中间	奇数	2
imsb28	中间	偶数	2
imsb1	中间	奇数	2
imsb30	中间	偶数	2
imsb0	中间	偶数	3
imsb29	中间	奇数	3
imsb2	中间	偶数	3
imsb27	中间	奇数	3
imsb4	中间	偶数	3
imsb25	中间	奇数	3
imsb6	中间	偶数	3
imsb23	中间	奇数	3
imsb8	中间	偶数	3
imsb21	中间	奇数	3
imsb10	中间	偶数	3
imsb19	中间	奇数	3
imsb12	中间	偶数	3
imsb17	中间	奇数	3
imsb14	中间	偶数	3
ilsb7	底部	奇数	4
ilsb5	底部	奇数	4
ilsb3	底部	奇数	4
ilsb1	底部	奇数	4

[0067] 在以上排序(排序2)中,中间部分具有偶数位置(偶数位)和奇数位置(奇数位)的位的交织序列。偶数位置的位一些位以升序提供在段中,例如,分别在连续部分2(imsb16、imsb18、imsb20、imsb22,...imb28、imsb30)和连续部分3(imsb0、imsb2、imsb4、imsb6,...imsb12imsb14)中。奇数位置的位以降序提供在段中,例如,分别在连续部分2(imsb15、imsb13、imsb11、imsb9,...imsb3、imsb1)和连续部分3(imsb29、imsb27、imsb25,...imsb19、imsb17)中。需要注意的是,示例性1是特殊情况,其中在偶数位置的位以升序对于整个单元阵列提供,以及在奇数位置的位以降序对于整个单元阵列提供。

[0068] 互补排序的变化

[0069] 对于配对互补的两个排序有多种可能的变化。例如,示例性排序1和示例性排序1的反转版本是互补的。在另一种情况下,示例性排序2和示例性排序2的反转版本是互补的。

在另一种情况下,示例性排序1的反转版本和示例性排序2是互补的。在另一种情况下,示例性排序1和示例性排序2的反转版本是互补的。注意,示例性排序1和示例性排序2是具有在此描述的特征的示例性排序,可以设想,具有相同特征的其他示例性排序也可用于提供互补排序。

[0070] 尽管在本发明中示出具体实施例,可以想象可以使用符合以上示例的精神的其他模式。此外,除了为相邻双DAC提供互补排序,互补排序也可以提供用于未被归类为对(即,不归类为双DAC)的并行DAC核心。补充排序可从一个单独DAC到下一个/相邻单个DAC在两个互补排序之间交替。

[0071] 作为FIR滤波器的高输出功率DAC系统

[0072] 图5示出了高输出功率DAC系统的示意系统图。凭借该DAC系统500的硬件设计的优势,数字信号处理器502可以被提供以操纵数字输入(例如,低电压差分信号(LVDS)输入),用于实现一个或多个其他目标。例如,系统性能可通过以特定/随机的方式配置数字输入字中的位以改善杂散性能。可替换地,位的排列可以由如图4所示的硬件或其变形来提供。

[0073] 在一个实例中,输入代码可以由数字信号处理器502配置(以及DAC核心可被编程)以提供滤波函数。在一个实施例中,并行DAC核心可以提供有限脉冲响应(FIR)滤波器。FIR滤波器可以实现延迟、线性乘法器、乘法系数和求和。因此,FIR滤波器结构可以使用并行DAC核心通过使用数字信号处理器502操纵每个并行DAC核心的输入编码并在共源共栅级中组合输出以提供求和的FIR滤波器而创建。每个DAC核心具有采样和保持功能,并可以使用不同的输入代码来提供FIR滤波器的延迟。此外,每个DAC核心具有电流源阵列,用于执行(高度)FIR滤波器的线性乘法。DAC核心的输出电流是可编程的,以对应于FIR滤波器的乘法系数。在建议的设计中,较大和可编程范围的DAC电流可以设置高精度度和可编程乘法系数。求和在系统输出由输出功率合成网络执行,无需额外成本。乘法和求和的功率耗散可以忽略不计。因此,它提供了用于具有较低功耗的模拟FIR滤波器的特别合适的方案。

[0074] 高输出功率DAC系统与数字预失真

[0075] 图6示出了根据本公开的一些实施例的另一个高输出功率的DAC系统的示例性系统图。如图1和图2所示的DAC系统的共源共栅级的一个特征可以作为在射频发射机中的功率放大器,用于放大和结合并行DAC级中的并行DAC核心的输出。因为在许多功率放大器,非线性经常出现,特别是当功率放大器正运行或需要运行在高效率的高输出功率模式中时。为了缓解DAC级和共源共栅级的问题/错误,DAC系统可以被提供以包括数字预失真处理器602,用于通过测量存在于DAC级和共源共栅级的非线性而预失真数字输入信号(在某些情况下,错误也可以被测量)。例如,非线性特性可以通过比较DAC级和/或共源共栅级的输出以及预期输出以确定DAC级和/或共源共栅级的非线性特性而进行测量。非线性特性的反转可以被确定并作为输入提供给DAC级和/或共源共栅级。可替换地,非线性也可以通过恢复信号(例如,DAC中的电流脉冲)为其理想波形进行补偿。

[0076] 系统性能可以通过应用数字预失真(DPD)得到进一步改善。外部的窄带DPD可被应用到系统中,以减少GaAs的非线性和其它短期确定性效应。在校准过程中,校正矢量的振幅和相位系数可以被提取,以及校正矢量可以与原来的输入矢量进行组合以实现窄带校正。

[0077] 开环DPD是根据系统的失真和/或非理想错误的静态模型进行信号校准的相对简单的技术(没有任何适应算法),它可在设计时或工厂校准时被表征。开环DPD可使用查找表

来有效地实现,该查找表由预失真的信号的样本进行索引,包含从DAC系统的测量失真而得的校正系数。

[0078] 失配误差的随机效应在所述DAC系统中通过减少电流源阵列的静态失配误差和开关/开关驱动器的时序失配误差而最大程度地减小。对于数字后退水平、部分至部分的变化、板至板的变型、温度以及载流子的数目并不敏感的开环DPD系统可由于DAC系统的独特特征来实现。在该实施方式中,系数的一个单独集合可用来补偿上述提及的多个拐角条件下的非线性。这大大降低了预失真系数的矩阵尺寸和数字计算能力。

[0079] 通过不使用闭环DPD,系统的复杂性已显著降低。在需要DPD的其它现有系统中,系统中的失配具有显著作用,以使得在各个条件下闭环DPD(自适应)或校准是必要的,这导致了系数的大矩阵并有时变得不实用。

[0080] 任何合适的数字预失真处理器可以用于例如窄频带数字预失真的处理器,其可以优化DAC系统的特定频率范围内的性能。或优选地,宽带数字预失真处理器可以被使用,其可以提供更好的整体光谱。值得注意的是,数字预失真系统对于系统误差比对于随机误差/效应工作地更好。通过减小DAC的随机错误并提供集成的信号链,较少的随机效应存在,从而允许数字预失真系统有效地纠正在共源共栅级和DAC中出现的非线性。

[0081] 示范性的应用和实施

[0082] 为了进一步澄清本实施方式中,如下示出DAC系统的示例性实施例。使用本文解释的概念,可以提供高输出功率的高速DAC。在一个示例性的实施例中,使用混合处理提供14位6.4千兆每秒采样(GSPS)的RF DAC,对于并行DAC核心采用65nm CMOS技术,对于共源共栅级采用GaAs技术。峰值输出功率可被编程为高达29 dBm,具有50欧姆双端输出负载(参考一毫瓦(mW)的功率的分贝功率比(dB))。该结果超出常规发射器(TX)DAC的输出功率200倍以上在6.4GSPS运行的DAC可达到的漏极运行效率为20%,其包括数据接口和数字处理,其中常规的DAC具有小于1%的漏极效率。整个系统的功耗在6.4GSPS的全部DAC更新速率对于23dBm的峰值输出功率仅为2.3W。如果在使用该DAC和功率放大器的RF发射器中提供外部的数字预失真(DPD),该系统可以合成直流(DC)的下游线缆频谱为1.28GHz并支持例如有线电缆数据服务接口规范(DOCSIS) 3.0应用程序。

[0083] 此外,在有线调制解调器终端系统中,粗增益设置和优良的增益调整都是必要的。这些粗增益设置和精细的增益调整一般由功率放大器之前的可变增益放大器(VGA)实现。使用并行DAC和共源共栅系统的集成,粗和细增益的DAC可用来代替VGA的功能并调整可编程电流的输出功率。参考电流被控制以及作为结果的总输出电流被相应的编程。

[0084] 在14位6.4GSPS RF DAC中,DAC可利用四开关架构以有效地使能双沿时钟操作和恒定的开关方案,从而降低电源系统和芯片上的噪声隔离的要求。此外,DAC系统可以使用双倍数据速率(即,在时钟的上升沿和下降沿定时数据)以实现高达6.4千兆赫GSPS的数据速率。DAC系统可以支持双端口1.6GSPS的低电压差分信号(LVDS)数据接口。数字接口因而包括以1.6GSPS的最大速度运行的两个14位LVDS端口,并提供了3.2GSPS的有效输入数据速率。使用双数据速率时钟,DAC系统可以实现6.4GSPS的采样率。芯片上的数字引擎可以通过2倍内插输入数据而桥接3.2GSPS的输入数据速率和6.4GSPS的数据速率之间的差距。另外,混合模式可以被实现以提高在第二和第三奈奎斯特区域的输出功率。内插可以支持80%的输入带宽并和由此提供1.28千兆赫的有效合成的带宽。

[0085] 合并并行DAC,带有级联阶段

[0086] 在采用混合技术的该DAC中提供两级处理允许去耦要求,从而放宽了DAC系统的设计要求并同时利用这两种技术的优点。其结果是,具有较大的灵活性,DAC系统的设计能够实现更高的输出功率和较高的能量转换效率。

[0087] 在一些实施例中,共源共栅级中使用GaAs异质结双极型晶体管可具有16V的集电极-发射极击穿电压。在一些应用中,GaAs异质结双极型晶体管可以操作6伏的电源电压(如图4所示)。这种配置提供了高于传统发射器DAC200倍以上的高输出功率能力。一般来说,对于输出功率的限制是共源共栅晶体管的击穿电压和封装的热特性。在一些实施例中,八个并行的差分对GaAs共源共栅连接到n沟道MOSFET (NMOS) DAC核心。作为主差分对的复制的反馈路径可用于闭环中以建立GaAs共源共栅级的Vbase电压(如图4所示)。

[0088] 在一个MCM中合并CMOS和GaAs通过3D封装技术的进步成为可能。合并后的芯片包括在一个封装中具有2个混合管芯的封装倒装芯片BGA组装。CMOS和GaAs管芯是倒装芯片。铜支柱凸点被纳入用于65纳米CMOS和GaAs芯片。12毫米*12毫米196球倒装芯片BGA(球栅阵列)封装经选择以在顶部具有散热片,用于提高耐热性。两个混合管芯被并排集成在层叠上,具有最小允许的管芯到管芯的间隔以减少电寄生效应。

[0089] 实施方式的变化

[0090] 虽然本文所公开的实施例涉及具有八个并行DAC核心,但其他数量的并行DAC核心,诸如2、4、6、8、10、12、14、16,二的任何合适的倍数,优选地四的倍数等可被设想并认为是公开内容的一部分。值得注意的是,并行DAC的核心数量的选择取决于多种权衡。虽然理论上在DAC系统中采用更多平行的DAC核心将产生比具有更少平行核心的DAC系统的更高功率输出,但使用更多的并行DAC核心显著增加了硬件芯片的设计/布局的复杂性。因此,鉴于竞争因素,选择利用八个并行DAC核心。

[0091] 在上述各实施例的讨论中,任何时钟、放大器、开关、数字核心、晶体管和/或其它组件可以很容易地被替换、取代或以其他方式修改以适应特定的电路需求。此外,应当指出的是,使用配套的电子设备,硬件,软件等提供了用于实现本公开的教义的可行的办法。

[0092] 在一个示例实施例中,附图的任何数量的电路的可以在相关联的电子设备的电路板上实现。该板可以是一般的电路板,可容纳电子设备的内部电子系统的各种组件,并进一步提供其它外围设备的连接器。更具体地,该板可以提供电气连接,系统的其他部件可通过该电气连接进行电通信。任何合适的处理器(包括数字信号处理器、微处理器、芯片组支持等)、存储器元件等可以适当地根据具体配置需求、处理需求、电脑设计等耦合到该板。其它组件(诸如外部存储器、额外的传感器、用于音频/视频显示的控制器,和外围设备)可以通过电缆连接到电路板作为插卡,或集成在主板本身。

[0093] 在另一示例实施例中,图中的电路可以实现为单独的模块(例如,具有相关组件的设备和配置以执行特定应用或功能的电路)或实现为插件模块到电子设备的应用特定硬件中。注意的是,特定的是,本公开的特定实施例可以容易地部分或全部地包括在芯片上系统(SOC)的封装中。SOC表示集成计算机或其它电子系统的元件到单个芯片中的IC。它可以包含数字、模拟、混合信号以及经常的射频功能:所有这些都可以在单个芯片衬底上。其他实施例可以包括多芯片模块(MCM),具有位于单独的电子封装中并经配置以通过电子封

装互相密切交互的多个单个IC。在各种其它实施例中,本文所述的功能可以实施为专用集成电路(ASIC)、现场可编程门阵列(FPGA)以及其他半导体芯片中的一个或多个硅芯。

[0094] 也必须要注意,本文列出的所有规格、尺寸,以及关系(例如,多个组件、逻辑运算等)只被提供用于示例和教导的目的。在不偏离本公开的精神或所附权利要求的范围的情况下,这些信息可以被显著地改变。规范仅适用于非限制性的例子,因此,它们应被如此理解。在前面的描述中,示例性实施例已参照特定组件的配置进行描述。在不偏离所附权利要求的范围的情况下,可以对实施例进行各种修改和变化。因此,说明书和附图被视为说明性的而不是限制性的。

[0095] 需要注意的是,上面参照附图所讨论的业务适用于涉及信号处理的任何集成电路,特别是那些依赖同步信号以执行专门的软件程序或算法,其中一些可关联于处理数字化实时数据。某些实施例中可以涉及多DSP信号处理、浮点处理、信号/控制处理、固定功能处理、微控制器应用等。

[0096] 在某些上下文中,本文中所讨论的特征可以适用于射频无线通信、雷达、音频和视频设备、基站、发送器,以及可从高功率输出DAC中受益的其他数字处理的系统。具体地,本文中所讨论的特征可以应用到通信基础设施段和无线基础设施段,诸如电缆调制解调器终端系统(CMTS),例如,DOCSIS、分布式天线系统的网络,例如,有源天线系统中、微小区基站站等。

[0097] 注意,对于本文中提供许多实施例,交互可以通过两个、三个、四个或更多个电子部件来描述。然而,这样为了清楚起见,并仅作为示例进行。应当理解,该系统可以以任何合适的方式进行合并。沿着类似的设计方案,附图的任何图示组件、模块和元件可以以各种可能的组合配置,所有这些都清楚在本说明书的范围之内。在某些情况下,通过仅参考有限数量的电子元件描述给定流程集合的一个或多个功能更加容易。应当理解,附图的电路及其教义都是现成可扩展的并可容纳大量的部件,以及更复杂/精密的安排和配置。因此,提供的实施例不应该限制范围或抑制电气电路的广泛教导为潜在应用到其他无数的架构。

[0098] 注意,在本说明书中,在“一个实施例”、“示例实施例”、“实施例”、“另一实施例”、“某些实施例”、“各种实施例”、“另一实施例”、“替代实施例”中包括的各种特征(例如,元素、结构、模块、组件、步骤、操作、特性等)的引用意为表示任何这些特征都包含在本公开的一个或多个实施中,但可以或可以不必组合在相同实施例中。需要注意的是上面描述的装置的所有可选功能也可以相对于本文所述方法或处理实施,以及示例中的细节可用在一个或多个实施例中的其他地方。

[0099] 许多其它的改变、替换、变化、更改和修改对于本领域技术人员是可确定的,以及当落入所附权利要求的范围之内时,本发明包括所有这样的改变、替换、变化、更改和修改。为了协助美国专利和商标局(USPTO)以及此外在本申请上提出的任何专利的任何读者解释所附权利要求,申请人谨指出:申请人(a)不打算任何所附的权利要求援引美国法典第35(6)第6段第112条,因为它存在于申请日,除非单词“用于…的装置”或“用于…的步骤”在特定权利要求中专门使用;以及(b)不打算通过本说明书的任何陈述以没有体现所附权利要求的任何方式而限制本公开。

[0100] 其它注释,示例和实现

[0101] 需要注意的是,上面描述的装置的所有可选功能也可相对于本文中所述的方法或

处理进行实施,以及示例中的细节可用于一个或多个实施例中的任何地方。

[0102] 在一个例子中,提供了一种系统(其可以包括任何适当的电路、除法器、电容器、电阻器、电感器、ADC、DFE、逻辑门电路、软件、硬件、链接等),可以是任何类型的部分的计算机,它可以进一步包括耦合到所述多个电子部件的电路板。该系统可以包括:用于使用第一时钟定时从第一数字核心到宏的第一数据输出的数据的装置,所述第一时钟是宏时钟;用于使用第二时钟定时从所述宏的第一数据输出到物理接口的数据,所述第二时钟是物理接口的时钟;用于使用宏时钟定时从数字核心到宏的复位输出的第一复位信号的装置,第一复位信号输出作为第二复位信号;用于使用第三时钟采样第二复位信号的装置,其提供大于所述第二时钟的时钟速率,以产生采样的复位信号;以及响应于所述采样复位信号的转变,用于复位所述第二时钟到物理接口的预定状态的装置。

[0103] 在这些情况下(见上文)的“用于…的装置”可包括(但不限于)使用本文所讨论的任何合适的组件,以及任何合适的软件、电路、集线器、计算机代码、逻辑、算法、硬件控制器、接口、链路、总线、通信通道等。在第二示例中,该系统包括进一步包含机器可读指令的存储器,当执行时使得系统执行上面讨论的任何操作。

[0104] 示例1是数字到模拟转换器(DAC),该DAC包括M个并行DAC核心,其中:M是大于或等于4的整数;每个DAC核心将数字输入信号转换为模拟输出信号;以及相同的输入数字字被提供作为多个并行DAC核心的数字输入信号;以及共源共栅级直接连接到所述M个并行DAC核心的输出,用于结合M个并行DAC核心的输出以提供总的模拟输出。

[0105] 在示例2中,示例1的主题可选择性地包括大于或等于8的M。

[0106] 在示例3中,示例1或2的主题可选择性地包括使用以下任何一项或多项构建的M个并行DAC核心:互补金属氧化物半导体(CMOS)技术、双极互补金属氧化物半导体(BiCMOS)、以及硅-绝缘体(SOI);和/或所述共源共栅级包括砷化镓(GaAs)共源共栅和/或氮化镓(GaN)的共源共栅。

[0107] 在示例4中,示例1-3中任一项所述的主体可选择性地包括具有M个共源共栅的共源共栅级,每个共源共栅直接通过迹线网络连接到对应的并行DAC核心。

[0108] 在示例5中,示例1-4中任一项所述的主体可选择性地包括:包括M个差分输出对或2M个差分输出的M个并行DAC核心;包括M个差分输入对或2M个差分输入对的M个共源共栅;以及并行DAC核心的M个差分输出对或2M个差分输出通过迹线网络分别直接连接到共源共栅的M个差分输入对或2M个差分输出。

[0109] 在示例6中,示例2的主题可选择性地包括:被组合为成对的2个并行DAC的8位并行DAC核心,作为DAC的硬件布局中的4个双DAC。(可替换地,示例1-5的任一项所述的主体可选择性地包括被分组为成对的2个并行DAC的M个并行DAC核心,作为在DAC的硬件布局中的M/2个双DAC。)

[0110] 在示例7中,示例6的主题可选择性地包括:8个并行DAC的每一个,包括(1)电流源阵列,以及(2)切换和切换驱动器的池;以及(1)电流源阵列和(2)切换和切换驱动器的池在DAC的硬件布局中被配置为4个双DAC的外部区域。

[0111] 在示例8中,示例6或7的主题可选择性地包括:每个双DAC包括DAC解码器和高速多路转换器;以及DAC解码器和高速多路转换器在各个双DAC的两个平行的DAC之间共享。

[0112] 在示例9中,示例6-8中任一项所述的主体可选择性地包括:每两个相邻的双DAC硬

件布局被翻转,以补偿定时偏移和/或梯度。

[0113] 在示例10中,示例6-9中任一项所述的主体可选择性地包括:具有N个单元阵列的每个双DAC的硬件布局,用于接收和处理以N位的特定顺序配置的数字字的N位;以及N个单元阵列处理的N位的特定顺序交替用于常规顺序和颠倒顺序之间。

[0114] 在示例11中,示例6-10中任一项所述的主体可选择性地包括:具有X+Y个单元的阵列的每个双DAC的硬件布局,用于接收和处理X个最低有效位和Y个最高有效位;X+Y单元的阵列包括布置在所述硬件布局的顶部部分、中间部分、以及底部部分;单元用于接收和处理被分配在顶部和底部部分的最低有效位;单元用于接收和处理被分配在中间部分的数字输入字的最高有效位。

[0115] 在示例12中,示例6-11中任一项的主体可选择性地包括:具有N个单元的阵列的每个双DAC的硬件布局,用于接收和处理数字输入字的N位;对于每隔一个的双DAC,N单元阵列接收和处理以N位的第一顺序配置的N位;对于其它双DAC,N单元阵列接收和处理以N位的第二顺序配置的N位;以及其中所述第二顺序互补第一顺序。

[0116] 在示例13中,示例12的主体可选择性地包括:通过N个单元阵列的连续部分根据位的位置以升序配置的偶数位置的至少某些位和N个单元阵列的连续部分根据位的位置以降序配置的奇数位置的至少某些位定义。

[0117] 在示例14中,示例12或13的主体可选择性地包括:N位的第一顺序通过配置为N个单元阵列的至少连续部分以第一顺序配置为每隔一位的以升序在偶数位置的至少一些位,以及作为N个单元阵列的连续部分以第一顺序的其他位的以降序的至少一些位进行定义。

[0118] 在示例15中,示例1-14中任一项的主体可选择性地包括:DAC产生具有256毫安到512毫安之间电流的模拟输出信号。

[0119] 在示例16中,示例1-15中任一项的主体可选择性地包括:DAC产生具有512毫安到3安培之间电流的模拟输出信号。

[0120] 示例17是数字-模拟转换器(DAC)系统,用于对数字输入信号转换为模拟输出信号,DAC系统包括:DAC级,其包括M个并行DAC核心,其中M等于或大于4;包括M个并行的共源共栅的共源共栅级,所述共源共栅级连接到八个并行DAC核心的输出端,共源共栅级被配置为放大和组合M个并行DAC核心的输出,其中DAC级中DAC核心的输出以及共源共栅级中共源共栅的输入通过迹线网络直接相连;以及预失真处理器,用于(1)提供非线性的反转到DAC级和/或共源共栅级的输入,以补偿DAC级和/或共源共栅级的非理想误差和/或(2)还原理想波形,以补偿存在于DAC级和/或共源共栅级的非理想误差。

[0121] 在示例18中,示例17的主体可选择性地包含示例2-16中的任一项。

[0122] 在示例19中,示例17或18的主体可选择性地包括:数字预失真处理器是开环数字预失真处理器。

[0123] 示例20是用于提供一个有限脉冲响应滤波器(FIR)的装置,该装置包括:M个并行DAC核心,其中M是大于或等于4的整数,以及每个DAC核心将数字输入信号转换为模拟输出信号;直接连接到M个并行DAC核心的输出的共源共栅级,用于组合M个并行DAC核心的输出,以提供总的模拟输出;数字信号处理器,经配置以使用M个并行DAC将不同的输入代码分配到M个并行DAC核心,用于提供有限脉冲响应(FIR)滤波器;共源共栅级,包括连接到所述M个并行DAC核心的M个共源共栅的网络,所述共源共栅级被配置为执行FIR滤波器的求和;其

中:每个M个并行DAC使用不同的输入代码以实施FIR滤波器的延迟;M个并行DAC的每个包括电流源阵列,用于执行FIR滤波器的线性乘法;以及M个并行DAC的每个的输出电流是可编程的,以对应于FIR滤波器的乘法系数。

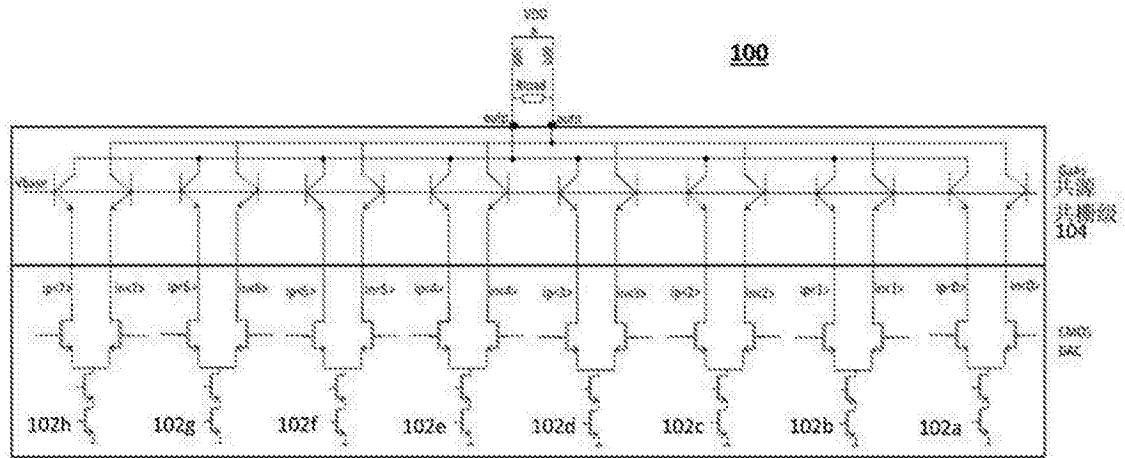


图1

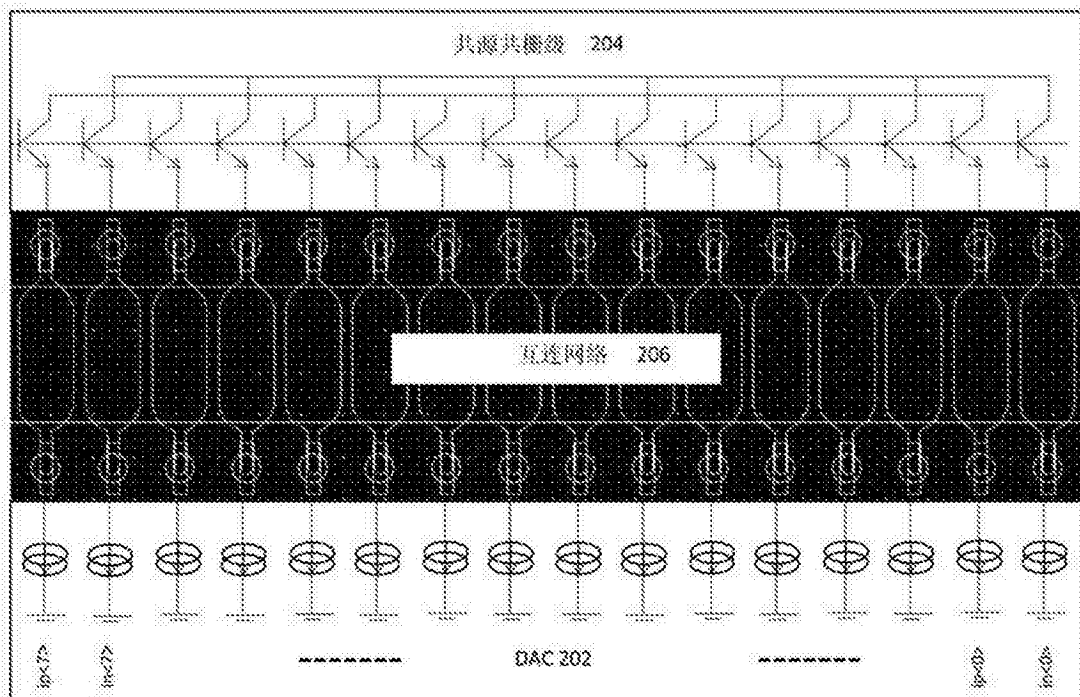


图2

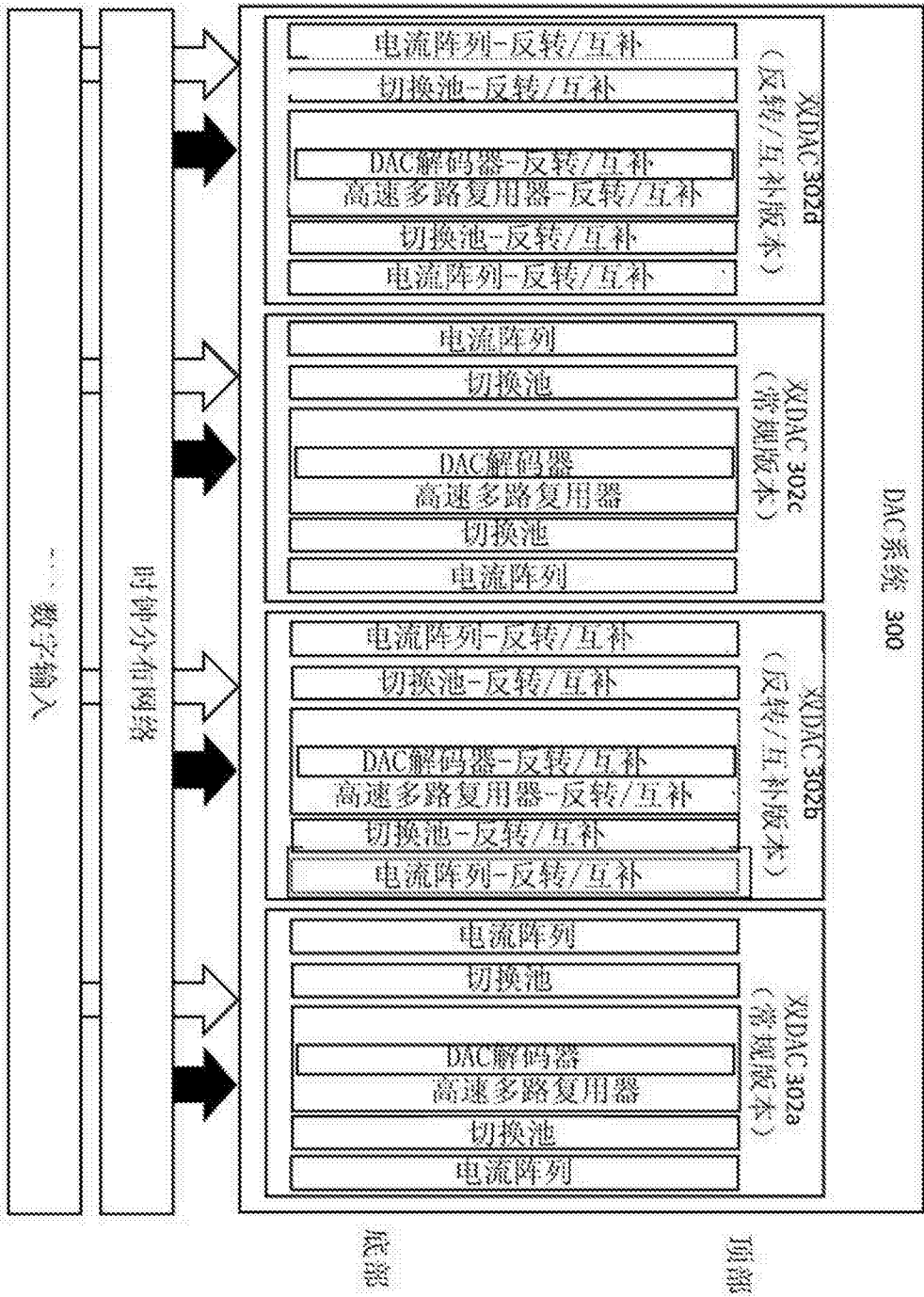


图3

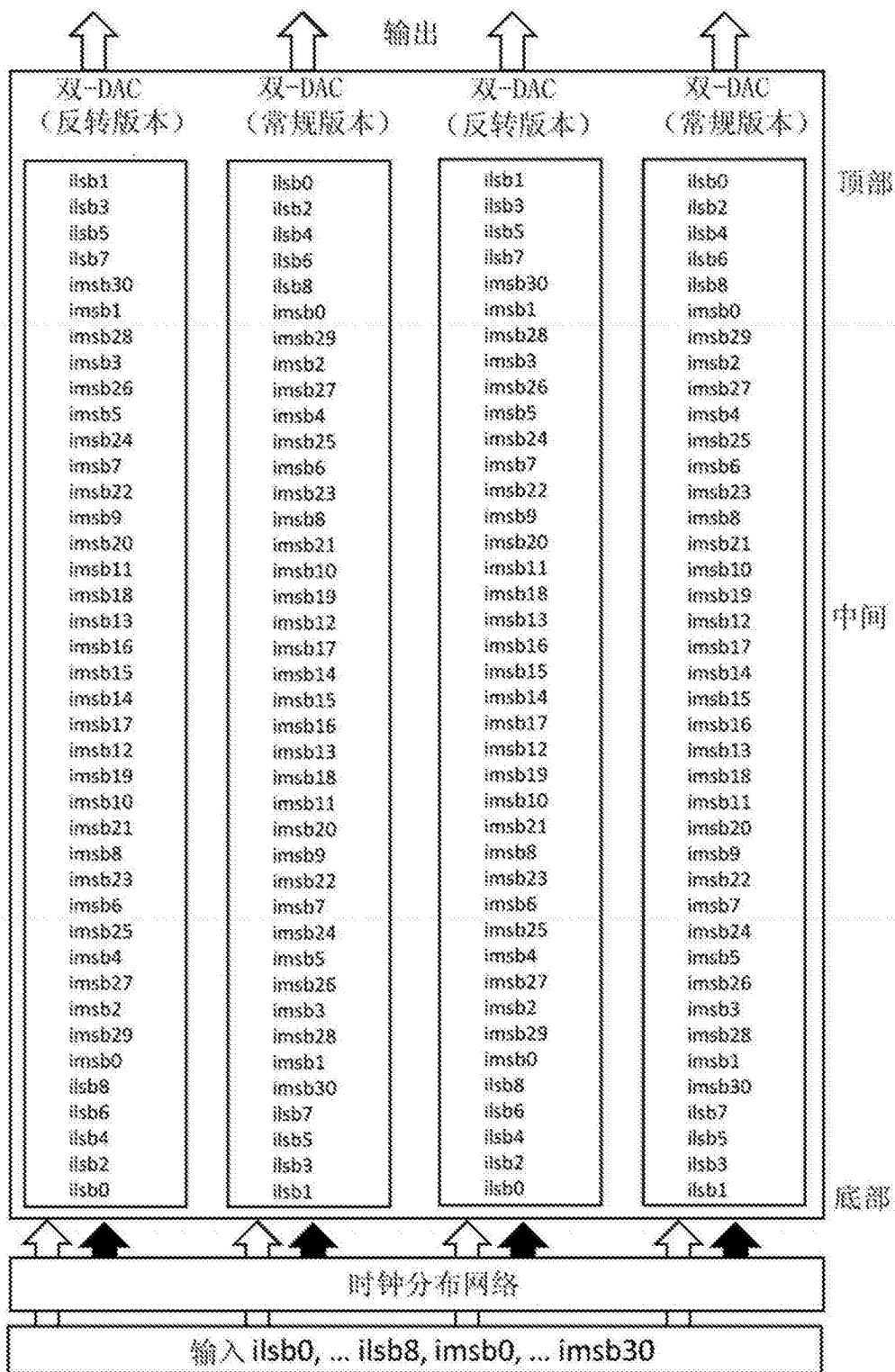


图4

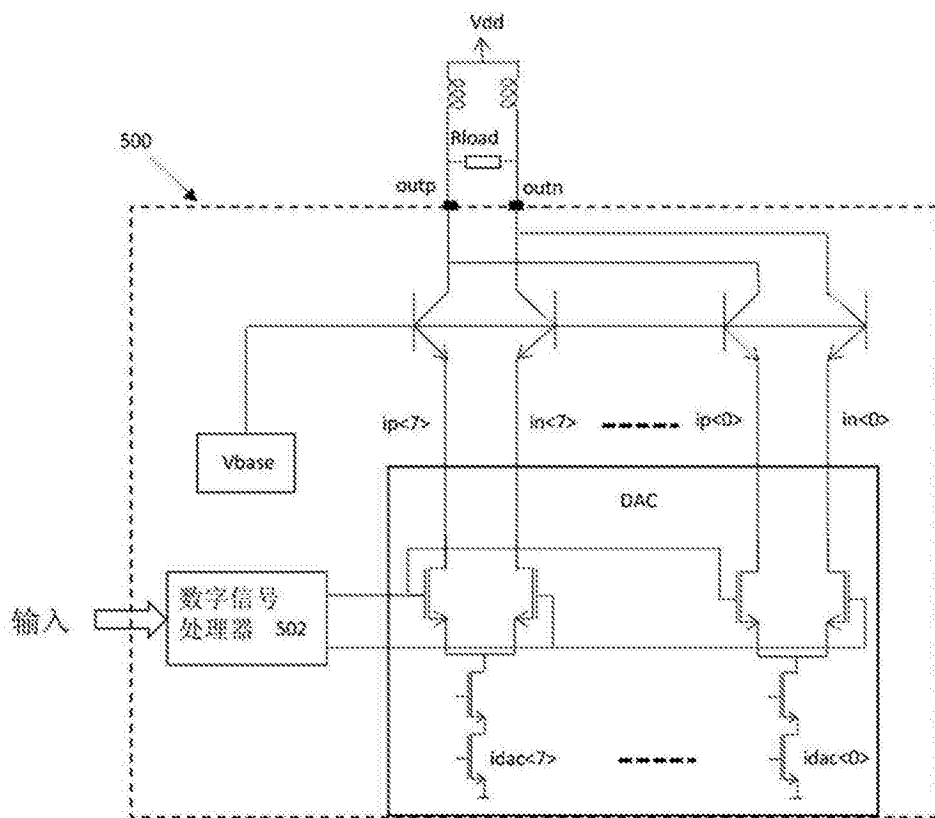


图5

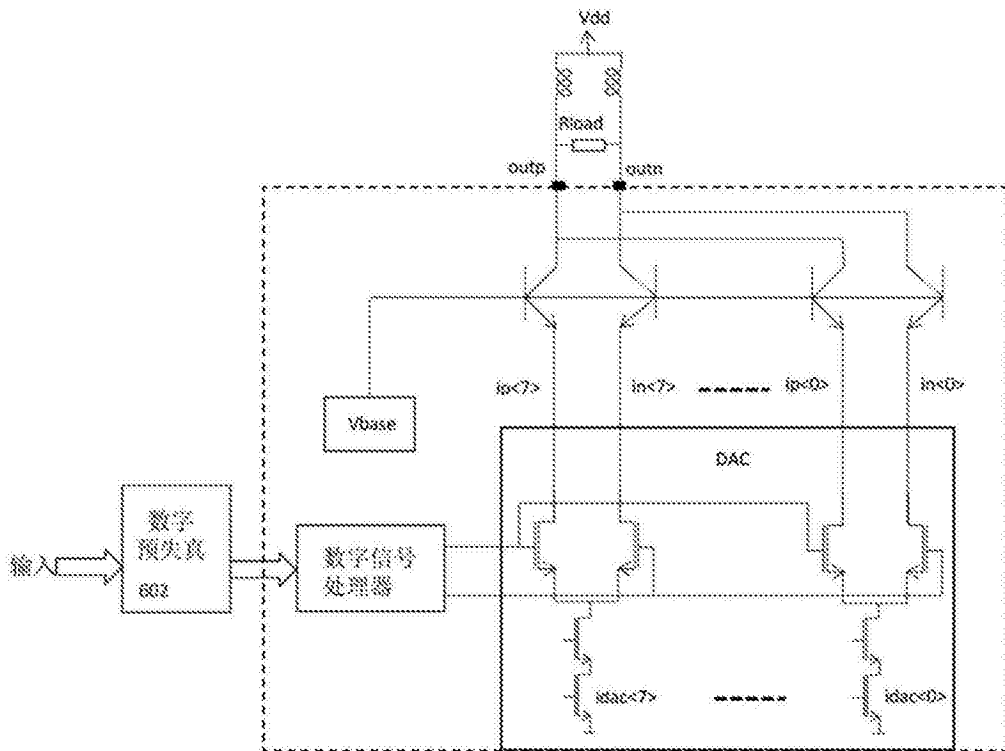


图6