

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-94152

(P2009-94152A)

(43) 公開日 平成21年4月30日 (2009.4.30)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 20 O L (全 17 頁)

(21) 出願番号	特願2007-261081 (P2007-261081)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成19年10月4日 (2007.10.4)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
		(74) 代理人	110000350 ポレール特許業務法人
		(72) 発明者	谷江 尚史 茨城県ひたちなか市堀口832番地2 株 式会社日立製作所機械研究所内
		(72) 発明者	斉藤 直人 茨城県ひたちなか市堀口832番地2 株 式会社日立製作所機械研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置、その製造方法及び半導体搭載用フレキシブル基板

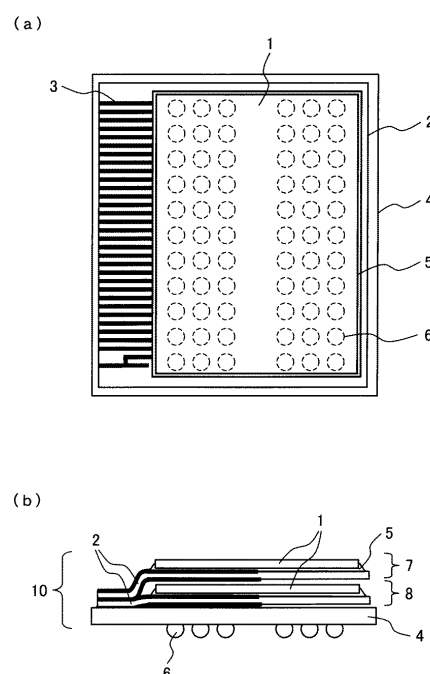
(57) 【要約】 (修正有)

【課題】 複数の半導体素子を高密度で低コストに実装した半導体パッケージを提供することであり、更に外部と別々に通信可能な複数の半導体素子を高密度で低コストに実装した半導体装置を提供する。

【解決手段】 表面に配線群3を持ち、曲げ変形可能なフレキシブル基板2に搭載された半導体素子1を有する第1の半導体パッケージを複数個基板4上に積層し、該第1の半導体パッケージのフレキシブル基板2の配線群3と基板4上に形成された端子群とが相互に接続されて電気的な導通がとられて構成された第2の半導体パッケージであって、積層された複数の前記第1の半導体パッケージのフレキシブル基板2は上層のフレキシブル基板2ほど寸法が大きく、かつ複数のフレキシブル基板2の配線群3の接合部は、前記端子群の上に配置されている。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第 1 の半導体パッケージを複数個基板上に積層し、該第 1 の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とが相互に接続されて電気的な導通がとられて構成された第 2 の半導体パッケージであって、積層された複数の前記第 1 の半導体パッケージのフレキシブル基板は上層のフレキシブル基板ほど寸法が大きく、かつ複数の前記フレキシブル基板の配線群の接合部が、前記端子群の上に配置されていることを特徴とする半導体装置。

【請求項 2】

10

表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第 1 の半導体パッケージを複数個基板上に積層し、該第 1 の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とが相互に接続されて電気的な導通がとられて構成された第 2 の半導体パッケージであって、前記基板上の前記端子群の少なくとも 1 つの端子は積層される前記第 1 の半導体パッケージの全ての半導体素子と導通し、前記端子群のうち少なくとも 1 つの他の端子は特定の半導体素子とだけ導通し、積層された前記第 1 の半導体パッケージのフレキシブル基板は上層ほど寸法が大きく、かつ前記端子群の上に前記第 1 の半導体パッケージのフレキシブル基板の接合部が配置されていることを特徴とする半導体装置。

【請求項 3】

20

表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第 1 の半導体パッケージを複数個基板上に積層し、該第 1 の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とを相互に接続して電気的な導通がとられて構成された第 2 の半導体パッケージであって、前記基板上の前記端子群の少なくとも 1 つの端子は積層される前記第 1 の半導体パッケージの全ての半導体素子と導通し、前記端子群のうち少なくとも 1 つの他の端子は特定の半導体素子とだけ導通していることを特徴とする半導体装置。

【請求項 4】

前記端子群は、前記基板上に積層される前記第 1 の半導体パッケージの前記フレキシブル基板の端面に沿って一列に配列されていることを特徴とする請求項 1～3 のいずれかに記載の半導体装置。

30

【請求項 5】

前記端子群の中で、前記特定の半導体素子とだけ導通する端子が、他の特定の半導体素子と導通する端子と隣接していることを特徴とする請求項 2～4 のいずれかに記載の半導体装置。

【請求項 6】

前記基板から遠い位置に積層される前記第 1 の半導体パッケージの前記フレキシブル基板は、前記基板により近い位置に積層される前記第 1 の半導体パッケージよりも前記配線群の配線長が長いことを特徴とする請求項 1～5 のいずれかに記載の半導体装置。

【請求項 7】

40

前記フレキシブル基板上の前記配線群のうち少なくとも 1 つの配線パターンは、前記基板の端子群との接合部からの距離に応じて、前記基板の端子群の列に対する端部の位置が、異なることを特徴とする請求項 1～6 のいずれかに記載の半導体装置。

【請求項 8】

前記配線群の端部の位置が階段形状に変化する配線パターンを持ち、かつ該階段形状の配線パターンよりも半導体素子に近い側に終端部のある配線パターンを持つことを特徴とする請求項 1～7 のいずれかに記載の半導体装置。

【請求項 9】

前記フレキシブル基板上の配線群の少なくとも 1 箇所の配線の位置が階段状に変化する基板の端子との接合部からの距離が、前記第 1 の半導体パッケージが積層される段によ

50

て変化するフレキシブル基板の長さの差以上であることを特徴とする請求項 1～8 のいずれかに記載の半導体装置。

【請求項 10】

前記フレキシブル基板上の少なくとも 1 箇所の配線が基板の端子の列と水平方向に変化する距離が、基板上の端子の間隔と同じであることを特徴とする請求項 1～9 のいずれかに記載の半導体装置。

【請求項 11】

上部に位置する前記第 1 の半導体パッケージの前記フレキシブル基板の配線長が下部に位置するフレキシブル基板の配線長より長いことを特徴とする請求項 1～10 のいずれかに記載の半導体装置。

10

【請求項 12】

表面に検査端子群と該端子群と連続した配線群を持ち、検査のための端子群を持つ曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する半導体素子搭載フレキシブル基板を複数個準備する工程、該半導体素子搭載フレキシブル基板を、端子群を有する基板上に積層する工程、前記検査のための端子群を用いて半導体素子の動作を検査する工程、上部に位置する前記半導体素子搭載フレキシブル基板ほど下部の半導体素子搭載フレキシブル基板よりも前記配線群の長さ方向において、より長くなるように切断して複数の第 1 の半導体パッケージを製造する工程、複数の前記第 1 の半導体パッケージのフレキシブル基板の配線群を前記基板の端子群の上で重ねて接合して第 2 の半導体パッケージを製造する工程を含むことを特徴とする半導体装置の製造方法。

20

【請求項 13】

前記配線群は前記半導体素子と電氣的に接続される配線パターンと、検査端子群と、前記半導体素子と接続しない複数の配線パターンとを有し、実質的に全ての半導体素子搭載フレキシブル基板の配線パターンが同一形状であることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 14】

前記半導体素子と接続しない配線パターンは、半導体素子と接続する配線から横方向に延びた部分の端部に接続していることを特徴とする請求項 12 記載の半導体装置の製造方法。

【請求項 15】

表面に検査のための端子群と該端子に接続された配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第 1 の半導体パッケージを積層する数以上の段を持つ階段形状の配線パターンと、その階段形状の配線パターンよりも半導体素子の搭載位置に近い側に半導体素子と導通しない端部を持つ配線パターンと、検査のための端子を持つフレキシブル基板に半導体素子を搭載して、検査のための端子を用いて半導体素子の動作を検査して、フレキシブル基板を積層する段に応じて異なる長さに切断することでそれぞれの段に応じた第 1 の半導体パッケージを製造して、これらの第 1 の半導体パッケージを基板上に積層して第 2 の半導体パッケージを製造することを特徴とする半導体装置の製造方法。

30

【請求項 16】

接合用のツールを用いて 2 枚以上のフレキシブル基板を折り曲げ加工してフレキシブル基板同士およびフレキシブル基板と基板を密着させ、複数のフレキシブル基板と基板を一度に基板に接合することを特徴とする請求項 12 又は 15 記載の半導体装置の製造方法。

40

【請求項 17】

はじめに 2 枚以上のフレキシブル基板を接合し、その後、接合された複数のフレキシブル基板を基板に接合することを特徴とする請求項 12 又は 15 記載の半導体装置の製造方法。

【請求項 18】

両面に配線パターンを有し、曲げ変形可能なフレキシブル基板であって、該配線パターンは搭載される半導体素子に接続される直線部分を有する配線群と、該配線群に連続し、

50

該半導体素子の検査用端子群と、前記半導体素子と接続されない部分を有する配線パターンを有することを特徴とする半導体素子搭載用フレキシブル基板。

【請求項 19】

半導体素子に接続されない部分を有する配線パターンは 2 以上であることを特徴とする請求項 18 記載の半導体搭載素子用フレキシブル基板。

【請求項 20】

前記検査用端子群は前記フレキシブル基板の両側に形成され、半導体素子に接続されない部分を有する配線パターンは、それぞれの端子群と半導体素子搭載領域の間に形成されていることを特徴とする請求項 18 記載の半導体搭載素子用フレキシブル基板。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は半導体装置の実装技術、特に半導体装置、その製造方法及び半導体搭載用フレキシブル基板に関するものである。

【背景技術】

【0002】

大型コンピュータ、パーソナルコンピュータ、携帯機器などのような情報機器は、年々高性能化や小型化が進んでいる。そのため、これらの機器に搭載される半導体素子が大きくなる一方で、半導体素子を実装する実装基板の面積は小さくなってきている。そこで、限られた基板面積に多くの半導体素子を搭載することが市場から強く求められており、この要求を満たすための 1 手法として複数の半導体素子を積層して搭載する技術が開発されている。

20

【0003】

半導体素子を積層して搭載する技術として、1 枚の半導体素子と配線部材などを用いて第 1 の半導体パッケージを構成した後にこの第 1 の半導体パッケージを複数積層することで複数の半導体装置が積層された第 2 の半導体パッケージを製造する技術がある。この方式の積層技術として、特許文献 1、特許文献 2、特許文献 3 が開示されている。

【0004】

また、前者のうち、1 枚の半導体素子と曲げ変形可能なフレキシブル基板などを用いて第 1 の半導体パッケージを構成した後に、複数の第 1 の半導体パッケージが備えるフレキシブル基板を曲げて 1 枚の基板に接合することにより第 2 の半導体パッケージを製造する技術が特許文献 4 が開示されている。半導体素子を積層する技術としては、上記の方法以外にも、半導体素子自体を複数積層して 1 つの半導体パッケージを製造する技術が開発されている。この方式の技術としては、特許文献 5、特許文献 6 が開示されている。

30

【0005】

【特許文献 1】特開 2002-176135 号公報

【特許文献 2】特開平 08-236694 号公報

【特許文献 3】特開 2000-286380 号公報

【特許文献 4】特開 2006-278863 号公報

【特許文献 5】USP 6、141、245 号明細書

【特許文献 6】特開昭 59-222954 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

半導体素子と、曲げ変形可能なフレキシブル基板などを用いて第 1 の半導体パッケージを構成し、複数の第 1 の半導体パッケージが備えるフレキシブル基板を 1 枚の基板に接合することにより、複数の半導体装置が積層された第 2 の半導体パッケージを構成した高密度実装半導体装置がある。この半導体装置において、それぞれの第 1 の半導体パッケージが備えるフレキシブル基板を基板の別々の位置に接合する場合、積層数が増えると共に基板を大きくしなければならず、半導体素子の実装密度が低下する。

50

【0007】

一方、それぞれのフレキシブル基板を基板の同じ位置に接合する場合、それぞれの半導体素子を個別に動作させるためには、配線パターンの異なる複数のフレキシブル基板を用意しなければならない、製造コストが大きくなる。同じ配線パターンのフレキシブル基板を用いた場合には、第2の半導体パッケージに搭載される複数の半導体素子は外部と別々の通信を行なうことができない。

【0008】

以上のことから、本発明の課題は、複数の半導体素子を高密度で低コストに実装した半導体パッケージを提供することであり、更に外部と別々に通信可能な複数の半導体素子を高密度で低コストに実装した半導体装置を提供することである。

【課題を解決するための手段】

【0009】

本発明は、表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第1の半導体パッケージを複数個基板上に積層し、該第1の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とが相互に接続されて電気的な導通がとられて構成された第2の半導体パッケージであって、積層された複数の前記第1の半導体パッケージのフレキシブル基板は上層のフレキシブル基板ほど寸法が大きく、かつ複数の前記フレキシブル基板の配線群の接合部が、前記端子群の上に配置されていることを特徴とする半導体装置を提供するものであり、又その製造方法及び半導体素子搭載用フレキシブル基板を提供するものである。

【発明の効果】

【0010】

1種類の配線パターンを持つフレキシブル基板を用意し、フレキシブル基板の切断位置を変えることで積層位置に応じた配線パターンを持つ第1の半導体パッケージを製造することができる。この結果、配線パターンの異なる複数のフレキシブル基板を用意する必要がなくなり、半導体装置の実装密度が向上し、かつ製造コストを削減できる。

【発明を実施するための最良の形態】

【0011】

本発明は、半導体素子やフレキシブル基板などで構成される第1の半導体パッケージを基板上に複数個積層することにより第2の半導体パッケージを構成する半導体装置において、実装密度が高く、低コストな半導体パッケージ構造およびその製造方法を提供するものである。

【0012】

本発明の実施の形態を例示すれば以下のとおりである。

【0013】

(1) 表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第1の半導体パッケージを複数個基板上に積層し、該第1の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とが相互に接続されて電気的な導通がとられて構成された第2の半導体パッケージであって、前記基板上の前記端子群の少なくとも1つの端子は積層される前記第1の半導体パッケージの全ての半導体素子と導通し、前記端子群のうち少なくとも1つの他の端子は特定の半導体素子とだけ導通し、積層された前記第1の半導体パッケージのフレキシブル基板は上層ほど寸法が大きく、かつ前記端子群の上に前記第1の半導体パッケージのフレキシブル基板の接合部が配置されている半導体装置。

【0014】

前記端子群が基板上の複数箇所に形成されているとき（端子群が複数の場所に分散して形成されているという意味である）は、その数だけの第1の半導体パッケージー基板の接合点となりうる。即ち、上記接合部は1箇所に限らず、それ以上であっても良い。

【0015】

(2) 表面に配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子

10

20

30

40

50

を有する第 1 の半導体パッケージを複数個基板上に積層し、該第 1 の半導体パッケージの前記フレキシブル基板の前記配線群と前記基板上に形成された端子群とを相互に接続して電氣的な導通がとられて構成された第 2 の半導体パッケージであって、前記基板上の前記端子群の少なくとも 1 つの端子は積層される前記第 1 の半導体パッケージの全ての半導体素子と導通し、前記端子群のうち少なくとも 1 つの他の端子は特定の半導体素子とだけ導通している半導体装置。

【0016】

(3) 前記端子群は、前記基板上に積層される前記第 1 の半導体パッケージの前記フレキシブル基板の端面に沿って一列に配列されている半導体装置。

【0017】

(4) 前記端子群の中で、前記特定の半導体素子とだけ導通する端子が、他の特定の半導体素子と導通する端子と隣接している半導体装置。

【0018】

(5) 前記基板から遠い位置に積層される前記第 1 の半導体パッケージの前記フレキシブル基板は、前記基板により近い位置に積層される前記第 1 の半導体パッケージよりも前記配線群の配線長が長い半導体装置。

【0019】

(6) 前記フレキシブル基板上的前記配線群のうち少なくとも 1 つの配線パターンは、前記基板の端子群との接合部からの距離に応じて、前記基板の端子群の列に対する端部の位置が異なる半導体装置。

【0020】

(7) 前記配線群の端部の位置が階段形状に変化する配線パターンを持ち、かつ該階段形状の配線パターンよりも半導体素子に近い側に終端部のある配線パターンを持つ半導体装置。

【0021】

(8) 前記フレキシブル基板上的配線群の少なくとも 1 箇所の配線の位置が階段状に変化する基板の端子との接合部からの距離が、前記第 1 の半導体パッケージが積層される段によって変化するフレキシブル基板の長さの差以上である半導体装置。

【0022】

(8) 前記フレキシブル基板上的の少なくとも 1 箇所の配線が基板の端子の列と水平方向に変化する距離が、基板上的の端子の間隔と同じである半導体装置。

【0023】

(9) 上部に位置する前記第 1 の半導体パッケージの前記フレキシブル基板の配線長が下部に位置するフレキシブル基板の配線長より長い半導体装置。

【0024】

(10) 表面に検査端子群と該端子群と連続した配線群を持ち、検査のための端子群を持つ曲げ変形可能なフレキシブル基板に搭載された半導体素子を有するフレキシブル基板を複数個準備する工程、該フレキシブル基板を、端子群を有する基板上に積層する工程、前記検査のための端子を用いて半導体素子の動作を検査する工程、上部に位置する前記半導体素子搭載フレキシブル基板ほど下部の半導体素子搭載フレキシブル基板よりも前記配線群の長さ方向において、より長くなるように切断して複数の第 1 の半導体パッケージを製造する工程、複数の前記第 1 の半導体パッケージのフレキシブル基板の配線群を前記基板の端子群の上で重ねて接合して第 2 の半導体パッケージを製造する工程を含むことを特徴とする半導体装置の製造方法。

【0025】

(11) 前記配線群は前記半導体素子と電氣的に接続される配線パターンと、検査端子群と、前記半導体素子と接続しない複数の配線パターンとを有し、実質的に全ての半導体素子搭載フレキシブル基板の配線パターンが同一形状である半導体装置の製造方法。

【0026】

(12) 前記半導体素子と接続しない配線パターンは、半導体素子と接続する配線から

10

20

30

40

50

横方向に延びた部分の端部に接続している半導体装置の製造方法。

【0027】

(13) 表面に検査のための端子群と該端子に接続された配線群を持ち、曲げ変形可能なフレキシブル基板に搭載された半導体素子を有する第1の半導体パッケージを積層する数以上の段を持つ階段形状の配線パターンと、その階段形状の配線パターンよりも半導体素子の搭載位置に近い側に半導体素子と導通しない端部を持つ配線パターンと、検査のための端子を持つフレキシブル基板に半導体素子を搭載して、検査のための端子を用いて半導体素子の動作を検査して、フレキシブル基板を積層する段に応じて異なる長さに切断することでそれぞれの段に応じた第1の半導体パッケージを製造して、これらの第1の半導体パッケージを基板上に積層して第2の半導体パッケージを製造する半導体装置の製造方法。

10

【0028】

(14) 接合用のツールを用いて2枚以上のフレキシブル基板を折り曲げ加工してフレキシブル基板同士およびフレキシブル基板と基板を密着させ、複数のフレキシブル基板と基板を一度に基板に接合する半導体装置の製造方法。

【0029】

(15) はじめに2枚以上のフレキシブル基板を接合し、その後、接合された複数のフレキシブル基板を基板に接合する半導体装置の製造方法。

【0030】

(16) 両面に配線パターンを有し、曲げ変形可能なフレキシブル基板であって、該配線パターンは搭載される半導体素子に接続される直線部分を有する配線群と、該配線群に連続し、該半導体素子の検査用端子群と、前記半導体素子と接続されない部分を有する配線パターンを有する半導体素子搭載用フレキシブル基板。

20

【0031】

(17) 半導体素子に接続されない部分を有する配線パターンは2以上である半導体素子搭載用フレキシブル基板。

【0032】

(18) 前記検査用端子群は前記フレキシブル基板の両側に形成され、半導体素子に接続されない部分を有する配線パターンは、それぞれの端子群と半導体素子搭載領域の間に形成されている半導体素子搭載用フレキシブル基板。

30

【0033】

本発明は、基板上に全ての半導体素子と導通する端子と、それぞれの半導体素子とだけ導通する端子を用意する。第1の半導体パッケージが備えるフレキシブル基板上の配線のうち少なくとも1箇所は階段形状の配線パターンを持ち、なおかつ階段形状の配線パターンよりも半導体素子に近い側に半導体素子の側に終端部を持つ直線状の配線パターンを持たせる。複数の第1の半導体パッケージを、基板から遠い場所に積層される第1の半導体パッケージほど長いフレキシブル基板を持つように基板上に積層し、これら第1の半導体パッケージのフレキシブル基板を曲げて基板と電氣的に導通させることで第2の半導体パッケージを構成する。

【0034】

40

以下、本発明を実施例により詳細に説明する。

【0035】

(実施例1)

以下、本発明の実施例1について、図を用いて説明する。図1は、本発明の実施例1による半導体装置の上面図と側面図である。

【0036】

本実施例では、基板4の上部に2個の第1の半導体パッケージ9を積層することで第2の半導体パッケージ10が構成されている。それぞれの第1の半導体パッケージ9は主に、両面に配線3を持つフレキシブル基板2と、半導体素子1から構成されている。

【0037】

50

半導体素子 1 は、フレキシブル基板 2 の上部に搭載されており、半導体素子 1 の表面に設けられたバンプ（図 4（b）に図示あり）と配線 3 を接合することで半導体素子 1 とフレキシブル基板 2 の配線 3 との電氣的導通が取られている。また、半導体素子 1 とフレキシブル基板 2 の間には封止樹脂 5 を設けることで、半導体素子 1 のバンプと配線 3 の接合を保護している。

【0038】

本実施例では、半導体素子 1 に厚さ約 0.2 mm のシリコン、フレキシブル基板 2 に厚さ約 0.03 mm のポリイミド樹脂、フレキシブル基板 2 表面に設けられる配線 3 に厚さ約 0.01 mm の銅を用いている。

【0039】

なお、表面保護のために配線 3 の表面にはニッケルなどのメッキを施し、配線 3 の絶縁が必要な箇所の表面には薄い樹脂被覆を形成している。また、フレキシブル基板 2 の両面に設けられる配線 3 は、ポリイミド部分に設けられた複数のビアを介して導通している。基板 4 には、2 層配線を持つガラスエポキシ基板を用いている。

【0040】

積層される第 1 の半導体パッケージのうち、下段に配置される下段パッケージ 8 は、基板 4 上に一列に配置される端子と配線 3 の一部を接合することで基板 4 との電氣的導通が取られている。また、基板 4 と下段パッケージ 8 との接合部の上部において、下段パッケージ 8 の配線 3 と上段パッケージ 7 の配線 3 を接合することで、上段パッケージ 7 は下段パッケージ 8 を介して基板 4 と導通が取られている。このとき、上段パッケージ 7 のフレキシブル基板 2 は、下段パッケージ 8 の厚みと、上段パッケージ 7 と下段パッケージ 8 が接合する箇所の高さの違いを吸収するために曲げ変形している。

【0041】

なお、本実施例では、下段パッケージ 8 と基板 4 の接合、および上段パッケージ 7 と下段パッケージ 8 の接合は超音波接合を用いて行なわれている。

【0042】

基板 4 は、第 1 の半導体パッケージが搭載される面と逆の面にはんだボール 6 を備えることで第 2 の半導体パッケージを構成している。このはんだボール 6 を用いて実装基板に実装することで、外部との通信を行なうことができる。この基板 4 上に一列に配置される端子において、第 2 の半導体パッケージに搭載される全ての半導体素子と導通する端子と、いずれかの特定の半導体素子 1 とだけ導通する端子を持つことが本発明の特徴である。本特徴を実現するための構造を、図 2 を用いて詳細に説明する。

【0043】

図 2（a）に、基板 4、下段パッケージ 8、上段パッケージ 7 のそれぞれの接合前の上面平面図を示す。基板 4 の表面には複数の端子群 21、23、24 が一列に配置されている。本実施例において、図の最下部に配置される端子は上段パッケージとだけ導通する端子 23 であり、その 1 つ上に配置される端子は下段パッケージとだけ導通する端子 24、その他の端子は上下段パッケージと導通する端子 21 である。

【0044】

これらの端子は、下段パッケージとの接合位置 22 において超音波接合によって下段パッケージ 8 と一括で接合される。このとき、上段パッケージとだけ導通する端子 23 と下段パッケージとだけ導通する端子 24 は隣接して配置されている。

【0045】

下段パッケージ 8 では、フレキシブル基板 2 上に設けられた基板・上段パッケージとの接合位置 25 に直交する方向に配線 3 が引き出され、フレキシブル基板 2 の端部まで伸びている。これらの配線 3 のうち、基板 4 上の端子 21 や端子 24 と接合される配線 3a は、下段パッケージ 8 に搭載される半導体素子 3 と導通している。しかし、基板 4 上の端子 23 と接合される配線 3b は、半導体素子 1 に向かう途中で終端部を持ち、半導体素子 1 とは導通しない。

【0046】

上段パッケージ7では、図2(c)に示すように、フレキシブル基板2上に設けられた下段パッケージとの接合位置26に直交する方向に配線3が引き出され、下段パッケージと同じようにこれらの配線3はフレキシブル基板2の端部まで伸びている。上段パッケージ7のフレキシブル基板2は、下段パッケージ8のフレキシブル基板2よりも寸法が大きい。これは、これらの第1の半導体パッケージを積層したとき、上段パッケージ7の方が下段パッケージ8よりも基板4までの距離が大きくなり、基板4と上段パッケージ7を接合するためにはフレキシブル基板2が大きくなければならないためである。

【0047】

上段パッケージ7の配線3は、フレキシブル基板の寸法が大きくなった分だけ、下段パッケージ8の配線3よりも長い。また、上段パッケージ7の配線3は、第2の半導体パッケージを構成する際には基板4とは直接接合せず、下段パッケージ8の配線3を介して基板4と導通する。基板4上の端子21と図の上下方向同じ位置にある上段パッケージ7の配線3cは、フレキシブル基板2の端部まで直線状に配置されている。一方、基板4上の端子24と図の上下方向同じ位置にある上段パッケージ7の配線3dは、フレキシブル基板2上において下段パッケージとの接合位置26よりも半導体素子1に近い位置で図の下向きに折れ曲がり、端子23と図の上下方向同じ位置にある配線3eとつながる。

【0048】

また、配線3eは、折れ曲がった配線3dとつながる箇所において2方向に分かれ、一方はフレキシブル基板2の端部まで伸び、他方は半導体素子1の側に伸びる。ただし、この半導体素子1の側に伸びる配線3eは途中で終端部を持ち、半導体素子1とは直接導通せずに配線3dを介して導通する。このとき、配線3dが図の下向きに折れ曲がる位置からフレキシブル基板2の端部までの距離は、上下段パッケージが持つフレキシブル基板2の長さの差以上である。また、この配線3dが折れ曲がる長さ、すなわち配線3dと配線3eの間隔は、基板4の端子間の距離と等しい。

【0049】

上記の配線パターンを持つ2種類の第1の半導体パッケージを基板4や他の第1の半導体パッケージと接合することで、第2の半導体パッケージである半導体装置を構成する。このとき、端子21と接合する配線3aや配線3cは、それぞれの第1の半導体パッケージに搭載される半導体素子1と導通する。端子24は、下段パッケージ8では配線3aと接合するので下段パッケージ8の半導体素子1と導通するが、上段パッケージ7では配線3dと接合しないので上段パッケージ7の半導体素子1とは導通しない。

【0050】

また、端子23は、下段パッケージ8の半導体素子1と導通しない配線3bと接合するので下段パッケージ8の半導体素子1とは導通せず、上段パッケージの配線3eと接合するので配線3dを介して上段パッケージ7の半導体素子1と導通する。このように、異なる配線パターンを持つ2種類の第1の半導体パッケージを基板4と接合することで、本発明による半導体装置を構成することができる。

【0051】

次に、図3から図7を用いて、本発明による実施例1による半導体装置の第1の製造方法を示す。

【0052】

はじめに、図3(a)、(b)に示すように、両面に配線3を備えたフレキシブル基板2を複数枚用意する。このとき、フレキシブル基板2は、下段パッケージ8や上段パッケージ7のフレキシブル基板2よりも大きな寸法を持つ。配線3は、半導体素子1が搭載される位置の一部に複数の半導体素子1との接合用端子群32を持ち、さらに、その端子よりもピッチや端子寸法の大きい検査用端子群31を持つ。このとき、配線3の一部は、第1の半導体パッケージを積層する数以上の段を持つ階段形状の配線パターンと、その階段形状の配線パターンよりも半導体素子の搭載位置に近い側に終端部のある直線状の配線パターンを持つ。この直線部は積層された第1の半導体パッケージの数に応じてその長さが決められる。

10

20

30

40

50

【0053】

次に、図4(a)、(b)に示すように、上記のフレキシブル基板2のそれぞれの片側に半導体素子1を搭載する。このとき、半導体素子1の表面に設けられた bumps 41 とフレキシブル基板2上の半導体素子との接合用端子32が接合するように半導体素子1を配置し、bumps 41 と半導体素子との接合用端子32を接合した後に接合部を封止樹脂5で封止する。本実施例では、bumps 41 の材料に金を用い、封止樹脂5にはセラミックのフィラーを含有するエポキシ樹脂を用いた。このようにして得られたものを本発明では必要に応じ、半導体素子搭載フレキシブル基板と呼び、半導体素子を搭載する前のものを、半導体素子搭載用フレキシブル基板と呼ぶ。

【0054】

封止樹脂5は、bumps 41 と半導体素子との接続用端子32を接合した後にその隙間に硬化前の液体状態で流し込んだ後に硬化させても良く、また、接合前にあらかじめ封止位置に配置しておいて接合後に硬化させても良い。

【0055】

前者の場合は、接合時に硬化前の封止樹脂5が接合部に無いので、接合部に樹脂が流れ込んで接合不良を起こすことを完全に防止できる利点がある。後者の場合は、狭い空間に樹脂を流し込む必要が無いので、樹脂の流し込みに要する時間が不要になることや、粘性が高く流れ込み性の悪い樹脂を用いることが可能になるといった利点がある。製造時には、これらの特徴に応じて封止方法を選択することができる。

【0056】

図4(a)、(b)のように、半導体素子1と半導体素子搭載用フレキシブル基板2を接合することで、フレキシブル基板2上の検査端子群31を用いて半導体素子1の動作を検査することができる。動作検査を行った結果、動作検査を満足した半導体素子1を搭載するフレキシブル基板2を抜き出し、それらの中の半数を図5に示すように上段用パッケージの切断位置51で切断することで、上段パッケージ7が完成する。

【0057】

一方、残りの半数を図6に示すように下段用パッケージの切断位置61で切断することで、下段パッケージ8が完成する。このとき、上段用パッケージの切断位置51と下段用パッケージの切断位置61は切断位置が異なる。その結果、最初のフレキシブル基板の配線パターンは全て同じであるにもかかわらず、完成した上段パッケージ7と下段パッケージ8は外径寸法が異なるとともに、図2に示したように異なる配線パターンを持つことができる。

【0058】

次に、これらの半導体パッケージを基板4上に積層し、図7(a)～(d)に示すように接合用ツール71を用いて接合し、基板4にはんだボールを設けることにより半導体装置が完成する。図7(a)は第1の半導体パッケージの積層、(b)は第1の半導体パッケージの端部の重ねあわせ、(c)は重ね合わせ部の接合、(d)は基板4へのハンダボールの形成を示す。

【0059】

本製造方法を用いることで、半導体素子1の動作を検査するまでは上下段の区別なく半導体素子1やフレキシブル基板2を扱うことができる。そのため、たとえ動作不良の半導体素子がある場合であっても、正常に動作する半導体素子のみを検査で抽出した後にそれぞれの段に応じた第1の半導体パッケージを用意できるので、正常に動作する半導体素子1を無駄無く使用することができ、総合的に見て製造コストを下げることができる。

【0060】

本発明によらない半導体装置の場合は、はじめから配線パターンの異なるフレキシブル基板を2種類用意しなければならない。その結果、例えば上下段同じ数の第1の半導体パッケージを製造した場合に、下段用のフレキシブル基板2に搭載した中で正常に動作する半導体素子1の数と、上段用のフレキシブル基板2に搭載した中で正常に動作する半導体素子1の数が異なると、どちらかの半導体素子1は正常に動作するにもかかわらず使用す

10

20

30

40

50

ることができなくなってしまう。この点からも、本発明を適用することで、無駄の無い低コストな半導体装置を製造することが可能である。

【0061】

（実施例2）

図8を用いて、本発明の実施例2による半導体装置の第2の製造方法を示す。実施例1の製造方法では、積層したそれぞれの第1の半導体パッケージが備えるフレキシブル基板2を直接基板4に接合した。実施例2の製造方法では、はじめに複数の第1の半導体パッケージを重ね（a）、フレキシブル基板接合用ツール81を用いてフレキシブル基板2同士を接合（b）した後、別のフレキシブル基板－基板接合用ツール82を用いて接合（c）する点が実施例1の製造方法と異なる点である。その他の製造方法は実施例1の製造方法と同ようである、

10

実施例1の製造方法では、一度に全ての接合が完了するため、製造時間が短縮できるという利点がある。ただし、フレキシブル基板2の曲げ加工と接合を同時に行なう必要がある。一方、実施例2の製造方法では、フレキシブル基板2の曲げ加工やフレキシブル基板2同士の接合を行なった後に、フレキシブル基板2と基板4の接合を行なえば良いので、一度に全ての加工を行なうよりも加工条件に裕度を持たせることができる。ただし、その分製造時間が長くなることがある。本発明を備えた半導体装置の製造時には、上記の特徴に応じて製造方法を選択することができる。

【0062】

（実施例3）

20

図9に、本発明の実施例3である半導体装置の側面断面図を示す。本実施では、第2の半導体パッケージに第1の半導体パッケージが4個搭載されていて半導体装置を構成している点が、実施例1、2との相違点である。実施例1、2では第2の半導体パッケージに半導体素子を2個搭載していたが、本実施例では基板4の寸法を変えずに4個の半導体素子を搭載している。このように本発明を用いることで、限られたスペースにより多くの半導体素子を実装することができる。

【0063】

図10を用いて、本発明の実施例3による半導体装置の製造方法を説明する。本実施例では、4種類の第1の半導体パッケージが必要である。そのため、図10に示すように、フレキシブル基板2の配線3のうち少なくとも1本は、それぞれの搭載する段に応じた切断位置に応じて階段状となる配線パターン（図10の下方）を持ち、かつ階段形状の配線パターンよりも半導体素子に近い側3箇所に、半導体素子の側に終端部を持つ直線状の配線パターンを配置する。このフレキシブル基板2に半導体素子1を搭載して検査をした後に、正常に動作する半導体素子1を搭載するフレキシブル基板2のみをそれぞれ積層する段に応じた切断位置で切断することで、それぞれ段に応じた第1の半導体パッケージを製造することができる。図10において、10は1段目パッケージ切断位置を示し、12は2段目パッケージ切断位置を、14は3段目パッケージ切断位置を、16は1段目パッケージ切断位置を示す。

30

【0064】

さらに、これらの第1の半導体パッケージを積層して基板4と接合すれば、4枚の半導体素子1を備えた第2の半導体パッケージを製造することができる。本製造方法においても、実施例1、2の製造方法と同じように、半導体素子1の検査を行なうまでは積層する段の区別無く扱うことができる。そのため、正常に動作する半導体素子1を無駄無く使用することができ、低コストな半導体装置を製造することが可能である。

40

【0065】

実施例1、2では第1の半導体パッケージ2個を搭載した第2の半導体パッケージおよびその製造方法を、実施例3では第1の半導体パッケージ4個を搭載した第2の半導体パッケージおよびその製造方法を示した。ただし、本発明による半導体装置において、第2の半導体パッケージに搭載できる第1の半導体パッケージの数は2個あるいは4個に制限されるわけではなく、用途などに応じて自由に選択することができる。

50

【0066】

(実施例4)

図11に、本発明の実施例4である半導体装置の側面断面図を示す。本実施では、積層される第1の半導体パッケージそれぞれの2方向から配線3が引き出されて、それぞれの方向で配線3が基板4と接合して第2の半導体パッケージを構成している点が、実施例13との相違点である。本実施例では、基板4上に第1の半導体パッケージとの接合箇所を2箇所設ける必要があるため、基板4の外径寸法をその分大きくしなければならない。ただし、実施例1と比較して、配線3のピッチ間隔が同じであれば2倍の配線数を引き出すことができる利点がある。また、引き出す配線数が同じ場合には配線3のピッチ間隔を2倍にすることができるので、接合時の位置ズレなどに対してより裕度を持たせることができるといった利点もある。

10

【0067】

図12を用いて、本発明の実施例4である半導体装置の製造方法を説明する。本実施例では、第1の半導体パッケージの2方向から配線3を引き出すため、フレキシブル基板2上の配線パターンは図のように半導体パッケージが搭載される位置から2方向に引き出される。また、フレキシブル基板2の切断位置は、配線3が引き出されるそれぞれの方向において上段と下段では異なる位置となる。即ち、18は上段用パッケージの切断位置を、20は下段用パッケージ切断位置を示す。さらに、図には示していないが、配線3が2方向から引き出されるため、基板4とフレキシブル基板2の接合もそれぞれ2方向で行なう。その他の製造方法は、実施例1と同ようである。

20

【0068】

なお、本実施では第1の半導体パッケージの2方向から配線3を引き出したが、配線3を3方向や4方向から引き出すことも当然可能であり、必要な配線数などに応じて選択することができる。

【0069】

(実施例5)

図13を用いて、本発明の実施例5を説明する。図は、半導体素子1を搭載する前のフレキシブル基板2、すなわち実施例1における図3の状態に対応する図である。本実施例では、配線3の一部に、第1の半導体パッケージを積層する数以上の段を持つ階段形状の配線パターンと、その階段形状の配線パターンよりも半導体素子の搭載位置に近い側に両側に終端部を持ち半導体素子と導通しない線分状の配線パターンを持っている点が実施例1との相違点である。実施例1では、上段パッケージの配線3は2方向に枝分かれする箇所を持ち、この箇所によって電気信号の通信速度が低下することが懸念される。しかし、本実施例では配線3に枝分かれする箇所が無いことから、より高速の通信が可能となる。ただし、この線分部分にはフレキシブル基板2の製造時に外部から電気を流すことが難しいので、配線3のメッキ処理などが制限されることがある。なお、図13のような構造にするには、図1の場合と同じ配線パターンを持つフレキシブル基板であっても切断位置を変えるだけでよい。

30

【0070】

(実施例6)

図14を用いて、本発明の実施例6を説明する。本実施例では、実施例5と同じように配線3に枝分かれする箇所が無いことから、高速の通信が可能となる。また、実施例5では線分状の配線パターンであった箇所が、他の配線3の妨げとならない位置でフレキシブル基板2の外部まで引き出されており、配線3のメッキ処理などの制限を緩和することができる。図14において、22は上段用パッケージ切断位置を、24は下段用パッケージ切断位置を示す。

40

【0071】

以上、本発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【図面の簡単な説明】

50

【0072】

【図1】本発明の実施例1による半導体装置の上面図（a）と側面図（b）である。

【図2】本発明の実施例1による半導体装置の基板（a）、下段パッケージ（b）及び上段パッケージ（c）の上面図である。

【図3】本発明の実施例1における半導体装置の実施例1の製造方法を説明する半導体素子搭載用フレキシブル基板の平面図である。

【図4】本発明の実施例1における半導体装置の製造方法を説明する他の半導体素子搭載用フレキシブル基板の平面図である。

【図5】本発明の実施例1による半導体装置の製造方法を説明する半導体素子搭載用フレキシブル基板の平面図である。

10

【図6】本発明の実施例1における半導体装置の製造方法を説明する半導体素子搭載用フレキシブル基板の図である。

【図7】本発明の実施例1における半導体装置の製造方法を説明するフロー図である。

【図8】本発明の実施例2における半導体装置の第2の製造方法を説明するフロー図である。

【図9】本発明の実施例3による半導体装置の側断面図である。

【図10】本発明の実施例3における半導体装置の製造方法を説明する半導体素子搭載用フレキシブル基板の平面図である。

【図11】本発明の実施例4による半導体装置の側断面図である。

【図12】本発明の実施例4における半導体装置の製造方法において用いられる半導体素子搭載用フレキシブル基板の平面図である。

20

【図13】本発明の実施例5における半導体装置の製造方法を説明する半導体素子搭載用フレキシブル基板の平面図である。

【図14】本発明の実施例6における半導体装置の製造方法を説明する半導体素子搭載用フレキシブル基板の平面図である。

【符号の説明】

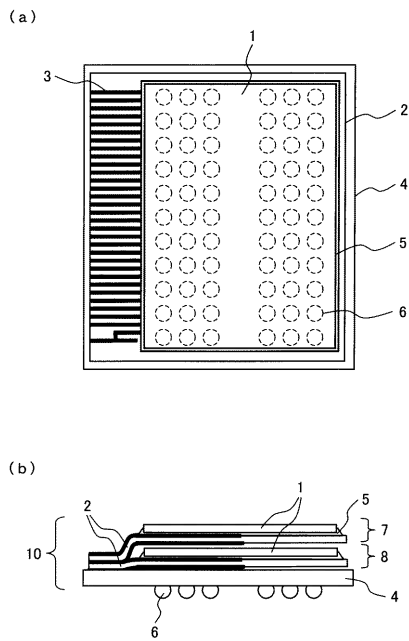
【0073】

1…半導体素子、2…フレキシブル基板、3…配線、4…基板、5…封止樹脂、6…はんだボール、7…上段パッケージ、8…下段パッケージ、9…第1の半導体パッケージ、10…第2の半導体パッケージ、21…上下段パッケージの半導体素子と導通する端子、22…下段パッケージとの接合位置、23…上段パッケージの半導体素子とだけ導通する端子、24…下段パッケージの半導体素子とだけ導通する端子、25…基板・上段パッケージとの接合位置、26…下段パッケージとの接合位置、31…検査用端子、32…半導体素子との接続用端子、41…バンプ、51…上段パッケージの切断位置、61…下段パッケージの切断位置、71…接合用ツール、81…フレキシブル基板接合用ツール、82…フレキシブル基板－基板接合用ツール。

30

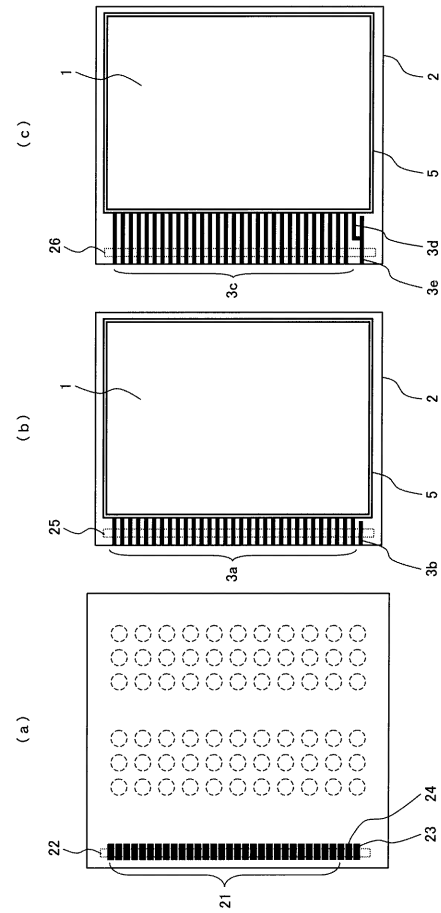
【図 1】

図 1



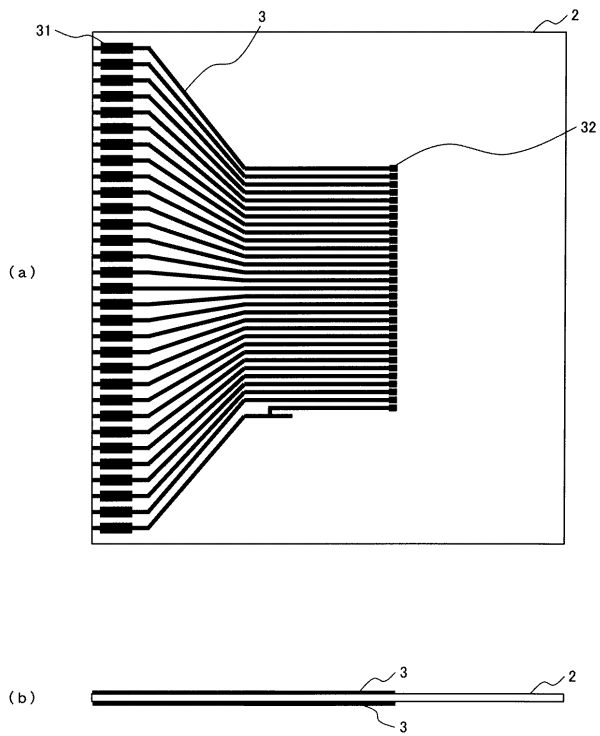
【図 2】

図 2



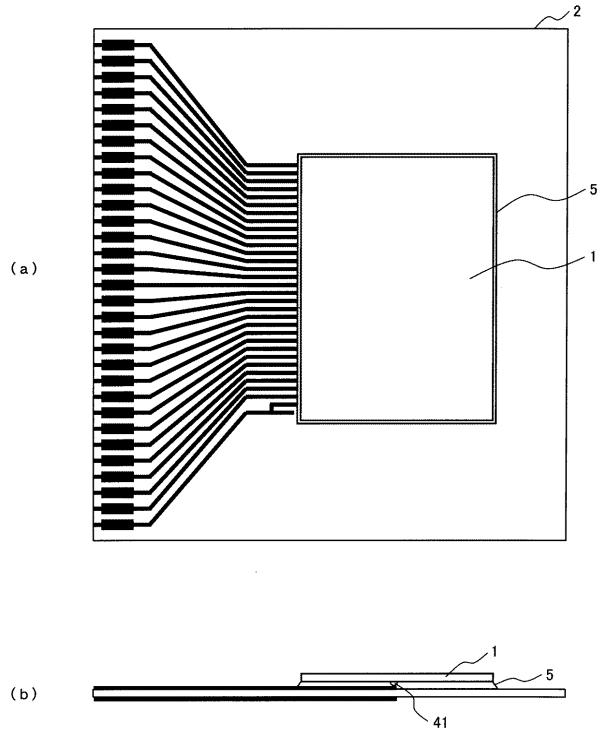
【図 3】

図 3



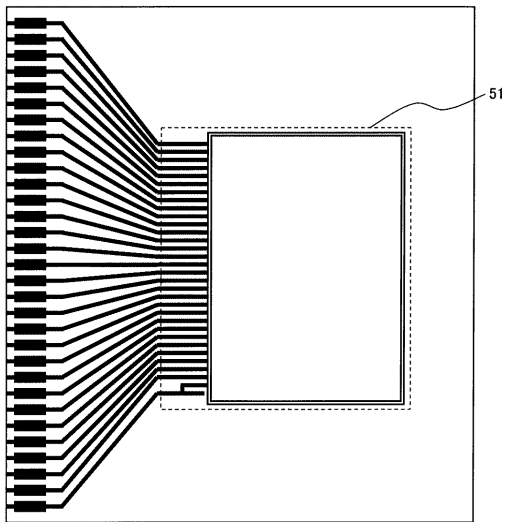
【図 4】

図 4



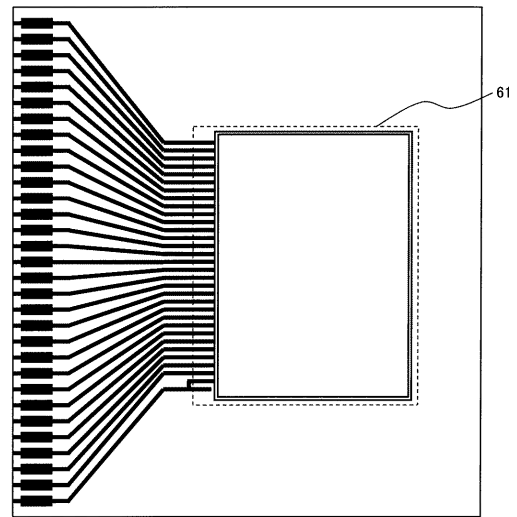
【図 5】

図 5



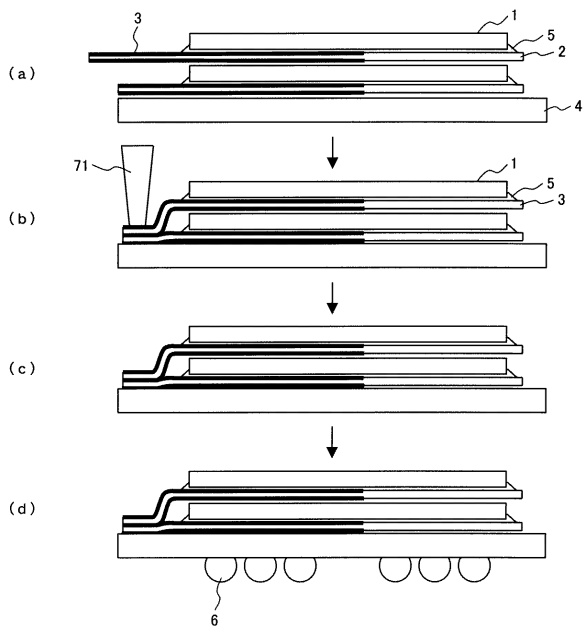
【図 6】

図 6



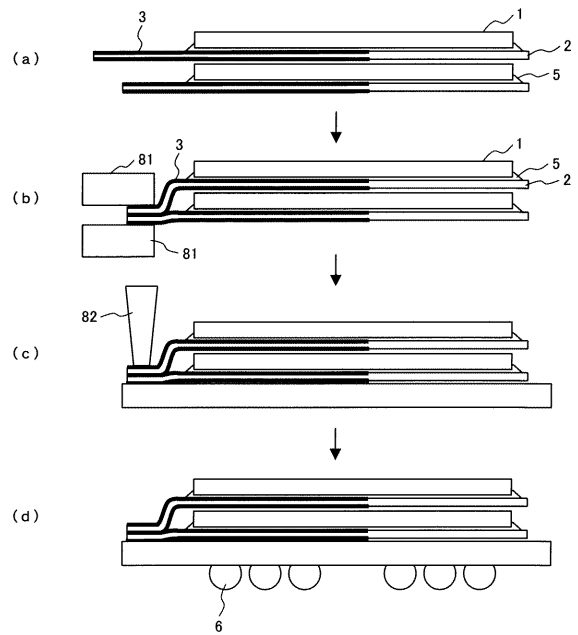
【図 7】

図 7



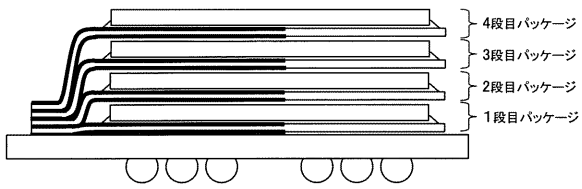
【図 8】

図 8



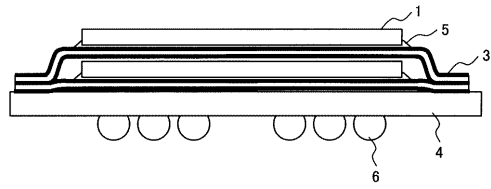
【図 9】

図 9



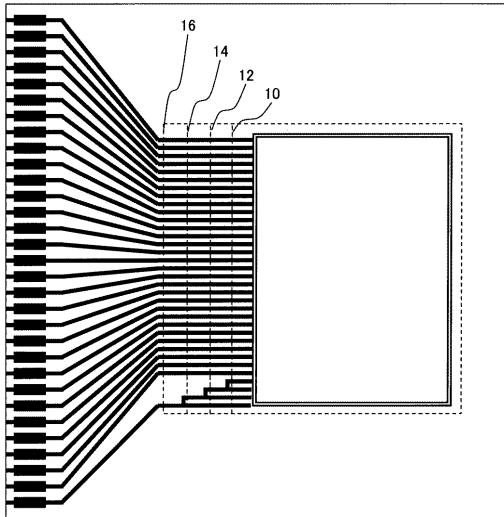
【図 11】

図 11



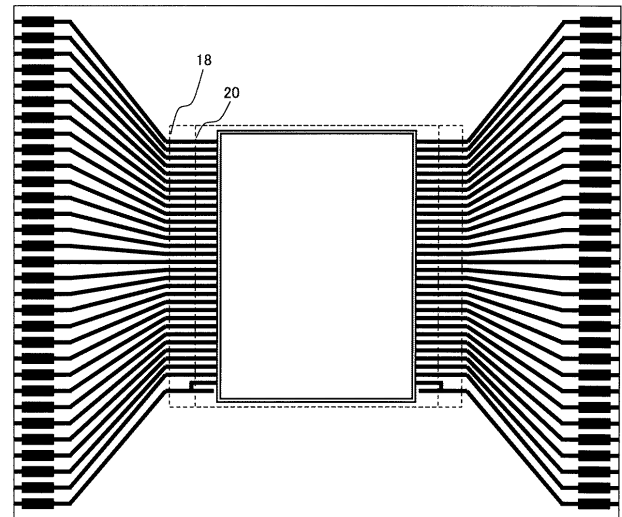
【図 10】

図 10



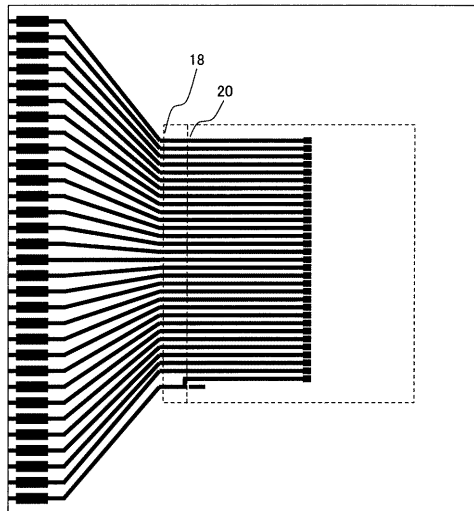
【図 12】

図 12



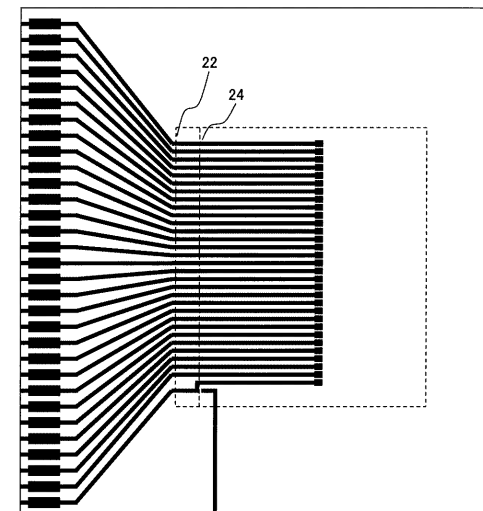
【図 13】

図 13



【図 14】

図 14



フロントページの続き

(72)発明者 山口 昌浩

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内