

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4762720号  
(P4762720)

(45) 発行日 平成23年8月31日(2011.8.31)

(24) 登録日 平成23年6月17日(2011.6.17)

(51) Int.Cl. F I  
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 5 0

請求項の数 3 (全 12 頁)

|   |   |
|---|---|
| <p>(21) 出願番号 特願2006-327 (P2006-327)<br/>                 (22) 出願日 平成18年1月5日(2006.1.5)<br/>                 (65) 公開番号 特開2007-184024 (P2007-184024A)<br/>                 (43) 公開日 平成19年7月19日(2007.7.19)<br/>                 審査請求日 平成20年9月11日(2008.9.11)</p> | <p>(73) 特許権者 000005223<br/>                 富士通株式会社<br/>                 神奈川県川崎市中原区上小田中4丁目1番<br/>                 1号<br/>                 (74) 代理人 100101214<br/>                 弁理士 森岡 正樹<br/>                 (72) 発明者 木村 徳治<br/>                 神奈川県川崎市中原区上小田中4丁目1番<br/>                 1号 富士通株式会社内<br/>                 審査官 高瀬 勤</p> |
|---|---|

最終頁に続く

(54) 【発明の名称】 磁気半導体記憶装置の読出し回路

(57) 【特許請求の範囲】

【請求項1】

可変の抵抗値を有する磁気抵抗素子を備えたメモリセルに記憶された情報を読み出す磁気半導体記憶装置の読出し回路であって、

前記磁気抵抗素子を介して接地され、前記磁気抵抗素子に生じたデータ電圧が印加されるソース端子と、定電圧が印加されるゲート端子と、前記データ電圧を外部の出力回路を駆動可能に増幅した出力電圧を出力するドレイン端子とを備えた第1のトランジスタと、

前記第1のトランジスタのドレイン端子に接続され、前記第1のトランジスタに電流を供給する電流源とを有し、

前記電流源は、前記第1のトランジスタのドレイン端子に接続されたドレイン端子と、  
 定電圧が印加されるゲート端子と、電源電圧が印加されるソース端子とを備えた第2のトランジスタを有し、

前記第1のトランジスタのゲート端子及び前記第2のトランジスタのゲート端子は、共通の定電圧源に接続されていること

を特徴とする磁気半導体記憶装置の読出し回路。

【請求項2】

請求項1記載の磁気半導体記憶装置の読出し回路において、

前記第1のトランジスタのドレイン端子は、前記出力回路に直接接続されていることを特徴とする磁気半導体記憶装置の読出し回路。

【請求項3】

請求項 1 又は 2 に記載の磁気半導体記憶装置の読出し回路において、  
前記磁気抵抗素子は、70%以上のMR比を有すること  
を特徴とする磁気半導体記憶装置の読出し回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気抵抗素子を備えたメモリセルに記憶された情報を読み出す磁気半導体記憶装置の読出し回路に関する。

【背景技術】

【0002】

近年、半導体記憶装置として磁気ランダムアクセスメモリ(MRAM; Magnetoresistive Random Access Memory)の研究開発が活発になっている。MRAMは、高速性、無限回書込み・読出し特性、耐放射線特性に優れた不揮発性メモリである。MRAMは、相補型金属酸化物半導体(CMOS)トランジスタ上に、書込みワード線、磁気トンネル接合(MTJ; Magnetic Tunneling Junction)素子(トンネル磁気抵抗素子)、及びビット線を形成することによって得られる。MTJ素子は、磁性体層(フリー層)/絶縁層/磁性体層(ピンド層)の積層構造を有している。メモリセルに情報を書き込む際には、書込みワード線とビット線に電流を流して所定の磁場を発生させ、この磁場によりフリー層の磁化の向きを反転させる。ピンド層の磁化の向きは、磁場が発生しても変化しないようになっている。MTJ素子の抵抗値は、2層の磁性体層の磁化が同じ向きになるときに低くなり、逆向きのときに高くなる。この性質を利用することにより、MTJ素子を有するメモリセルには「0」又は「1」のデータが記憶される。メモリ動作から考えると、MTJ素子は可変抵抗とみなすことができる。

【0003】

従来、MTJ素子の絶縁層はAlO(アルミナ)を用いて形成されている。AlOからなる絶縁層を備えたMTJ素子の磁気抵抗比(MR(Magnetoresistive)比)は、たかだか50%程度である。また、MTJ素子のMR比は電圧が印加されると低下するため、MTJ素子に数百mVの電圧が印加される読出し動作中には、MR比が30%程度になってしまう。製造プロセスに基づくMTJ素子毎の抵抗値のばらつきを考慮すると、読出し動作中には30%よりさらに低いMR比を有するMTJ素子も存在することになる。このような低いMR比を有するMTJ素子の抵抗値を読み出す読出し回路には、一般に差動型アンプやカレントミラー型アンプなどが用いられる。

【0004】

図7は、カレントミラー型アンプを用いた従来の読出し回路の概略を示している。図7に示すように、読出し回路は、カレントミラー回路を構成する3つのpMOS電界効果型トランジスタ(pMOSFET)102、104、106を有している。pMOSFET102、104、106の各ゲート端子はpMOSFET104のドレイン端子にそれぞれ接続され、pMOSFET102、104、106の各ソース端子には電源電圧Vddが印加されている。pMOSFET102のドレイン端子は、nMOSFET108のドレイン端子に接続されている。nMOSFET108のゲート端子は、電源回路114に接続されている。nMOSFET108のソース端子は、列選択トランジスタ118、MTJ素子124及び行選択トランジスタ122を介して接地されている。列選択トランジスタ118のゲート端子は列デコーダ116に接続され、行選択トランジスタ122のゲート端子は行デコーダ120に接続されている。

【0005】

pMOSFET104のドレイン端子はnMOSFET110のドレイン端子に接続され、pMOSFET106のドレイン端子はnMOSFET112のドレイン端子に接続されている。nMOSFET110、112の各ゲート端子は、電源回路114に接続されている。nMOSFET110のソース端子は、トランジスタ126を介してリファレ

10

20

30

40

50

ンス抵抗130の一端に接続されている。リファレンス抵抗130は、低抵抗(L)状態のMTJ素子124とほぼ同じ抵抗値を有している。リファレンス抵抗130の他端子は、トランジスタ134を介して接地されている。nMOSFET112のソース端子は、トランジスタ128を介してリファレンス抵抗132の一端に接続されている。リファレンス抵抗132は、高抵抗(H)状態のMTJ素子124とほぼ同じ抵抗値を有している。リファレンス抵抗132の他端子は、トランジスタ136を介して接地されている。nMOSFET110、112の各ソース端子は、互いに接続されている。

【0006】

nMOSFET108のドレイン端子は、次段アンプ138の入力端子に接続されている。またnMOSFET112のドレイン端子は、次段アンプ138の入力端子に接続されている。これにより次段アンプ138には、MTJ素子124の抵抗値に基づき生成される出力電圧信号と、当該出力電圧信号と比較するためのリファレンス信号とが入力するようになっている。次段アンプ138の出力端子は、出力回路140の入力端子に接続されている。nMOSFET108のドレイン端子から出力される初段のカレントミラー型アンプの出力電圧信号は、次段アンプ138に入力して増幅される。次段アンプ138で増幅された出力電圧信号は出力回路140に入力し、出力回路140から所定のデータ出力信号として出力される。

10

【特許文献1】特開2003-85966号公報

【特許文献2】特開2004-310904号公報

【非特許文献1】J. Nahas et al., ISSCC Dig. of Tech. Papers, Feb. 2004, p.44-45

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

MRAMの読出し動作は、MTJ素子124の抵抗値の高低を読み出すという極めて単純な動作である。ところが、MTJ素子124のMR比は一般に30~50%程度と低いいため、複雑で大型の読出し回路が必要になる。また、MRAMのセル面積を小さくして高集積化を実現するためには、各メモリセルに2つのトランジスタ及び2つのMTJ素子が含まれる2T2MTJ型よりも、各メモリセルに1つのトランジスタ及び1つのMTJ素子が含まれる1T1MTJ型の方が一般に有利である。しかしながら、1T1MTJ型のMRAMに記憶された情報を従来の読出し回路で読み出す場合、MTJ素子に生じた電圧と比較するためのリファレンス信号が必要になる。そのため、回路や制御信号がさらに複雑になり、トランジスタや受動素子の数も多くなる。したがって、読出し回路が大面積で高消費電力になってしまうという問題が生じる。また、余分な負荷や容量などが読出し回路に付加されるため、動作が低速になり読出し性能が低下してしまうという問題が生じる(例えば、非特許文献1参照)。

30

【0008】

本発明の目的は、小面積、低消費電力で高速動作可能な磁気半導体記憶装置の読出し回路を提供することにある。

【課題を解決するための手段】

【0009】

40

上記目的は、可変の抵抗値を有する磁気抵抗素子を備えたメモリセルに記憶された情報を読み出す磁気半導体記憶装置の読出し回路であって、前記磁気抵抗素子を介して接地され、前記磁気抵抗素子に生じたデータ電圧が印加されるソース端子と、定電圧が印加されるゲート端子と、前記データ電圧を外部の出力回路を駆動可能に増幅した出力電圧を出力するドレイン端子とを備えた第1のトランジスタと、前記第1のトランジスタのドレイン端子に接続され、前記第1のトランジスタに電流を供給する電流源とを有することを特徴とする磁気半導体記憶装置の読出し回路によって達成される。

【0010】

上記本発明の磁気半導体記憶装置の読出し回路において、前記電流源は、前記第1のトランジスタのドレイン端子に接続されたドレイン端子と、定電圧が印加されるゲート端子

50

と、電源電圧が印加されるソース端子とを備えた第2のトランジスタを有していることを特徴とする。上記本発明の磁気半導体記憶装置の読出し回路において、前記磁気抵抗素子は、70%以上のMR比を有することを特徴とする。

【発明の効果】

【0011】

本発明によれば、小面積、低消費電力で高速動作可能な磁気半導体記憶装置の読出し回路を実現できる。

【発明を実施するための最良の形態】

【0012】

本発明の一実施の形態による磁気半導体記憶装置の読出し回路について図1乃至図6を用いて説明する。図1は、本実施の形態による磁気半導体記憶装置の読出し回路の概略を示している。図1に示すように、本実施の形態による磁気半導体記憶装置の読出し回路1は、増幅器として機能するnMOSFET10と、電流源及び負荷として機能するpMOSFET12とを備えたシングルエンド型アンプを有している。nMOSFET10は、MTJ素子40の抵抗値に基づいて生じるデータ電圧を増幅し、出力電圧として出力するようになっている。nMOSFET10は、MTJ素子40を介してGND(グランド)に接続され、MTJ素子40に生じたデータ電圧が印加されるソース端子10sを有している。またnMOSFET10は、出力電圧を出力するドレイン端子10dと、定電圧源14に接続され、ドレイン・ソース間抵抗を所定の値に設定するクランプ電圧が印加されるゲート端子10gとを有している。

【0013】

ここで磁気半導体記憶装置は、マトリクス状に配置され、可変の抵抗値を有するMTJ素子40をそれぞれ備えた複数のメモリセルを有している。MTJ素子40は、2層の磁性体層(フリー層及びピンド層)と、フリー層及びピンド層の間に配置された絶縁層とを有している。近年、AlOに代えてMgO(酸化マグネシウム)を用いて絶縁層が形成されたMTJ素子40が開発されている。MgOを用いて絶縁層を形成することによって、例えば200%を超えるような高いMR比を有するMTJ素子40が得られる。約70%以上のMR比を有するMTJ素子40を用いると、従来のように差動型アンプやカレントミラー型アンプを用いることなく、シングルエンド型アンプを用いて1T1MTJ型MRAMの読出し動作を行うことができる。すなわち、本実施の形態によるシングルエンド型の読出し回路1は、約70%以上のMR比を有するMTJ素子40を備えたメモリセルに記憶された情報を読み出すことができるようになっている。

【0014】

nMOSFET10に電流を供給するpMOSFET12は、nMOSFET10のドレイン端子10dに接続されたドレイン端子12dと、電源電圧Vddが印加される電源端子に接続されたソース端子12sと、定電圧源16に接続され、nMOSFET10に供給する電流量を調整する定電圧が印加されるゲート端子12gとを有している。電源端子とGND端子との間には、pMOSFET12、nMOSFET10及びMTJ素子40が直列に接続されている。

【0015】

nMOSFET10のドレイン端子10dとpMOSFET12のドレイン端子12dとの間の接続点20には、出力電圧を外部に出力する出力端子18が接続されている。出力端子18には、外部の出力回路(図示せず)が直接接続される。nMOSFET10で増幅されて出力端子18から出力される出力電圧は、外部の出力回路を直接駆動可能なレベルになっている。例えば、MTJ素子40が高抵抗(H)状態の場合に出力される高レベルの出力電圧は出力回路の高レベル入力電圧より高く、MTJ素子40が低抵抗(L)状態の場合に出力される低レベルの出力電圧は出力回路の低レベル入力電圧より低くなっている。

【0016】

次に、本実施の形態による磁気半導体記憶装置の読出し回路の動作について説明する。

pMOSFET12は定電流源として機能するため、nMOSFET10及びMTJ素子40にはほぼ一定の電流が流れる。これにより、nMOSFET10及びMTJ素子40には、それぞれの抵抗値に比例した電圧が発生する。

#### 【0017】

MTJ素子40は、書き込まれたデータに応じて抵抗値が異なる可変抵抗として機能する。そのため、MTJ素子40の抵抗値が高いほど、nMOSFET10のソース端子10sの電位が高くなるので、nMOSFET10のソース・ゲート間電圧が低くなる。電流源として機能するpMOSFET12とnMOSFET10とのソース・ドレイン電圧が自然と調整され、回路に流れる電流を一定に保とうとするために、nMOSFET10のソース・ゲート電圧が低くなると(HIGHの場合)、nMOSFET10のソース・ドレイン電圧は高くなる。逆にLOWの場合は、nMOSFET10のソース・ドレイン電圧は低くなる。このため、MTJ素子40がL状態かH状態かによって、nMOSFET10のソース・ドレイン間の抵抗値が大きく変化する。nMOSFET10にも理想的には一定電流が流れるため、MTJ素子40の抵抗値の僅かな変化によってnMOSFET10のドレイン端子10dの電位は大きく変化する。すなわち、nMOSFET10は、ソース端子10sに印加されたデータ電圧を増幅し、出力電圧としてドレイン端子10dから出力することができる。本実施の形態では、一般的なMTJ素子のMR比より高い70%以上のMR比を有するMTJ素子40が用いられているため、MTJ素子40の抵抗値はL状態とH状態との間で比較的大きく変化する。したがって、ドレイン端子10dから出力される出力電圧もさらに大きく変化する。

#### 【0018】

本実施の形態では、リファレンス信号の不要なシングルエンド型アンプを讀出し回路1として用いているため、リファレンス信号を生成するための回路や制御信号が不要である。このため、従来の讀出し回路と比較して、トランジスタ数及び受動素子数が削減される。したがって、本実施の形態によれば、讀出し回路1の小面積化及び低消費電力化を実現できる。

#### 【0019】

また、定電圧源14、16の電圧やMOSFET10、12のパラメータを調整することにより、外部の出力回路を直接駆動可能な出力電圧が得られる。このため本実施の形態の讀出し回路1では、従来の讀出し回路のように次段のアンプを介して出力回路に接続するのではなく、nMOSFET10のドレイン端子10dを出力回路に直接接続できる。したがって、本実施の形態によれば、回路構成が簡略化されるため讀出し回路1の高速化を実現できる。

以下、本実施の形態による磁気半導体記憶装置の讀出し回路について、実施例を用いてより具体的に説明する。

#### 【0020】

##### (実施例1)

図2は、本実施の形態の実施例1による磁気半導体記憶装置の讀出し回路の概略を示している。図2に示すように、本実施例の讀出し回路31は、nMOSFET10とpMOSFET12とを有している。nMOSFET10のソース端子10sは、行方向に延びる配線54に接続されている。配線54は、行方向に配列する複数の列選択トランジスタ46(図2では1つのみ示している)のドレイン端子46dに接続されている。複数の列選択トランジスタ46のゲート端子46gは、列アドレス信号が入力する列デコーダ44に接続されている。複数の列選択トランジスタ46のソース端子46sは、互いに並列して列方向に延びる複数のビット線BLにそれぞれ接続されている。各ビット線BLは、列方向に配列する複数のメモリセルのMTJ素子40(図2では1つのみ示している)の一端に接続されている。複数のMTJ素子40の他端子は、メモリセル毎に設けられた複数の行選択トランジスタ50のドレイン端子50dにそれぞれ接続されている。行選択トランジスタ50のゲート端子50gは、行アドレス信号が入力する行デコーダ48にワード線WLを介して接続され、行選択トランジスタ50のソース端子50sは接地されてい

る。MTJ素子40及び行選択トランジスタ50は、1T1MTJ型MRAMのメモリセルを構成する。電源電圧V<sub>dd</sub>が印加される電源端子及びGND電位に維持されるGND端子の間には、pMOSFET12、nMOSFET10、列選択トランジスタ46、MTJ素子40及び行選択トランジスタ50が直列に接続されている。列デコーダ44によりビット線BLが選択され、行デコーダ48によりワード線WLが選択されると、選択されたビット線BL及びワード線WLの交点に位置するメモリセルに記憶された情報が読み出されるようになっている。

#### 【0021】

nMOSFET10のドレイン端子10dとpMOSFET12のドレイン端子12dとの間の接続点20には、外部の出力回路42が直接接続されている。nMOSFET10で増幅されて出力される出力電圧は、出力回路42を駆動可能になっている。例えば、MTJ素子40がH状態のときの出力電圧は出力回路42の高レベル入力電圧より高く、MTJ素子40がL状態のときの出力電圧は出力回路42の低レベル入力電圧より低くなっている。したがって、読出し回路31のnMOSFET10のドレイン端子10dと出力回路42とは次段のアンプを介さずに直接接続でき、出力回路42からは所定のデータ出力が得られるようになっている。

#### 【0022】

増幅器として機能するnMOSFET10を基準に考えると、読出し回路31はソース接地回路とみなすことができる。本実施例では、電流源及び負荷として機能するpMOSFET12のゲート幅を2 $\mu$ mとし、nMOSFET10のゲート幅を1 $\mu$ mとし、列選択トランジスタ46及び行選択トランジスタ50のゲート幅をいずれも0.5 $\mu$ mとした。pMOSFET12、nMOSFET10、列選択トランジスタ46及び行選択トランジスタ50のゲート長は全て0.18 $\mu$ mとした。また電源電圧V<sub>dd</sub>を1.8Vとし、pMOSFET12のゲート端子12gに接続されている定電圧源(電源回路17)の電圧を1.2Vとし、nMOSFET10のゲート端子10gに接続されている定電圧源(電源回路15)の電圧を0.9Vとした。MTJ素子40のH状態での抵抗値を20k $\Omega$ とし、L状態での抵抗値を10k $\Omega$ とした。

#### 【0023】

図3は、本実施例による読出し回路31のnMOSFET10のドレイン端子10dからの出力電圧のシミュレーション結果を示すグラフである。グラフの横軸は時間(ns)を表し、縦軸は出力電圧(V)を表している。曲線aはMTJ素子40がH状態のときの出力電圧を示し、曲線bはMTJ素子40がL状態のときの出力電圧を示している。図3に示すように、MTJ素子40がH状態のときの出力電圧は約1.5Vであり、MTJ素子40がL状態のときの出力電圧は約0.35Vである。出力回路42の高レベル入力電圧を1.4Vとし、低レベル入力電圧を0.4Vとすると、本実施例による読出し回路31は、次段のアンプを介さず出力回路42に直接接続しても、出力回路42を駆動できることが分かる。

#### 【0024】

##### (実施例2)

図4は、本実施の形態の実施例2による磁気半導体記憶装置の読出し回路の概略を示している。図4に示すように、本実施例の読出し回路32は、pMOSFET12のゲート端子12gとnMOSFET10のゲート端子10gとに接続された共通の定電圧源として電源回路19を有している点で実施例1の読出し回路31と異なっている。本実施例では、電流源及び負荷として機能するpMOSFET12のゲート幅を0.6 $\mu$ mとし、増幅器として機能するnMOSFET10のゲート幅を1 $\mu$ mとし、列選択トランジスタ46及び行選択トランジスタ50のゲート幅をいずれも0.5 $\mu$ mとした。pMOSFET12、nMOSFET10、列選択トランジスタ46及び行選択トランジスタ50のゲート長は全て0.18 $\mu$ mとした。また電源電圧V<sub>dd</sub>を1.8Vとし、pMOSFET12及びnMOSFET10の双方のゲート端子12g、10gに接続されている電源回路19の電圧を1Vとした。MTJ素子40のH状態での抵抗値を20k $\Omega$ とし、L状態で

10

20

30

40

50

の抵抗値を10kとした。

【0025】

本実施例による読出し回路32のnMOSFET10のドレイン端子10dからの出力電圧のシミュレーション結果は、図3に示した実施例1のシミュレーション結果と同様であった。すなわち、MTJ素子40がH状態のときの出力電圧は約1.5Vであり、MTJ素子40がL状態のときの出力電圧は約0.35Vであった。出力回路42の高レベル入力電圧を1.4Vとし、低レベル入力電圧を0.4Vとすると、本実施例による読出し回路32は、次段のアンプを介さず出力回路42に直接接続しても、出力回路42を駆動できることが分かる。

【0026】

また本実施例のように、pMOSFET12及びnMOSFET10のゲート幅をそれぞれ調整すれば、pMOSFET12及びnMOSFET10のゲート端子に同じ電圧を印加しても動作が可能である。したがって本実施例によれば、pMOSFET12及びnMOSFET10に対しそれぞれ電源回路を設けるのではなく、共通の電源回路19を設ければよいため、回路構成がさらに簡略化する。

【0027】

(実施例3)

図5は、本実施の形態の実施例3による磁気半導体記憶装置の読出し回路の概略を示している。図5に示すように、本実施例の読出し回路33は、pMOSFET12のドレイン端子12dが、インバータ52を介して出力回路42に接続されている点で実施例1の読出し回路31と異なっている。本実施例では、電流源及び負荷として機能するpMOSFET12のゲート幅を2 $\mu$ mとし、nMOSFET10のゲート幅を1 $\mu$ mとし、列選択トランジスタ46及び行選択トランジスタ50のゲート幅をいずれも0.5 $\mu$ mとした。pMOSFET12、nMOSFET10、列選択トランジスタ46及び行選択トランジスタ50のゲート長は全て0.18 $\mu$ mとした。また電源電圧Vddを1.8Vとし、pMOSFET12のゲート端子12gに接続されている定電圧源(電源回路17)の電圧を1.2Vとし、nMOSFET10のゲート端子10gに接続されている定電圧源(電源回路15)の電圧を0.9Vとした。MTJ素子40のH状態での抵抗値を20kとし、L状態での抵抗値を10kとした。

【0028】

本実施例による読出し回路33のnMOSFET10のドレイン端子10dからの出力電圧のシミュレーション結果は、図3に示した実施例1のシミュレーション結果と同様であった。すなわち、インバータ52の入力電圧は、MTJ素子40がH状態のとき約1.5Vであり、MTJ素子40がL状態のとき約0.35Vであった。インバータ52の出力電圧は、MTJ素子40がH状態のとき0Vであり、MTJ素子40がL状態のとき約1.8Vであった。出力回路42の高レベル入力電圧を1.4Vとし、低レベル入力電圧を0.4Vとすると、本実施例による読出し回路33は、次段のアンプを介さずインバータ52を介して出力回路42に接続しても、出力回路42を駆動できることが分かる。また本実施例によれば、読出し回路33と出力回路42との間にインバータ52を介在させることによって、出力回路42に入力する電圧信号の波形の鈍りが抑制され、動作がさらに高速化する。

【0029】

(実施例4)

図6は、本実施の形態の実施例4による磁気半導体記憶装置の読出し回路の概略を示している。図6に示すように、本実施例の読出し回路34は、pMOSFET12のゲート端子12gとnMOSFET10のゲート端子10gとに接続された共通の定電圧源として電源回路19を有している点で実施例3の読出し回路33と異なっている。本実施例では、電流源及び負荷として機能するpMOSFET12のゲート幅を0.6 $\mu$ mとし、増幅器として機能するnMOSFET10のゲート幅を1 $\mu$ mとし、列選択トランジスタ46及び行選択トランジスタ50のゲート幅をいずれも0.5 $\mu$ mとした。pMOSFET

10

20

30

40

50

12、nMOSFET10、列選択トランジスタ46及び行選択トランジスタ50のゲート長は全て0.18 $\mu$ mとした。また電源電圧V<sub>dd</sub>を1.8Vとし、pMOSFET12及びnMOSFET10の双方のゲート端子12g、10gに接続されている電源回路19の電圧を1Vとした。MTJ素子40のH状態での抵抗値を20k $\Omega$ とし、L状態での抵抗値を10k $\Omega$ とした。

#### 【0030】

本実施例による読出し回路34のnMOSFET10のドレイン端子10dからの出力電圧のシミュレーション結果は、図3に示した実施例1のシミュレーション結果と同様であった。すなわち、インバータ52の入力電圧は、MTJ素子40がH状態のとき約1.5Vであり、MTJ素子40がL状態のとき約0.35Vであった。インバータ52の出力電圧は、MTJ素子40がH状態のとき0Vであり、MTJ素子40がL状態のとき約1.8Vであった。出力回路42の高レベル入力電圧を1.4Vとし、低レベル入力電圧を0.4Vとすると、本実施例による読出し回路34は、次段のアンプを介さずインバータ52を介して出力回路42に接続しても、出力回路42を駆動できることが分かる。また本実施例によれば、実施例2と同様に、pMOSFET12及びnMOSFET10に対しそれぞれ電源回路を設けるのではなく、共通の電源回路19を設ければよいため、回路構成がさらに簡略化する。

#### 【0031】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記実施の形態では、nMOSFET10に電流を供給する電流源としてpMOSFET12を例に挙げたが、本発明はこれに限らず、カレントミラー回路等の他の回路構成を電流源として用いてもよい。

#### 【0032】

以上説明した実施の形態による磁気半導体記憶装置の読出し回路は、以下のようにまとめられる。

##### (付記1)

可変の抵抗値を有する磁気抵抗素子を備えたメモリセルに記憶された情報を読み出す磁気半導体記憶装置の読出し回路であって、

前記磁気抵抗素子を介して接地され、前記磁気抵抗素子に生じたデータ電圧が印加されるソース端子と、定電圧が印加されるゲート端子と、前記データ電圧を外部の出力回路を駆動可能に増幅した出力電圧を出力するドレイン端子とを備えた第1のトランジスタと、

前記第1のトランジスタのドレイン端子に接続され、前記第1のトランジスタに電流を供給する電流源と

を有することを特徴とする磁気半導体記憶装置の読出し回路。

##### (付記2)

付記1記載の磁気半導体記憶装置の読出し回路において、

前記電流源は、前記第1のトランジスタのドレイン端子に接続されたドレイン端子と、定電圧が印加されるゲート端子と、電源電圧が印加されるソース端子とを備えた第2のトランジスタを有していること

を特徴とする磁気半導体記憶装置の読出し回路。

##### (付記3)

付記2記載の磁気半導体記憶装置の読出し回路において、

前記第1のトランジスタのゲート端子及び前記第2のトランジスタのゲート端子は、共通の定電圧源に接続されていること

を特徴とする磁気半導体記憶装置の読出し回路。

##### (付記4)

付記1乃至3のいずれか1項に記載の磁気半導体記憶装置の読出し回路において、

前記第1のトランジスタのドレイン端子は、前記出力回路に直接接続されていること

を特徴とする磁気半導体記憶装置の読出し回路。

##### (付記5)

10

20

30

40

50

付記 1 乃至 3 のいずれか 1 項に記載の磁気半導体記憶装置の読出し回路において、前記第 1 のトランジスタのドレイン端子は、前記出力回路にインバータを介して接続されていること

を特徴とする磁気半導体記憶装置の読出し回路。

(付記 6)

付記 1 乃至 5 のいずれか 1 項に記載の磁気半導体記憶装置の読出し回路において、前記磁気抵抗素子、前記第 1 のトランジスタ及び前記電流源に直列に接続された列選択トランジスタ及び行選択トランジスタをさらに有していること

を特徴とする磁気半導体記憶装置の読出し回路。

(付記 7)

付記 1 乃至 6 のいずれか 1 項に記載の磁気半導体記憶装置の読出し回路において、前記磁気抵抗素子は、70%以上のMR比を有すること

を特徴とする磁気半導体記憶装置の読出し回路。

【図面の簡単な説明】

【0033】

【図 1】本発明の一実施の形態による磁気半導体記憶装置の読出し回路の概略を示す図である。

【図 2】本発明の一実施の形態の実施例 1 による磁気半導体記憶装置の読出し回路の概略を示す図である。

【図 3】本発明の一実施の形態の実施例 1 による磁気半導体記憶装置の読出し回路の出力電圧のシミュレーション結果を示すグラフである。

【図 4】本発明の一実施の形態の実施例 2 による磁気半導体記憶装置の読出し回路の概略を示す図である。

【図 5】本発明の一実施の形態の実施例 3 による磁気半導体記憶装置の読出し回路の概略を示す図である。

【図 6】本発明の一実施の形態の実施例 4 による磁気半導体記憶装置の読出し回路の概略を示す図である。

【図 7】従来の磁気半導体記憶装置の読出し回路の概略を示す図である。

【符号の説明】

【0034】

1、31、32、33、34 読出し回路

10 nMOSFET

10d、12d、46d、50d ドレイン端子

10g、12g、46g、50g ゲート端子

10s、12s、46s、50s ソース端子

12 pMOSFET

14、16 定電圧源

15、17、19 電源回路

18 出力端子

20 接続点

40 MTJ素子

42 出力回路

44 列デコーダ

46 列選択トランジスタ

48 行デコーダ

50 行選択トランジスタ

52 インバータ

54 配線

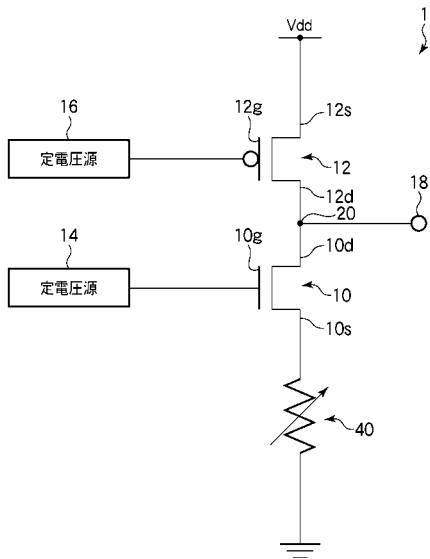
10

20

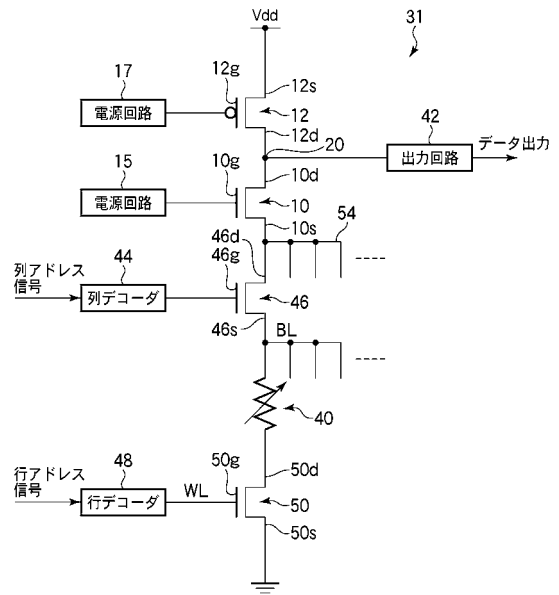
30

40

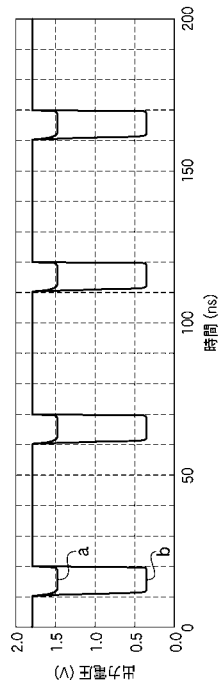
【図1】



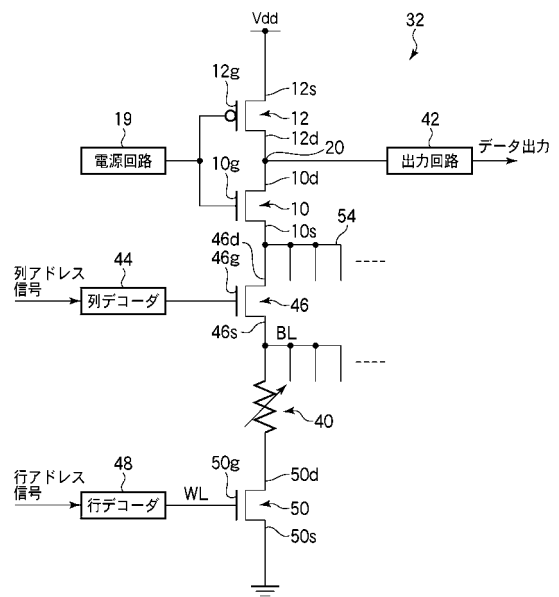
【図2】



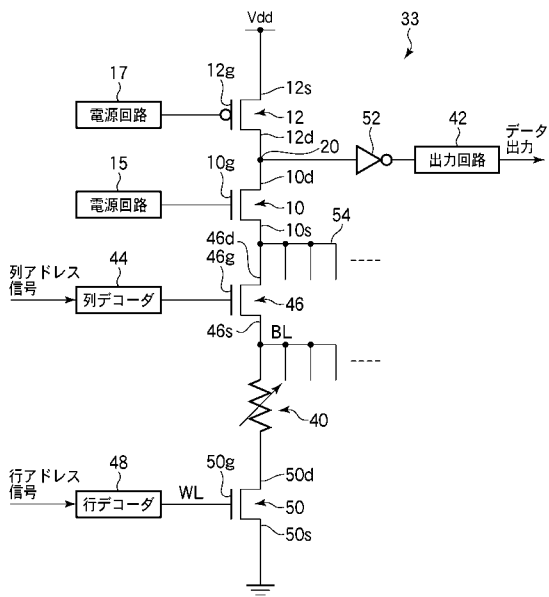
【図3】



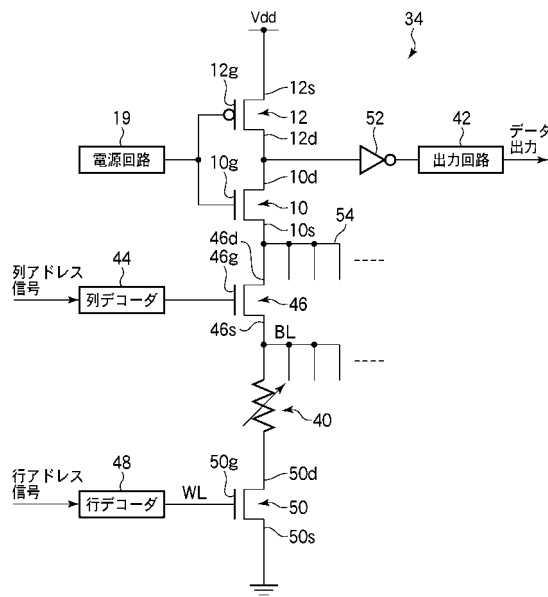
【図4】



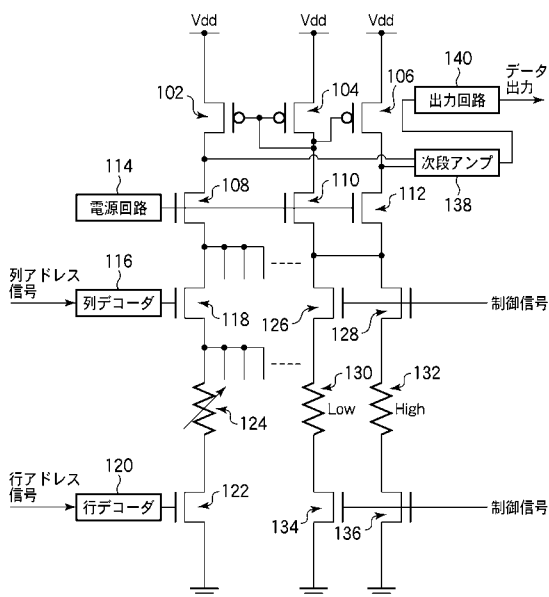
【図5】



【図6】



【図7】



---

フロントページの続き

(56)参考文献 特開2003-085966(JP,A)  
特開2006-004479(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/15