

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7656593号
(P7656593)

(45)発行日 令和7年4月3日(2025.4.3)

(24)登録日 令和7年3月26日(2025.3.26)

(51)国際特許分類			F I		
H 1 0 D 30/66 (2025.01)			H 1 0 D 30/66 1 0 3 Q		
H 1 0 D 30/01 (2025.01)			H 1 0 D 30/66 1 0 1 T		
H 1 0 D 12/00 (2025.01)			H 1 0 D 30/01 3 0 1 J		
H 1 0 D 8/60 (2025.01)			H 1 0 D 30/66 1 0 3 B		
H 1 0 D 62/10 (2025.01)			H 1 0 D 30/66 2 0 1 A		
請求項の数 12 (全38頁) 最終頁に続く					
(21)出願番号 特願2022-519955(P2022-519955)			(73)特許権者 000116024		
(86)(22)出願日 令和3年4月30日(2021.4.30)			ローム株式会社		
(86)国際出願番号 PCT/JP2021/017272			京都府京都市右京区西院溝崎町 2 1 番地		
(87)国際公開番号 WO2021/225125			(74)代理人 110002310		
(87)国際公開日 令和3年11月11日(2021.11.11)			弁理士法人あい特許事務所		
審査請求日 令和6年3月21日(2024.3.21)			(72)発明者 中野 佑紀		
(31)優先権主張番号 特願2020-82730(P2020-82730)			京都府京都市右京区西院溝崎町 2 1 番地		
(32)優先日 令和2年5月8日(2020.5.8)			ローム株式会社内		
(33)優先権主張国・地域又は機関 日本国(JP)			審査官 田内 幸治		
最終頁に続く					

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】
第1厚さを有する半導体基板を含み、主面を有する半導体層と、
前記主面の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極と、
前記主面電極の内方部を露出させるように前記主面電極の周縁部を被覆する絶縁膜と、
前記主面電極の内方部を露出させるようにかつ前記主面電極の内方部側において前記絶縁膜を部分的に露出させるように前記絶縁膜を被覆する樹脂と、
前記主面電極の内方部の上に配置され、前記第1厚さを超える第3厚さを有するパッド電極と、を含み、
前記パッド電極は、前記主面電極の内方部側において前記主面電極、前記絶縁膜および前記樹脂に接している、半導体装置。

【請求項 2】
前記樹脂は、前記半導体基板の前記第1厚さを超える第4厚さを有している、請求項 1 に記載の半導体装置。

【請求項 3】
前記樹脂は、前記主面の周縁部を被覆している、請求項 1 または 2 に記載の半導体装置。

【請求項 4】
前記樹脂は、平面視において前記主面の内方部を取り囲む環状に形成されている、請求項 1 ～ 3 のいずれか一項に記載の半導体装置。

【請求項 5】

前記樹脂は、熱硬化性樹脂を含む、請求項 1 ～ 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記パッド電極は、電極面を有し、

前記樹脂は、前記パッド電極の前記電極面に連なる外面を有している、請求項 1 ～ 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記パッド電極の前記電極面は、研削面からなり、

前記樹脂の前記外面は、研削面からなる、請求項 6 に記載の半導体装置。

【請求項 8】

前記絶縁膜は、前記第 2 厚さを超え、前記第 1 厚さ未満の厚さを有している、請求項 1 ～ 7 のいずれか一項に記載の半導体装置。

10

【請求項 9】

前記絶縁膜は、感光性樹脂を含む、請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記半導体層は、前記半導体基板の上に積層されたエピタキシャル層を含み、

前記パッド電極は、前記半導体基板および前記エピタキシャル層の総厚さを超える前記第 3 厚さを有している、請求項 1 ～ 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記半導体層は、ワイドバンドギャップ半導体を含む、請求項 1 ～ 10 のいずれか一項に記載の半導体装置。

20

【請求項 12】

前記半導体層は、S i C を含む、請求項 1 ～ 11 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、2020年5月8日に日本国特許庁に提出された特願2020-082730号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明は、半導体装置に関する。

【背景技術】

【0002】

特許文献1は、S i C 半導体基板を用いた縦型半導体素子に関する技術を開示している。

30

【先行技術文献】

【特許文献】

【0003】

【文献】特開2012-79945号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一実施形態は、オン抵抗が低減された半導体装置を提供する。

【課題を解決するための手段】

40

【0005】

本発明の一実施形態は、第1主面、および、前記第1主面と背向する第2主面を有する半導体層と、前記第1主面に形成された第1電極層と、前記第2主面に形成された第2電極層と、前記第1電極層の端部を覆う絶縁膜と、前記第1電極層の前記端部以外の少なくとも一部を覆うめっき層と、前記絶縁膜を覆うモールド層とを備え、前記半導体層は、前記第2主面を構成する半導体基板を含み、前記半導体基板の厚みは、前記めっき層の厚みよりも薄い、半導体装置を提供する。

【0006】

本発明の一実施形態は、第1主面、および、前記第1主面と背向する第2主面を有する半導体層であって、前記第2主面を構成する半導体基板を含む半導体層の第1主面に第1

50

電極層を形成し、前記第1電極層の端部を覆う絶縁膜を形成し、前記第1電極層の前記端部以外の少なくとも一部を覆うめっき層を形成し、前記絶縁膜を覆うモールド層を形成し、前記半導体基板を、前記半導体基板の厚みが前記めっき層の厚みよりも薄くなるまで前記第2主面側から研削し、前記半導体基板が研削された後の前記半導体層の前記第2主面に第2電極層を形成する、半導体装置の製造方法を提供する。

【0007】

本発明の一実施形態は、第1厚さを有する半導体基板を含み、主面を有する半導体層と、前記主面の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極と、前記主面電極の上に配置され、前記第1厚さを超える第3厚さを有するパッド電極と、を含む、半導体装置を提供する。

10

【0008】

本発明の一実施形態は、第1厚さを有し、主面を含む半導体層と、前記主面の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極と、前記主面電極の内方部を露出させるように前記主面電極の周縁部を被覆し、前記第2厚さを超える第3厚さを有する感光性樹脂層と、前記主面電極の内方部を露出させるように前記感光性樹脂層を挟んで前記主面電極の周縁部を被覆し、前記第3厚さを超える第4厚さを有する熱硬化性樹脂層と、前記主面電極の内方部の上に配置され、前記第3厚さを超える第5厚さを有するパッド電極と、を含む、半導体装置を提供する。

【0009】

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

20

【図面の簡単な説明】

【0010】

【図1】図1は、第1実施形態に係る半導体装置の平面図である。

【図2】図2は、図1に示す半導体装置の断面図である。

【図3】図3は、図1に示す半導体装置の外周部の詳細構成を示す図である。

【図4】図4は、図1に示す半導体装置の半導体層の詳細構成を示す図である。

【図5A】図5Aは、図1に示す半導体装置の製造方法を示す第1断面図である。

【図5B】図5Bは、図1に示す半導体装置の製造方法を示す第2断面図である。

【図5C】図5Cは、図1に示す半導体装置の製造方法を示す第3断面図である。

30

【図5D】図5Dは、図1に示す半導体装置の製造方法を示す第4断面図である。

【図5E】図5Eは、図1に示す半導体装置の製造方法を示す第5断面図である。

【図5F】図5Fは、図1に示す半導体装置の製造方法を示す第6断面図である。

【図5G】図5Gは、図1に示す半導体装置の製造方法を示す第7断面図である。

【図6A】図6Aは、半導体基板の研削方法を示す第1断面図である。

【図6B】図6Bは、半導体基板の研削方法を示す第2断面図である。

【図6C】図6Cは、半導体基板の研削方法を示す第3断面図である。

【図7】図7は、半導体基板の厚みとオン抵抗との関係を示す図である。

【図8】図8は、第2実施形態に係る半導体装置の平面図である。

【図9】図9は、図8に示す半導体装置の断面図である。

40

【図10】図10は、図8に示す半導体装置の外周部の詳細構成を示す図である。

【図11】図11は、第3実施形態に係る半導体パッケージの一例を示す図である。

【図12】図12は、図11に示す半導体パッケージの一例を示す図である。

【図13】図13は、第3実施形態に係る半導体パッケージの他の例を示す図である。

【図14】図14は、めっき層上にニッケル層が形成された構造を有する半導体装置の断面図である。

【図15】図15は、2層構造のめっき層を含む半導体装置の断面図である。

【図16】図16は、一変形例に係る半導体装置の平面図である。

【図17A】図17Aは、一変形例に係るダイシング工程を示す第1断面図である。

【図17B】図17Bは、一変形例に係るダイシング工程を示す第2断面図である。

50

【図 1 7 C】図 1 7 C は、一変形例に係るダイシング工程を示す第 3 断面図である。

【図 1 8 A】図 1 8 A は、他の変形例に係るダイシング工程を示す第 1 断面図である。

【図 1 8 B】図 1 8 B は、他の変形例に係るダイシング工程を示す第 2 断面図である。

【図 1 8 C】図 1 8 C は、他の変形例に係るダイシング工程を示す第 3 断面図である。

【発明を実施するための形態】

【0011】

以下、添付図面を参照して、本発明の実施形態が具体的に説明される。以下で説明される実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置位置、構成要素の接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する主旨ではない。以下の実施形態における構成要素のうち独立請求項に記載されていない構成要素は、任意の構成要素として説明される。

10

【0012】

各添付図面は、模式図であり、必ずしも厳密に図示されたものではない。したがって、たとえば、添付図面において縮尺などは必ずしも一致しない。添付図面において、実質的に同一の構成については同一の符号が付されており、重複する説明は省略または簡略化される。

【0013】

本明細書において、垂直、水平などの要素間の関係性を示す用語、および、矩形などの要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲を含むことを意味する表現である。

20

【0014】

また、本明細書において、「上方」および「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。具体的には、本明細書では、半導体層の一方の第 1 主面側を上側（上方）とし、他方の第 2 主面側を下側（下方）として説明がなされる。半導体装置（縦型トランジスタ）の実使用時には、第 1 主面側が下側（下方）であり、かつ、第 2 主面側が上側（上方）であってもよい。あるいは、半導体装置（縦型トランジスタ）は、第 1 主面および第 2 主面が水平面に対して傾斜または直交する姿勢で使用されてもよい。

30

【0015】

また、「上方」および「下方」という用語は、2 つの構成要素の間に別の構成要素が介在されるように当該 2 つの構成要素が互いに間隔を空けて配置される場合に適用される他、2 つの構成要素が互いに密着するように当該 2 つの構成要素が配置される場合にも適用される。

【0016】

以下、第 1 実施形態に係る半導体装置の構成が説明される。図 1 は、第 1 実施形態に係る半導体装置の平面図である。図 2 は、図 1 に示す半導体装置の断面図（図 1 の II-II 線における断面図）である。

【0017】

図 1 に示す半導体装置 100 は、縦型の M I S F E T（Metal Insulator Semiconductor Field Effect Transistor）として機能する半導体チップである。半導体装置 100 は、たとえば、電力の供給および制御に用いられるパワー半導体装置である。半導体装置 100 は、具体的には、半導体層 101、第 1 電極層 102、第 2 電極層 103、絶縁膜 104、めっき層 105 およびモールド層 106 を含む。

40

【0018】

半導体層 101 は、ワイドバンドギャップ半導体の一例としての S i C（炭化珪素）単結晶を含む S i C 半導体層である。半導体層 101 は、平面視形状が矩形の板状に形成されている。本明細書中において、平面視とは、第 1 主面 101 a または第 2 主面 101 b に垂直な方向から見る（図中の z 軸方向から見る）ことを意味する。半導体層 101

50

の一辺の長さは、たとえば、1 mm以上10 mm以下であるが、2 mm以上5 mm以下であつてもよい。

【0019】

半導体層101は、第1主面101a、および、第1主面101aと背向する第2主面101bを有する。また、半導体層101は、第2主面101bを構成する半導体基板101c、および、半導体基板101c上に位置するエピタキシャル層101dを含む。エピタキシャル層101dは、半導体基板101cのエピタキシャル成長によって得られる。

【0020】

半導体層101の厚み t_1 は、後述するめっき層105の厚み t_2 よりも小さく、また、モールド層106の厚み t_3 よりも小さい。また半導体基板101cの厚みは、たとえば、5 μm 以上40 μm 以下であり、より好ましくは5 μm 以上20 μm 以下である。エピタキシャル層101dの厚みは、たとえば、10 μm 以上20 μm 以下である。好ましくは、半導体基板101cの厚みは、エピタキシャル層101dの厚みよりも小さい。半導体層101は、SiC半導体層に限らず、GaNなどの他のワイドバンドギャップ半導体からなる半導体層であつてもよいし、Si半導体層であつてもよい。

【0021】

第1電極層102は、第1主面101aに形成されている。第1電極層102は、「第1主面電極」と称されてもよい。第1電極層102は、ゲート電極として機能する第1電極層102g、および、ソース電極として機能する第1電極層102sを含む。第1電極層102は、たとえば、アルミニウムによって形成されている。第1電極層102は、チタン、ニッケル、銅、銀、金、窒化チタン、タングステンなどの他の材料によって形成されてもよい。

【0022】

第1電極層102sは、平面視において半導体基板101c（第1主面101a）の面積の50%以上の面積を有していてもよい。好ましくは、第1電極層102sは、平面視において半導体基板101c（第1主面101a）の面積の70%以上の面積を有していてもよい。一方、第1電極層102gは、平面視において半導体基板101c（第1主面101a）の面積の20%以下の面積を有していてもよい。好ましくは、第1電極層102gは、平面視において半導体基板101c（第1主面101a）の面積の10%以下の面積を有していてもよい。

【0023】

第1電極層102sは、平面視において半導体基板101cの中心位置を含む領域に配置されている。第1電極層102gは、第1電極層102sを避けた領域に配置されている。しかしながら、第1電極層102gが平面視において半導体基板101cの中心位置を含む領域に配置されており、第1電極層102sが第1電極層102gの周囲を取り囲むように配置されていてもよい。

【0024】

第2電極層103は、第2主面101bに形成される。第2電極層103は、「第2主面電極」と称されてもよい。第2電極層103は、ドレイン電極として機能する。第2電極層103は、たとえば、チタン、ニッケル、金の積層膜によって形成されている。第2電極層103は、アルミニウム、銅、銀、窒化チタン、タングステンなどの他の材料によって形成されてもよい。

【0025】

絶縁膜104は、第1電極層102の外周部（つまり、x軸方向の両端部、および、y軸方向の両端部のそれぞれ）の全周を覆っている。第1電極層102の外周部は、第1電極層102の周縁部と称されてもよい。絶縁膜104は、第1部分104aおよび第2部分104bを含む。第1部分104aは、第1電極層102に乗り上げている。第1部分104aは、より詳細には、第1電極層102の周縁部に乗り上げている。第2部分104bは、第1部分104aの外側に位置し、第1電極層102以外の領域を被覆している。つまり、第2部分104bは、第1電極層102に乗り上げていない。

10

20

30

40

50

【0026】

第1部分104aは、さらに、内側端部104a1および平坦部104a2を含む。内側端部104a1は、平面視において第1部分104aのうち半導体層101の内方側に位置する部分の端部である。内側端部104a1は、断面視において第1電極層102の内方部に向けて斜め下り傾斜している。平坦部104a2は、内側端部104a1の外側（半導体層101の周縁側）に位置し、実質的に均一な厚みを有する。

【0027】

絶縁膜104は、たとえば、感光性樹脂を含む有機膜である。絶縁膜104は、たとえば、ポリイミド、PBO（ポリベンゾオキサゾール）などによって形成される。絶縁膜104は、窒化シリコン（SiN）、酸化シリコン（SiO₂）などによって形成される無機膜であってもよい。絶縁膜104は、単層構造を有していてもよいし、複数の種類の材料が積層された積層構造を有していてもよい。絶縁膜104が積層構造を有する場合、絶縁膜104は、有機膜および無機膜の両方を含んでもよい。この場合、絶縁膜104は、第1主面101a側からこの順に積層された無機膜および有機膜を含むことが好ましい。絶縁膜104の厚みは、最大でも10μm程度である。

【0028】

めっき層105は、第1電極層102の少なくとも一部を覆う金属層である。めっき層105は、第1電極層102の端部（つまり、絶縁膜104で覆われる部分）以外の少なくとも一部を覆っている。図1に示されるように、平面視において、めっき層105は、モールド層106に囲まれている。めっき層105は、第1電極層102g側のめっき層105（第1めっき層）、および、第1電極層102s側のめっき層105（第2めっき層）を含む。

【0029】

第1電極層102g上に形成されためっき層105は、平面視形状が矩形のゲートパッド（パッド電極）として機能する。第1電極層102s上に形成されためっき層105は、ソースパッド（パッド電極）として機能する。パッドとは、半導体装置100がパッケージ化される際にボンディングワイヤが接合される部分である。また、めっき層105は、モールド層106の支持部材としても機能する。

【0030】

めっき層105は、たとえば、第1電極層102とは異なる材料によって形成されている。めっき層105は、たとえば、銅または銅を主成分とする銅合金によって形成されている。めっき層105は、他の金属材料によって形成されてもよい。めっき層105の厚みt2は、絶縁膜104の厚みよりも大きい。より詳細には、めっき層105の厚みt2は、第1電極層102上に位置する絶縁膜104の最大厚みよりも大きい。これにより、めっき層105の最頂部は、絶縁膜104の最頂部よりも高くなっている。めっき層105の厚みt2は、たとえば、30μm以上100μm以下である。めっき層105の厚みt2は、100μm以上200μm以下であってもよい。

【0031】

めっき層105の側面105aは、垂直または実質的に垂直に延びている。側面105aは必ずしも断面視において直線状に延びている必要はなく、曲線や凹凸を含み得る。側面105aは、第1電極層102および絶縁膜104の両方が互いに重なる領域に位置している。より詳細には、側面105aは、絶縁膜104のうち、平坦部104a2上に位置している。つまり、めっき層105は、第1部分104aの内側端部104a1および平坦部104a2を被覆している。側面105aを平坦部104a2上に位置させることにより、厚みのばらつきが比較的大きい内側端部104a1上に側面105aを位置させる場合に比べて、めっき層105を安定して形成することができる。

【0032】

モールド層106は、絶縁膜104の少なくとも一部を覆う樹脂層である。モールド層106は、この形態では、第1主面101aの一部も覆っている。モールド層106は、半導体層101の第1主面101a側の外周部に位置している。半導体層101（第1主

10

20

30

40

50

面101a)の外周部は、半導体層101(第1主面101a)の周縁部と称されてもよい。

【0033】

平面視において、モールド層106は、半導体層101の外周部に沿う矩形環状である。また、モールド層106は、ゲートパッド(第1電極層102g上のめっき層105)と、ソースパッド(第1電極層102s上のめっき層105)の間にも位置している。つまり、モールド層106は、半導体層101の第1主面101aの上のみに形成され、半導体層101の第2主面101bおよび側面を露出させている。

【0034】

モールド層106の内側面は、めっき層105の側面105aと直接接触している。モールド層106の内側面は、モールド層106は、第1電極層102g側の内側面(第1内側面)、および、第1電極層102s側の内側面(第2内側面)を含む。モールド層106は、たとえば、熱硬化性樹脂(エポキシ樹脂)によって形成されている。モールド層106は、カーボンおよびガラス繊維などを含むエポキシ樹脂によって形成されていてもよい。モールド層106の厚みt3は、たとえば、30μm以上100μm以下である。モールド層106の厚みt3は、100μm以上200μm以下であってもよい。モールド層106の上面とめっき層105の上面とは面一または実質的に面一になっている。

【0035】

ソースパッドは、平面視において半導体基板101c(第1主面101a)の面積の50%以上の面積を有していてもよい。好ましくは、ソースパッドは、平面視において半導体基板101c(第1主面101a)の面積の70%以上の面積を有していてもよい。一方、ゲートパッドは、平面視において半導体基板101c(第1主面101a)の面積の20%以下の面積を有していてもよい。好ましくは、ゲートパッドは、平面視において半導体基板101c(第1主面101a)の面積の10%以下の面積を有していてもよい。

【0036】

ソースパッドは、平面視において半導体基板101cの中心位置を含む領域に配置されている。ゲートパッドは、ソースパッドを避けた領域に配置されている。しかしながら、ゲートパッドが平面視において半導体基板101cの中心位置を含む領域に配置されており、ソースパッドがゲートパッドの周囲を取り囲むように配置されていてもよい。

【0037】

次に、半導体装置100の外周部(言い換えれば、端部)の詳細構成が説明される。図3は、半導体装置100の外周部の詳細構成を示す図(図2の領域IIIの詳細を示す断面図)である。図3では、第1電極層102sに加えて、ゲートフィンガー102a、および、外周ソースコンタクト102bも図示されている。

【0038】

第1電極層102sの端部は、絶縁膜104によって覆われている。絶縁膜104は、具体的には、第1電極層102s上に位置する第1絶縁膜104c、第1絶縁膜104c上に位置する第2絶縁膜104dを含む。第1絶縁膜104cは、窒化シリコン、酸化シリコンなどによって形成される無機膜である。第2絶縁膜104dは、ポリイミド、PBOなどによって形成される有機膜である。

【0039】

また、絶縁膜104は、外周ソースコンタクト102bの下に位置する第3絶縁膜104eを含む。第3絶縁膜104eは、より詳細には、外周ソースコンタクト102bと半導体層101の間に位置している。第3絶縁膜104eは、窒化シリコン、酸化シリコンなどによって形成される無機膜である。

【0040】

一般的な半導体装置において、このような絶縁膜104は、第1電極層102sの端部への水分の侵入、および、イオンマイグレーションの発生などを抑制するために設けられる。しかしながら、高温高湿の環境下での耐久試験、または、温度サイクル試験などの信頼性試験が行われた場合、絶縁膜104が劣化し、劣化箇所から水分が侵入したり、劣化

10

20

30

40

50

箇所でイオンマイグレーションが発生したりしてしまう可能性がある。つまり、絶縁膜 104 の劣化は、半導体装置の故障の原因となりうる。

【0041】

そこで、半導体装置 100 においては、絶縁膜 104 がさらに、モールド層 106 で覆われている。これにより、絶縁膜 104 の劣化を抑制し、半導体装置 100 の信頼性が向上される。

【0042】

第 1 電極層 102 s の端部、ゲートフィンガー 102 a、および、外周ソースコンタクト 102 b は、基本的には第 1 絶縁膜 104 c によって覆われるが、図 3 の例では、第 1 電極層 102 s の最端部、ゲートフィンガー 102 a、および、外周ソースコンタクト 102 b は、第 2 絶縁膜 104 d によって覆われ、第 1 絶縁膜 104 c が省略されている。このような構成により、応力が緩和される。

【0043】

次に、半導体層 101 の詳細構造が説明される。図 4 は、半導体層 101 の詳細構成を示す図である。図 4 では、半導体層 101 には、図面の見やすさの観点から断面を表す網掛けが付されていない。図 3 および図 4 に示されるように、半導体層 101 は、具体的には、半導体基板 101 c およびエピタキシャル層 101 d を含む。

【0044】

図 4 に示される半導体装置 100 は、スイッチングデバイスの一例であり、縦型トランジスタ 2 を含む。縦型トランジスタ 2 は、たとえば、縦型の MISFET である。図 4 に示されるように、半導体装置 100 は、半導体層 101、ゲート電極 20、ソース電極 30 およびドレイン電極 40 を含む。ドレイン電極 40 は、第 2 電極層 103 に相当する。

【0045】

半導体層 101 は、SiC（炭化シリコン）を主成分として含む半導体層 101 を含む。具体的には、半導体層 101 は、SiC 単結晶を含む n 型の SiC 半導体層である。SiC 単結晶は、たとえば 4H-SiC 単結晶である。

【0046】

4H-SiC 単結晶は、(0001) 面から [11-20] 方向に対して 10° 以内の角度で傾斜したオフ角を有する。オフ角は 0° 以上 4° 以下であってもよい。オフ角は、 0° を超えて 4° 未満であってもよい。オフ角は、たとえば 2° 若しくは 4° 、 $2^\circ \pm 0.2^\circ$ の範囲または $4^\circ \pm 0.4^\circ$ の範囲に設定される。

【0047】

半導体層 101 は、直方体形状のチップ状に形成されている。半導体層 101 は、第 1 主面 101 a、および、第 2 主面 101 b を有する。半導体層 101 は、半導体基板 101 c およびエピタキシャル層 101 d を有する。半導体基板 101 c は、SiC 単結晶を含む。半導体基板 101 c の下面が第 2 主面 101 b である。この第 2 主面 101 b は SiC 結晶のカーボンが露出するカーボン面 (000-1) 面である。エピタキシャル層 101 d は、半導体基板 101 c の上面に積層されており、SiC 単結晶を含む n-型の SiC 半導体層である。エピタキシャル層 101 d の上面が第 1 主面 101 a である。この第 1 主面 101 a は SiC 結晶のシリコンが露出するシリコン面 (0001) 面である。

【0048】

半導体層 101 の第 2 主面 101 b には、ドレイン電極 40 が接続されている。半導体基板 101 c は、n⁺型のドレイン領域として設けられている。エピタキシャル層 101 d は、n⁻型のドレインドリフト領域として設けられている。

【0049】

半導体基板 101 c の n 型不純物濃度は、たとえば $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である。エピタキシャル層 101 d の n 型不純物濃度は、半導体基板 101 c の n 型不純物濃度より低く、たとえば $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下である。本明細書において「不純物濃度」は、不純物濃度のピーク値を意味する。

10

20

30

40

50

【0050】

半導体層101のエピタキシャル層101dは、図4に示されるように、ディープウェル領域15、ボディ領域16、ソース領域17およびコンタクト領域18を含む。

【0051】

ディープウェル領域15は、半導体層101においてソーストレンチ32に沿う領域に形成されている。ディープウェル領域15は、耐圧保持領域とも称される。ディープウェル領域15は、 p^- 型の半導体領域である。ディープウェル領域15の p 型不純物濃度は、たとえば、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下である。ディープウェル領域15の p 型不純物濃度は、たとえばエピタキシャル層101dの n 型不純物濃度よりも高い。

10

【0052】

ディープウェル領域15は、ソーストレンチ32の側壁32aに沿った側壁部分15a、および、ソーストレンチ32の底壁32bに沿った底壁部分15bを含む。底壁部分15bの厚さ（ z 軸方向の長さ）は、たとえば、側壁部分15aの厚さ（ x 軸方向の長さ）以上である。底壁部分15bの少なくとも一部は、半導体基板101c内に位置してもよい。

【0053】

ボディ領域16は、半導体層101の第1主面101aの表層部分に設けられた p^- 型の半導体領域である。ボディ領域16は、平面視において、ゲートトレンチ22およびソーストレンチ32の間に設けられている。ボディ領域16は、平面視において、 y 軸方向

20

【0054】

ボディ領域16の p 型不純物濃度は、たとえば $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下である。ボディ領域16の p 型不純物濃度は、ディープウェル領域15の不純物領域と等しくてもよい。ボディ領域16の p 型不純物濃度は、ディープウェル領域15の p 型不純物濃度よりも高くてもよい。

【0055】

ソース領域17は、半導体層101の第1主面101aの表層部分に設けられた n^+ 型の半導体領域である。ソース領域17は、ボディ領域16の一部である。ソース領域17は、ゲートトレンチ22に沿った領域に設けられている。ソース領域17は、ゲート絶縁層23に接している。

30

【0056】

ソース領域17は、平面視において、 y 軸方向に沿って延びる帯状に設けられている。ソース領域17の幅（ x 軸方向の長さ）は、たとえば $0.2 \mu\text{m}$ 以上 $0.6 \mu\text{m}$ 以下である。一例として、ソース領域17の幅は、 $0.4 \mu\text{m}$ 程度であってもよい。ソース領域17の n 型不純物濃度は、たとえば $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0057】

コンタクト領域18は、半導体層101の第1主面101aの表層部分に設けられた p^+ 型の半導体領域である。コンタクト領域18は、ボディ領域16の一部（高濃度部）であるとみなされてもよい。コンタクト領域18は、ソーストレンチ32に沿った領域に設けられている。コンタクト領域18は、障壁形成層33に接している。また、コンタクト領域18は、ソース領域17に接続されている。

40

【0058】

コンタクト領域18は、平面視において、 y 軸方向に沿って延びる帯状に設けられている。コンタクト領域18の幅（ x 軸方向の長さ）は、たとえば $0.1 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。一例として、コンタクト領域18の幅は、 $0.2 \mu\text{m}$ 程度であってもよい。コンタクト領域18の p 型不純物濃度は、たとえば $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である。

50

【0059】

半導体層101の第1主面101aには、複数のトレンチゲート構造21と、複数のトレンチソース構造31とが設けられている。トレンチゲート構造21とトレンチソース構造31とは、x軸方向に沿って1つつ交互に繰り返して設けられている。図4では、1つのトレンチゲート構造21が2つのトレンチソース構造31に挟まれている範囲のみが示されている。

【0060】

トレンチゲート構造21およびトレンチソース構造31はいずれも、y軸方向に沿って延びる帯状に設けられている。たとえば、x軸方向は[11-20]方向であり、y軸方向は[1-100]方向である。x軸方向は、[1-100]方向（[-1100]方向）であってもよい。この場合、y軸方向は、[11-20]方向であってもよい。

10

【0061】

トレンチゲート構造21およびトレンチソース構造31は、x軸方向に沿って交互に配列され、平面視においてストライプ構造を形成している。トレンチゲート構造21およびトレンチソース構造31の間の距離は、たとえば0.3μm以上1.0μm以下である。

【0062】

トレンチゲート構造21は、図4に示されるように、ゲートトレンチ22、ゲート絶縁層23およびゲート電極20を含む。

【0063】

ゲートトレンチ22は、半導体層101の第1主面101aを、第2主面101b側にに向けて掘り下げることによって形成されている。ゲートトレンチ22は、xz断面における断面形状が矩形で、y軸方向に沿って延びる細長い溝状の凹部である。ゲートトレンチ22は、長手方向（y軸方向）にミリメートルオーダーの長さを有する。ゲートトレンチ22は、たとえば1mm以上10mm以下の長さを有する。ゲートトレンチ22の長さは、2mm以上5mm以下であってもよい。単位面積当たりの1つまたは複数のゲートトレンチ22の総延長は、0.5μm/μm²以上0.75μm/μm²以下であってもよい。

20

【0064】

ゲート絶縁層23は、ゲートトレンチ22の側壁22aおよび底壁22bに沿って膜状に設けられている。ゲート絶縁層23は、ゲートトレンチ22の内部において、凹状の空間を区画している。ゲート絶縁層23は、たとえば、酸化シリコンを含む。ゲート絶縁層23は、不純物無添加シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウムまたは酸窒化アルミニウムのうちの少なくとも一種を含んでもよい。

30

【0065】

ゲート絶縁層23の厚さは、たとえば、0.01μm以上0.5μm以下である。ゲート絶縁層23の厚みは、均一であってもよく、部位によって異なってもよい。たとえば、ゲート絶縁層23は、ゲートトレンチ22の側壁22aに沿った側壁部分23a、および、ゲートトレンチ22の底壁22bに沿った底壁部分23bを含む。底壁部分23bの厚みが側壁部分23aの厚みよりも厚くてもよい。底壁部分23bの厚みは、たとえば0.01μm以上0.2μm以下である。側壁部分23aの厚みは、たとえば0.05μm以上0.5μm以下である。また、ゲート絶縁層23は、ゲートトレンチ22の外側でソース領域17の上面に設けられた上面部分を含んでもよい。上面部分の厚みは、側壁部分23aの厚みよりも厚くてもよい。

40

【0066】

ゲート電極20は、縦型トランジスタ2の制御電極の一例である。ゲート電極20は、ゲートトレンチ22内に埋め込まれている。ゲート電極20と、ゲートトレンチ22の側壁22aおよび底壁22bとの間には、ゲート絶縁層23が設けられている。つまり、ゲート電極20は、ゲート絶縁層23によって区画された凹状の空間に埋め込まれている。ゲート電極20は、たとえば、導電性ポリシリコンを含む導電層である。ゲート電極20は、チタン、ニッケル、銅、アルミニウム、銀、金、タングステンなどの金属、または、窒化チタンなどの導電性金属窒化物のうちの少なくとも一種を含んでもよい。

50

【0067】

トレンチゲート構造21のアスペクト比は、トレンチゲート構造21の幅（x軸方向の長さ）に対するトレンチゲート構造21の深さ（z軸方向の長さ）の比によって定義される。トレンチゲート構造21のアスペクト比は、たとえば、ゲートトレンチ22のアスペクト比と同じである。トレンチゲート構造21のアスペクト比は、たとえば、0.25以上15.0以下である。トレンチゲート構造21の幅は、たとえば0.2 μm 以上2.0 μm 以下である。一例として、トレンチゲート構造21の幅は、0.4 μm 程度であってもよい。トレンチゲート構造21の深さは、たとえば0.5 μm 以上3.0 μm 以下である。一例として、トレンチゲート構造21の深さは、1.0 μm 程度であってもよい。

【0068】

トレンチソース構造31は、図4に示されるように、ディープウェル領域15、ソーストレンチ32、障壁形成層33およびソース電極30を含む。

【0069】

ソーストレンチ32は、半導体層101の第1主面101aを、第2主面101b側に向けて掘り下げることによって形成されている。ソーストレンチ32は、xz断面における断面形状が矩形で、y軸方向に沿って延びる細長い溝状の凹部である。ソーストレンチ32は、たとえば、ゲートトレンチ22よりも深い。つまり、ソーストレンチ32の底壁32bは、ゲートトレンチ22の底壁22bよりも第2主面101b側に位置している。

【0070】

障壁形成層33は、ソーストレンチ32の側壁32aおよび底壁32bに沿って膜状に設けられている。障壁形成層33は、ソーストレンチ32の内部において、凹状の空間を区画している。障壁形成層33は、ソース電極30とは異なる材料を用いて形成されている。障壁形成層33は、ソース電極30およびディープウェル領域15の間の電位障壁よりも高い電位障壁を有する。

【0071】

障壁形成層33は、絶縁性の障壁形成層である。この場合、障壁形成層33は、不純物無添加シリコン、酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウムまたは酸窒化アルミニウムのうち少なくとも一種を含む。障壁形成層33は、ゲート絶縁層23と同じ材料を用いて形成されていてもよい。この場合、障壁形成層33は、ゲート絶縁層23と同じ膜厚を有してもよい。

【0072】

たとえば、障壁形成層33とゲート絶縁層23とが酸化シリコンを用いて形成されている場合、熱酸化処理法によって同時に形成することができる。障壁形成層33は、導電性の障壁形成層であってもよい。この場合、障壁形成層33は、導電性ポリシリコン、タングステン、白金、ニッケル、コバルトまたはモリブデンのうち少なくとも一種を含む。

【0073】

ソース電極30は、ソーストレンチ32内に埋め込まれている。ソース電極30と、ソーストレンチ32の側壁32aおよび底壁32bとの間には、障壁形成層33が設けられている。つまり、ソース電極30は、障壁形成層33によって区画された凹状の空間に埋め込まれている。

【0074】

ソース電極30は、たとえば、導電性ポリシリコンを含む導電層である。ソース電極30は、n型不純物が添加されたn型ポリシリコン、または、p型不純物が添加されたp型ポリシリコンであってもよい。ソース電極30は、チタン、ニッケル、銅、アルミニウム、銀、金、タングステンなどの金属、または、窒化チタンなどの導電性金属窒化物のうち少なくとも一種を含んでもよい。ソース電極30は、ゲート電極20と同じ材料を用いて形成されていてもよい。この場合、ソース電極30およびゲート電極20を同じ工程で形成することができる。

【0075】

トレンチソース構造31のアスペクト比は、トレンチソース構造31の幅（x軸方向の

10

20

30

40

50

長さ) に対するトレンチソース構造 31 の深さ (z 軸方向の長さ) の比によって定義される。トレンチソース構造 31 の幅は、たとえば、ソーストレンチ 32 の幅と、ソーストレンチ 32 の両側に位置するディープウェル領域 15 の側壁部分 15a の幅との和である。トレンチソース構造 31 の幅は、たとえば $0.6 \mu\text{m}$ 以上 $2.4 \mu\text{m}$ 以下である。

【0076】

一例として、トレンチソース構造 31 の幅は、 $0.8 \mu\text{m}$ 程度であってもよい。トレンチソース構造 31 の深さは、ソーストレンチ 32 の深さと、ディープウェル領域 15 の底壁部分 15b の厚さとの和である。トレンチソース構造 31 の深さは、たとえば $1.5 \mu\text{m}$ 以上 $11 \mu\text{m}$ 以下である。一例として、トレンチソース構造 31 の深さは、 $2.5 \mu\text{m}$ 程度であってもよい。

【0077】

トレンチソース構造 31 のアスペクト比は、トレンチゲート構造 21 のアスペクト比よりも大きい。たとえば、トレンチソース構造 31 のアスペクト比は、 1.5 以上 4.0 以下である。トレンチソース構造 31 の深さを大きくすることにより、スーパージャンクション (SJ: Super Junction) 構造による耐圧保持効果を高めることができる。

【0078】

ドレイン電極 40 は、第 2 電極層 103 に相当する。ドレイン電極 40 は、チタン、ニッケル、銅、アルミニウム、金または銀のうち少なくとも一種を含んでもよい。たとえば、ドレイン電極 40 は、半導体層 101 の第 2 主面 101b から順に積層された Ti 層、Ni 層、Au 層、Ag 層を含む 4 層構造を有してもよい。ドレイン電極 40 は、半導体層 101 の第 2 主面 101b から順に積層された Ti 層、AlCu 層、Ni 層、Au 層を含む 4 層構造を有してもよい。AlCu 層は、アルミニウムおよび銅の合金層である。

【0079】

ドレイン電極 40 は、半導体層 101 の第 2 主面 101b から順に積層された Ti 層、AlSiCu 層、Ni 層、Au 層を含む 4 層構造を有してもよい。AlSiCu 層は、アルミニウム、シリコンおよび銅の合金層である。ドレイン電極 40 は、Ti 層の代わりに、TiN 層からなる単層構造、または、Ti 層および TiN 層を含む積層構造を含んでもよい。

【0080】

以上のように構成された半導体装置 100 は、縦型トランジスタ 2 のゲート電極 20 に印加されるゲート電圧に応じて、ドレイン電流が流れるオン状態とドレイン電流が流れないオフ状態とを切り替えることができる。ゲート電圧は、たとえば 10V 以上 50V 以下の電圧である。一例として、ゲート電圧は 30V であってもよい。ソース電極 30 に印加されるソース電圧は、たとえばグランド電圧 (0V) などの基準電圧である。ドレイン電極 40 に印加されるドレイン電圧は、ソース電圧以上の大きさの電圧である。ドレイン電圧は、たとえば、 0V 以上 10000V 以下の大きさの電圧である。ドレイン電圧は、 1000V 以上の大きさの電圧であってもよい。

【0081】

ゲート電極 20 にゲート電圧が印加された場合、 p^- 型のボディ領域 16 のゲート絶縁層 23 に接する部分には、チャンネルが形成される。これにより、ソース電極 30 からコンタクト領域 18、ソース領域 17、ボディ領域 16 のチャンネル、エピタキシャル層 101d、半導体基板 101c を順に通ってドレイン電極 40 に至る電流経路が形成される。ドレイン電極 40 はソース電極 30 よりも高電位であるので、ドレイン電流は、ドレイン電極 40 から、半導体基板 101c、エピタキシャル層 101d、ボディ領域 16 のチャンネル、ソース領域 17、コンタクト領域 18 の順に通ってソース電極 30 に流れる。このように、ドレイン電流は、半導体装置 100 の厚さ方向に沿って流れる。

【0082】

p^- 型のディープウェル領域 15 および n^- 型のエピタキシャル層 101d の間には pn 接合が形成されている。縦型トランジスタ 2 のオン状態では、 p^- 型のディープウェル領域 15 にはソース電極 30 を介してソース電圧が印加され、 n^- 型のエピタキシャル層

10

20

30

40

50

101dにはドレイン電極40を介して、ソース電圧よりも大きいドレイン電圧が印加される。

【0083】

つまり、ディープウェル領域15およびエピタキシャル層101dの間のpn接合には、逆バイアス電圧が印加される。エピタキシャル層101dのn型不純物濃度がディープウェル領域15のp型不純物濃度よりも低いので、ディープウェル領域15とエピタキシャル層101dの界面から空乏層がドレイン電極40に向かって広がる。これにより、縦型トランジスタ2の耐圧を高めることができる。

【0084】

ソース電極30は、ソース電極30上に設けられた第1電極層102sに電氣的に接続されている。ゲート電極20は、絶縁層61によって第1電極層102sとは絶縁され、かつ、半導体層101の外周部の上方などに設けられたゲートフィンガー（たとえば、図3のゲートフィンガー102aなど）を介して第1電極層102gに電氣的に接続されている。絶縁層61は、たとえば、酸化シリコンまたは窒化シリコンを主成分として含む。

【0085】

次に、半導体装置100の製造方法が説明される。図5A～図5Gは、半導体装置100の製造方法を示す断面図である。まず、図5Aに示されるように、半導体層101が形成され、かつ、半導体層101の第1主面101aに第1電極層102が形成される。半導体層101の形成方法としては、既存の各種方法が用いられる。第1電極層102は、たとえば、スパッタ法、蒸着法などによって形成される。

【0086】

次に、図5Bに示されるように、第1電極層102の外周部が絶縁膜104で覆われる。絶縁膜104は、たとえば、塗布工程および露光現像工程を経て形成される。塗布工程では、絶縁膜104の元となる液状の感光性樹脂材料がスピンコート法によって第1電極層102に塗布される。露光現像工程では、感光性樹脂材料が露光により硬化された後、当該感光性樹脂材料の不要部分がアッシング法やウェットエッチング法などにより除去される。これにより、絶縁膜104が形成される。

【0087】

次に、図5Cに示されるように、第1電極層102上にめっき層105が形成される。めっき層105は、たとえば、電解めっき法、または、無電解めっき法により、第1電極層102上に形成される。めっき層105は、第1電極層102の絶縁膜104で覆われていない部分の少なくとも一部に選択的に形成される。

【0088】

次に、図5Dに示されるように、モールド層106の元となる液状の樹脂材料106a（たとえば熱硬化性樹脂）が半導体層101の第1主面101a側の全面に塗布または印刷される。この結果、絶縁膜104、および、めっき層105が樹脂材料106aによって覆われる。また、樹脂材料106aは、第1電極層102g上のめっき層105と、第1電極層102s上のめっき層105との間にも入り込む。塗布または印刷された樹脂材料106aは、たとえば、加熱によって硬化される。

【0089】

次に、図5Eに示されるように、樹脂材料106aの上面（表面）が、めっき層105が露出するまで研削される。この結果、めっき層105の上面（表面）と、モールド層106の上面（表面）とが面一となる。つまり、めっき層105の上面（表面）およびモールド層106の上面（表面）は、互いに連なる研削面からなる。

【0090】

次に、図5Fに示されるように、半導体層101の第2主面101b側（つまり、半導体基板101c）が研削され、半導体層101の厚みが低減される。半導体層101の研削方法については後述する。

【0091】

次に、図5Gに示されるように、半導体層101の第2主面101bに第2電極層10

10

20

30

40

50

3が形成される。第2電極層103は、たとえば、スパッタ法、蒸着法などによって形成される。最後に、ウエハがダイシングブレードによりスクライブラインSLに沿って切断されることで、ウエハが個片化される。ダイシングブレードは、半導体層101とモールド層106を同時に切断する。これにより、半導体層101の側面とモールド層106の側面とは面一となる。つまり、半導体層101の側面およびモールド層106の側面は、互いに連なる研削面からなる。この結果、図2のような半導体装置100が得られる。第2電極層103の下面、めっき層105の上面、めっき層105の側面、および、モールド層106の上面は、半導体装置100（チップ）の外表面を構成する。

【0092】

次に、上記図5Fの半導体層101（具体的には、半導体基板101c）の研削方法の一例について詳細について説明する。図6A～図6Cは、半導体基板101cの研削方法を示す断面図である。

【0093】

まず、図6Aに示されるように、ガラス板150が、半導体層101の第1主面101a側に貼着される。この工程では、上面に保護テープ151が取り付けられたガラス板150が用意され、ガラス板150の保護テープ151側に、仕掛品（製造途中の半導体装置100のウエハ）のめっき層105およびモールド層106の上面が接着される。

【0094】

次に、図6Bに示されるように、この状態で、半導体層101の第2主面101b側が研削される。研削には、たとえば、ダイヤモンド砥石が用いられる。研削は、半導体層101の半導体基板101cの厚みが5μm以上20μm以下になるまで行われる。

【0095】

次に、図6Cに示されるように、保護テープ151にレーザ光が照射される。レーザ光は、第1主面101a側からガラス板150を介して保護テープ151に照射されることが好ましい。この工程では、仕掛品を上下反転させてレーザ光の照射が実施される。これにより、保護テープ151が変質し、ガラス板150が取り外される。その後、ウエハ（半導体層101）上に残存する保護テープ151が除去される。

【0096】

一般的な半導体装置において半導体基板101cの厚みを150μm以下まで薄くしてしまうと、半導体基板101cの支持体であるガラス板150が取り外された後に半導体基板101cが反ってしまったり、半導体基板101cが割れてしまったりする問題がある。つまり、一般的な半導体装置における半導体基板101cの薄型化には限界がある。特にSiC基板は、Si基板に比べて割れや欠けが発生しやすい。

【0097】

これに対し、半導体装置100は、めっき層105およびモールド層106が半導体基板101cの支持体として機能するため、ガラス板150が取り外された後も半導体基板101cが反ってしまったり、半導体基板101cが割れてしまったりすることが抑制される。つまり、めっき層105およびモールド層106によれば、半導体基板101cの厚みを極めて薄くすることができる。上述のように、半導体基板101cの厚みは、たとえば、5μm以上20μm以下であり、めっき層105の厚みt2およびモールド層106の厚みt3のいずれよりも薄い。半導体基板101cの厚みをエピタキシャル層101dの厚みと同じかそれよりも薄くすることも可能である。

【0098】

このように半導体基板101cの厚みが薄くされることにより、半導体基板101cのオン抵抗を減らすことができる、図7は、半導体基板101cの厚み（350μm、150μm、20μm）とオン抵抗との関係を示す図である。図7では、半導体基板101cの抵抗値に加えてエピタキシャル層101dのオン抵抗についてもあわせて図示されている。

【0099】

図7に示されるように、半導体基板101cの厚みが20μmまで薄くなれば、半導体

10

20

30

40

50

基板 101c のオン抵抗を大幅に低減することができる。半導体層 101 が SiC 半導体層である場合、エピタキシャル層 101d の厚みが $5\mu\text{m}$ ~ $10\mu\text{m}$ であれば 600V ~ 1200V の耐圧を半導体装置 100 に持たせることができる。半導体基板 101c は耐圧に寄与していないため、半導体基板 101c を薄くしてもデバイス特性には問題が生じない。この観点においては、半導体基板 101c の厚みを $5\mu\text{m}$ 以下としても問題がなく、完全に半導体基板 101c を除去してもよい。つまり、半導体層 101 は、エピタキシャル層 101d からなる単層構造を有していてもよい。

【0100】

図 6A ~ 図 6C で説明した方法（ウェハ・サポート・システム）では、仕掛品にガラス板 150 が取り付けられた。しかし、めっき層 105 およびモールド層 106 をガラス板 150 の代わりに研削用の支持体として使用することもできる。めっき層 105 およびモールド層 106 を研削用の支持体として使用することにより、仕掛品をガラス板 150 に接着する工程（図 6A）、および、仕掛品をガラス板 150 から取り外す工程（図 6C）を省略することができる。つまり、半導体装置 100 の製造工程を簡略化することができる。

【0101】

半導体基板 101c の研削にウェハ・サポート・システムが用いられることは必須ではなく、既存の他の方法が用いられてもよい。また、上記の例では、SiC 基板の裏面を研削することにより薄化した例を説明したが、本発明はこれに限られない。たとえば、SiC 基板の所定深さ位置にレーザを照射することにより、SiC 基板の不要部分を剥離（具体的には劈開）してもよい。これにより、加工が困難な SiC 基板を容易に薄くすることができる。

【0102】

次に、第 2 実施形態に係る半導体装置の構成が説明される。図 8 は、第 2 実施形態に係る半導体装置の平面図である。図 9 は、図 8 に示す半導体装置の断面図（図 8 の IX-IX 線における断面図）である。

【0103】

図 8 に示す半導体装置 200 は、半導体層 201 および第 1 電極層 202 の接合によって生じるショットキー障壁を利用して、縦型のショットキーバリアダイオードとして機能する半導体チップである。半導体装置 200 は、たとえば、電力の供給および制御に用いられるパワー半導体装置である。半導体装置 200 は、具体的には、半導体層 201、第 1 電極層 202、第 2 電極層 203、絶縁膜 204、めっき層 205 およびモールド層 206 を含む。

【0104】

半導体層 201 は、ワイドバンドギャップ半導体の一例としての SiC（炭化珪素）単結晶を含む SiC 半導体層である。半導体装置 200 においては、半導体層 201 の全体が、半導体基板（たとえば、半導体基板 101c）に相当する。半導体層 201 の導電型は、たとえば、n 型である。半導体層 201 は、平面視形状が矩形の板状に形成されている。半導体層 201 の一辺の長さは、たとえば、 1mm 以上 10mm 以下であるが、 2mm 以上 5mm 以下であってもよい。

【0105】

半導体層 201 は、第 1 主面 201a、および、第 1 主面 201a と背向する第 2 主面 201b を有する。半導体層 201（半導体基板）の厚み t_4 は、たとえば、 $5\mu\text{m}$ 以上 $40\mu\text{m}$ 以下であり、より好ましくは $5\mu\text{m}$ 以上 $20\mu\text{m}$ 以下である。半導体層 201 は、SiC 半導体層に限らず、GaN などの他のワイドバンドギャップ半導体からなる半導体層であってもよいし、Si 半導体層であってもよい。むろん、半導体層 201 は、前述の半導体基板 101c および前述のエピタキシャル層 101d を含む積層構造を有していてもよい。

【0106】

第 1 電極層 202 は、第 1 主面 201a に形成される。第 1 電極層 202 は、ショット

10

20

30

40

50

キーバリアダイオードのアノードとして機能する。第1電極層202は、たとえば、アルミニウムによって形成される。第1電極層202は、チタン、ニッケル、銅、銀、金、窒化チタン、タングステンなどの他の材料によって形成されてもよい。

【0107】

第2電極層203は、第2主面201bに形成される。第2電極層203は、ショットキーバリアダイオードのカソードとして機能する。第2電極層203は、たとえば、チタン、ニッケル、金の積層膜によって形成される。第2電極層203は、アルミニウム、銅、銀、窒化チタン、タングステンなどの他の材料によって形成されてもよい。

【0108】

絶縁膜204は、第1電極層202の外周部（つまり、X軸方向の両端部、および、Y軸方向の両端部のそれぞれ）の全周を覆っている。絶縁膜204は、第1部分204aおよび第2部分204bを含む。第1部分204aは、第1電極層202に乗り上げている。第1部分204aは、より詳細には、第1電極層202の周縁部に乗り上げている。第2部分204bは、第1部分204aの外側に位置し、第1電極層202以外の領域を被覆している。つまり、第2部分204bは、第1電極層202に乗り上げていない。

【0109】

第1部分204aは、さらに、内側端部204a1および平坦部204a2を含む。内側端部204a1は、平面視において第1部分204aのうち半導体層201の内方側に位置する部分の端部である。内側端部204a1は、断面視において第1電極層202の内方部に向けて斜め下り傾斜している。平坦部204a2は、内側端部204a1の外側（半導体層201の周縁側）に位置し、実質的に均一な厚みを有する。

【0110】

絶縁膜204は、たとえば、感光性樹脂を含む有機膜である。絶縁膜204は、たとえば、ポリイミド、PBO（ポリベンゾオキサゾール）などによって形成される。絶縁膜204は、窒化シリコン、酸化シリコンなどによって形成される無機膜であってもよい。絶縁膜204は、単層構造を有していてもよいし、複数の種類の材料が積層された積層構造を有していてもよい。絶縁膜204が積層構造を有する場合、絶縁膜204は、有機膜および無機膜の両方を含んでもよい。この場合、絶縁膜204は、第1主面201a側からこの順に積層された無機膜および有機膜を含むことが好ましい。絶縁膜204の厚みは、最大でも10μm程度である。

【0111】

めっき層205は、第1電極層202の少なくとも一部を覆う金属層である。めっき層205は、第1電極層202の端部（つまり、絶縁膜204で覆われる部分）以外の少なくとも一部を覆っている。図8に示されるように、平面視において、めっき層205は、モールド層206に囲まれている。第1電極層202上に形成されためっき層205は、平面視形状が矩形のパッドとして機能する。パッドとは、半導体装置200がパッケージ化される際にボンディングワイヤが接合される部分である。また、めっき層205は、モールド層206の支持部材としても機能する。

【0112】

めっき層205は、たとえば、第1電極層202とは異なる材料によって形成されている。めっき層205は、たとえば、銅または銅を主成分とする銅合金によって形成されている。めっき層205は、他の金属材料によって形成されてもよい。めっき層205の厚み t_5 は、絶縁膜204の厚みよりも大きい。より詳細には、めっき層205の厚み t_5 は、第1電極層202上に位置する絶縁膜204の最大厚みよりも大きい。これにより、めっき層205の最頂部は、絶縁膜204の最頂部よりも高くなっている。めっき層205の厚み t_5 は、たとえば、30μm以上100μm以下である。めっき層205の厚み t_5 は、100μm以上200μm以下であってもよい。

【0113】

めっき層205の側面205aは、垂直または実質的に垂直に延びている。側面205aは必ずしも断面視において直線状に延びている必要はなく、曲線や凹凸を含み得る。側

10

20

30

40

50

面205aは、第1電極層202および絶縁膜204の両方が互いに重なる領域に位置している。より詳細には、側面205aは、絶縁膜204のうち、平坦部204a2上に位置している。つまり、めっき層205は、第1部分204aの内側端部204a1および平坦部204a2を被覆している。側面205aを平坦部204a2上に位置させることにより、厚みのばらつきが比較的大きい内側端部204a1上に側面205aを位置させる場合に比べて、めっき層205を安定して形成することができる。

【0114】

モールド層206は、絶縁膜204の一部を覆う樹脂層である。モールド層206は、この形態では、第1主面201aの一部も覆っている。モールド層206は、半導体層201の第1主面201a側の外周部に位置している。平面視において、モールド層206は、半導体層201の外周部に沿う矩形環状である。モールド層206の内側面は、めっき層205の側面205aと直接接触している。モールド層206は、半導体層201の第1主面201aの上のみに形成され、半導体層201の第2主面201bおよび側面を露出させている。

【0115】

モールド層206は、たとえば、熱硬化性樹脂（エポキシ樹脂）によって形成されている。モールド層206は、カーボンおよびガラス繊維などを含むエポキシ樹脂によって形成されていてもよい。モールド層206の厚み t_6 は、たとえば、 $30\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であるが、 $100\mu\text{m}$ 以上 $200\mu\text{m}$ 以下であってもよい。モールド層206の上面とめっき層205の上面とは面一または実質的に面一になっている。

【0116】

次に、半導体装置200の外周部（言い換えれば、端部）の詳細構成が説明される。図10は、半導体装置200の外周部の詳細構成を示す図（図9の領域Xの詳細を示す断面図）である。

【0117】

第1電極層202の端部は、絶縁膜204によって覆われる。絶縁膜204は、具体的には、第1電極層202上に位置する第1絶縁膜204c、第1絶縁膜204c上に位置する第2絶縁膜204d、および、第1電極層202の下に位置する第3絶縁膜204eを含む。第3絶縁膜204eは、より詳細には、第1電極層202と半導体層201の間に位置している。第1絶縁膜204cは、窒化シリコン、酸化シリコンなどによって形成される無機膜である。第2絶縁膜204dは、ポリイミド、PBOなどによって形成される有機膜である。第3絶縁膜204eは、窒化シリコン、酸化シリコンなどによって形成される無機膜である。

【0118】

一般的な半導体装置において、このような絶縁膜204は、第1電極層202の端部への水分の侵入、および、イオンマイグレーションの発生などを抑制するために設けられる。しかしながら、高温高湿の環境下での耐久試験、または、温度サイクル試験などの信頼性試験が行われた場合、絶縁膜204が劣化し、劣化箇所から水分が侵入したり、劣化箇所でイオンマイグレーションが発生したりしてしまう可能性がある。つまり、絶縁膜204の劣化は、半導体装置の故障の原因となりうる。

【0119】

そこで、半導体装置200においては、絶縁膜204がさらに、モールド層206で覆われている。これにより、絶縁膜204の劣化が抑制され、半導体装置200の信頼性が向上される。図10に示されるように、第1電極層202の最端部は、第2絶縁膜204dによって覆われ、第1絶縁膜204cが省略されている。このような構成により、応力が緩和される。半導体装置200の製造方法は、半導体装置100の製造方法と同様であるため、半導体装置200の製造方法の詳細な説明は省略される。半導体装置200も、オン抵抗が低減された半導体装置であるといえる。

【0120】

第3実施形態では、半導体装置を有する半導体パッケージが説明される。図11および

図 1 2 は、第 3 実施形態に係る半導体パッケージの一例を示す図である。図 1 2 は、図 1 1 に示される半導体パッケージ 3 0 0 の、図 1 1 とは反対側から見た場合の内部構造を示す図である。

【 0 1 2 1 】

半導体パッケージ 3 0 0 は、いわゆる T O (Transistor Outline) 型の半導体パッケージである。半導体パッケージ 3 0 0 は、パッケージ本体 3 0 1、端子 3 0 2 d、端子 3 0 2 g、端子 3 0 2 s、ボンディングワイヤ 3 0 3 g、ボンディングワイヤ 3 0 3 s および半導体装置 1 0 0 を含む。

【 0 1 2 2 】

パッケージ本体 3 0 1 は、直方体状であり、パッケージ本体 3 0 1 の底部からは端子 3 0 2 d、端子 3 0 2 g、および、端子 3 0 2 s が突出する。また、パッケージ本体 3 0 1 は、半導体装置 1 0 0 を内蔵する。パッケージ本体 3 0 1 は、言い換えれば、半導体装置 1 0 0 を封止する封止体である。パッケージ本体 3 0 1 は、たとえば、エポキシ樹脂によって形成される。パッケージ本体 3 0 1 は、カーボンおよびガラス繊維などを含むエポキシ樹脂によって形成されてもよい。

【 0 1 2 3 】

端子 3 0 2 d、端子 3 0 2 g、および、端子 3 0 2 s のそれぞれは、パッケージ本体 3 0 1 の底部から突出し、一列並んで配置される。端子 3 0 2 d、端子 3 0 2 g、および、端子 3 0 2 s は、たとえば、アルミニウムによってそれぞれ形成される。端子 3 0 2 d、端子 3 0 2 g、および、端子 3 0 2 s は、銅などの他の金属材料によってそれぞれ形成されてもよい。

【 0 1 2 4 】

パッケージ本体 3 0 1 の内部において、半導体装置 1 0 0 に含まれるゲートパッド（第 1 電極層 1 0 2 g 上のめっき層 1 0 5）は、ボンディングワイヤ 3 0 3 g によって端子 3 0 2 g に電氣的に接続される。半導体装置 1 0 0 に含まれるソースパッド（第 1 電極層 1 0 2 s 上のめっき層 1 0 5）は、ボンディングワイヤ 3 0 3 s によって端子 3 0 2 s に電氣的に接続される。半導体装置 1 0 0 に含まれるドレイン電極（第 2 電極層 1 0 3）は、端子 3 0 2 d のうちパッケージ本体 3 0 1 内に位置する幅広部に、はんだ、または、銀もしくは銅からなる焼結層などによって接合される。

【 0 1 2 5 】

半導体パッケージ 3 0 0 は、半導体装置 1 0 0 に代えて、半導体装置 2 0 0 を含んでもよい。この場合、半導体パッケージ 3 0 0 は、2 つの端子を含み、パッケージ本体 3 0 1 の内部において、半導体装置 2 0 0 に含まれるアノード（第 1 電極層 2 0 2）は、ボンディングワイヤなどによって 2 つの端子の一方に電氣的に接続され、カソード（第 2 電極層 2 0 3）は、2 つの端子の他方の、パッケージ本体 4 0 1 内に位置する幅広部に、はんだ、または、銀もしくは銅からなる焼結層などによって接合される。

【 0 1 2 6 】

以上説明したような半導体パッケージ 3 0 0 は、半導体装置 1 0 0（または半導体装置 2 0 0）を含むことにより、一般的な半導体装置を含む場合よりも高い信頼性を有する。また、半導体パッケージ 3 0 0 は、一般的な半導体装置を含む場合よりもオン抵抗が低減されている。

【 0 1 2 7 】

次に、第 3 実施形態に係る半導体パッケージの他の例が説明される。図 1 3 は、第 3 実施形態に係る半導体パッケージの他の例を示す図である。図 1 3 に示される半導体パッケージ 4 0 0 は、いわゆる D I P (Dual In-line Package) 型の半導体パッケージである。半導体パッケージ 4 0 0 は、パッケージ本体 4 0 1、複数の端子 4 0 2 および半導体装置 1 0 0 を含む。

【 0 1 2 8 】

パッケージ本体 4 0 1 は、直方体状であり、パッケージ本体 4 0 1 からは複数の端子 4 0 2 が突出する。また、パッケージ本体 4 0 1 は、半導体装置 1 0 0 を内蔵する。パッケ

10

20

30

40

50

ージ本体 401 は、言い換えれば、半導体装置 100 を封止する封止体である。パッケージ本体 401 は、たとえば、カーボンおよびガラス繊維などを含むエポキシ樹脂によって形成される。

【0129】

複数の端子 402 は、パッケージ本体 401 の長辺に沿って並んで配置される。複数の端子 402 は、たとえば、アルミニウムによってそれぞれ形成される。複数の端子 402 は、銅などの他の金属材料によってそれぞれ形成されてもよい。

【0130】

パッケージ本体 401 の内部において、半導体装置 100 に含まれるゲートパッド（第 1 電極層 102 g 上のめっき層 105）、ソースパッド（第 1 電極層 102 s 上のめっき層 105）、および、ドレイン電極（第 2 電極層 103）のそれぞれは、ボンディングワイヤなどによって対応する端子 402 に電氣的に接続される。半導体パッケージ 400 は、複数の半導体装置 100 を含んでいてもよい。つまり、パッケージ本体 401 は、複数の半導体装置 100 を内蔵してもよい。

【0131】

また、半導体パッケージ 400 は、半導体装置 100 に代えて、または、半導体装置 100に加えて、半導体装置 200 を含んでいてもよい。この場合、パッケージ本体 401 の内部において、半導体装置 200 に含まれるアノード（第 1 電極層 202）、および、カソード（第 2 電極層 203）のそれぞれは、ボンディングワイヤなどによって対応する端子 402 に電氣的に接続される。

【0132】

以上説明したような半導体パッケージ 400 は、半導体装置 100（または半導体装置 200）を含むことにより、一般的な半導体装置を含む場合よりも高い信頼性を有する。また、半導体パッケージ 400 は、一般的な半導体装置を含む場合よりもオン抵抗が低減されている。

【0133】

上述のように半導体パッケージ 300 または半導体パッケージ 400 に含まれる端子と半導体装置 100（または半導体装置 200）との電氣的な接続にはボンディングワイヤが用いられる。ボンディングワイヤがアルミニウムからなるワイヤである場合、図 14 に示すように、めっき層 105 上にニッケル層が形成されていることが好ましい。図 14 は、めっき層 105 上にニッケル層が形成された構造を有する半導体装置 100 の断面図である。

【0134】

図 14 では、ボンディングワイヤの一例として、ボンディングワイヤ 303 g、および、ボンディングワイヤ 303 s も合わせて図示されている。ニッケル層 107 は、めっき層 105 を形成する金属材料とは異なる金属材料で形成された金属層の一例である。図示されないが、半導体装置 200 についても同様に、めっき層 205 上にニッケル層が形成されてもよい。

【0135】

また、図 15 に示すように、めっき層 105 は、銅からなる第 1 めっき層 105 1 とニッケルからなる第 2 めっき層 105 2 とから構成されてもよい。図 15 は、2 層構造のめっき層を含む半導体装置 100 の断面図である。これにより、図 14 の例のように追加のニッケル層を形成する必要がなくなる。図 15 の例では、第 2 めっき層 105 2 の上面とモールド層の上面が面一となる。

【0136】

また、図 14 や図 15 の例では、アルミニウムからなるボンディングワイヤとの接合部分であるめっき層 105 の最表面にニッケル層が形成されているが、めっき層 105 の最表面には、ニッケル層に代えてその他の層構成が形成されてもよい。たとえば、めっき層 105 の最表面は、ニッケル層上にパラジウム層を形成した 2 層構造（つまり、NiPd 層）であってもよい。

【0137】

また、めっき層105の最表面は、このパラジウム層上にさらに他の金属層が形成された3層構造（たとえば、NiPdAu層）であってもよい。このようなNiPd層およびNiPdAu層は、ソースパッドとして機能するめっき層105にボンディングワイヤが接合される場合に限らず、ソースパッドとして機能するめっき層105に外部端子が銀焼結によって接合される場合にも好適である。

【0138】

半導体装置100（または半導体装置200）を含む半導体パッケージの形態は、半導体パッケージ300および半導体パッケージ400のような形態に制限されない。半導体パッケージとしては、SOP（Small Outline Package）、QFN（Quad Flat Non Lead Package）、DFP（Dual Flat Package）、QFP（Quad Flat Package）、SIP（Single Inline Package）、または、SOJ（Small Outline J-leaded Package）が採用されてもよい。また、半導体パッケージとしてこれらに類する種々の半導体パッケージが採用されてもよい。

10

【0139】

以上説明したように、半導体装置100は、半導体層101、第1電極層102、第2電極層103、絶縁膜104、めっき層105およびモールド層106を含む。半導体層101は、第1主面101a、および、第1主面101aと背向する第2主面101bを有する。第1電極層102は、第1主面101aに形成されている。第2電極層103は、第2主面101bに形成されている。

20

【0140】

絶縁膜104は、第1電極層102の端部を覆っている。めっき層105は、第1電極層102の端部以外の少なくとも一部を覆っている。モールド層106は、絶縁膜104を覆っている。半導体層101は、第2主面101bを構成する半導体基板101cを含み、半導体基板101cの厚みは、めっき層105の厚みよりも薄い。

【0141】

このような半導体装置100によれば、第1電極層102の端部を覆う絶縁膜104がさらにモールド層106で覆われているので、絶縁膜104の劣化を抑制することができる。つまり、半導体装置100は、信頼性が向上された半導体装置であるといえる。また、半導体装置100は、半導体基板101cの厚みがめっき層105の厚みよりも薄いことで、オン抵抗が低減されている。

30

【0142】

たとえば、半導体基板101cの厚みは、5 μm 以上20 μm 以下である。このような半導体装置100は、オン抵抗が大幅に低減される。たとえば、平面視において、モールド層106は、半導体層101の外周部に沿う環状である。このような半導体装置100は、半導体層101の外周部がモールド層106で覆われることで、信頼性がさらに向上される。

【0143】

たとえば、めっき層105の表面と、モールド層106の表面とは面一である。このような半導体装置100は、半導体層101の第1主面101a側に樹脂材料106aを塗布または印刷した後、めっき層105が露出するまで研削することで製造することができる。

40

【0144】

たとえば、めっき層105とモールド層106は、直接接触している。このような半導体装置100は、めっき層105をモールド層106の支持体として使用することができる。たとえば、半導体層101は、SiCによって形成される。このような半導体装置100は、比較的高い絶縁破壊電界強度を得ることができる。

【0145】

たとえば、半導体装置100は、トランジスタとして機能してもよい。この場合、半導体層101は、半導体基板101cと半導体基板101c上のエピタキシャル層101d

50

とを含んでいてもよい。この場合、第2電極層103は、トランジスタのドレイン電極であってもよい。この場合、第1電極層102は、トランジスタのソース電極、および、トランジスタのゲート電極を含んでいてもよい。第1電極層102において、ゲート電極は、ソース電極から絶縁されている。このような半導体装置100は、トランジスタとして機能することができる。

【0146】

たとえば、半導体装置200は、第1電極層202をアノード、第2電極層203をカソードとするショットキーバリアダイオードとして機能する。このような半導体装置100は、ショットキーバリアダイオードとして機能することができる。

【0147】

半導体装置100の製造方法は、第1～第7工程を含む。第1工程では、第1主面101a、および、第1主面101aと背向する第2主面101bを有する半導体層101であって、第2主面101bを構成する半導体基板101cを含む半導体層101が用意される。第2工程では、半導体層101の第1主面101aに第1電極層102が形成される。

【0148】

第3工程では、第1電極層102の端部を覆う絶縁膜104が形成される。第4工程では、第1電極層102の端部以外の少なくとも一部を覆うめっき層105が形成される。第5工程では、絶縁膜104を覆うモールド層106が形成される。第6工程では、半導体基板101cが、半導体基板101cの厚みがめっき層105の厚みよりも薄くなるまで前記第2主面側から研削される。第7工程では、半導体基板101cが研削された後の半導体層101の第2主面101bに第2電極層103が形成される。

【0149】

この製造方法によれば、信頼性が向上された半導体装置100を製造することができる。また、半導体装置100は、半導体基板101cの厚みがめっき層105の厚みよりも薄いことで、オン抵抗が低減されている。

【0150】

上記実施形態では、ゲートパッドとして機能するめっき層105とソースパッドとして機能するめっき層105が上面に設けられた半導体装置の例（半導体装置100）が説明された。ここで、半導体装置は、電流センス用のパッドとして機能するめっき層105、および、温度センス用のパッドとして機能するめっき層105をさらに含んでいてもよい。図16は、このような構造を有する一変形例に係る半導体装置の平面図である。

【0151】

図16に示すように、半導体装置100aは、ゲートパッド105g（ゲートパッドとして機能するめっき層105。以下同様）、および、ソースパッド105sに加えて、電流センス用パッド105c（パッド電極）、および、一対の温度センス用パッド105t（パッド電極）を含む。

【0152】

半導体装置100aは、互いに分離された複数の分離部分を有する第1電極層102sを含む。電流センス用パッド105cは、半導体装置100aに含まれる第1電極層102sの一部を分離した部分（分離部分）に接続されるめっき層である。半導体装置100aにそれぞれ含まれるソースパッド105sおよび第2電極層103の間に電流が流れているときには、電流センス用パッド105cおよび第2電極層103の間に上記電流よりも小さい電流が流れる。このような電流をモニタすることにより、電流の増加を検知することができる。

【0153】

半導体装置100aは、半導体層101の第1主面101aに設けられたダイオード（感温ダイオード）を含む。一対の温度センス用パッド105tの一方は、半導体装置100aに含まれるダイオード（感温ダイオード）のアノードに電氣的に接続されるめっき層である。一対の温度センス用パッド105tの他方は、前記ダイオード（感温ダイオード

10

20

30

40

50

) のカソードに電氣的に接続されるめっき層である。一対の温度センス用パッド 105 t 間の電圧の大きさによって、半導体装置 100 a の温度を検知することができる。

【0154】

以上説明したように、本発明は、電流センス用パッド 105 c、および、一対の温度センス用パッド 105 t を含む半導体装置 100 a として実現することもできる。本発明は、電流センス用パッド 105 c、および、一対の温度センス用パッド 105 t の少なくとも一方を含む半導体装置として実現されてもよい。

【0155】

上記実施形態では、モールド層 106 と半導体層 101 とがダイシングブレードによって同時に切断される例が説明されたが、本発明はこれに限られない。たとえば、2 段階のダイシング工程が組み合わされてもよい。図 17 A ~ 図 17 C は、このような 2 段階のダイシング工程を有する一変形例に係るダイシング工程を説明するための断面図である。

【0156】

まず、図 17 A に示されるように第 1 幅 w1 を有する第 1 ダイシングブレード DB1 によって、モールド層 106 の全部および半導体層 101 の一部が切断される。その後、図 17 B に示されるように、第 1 ダイシングブレード DB1 と同一の回転軸を有し、第 1 幅 w1 よりも小さい第 2 幅 w2 を有する第 2 ダイシングブレード DB2 によって、半導体基板 101 c の全部が切断される。図 17 C に示されるように、この方法により個片化された半導体装置 100 b は、半導体層 101 の側面よりもモールド層 106 の側面が内側に位置し、モールド層 106 および半導体層 101 の境界部の近傍において、段差を有する。

【0157】

ウエハの上下を逆にしてダイシングが行われてもよい。すなわち、半導体基板 101 c の裏面（カーボン面）が上側にある状態でダイシングが行われてもよい。ダイシングブレードの回転方向はカーボン面からシリコン面に向かって切断する方向とすることが好ましい。図 18 A ~ 図 18 C は、このような 2 段階のダイシング工程を有する他の変形例に係るダイシング工程を説明するための断面図である。

【0158】

まず、図 18 A に示されるように、第 1 幅 w1 を有する第 1 ダイシングブレード DB1 によって、半導体層 101 の全部およびモールド層 106 の一部が切断される。その後、図 18 B に示されるように、第 1 ダイシングブレード DB1 と同一の回転軸を有し、第 1 幅 w1 よりも小さい第 2 幅 w2 を有する第 2 ダイシングブレード DB2 によって、モールド層 106 の全部が切断される。図 18 C に示されるように、この方法により個片化された半導体装置 100 c は、モールド層 106 c の側面よりも半導体層 101 の側面が内側に位置し、モールド層 106 および半導体層 101 の境界部の近傍において、段差を有する。

【0159】

図 17 A ~ 図 17 C に示される 2 段階のダイシング工程、および、図 18 A ~ 図 18 C に示される 2 段階のダイシング工程は、トランジスタとして機能する半導体装置だけでなく、ショットキーバリアダイオードとして機能する半導体装置にも適用可能である。

【0160】

以上、実施形態に係る半導体装置について説明したが、本発明は、上記実施形態に限定されない。たとえば、上記実施形態において説明に用いられた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。

【0161】

また、上記実施形態では、半導体装置に含まれる構成要素の主たる材料が例示されたが、半導体装置に含まれる積層構造の各層には、上記実施形態の積層構造と同様の機能を実現できる範囲で他の材料が含まれてもよい。また、図面においては、各構成要素の角部および辺は直線的に記載されているが、製造上の理由などにより、角部および辺が丸みを帯びたものも本発明に含まれる。また、上記実施形態において説明された導電型を逆転させた構造を有する半導体装置も本発明に含まれる。

【0162】

以上、1つまたは複数の態様に係る半導体装置が、実施形態に基づいて説明されたが、本発明は、これらの実施形態に限定されない。本発明の主旨を逸脱しない限り、当業者が想到し得る各種変形が実施形態に施された形態、および、異なる実施形態における構成要素の組み合わせによって構築される形態も、本発明の範囲内に含まれる。

【0163】

また、上記の各実施形態は、特許請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

【0164】

たとえば、上記実施形態では、SiC基板を用いたパワー半導体装置が説明されたが、本発明は、Si基板を用いたパワー半導体装置（IGBTまたはMOSFET）にも適用可能である。本発明は、産業上の利用可能性として半導体装置、および、半導体パッケージ等に適用できる。

【0165】

以下、この明細書および図面から抽出される特徴の例が示される。以下、括弧内の英数字は前述の実施形態における対応構成要素等を表すが、各項目の範囲を実施形態に限定する趣旨ではない。[A1]～[A9]は、オン抵抗が低減された半導体装置、および、半導体装置の製造方法を提供する。

【0166】

[A1] 第1主面（101a、201a）、及び、前記第1主面（101a、201a）と背向する第2主面（101b、201b）を有する半導体層（101、201）と、前記第1主面（101a、201a）に形成された第1電極層（102、102g、102s、202）と、前記第2主面（101b、201b）に形成された第2電極層（103、203）と、前記第1電極層（102、102g、102s、202）の端部を覆う絶縁膜（104、204）と、前記第1電極層（102、102g、102s、202）の前記端部以外の少なくとも一部を覆うめっき層（105、205）と、前記絶縁膜（104、204）を覆うモールド層（106、206）とを備え、前記半導体層（101、201）は、前記第2主面（101b、201b）を構成する半導体基板（101c、201）を含み、前記半導体基板（101c、201）の厚みは、前記めっき層（105、205）の厚みよりも薄い、半導体装置（100、100a、100b、100c、200）。

【0167】

[A2] 前記半導体基板（101c、201）の厚みは、5μm以上40μm以下である、A1に記載の半導体装置（100、100a、100b、100c、200）。

【0168】

[A3] 平面視において、前記モールド層（106、206）は、前記半導体層（101、201）の外周部に沿う環状である、A1またはA2に記載の半導体装置（100、100a、100b、100c、200）。

【0169】

[A4] 前記めっき層（105、205）の表面と、前記モールド層（106、206）の表面とは面一である、A1～A3のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0170】

[A5] 前記めっき層（105、205）と前記モールド層（106、206）は、直接接触する、A1～A4のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0171】

[A6] 前記半導体層（101、201）は、SiCによって形成される、A1～A5のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0172】

〔A 7〕前記半導体装置（100、100a、100b、100c、200）は、トランジスタとして機能し、前記半導体層（101、201）は、前記半導体基板（101c、201）と前記半導体基板（101c、201）上のエピタキシャル層（101d）とを含み、前記第2電極層（103、203）は、前記トランジスタのドレイン電極（40）であり、前記第1電極層（102、102g、102s、202）には、前記トランジスタのソース電極（102s）、及び、前記ソース電極（102s）と絶縁された前記トランジスタのゲート電極（102g）が含まれる、A1～A6のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

〔0173〕

〔A 8〕前記半導体装置（100、100a、100b、100c、200）は、前記第1電極層（102、102g、102s、202）をアノード、前記第2電極層（103、203）をカソードとするショットキーバリアダイオードとして機能する、A1～A7のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

〔0174〕

〔A 9〕第1主面（101a、201a）、及び、前記第1主面（101a、201a）と背向する第2主面（101b、201b）を有する半導体層（101、201）であって、前記第2主面（101b、201b）を構成する半導体基板（101c、201）を含む半導体層（101、201）の第1主面（101a、201a）に第1電極層（102、102g、102s、202）を形成し、前記第1電極層（102、102g、102s、202）の端部を覆う絶縁膜（104、204）を形成し、前記第1電極層（102、102g、102s、202）の前記端部以外の少なくとも一部を覆うめっき層（105、205）を形成し、前記絶縁膜（104、204）を覆うモールド層（106、206）を形成し、前記半導体基板（101c、201）を、前記半導体基板（101c、201）の厚みが前記めっき層（105、205）の厚みよりも薄くなるまで前記第2主面（101b、201b）側から研削し、前記半導体基板（101c、201）が研削された後の前記半導体層（101、201）の前記第2主面（101b、201b）に第2電極層（103、203）を形成する、半導体装置（100、100a、100b、100c、200）の製造方法。

〔0175〕

以下の〔B 1〕～〔B 22〕は、機械的強度を向上できる半導体装置を提供する。以下の〔B 1〕～〔B 22〕に係る構造は、オン抵抗を削減する上でも有効である。

〔0176〕

〔B 1〕第1厚さを有する半導体基板（101c、201）を含み、主面（101a、201a）を有する半導体層（101、201）と、前記主面（101a、201a）の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極（102、102g、102s、202）と、前記主面電極（102、102g、102s、202）の上に配置され、前記第1厚さを超える第3厚さを有するパッド電極（105、105c、105g、105s、105t、205）と、を含む、半導体装置（100、100a、100b、100c、200）。

〔0177〕

〔B 2〕前記主面電極（102、102g、102s、202）の内方部を露出させるように前記主面電極（102、102g、102s、202）の周縁部を被覆する樹脂（106、206）をさらに含み、前記パッド電極（105、105c、105g、105s、105t、205）は、前記主面電極（102、102g、102s、202）の内方部の上に配置されている、B 1に記載の半導体装置（100、100a、100b、100c、200）。

〔0178〕

〔B 3〕前記パッド電極（105、105c、105g、105s、105t、205）は、前記樹脂（106、206）に接している、B 2に記載の半導体装置（100、1

10

20

30

40

50

00a、100b、100c、200)。

【0179】

【B4】前記樹脂(106、206)は、前記半導体基板(101c、201)の前記第1厚さを超える第4厚さを有している、B2またはB3に記載の半導体装置(100、100a、100b、100c、200)。

【0180】

【B5】前記樹脂(106、206)は、前記主面(101a、201a)の周縁部を被覆している、B2～B4のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0181】

【B6】前記樹脂(106、206)は、平面視において前記主面(101a、201a)の内方部を取り囲む環状に形成されている、B2～B5のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0182】

【B7】前記樹脂(106、206)は、熱硬化性樹脂を含む、B2～B6のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0183】

【B8】前記パッド電極(105、105c、105g、105s、105t、205)は、電極面を有し、前記樹脂(106、206)は、前記パッド電極(105、105c、105g、105s、105t、205)の前記電極面に連なる外面を有している、B2～B7のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0184】

【B9】前記パッド電極(105、105c、105g、105s、105t、205)の前記電極面は、研削面からなり、前記樹脂(106、206)の前記外面は、研削面からなる、B8に記載の半導体装置(100、100a、100b、100c、200)。

【0185】

【B10】前記主面電極(102、102g、102s、202)の内方部を露出させるように前記主面電極(102、102g、102s、202)の周縁部を被覆する絶縁膜(104、204)をさらに含み、前記樹脂(106、206)は、前記絶縁膜(104、204)を被覆している、B2～B9のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0186】

【B11】前記絶縁膜(104、204)は、前記第2厚さを超え、前記第1厚さ未満の厚さを有している、B10に記載の半導体装置(100、100a、100b、100c、200)。

【0187】

【B12】前記絶縁膜(104、204)は、前記樹脂(106、206)とは異なる樹脂材料を含む、B10またはB11に記載の半導体装置(100、100a、100b、100c、200)。

【0188】

【B13】前記絶縁膜(104、204)は、感光性樹脂を含む、B10～B12のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0189】

【B14】前記樹脂(106、206)は、前記主面電極(102、102g、102s、202)の内方部側において前記絶縁膜(104、204)を部分的に露出させ、前記パッド電極(105、105c、105g、105s、105t、205)は、前記主面電極(102、102g、102s、202)の内方部側において前記主面電極(102、102g、102s、202)、前記絶縁膜(104、204)および前記樹脂(106、206)に接している、B10～B13のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

10

20

30

40

50

0、100a、100b、100c、200)。

【0190】

【B15】前記半導体層(101、201)は、前記半導体基板(101c、201)の上に積層されたエピタキシャル層(101d)を含み、前記パッド電極(105、105c、105g、105s、105t、205)は、前記半導体基板(101c、201)および前記エピタキシャル層(101d)の総厚さを超える前記第3厚さを有している、B1～B14のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0191】

【B16】前記半導体層(101、201)は、ワイドバンドギャップ半導体を含む、B1～B15のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

10

【0192】

【B17】前記半導体層(101、201)は、SiCを含む、B1～B16のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0193】

【B18】第1厚さを有し、主面(101a、201a)を含む半導体層(101、201)と、前記主面(101a、201a)の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極(102、102g、102s、202)と、前記主面電極(102、102g、102s、202)の内方部を露出させるように前記主面電極(102、102g、102s、202)の周縁部を被覆し、前記第2厚さを超える第3厚さを有する感光性樹脂層(104、204)と、前記主面電極(102、102g、102s、202)の内方部を露出させるように前記感光性樹脂層(104、204)を挟んで前記主面電極(102、102g、102s、202)の周縁部を被覆し、前記第3厚さを超える第4厚さを有する熱硬化性樹脂層(106、206)と、前記主面電極(102、102g、102s、202)の内方部の上に配置され、前記第3厚さを超える第5厚さを有するパッド電極(105、105c、105g、105s、105t、205)と、を含む、半導体装置(100、100a、100b、100c、200)。

20

【0194】

【B19】前記熱硬化性樹脂層(106、206)は、前記主面電極(102、102g、102s、202)の内方部側において前記感光性樹脂層(104、204)を部分的に露出させ、前記パッド電極(105、105c、105g、105s、105t、205)は、前記主面電極(102、102g、102s、202)の内方部側において前記主面電極(102、102g、102s、202)、前記感光性樹脂層(104、204)および前記熱硬化性樹脂層(106、206)に接している、B18に記載の半導体装置(100、100a、100b、100c、200)。

30

【0195】

【B20】前記半導体層(101、201)は、SiCを含む、B18またはB19に記載の半導体装置(100、100a、100b、100c、200)。

【0196】

40

【B21】前記第4厚さは、前記第1厚さを超え、前記第5厚さは、前記第1厚さを超えている、B18～B20のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0197】

【B22】前記パッド電極(105、105c、105g、105s、105t、205)は、めっき膜からなる、B17～B20のいずれか一つに記載の半導体装置(100、100a、100b、100c、200)。

【0198】

以下の【C1】～【C18】は、機械的強度を向上できる半導体装置を提供する。以下の【C1】～【C18】に係る構造は、オン抵抗を削減する上でも有効である。

50

【0199】

【C1】第1厚さを有する半導体基板（101c、201）を含み、主面（101a、201a）を有する半導体層（101、201）と、前記主面（101a、201a）の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極（102、102g、102s、202）と、前記主面電極（102、102g、102s、202）の内方部を露出させるように前記主面電極（102、102g、102s、202）の周縁部を被覆し、前記第1厚さを超える第3厚さを有する樹脂（106、206）と、を含む、半導体装置（100、100a、100b、100c、200）。

【0200】

【C2】前記樹脂（106、206）は、前記主面（101a、201a）の周縁部を被覆している、C1に記載の半導体装置（100、100a、100b、100c、200）。

10

【0201】

【C3】前記樹脂（106、206）は、平面視において前記主面電極（102、102g、102s、202）の内方部を取り囲む環状に形成されている、C1またはC2に記載の半導体装置（100、100a、100b、100c、200）。

【0202】

【C4】前記樹脂（106、206）は、熱硬化性樹脂を含む、C1～C3のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0203】

【C5】前記主面電極（102、102g、102s、202）の内方部の上に配置されたパッド電極（105、105c、105g、105s、105t、205）をさらに含む、C1～C4のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

20

【0204】

【C6】前記パッド電極（105、105c、105g、105s、105t、205）は、前記樹脂（106、206）に接している、C5に記載の半導体装置（100、100a、100b、100c、200）。

【0205】

【C7】前記パッド電極（105、105c、105g、105s、105t、205）は、前記半導体基板（101c、201）の前記第1厚さを超える第4厚さを有している、C5またはC6に記載の半導体装置（100、100a、100b、100c、200）。

30

【0206】

【C8】前記パッド電極（105、105c、105g、105s、105t、205）は、電極面を有し、前記樹脂（106、206）は、前記パッド電極（105、105c、105g、105s、105t、205）の前記電極面に連なる外面を有している、C5～C7のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0207】

【C9】前記パッド電極（105、105c、105g、105s、105t、205）の前記電極面は、研削面からなり、前記樹脂（106、206）の前記外面は、研削面からなる、C8に記載の半導体装置（100、100a、100b、100c、200）。

40

【0208】

【C10】前記パッド電極（105、105c、105g、105s、105t、205）は、めっき膜からなる、C5～C9のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0209】

【C11】前記主面電極（102、102g、102s、202）の内方部を露出させるように前記主面電極（102、102g、102s、202）の周縁部を被覆する絶縁

50

膜（１０４、２０４）をさらに含み、前記樹脂（１０６、２０６）は、前記絶縁膜（１０４、２０４）を被覆している、Ｃ１～Ｃ１０のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１０】

【Ｃ１２】前記絶縁膜（１０４、２０４）は、前記第２厚さを超え、前記第１厚さ未満の厚さを有している、Ｃ１１に記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１１】

【Ｃ１３】前記絶縁膜（１０４、２０４）は、前記樹脂（１０６、２０６）とは異なる樹脂材料を含む、Ｃ１１またはＣ１２に記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

10

【０２１２】

【Ｃ１４】前記絶縁膜（１０４、２０４）は、感光性樹脂を含む、Ｃ１１～Ｃ１３のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１３】

【Ｃ１５】前記樹脂（１０６、２０６）は、前記主面電極（１０２、１０２ｇ、１０２ｓ、２０２）の内方部側において前記絶縁膜（１０４、２０４）を部分的に露出させている、Ｃ１１～Ｃ１４のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１４】

20

【Ｃ１６】前記半導体層（１０１、２０１）は、前記半導体基板（１０１ｃ、２０１）の上に積層されたエピタキシャル層（１０１ｄ）を含み、前記樹脂（１０６、２０６）は、前記半導体基板（１０１ｃ、２０１）および前記エピタキシャル層（１０１ｄ）の総厚さを超える前記第３厚さを有している、Ｃ１～Ｃ１５のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１５】

【Ｃ１７】前記半導体層（１０１、２０１）は、ワイドバンドギャップ半導体を含む、Ｃ１～Ｃ１６のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１６】

30

【Ｃ１８】前記半導体層（１０１、２０１）は、ＳｉＣを含む、Ｃ１～Ｃ１７のいずれか一つに記載の半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

【０２１７】

以下の【Ｄ１】～【Ｄ６】は、機械的強度を向上できる半導体装置を提供する。以下の【Ｄ１】～【Ｄ６】に係る構造は、オン抵抗を削減する上でも有効である。

【０２１８】

【Ｄ１】第１厚さを有し、主面（１０１ａ、２０１ａ）を有する半導体層（１０１、２０１）と、前記主面（１０１ａ、２０１ａ）の上に配置され、前記第１厚さ未満の第２厚さを有する主面電極（１０２、１０２ｇ、１０２ｓ、２０２）と、前記主面電極（１０２、１０２ｇ、１０２ｓ、２０２）の一部を露出させるように前記主面電極（１０２、１０２ｇ、１０２ｓ、２０２）を部分的に被覆し、前記第１厚さを超える第３厚さを有する樹脂（１０６、２０６）と、を含む、半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

40

【０２１９】

【Ｄ２】第１厚さを有し、主面（１０１ａ、２０１ａ）を有する半導体層（１０１、２０１）と、前記主面（１０１ａ、２０１ａ）の上に配置され、前記第１厚さ未満の第２厚さを有する主面電極（１０２、１０２ｇ、１０２ｓ、２０２）と、前記主面電極（１０２、１０２ｇ、１０２ｓ、２０２）の上に配置され、前記第１厚さを超える第３厚さを有するパッド電極（１０５、１０５ｃ、１０５ｇ、１０５ｓ、１０５ｔ、２０５）と、を含む、半導体装置（１００、１００ａ、１００ｂ、１００ｃ、２００）。

50

【0220】

【D3】第1厚さを有し、主面（101a、201a）を有する半導体層（101、201）と、前記主面（101a、201a）の上に配置され、前記第1厚さ未満の第2厚さを有する主面電極（102、102g、102s、202）と、前記主面電極（102、102g、102s、202）の内方部を露出させるように前記主面電極（102、102g、102s、202）の周縁部を被覆し、前記第1厚さを超える第3厚さを有する樹脂（106、206）と、前記主面電極（102、102g、102s、202）の内方部の上に配置され、前記第1厚さを超える第4厚さを有するパッド電極（105、105c、105g、105s、105t、205）と、を含む、半導体装置（100、100a、100b、100c、200）。

10

【0221】

【D4】前記半導体層（101、201）は、半導体基板（101c、201）およびエピタキシャル層（101d）を含む積層構造を有している、D1～D3のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

【0222】

【D5】前記半導体基板（101c、201）は、前記エピタキシャル層（101d）の厚さ未満の厚さを有している、D4に記載の半導体装置（100、100a、100b、100c、200）。

【0223】

【D6】前記半導体層（101、201）は、エピタキシャル層（101d）からなる単層構造を有している、D1～D3のいずれか一つに記載の半導体装置（100、100a、100b、100c、200）。

20

【符号の説明】

【0224】

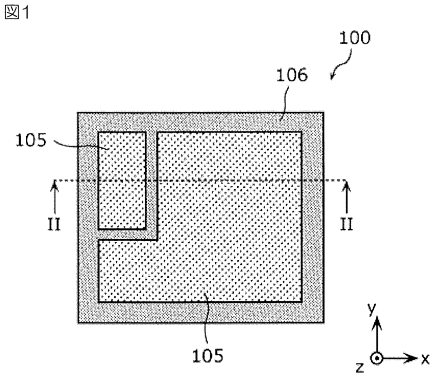
100 半導体装置
 100a 半導体装置
 100b 半導体装置
 100c 半導体装置
 101 半導体層
 101a 第1主面（主面）
 101c 半導体基板
 101d エピタキシャル層
 102 第1電極層（主面電極）
 102g 第1電極層（主面電極）
 102s 第1電極層（主面電極）
 104 絶縁膜（感光性樹脂層）
 105 めっき層（パッド電極）
 105c 電流センス用パッド（パッド電極）
 105g ゲートパッド（パッド電極）
 105s ソースパッド（パッド電極）
 105t 温度センス用パッド（パッド電極）
 106 モールド層（熱硬化性樹脂層）
 200 半導体装置
 201 半導体層（半導体基板）
 201a 第1主面（主面）
 202 第1電極層（主面電極）
 204 絶縁膜（感光性樹脂層）
 205 めっき層（パッド電極）
 206 モールド層（熱硬化性樹脂層）

30

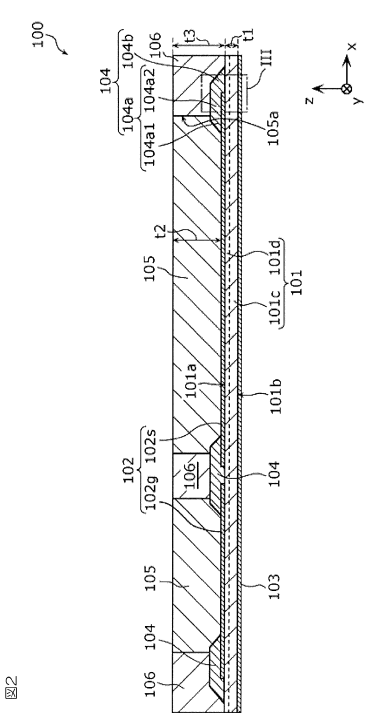
40

50

【図面】
【図 1】



【図 2】



10

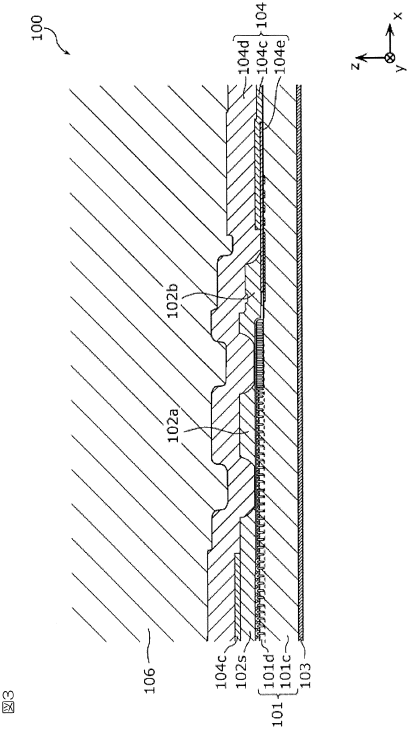
20

30

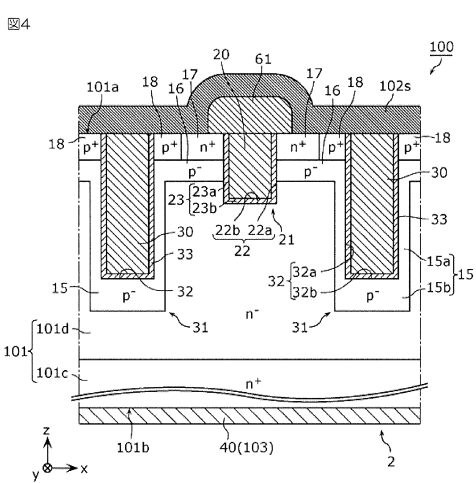
40

50

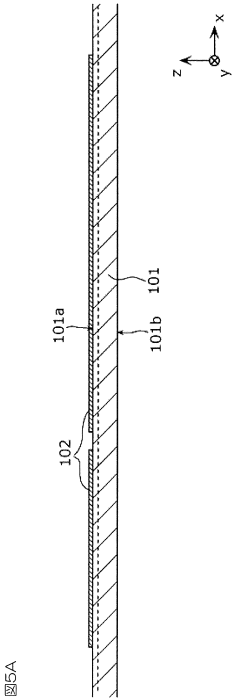
【図 3】



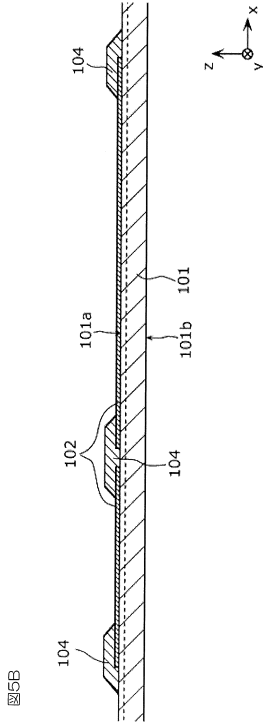
【図 4】



【図 5 A】



【図 5 B】



10

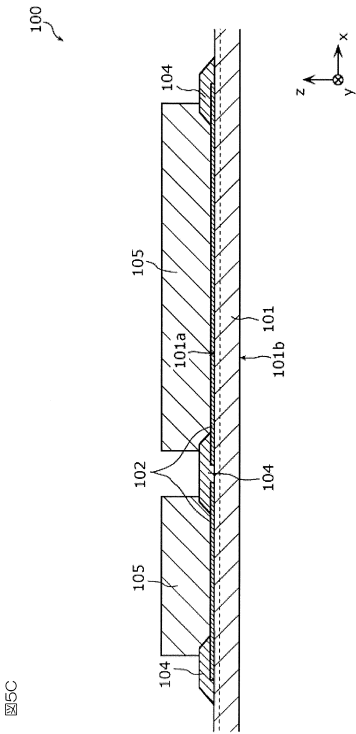
20

30

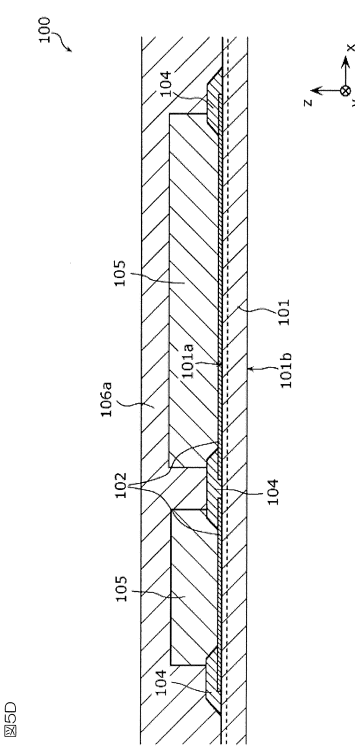
40

50

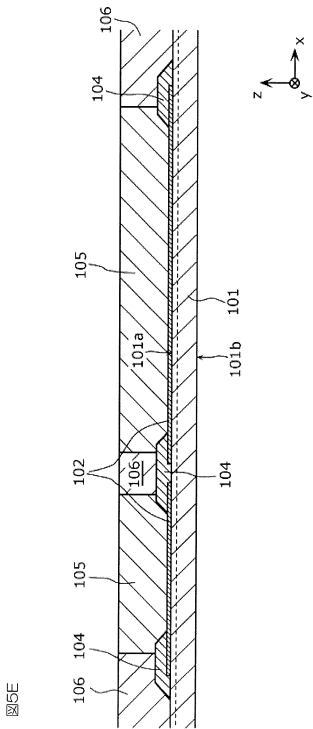
【図 5 C】



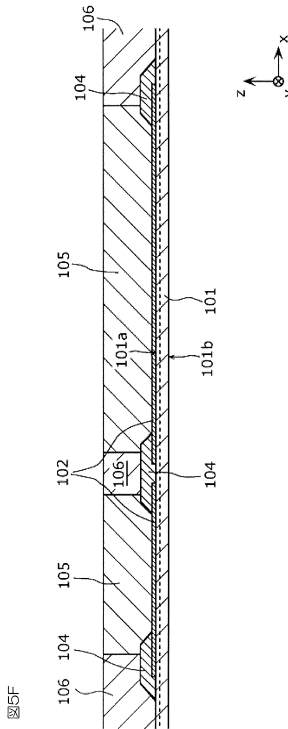
【図 5 D】



【図 5 E】



【図 5 F】



10

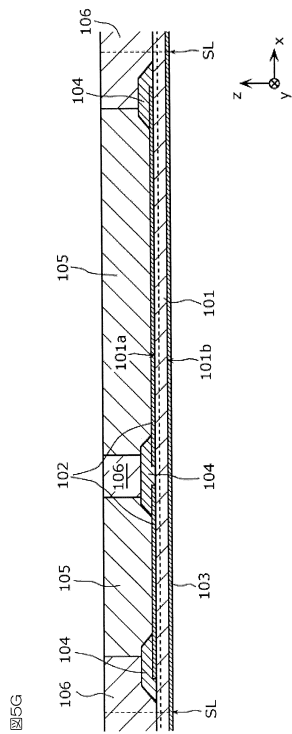
20

30

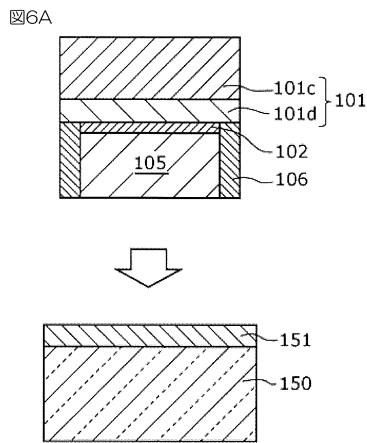
40

50

【図 5 G】



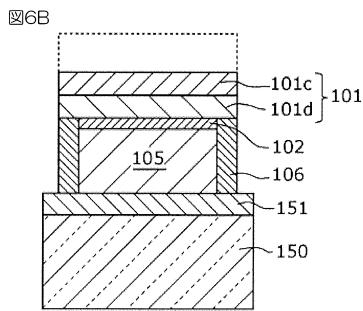
【図 6 A】



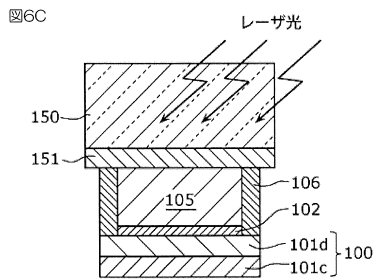
10

20

【図 6 B】



【図 6 C】

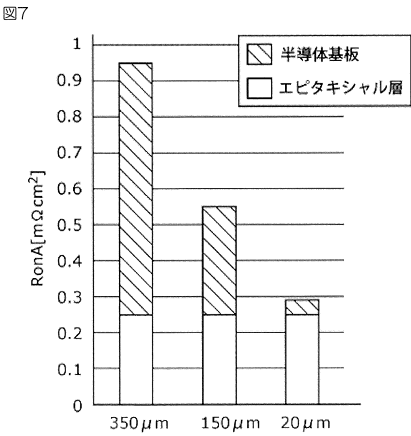


30

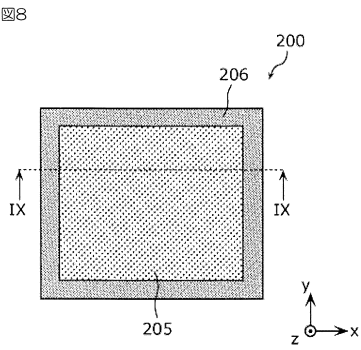
40

50

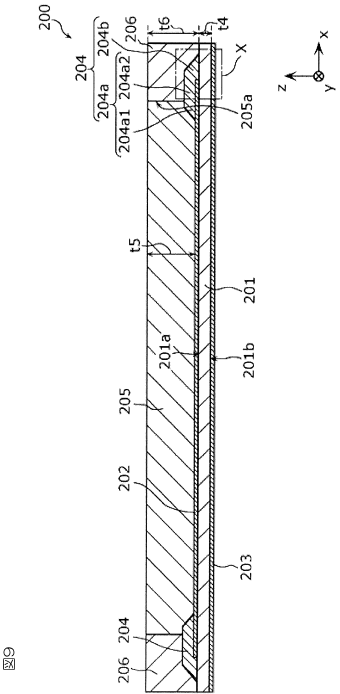
【図 7】



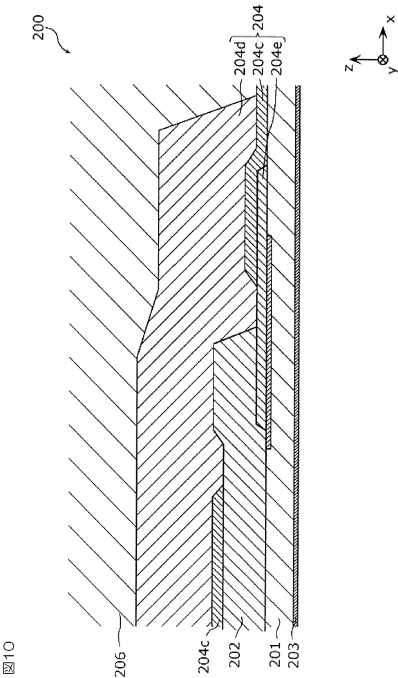
【図 8】



【図 9】



【図 10】



10

20

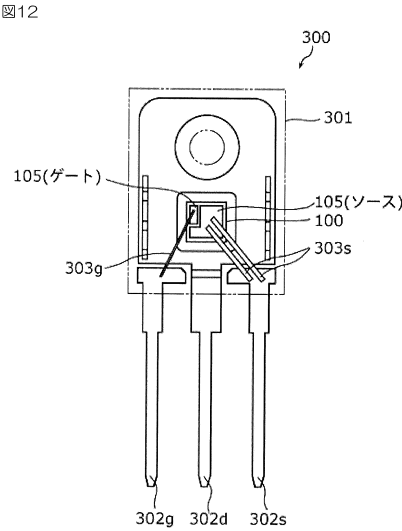
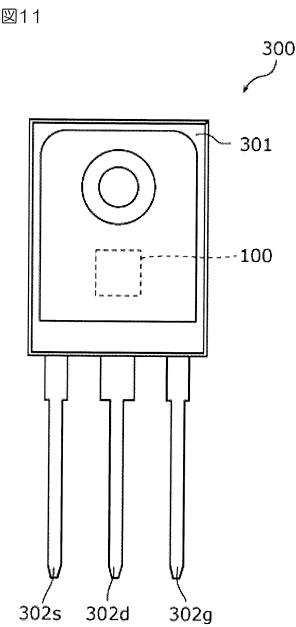
30

40

50

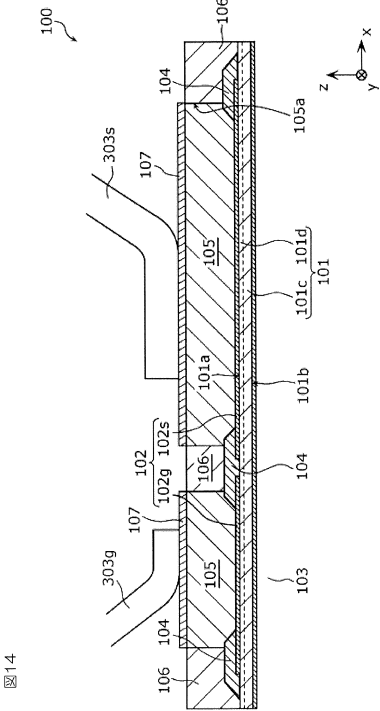
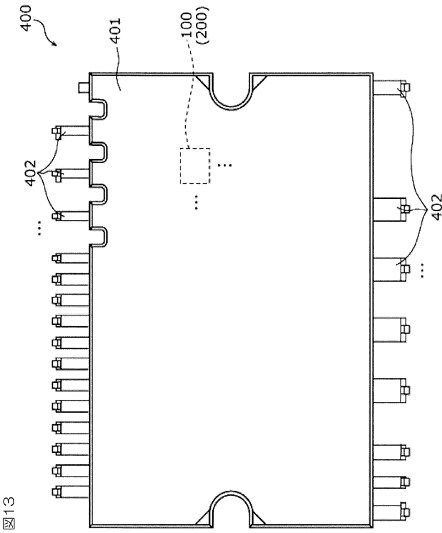
【図 1 1】

【図 1 2】



【図 1 3】

【図 1 4】



10

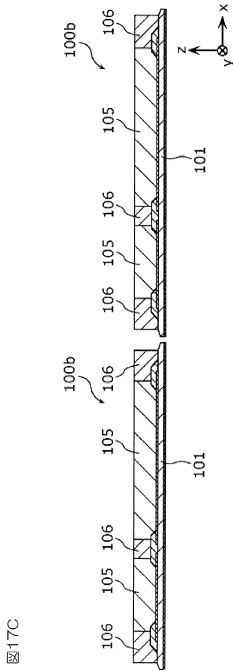
20

30

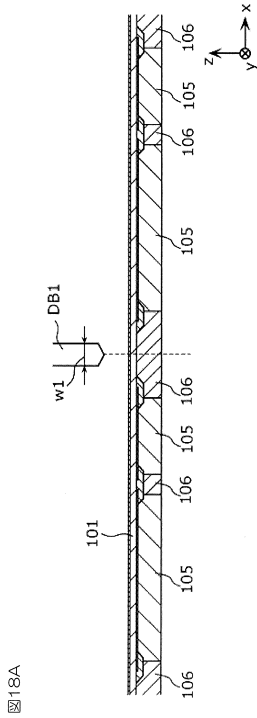
40

50

【図 17 C】



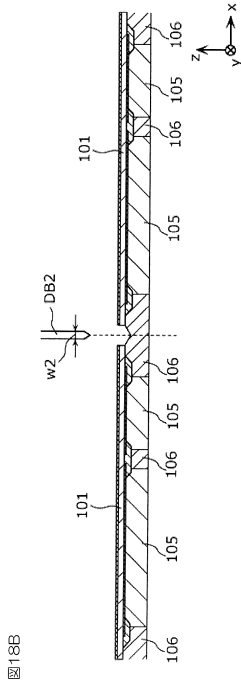
【図 18 A】



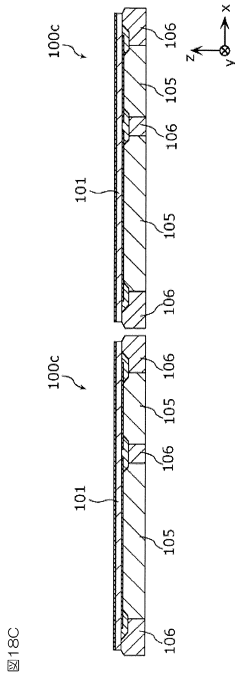
10

20

【図 18 B】



【図 18 C】



30

40

50

フロントページの続き

(51)国際特許分類	F I		
	H 1 0 D	30/66	1 0 2 S
	H 1 0 D	30/66	1 0 1 H
	H 1 0 D	12/00	1 0 1 A
	H 1 0 D	8/60	F
	H 1 0 D	8/60	M
	H 1 0 D	8/60	E
	H 1 0 D	8/60	D
	H 1 0 D	30/01	3 0 1 F
	H 1 0 D	62/10	1 0 1 G
	H 1 0 D	62/10	1 0 1 V

(56)参考文献 特開 2 0 1 5 - 2 2 2 7 4 3 (J P , A)
 特開 2 0 1 1 - 2 5 3 8 6 2 (J P , A)
 国際公開第 2 0 1 9 / 1 2 4 0 2 4 (W O , A 1)
 特開平 1 0 - 2 7 0 3 7 0 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)
H 1 0 D 3 0 / 6 6
H 1 0 D 3 0 / 0 1
H 1 0 D 1 2 / 0 0
H 1 0 D 8 / 6 0
H 1 0 D 6 2 / 1 0