

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-166344

(P2024-166344A)

(43)公開日 令和6年11月28日(2024.11.28)

(51)国際特許分類

G 0 6 K 19/077 (2006.01)

F I

G 0 6 K 19/077 1 8 8

G 0 6 K 19/077 1 6 4

審査請求 有 請求項の数 19 O L (全63頁)

(21)出願番号 特願2024-160661(P2024-160661)
 (22)出願日 令和6年9月18日(2024.9.18)
 (62)分割の表示 特願2023-92052(P2023-92052)の
 分割
 原出願日 平成30年12月5日(2018.12.5)
 (31)優先権主張番号 特願2018-82281(P2018-82281)
 (32)優先日 平成30年4月23日(2018.4.23)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(71)出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74)代理人 110002147
 弁理士法人酒井国際特許事務所
 (72)発明者 藤本 曜久
 東京都港区芝浦三丁目1番21号 キオ
 クシア株式会社内
 (72)発明者 近藤 敦志
 東京都港区芝浦三丁目1番21号 キオ
 クシア株式会社内
 (72)発明者 坂本 典哉
 東京都港区芝浦三丁目1番21号 キオ
 クシア株式会社内
 (72)発明者 西山 拓

最終頁に続く

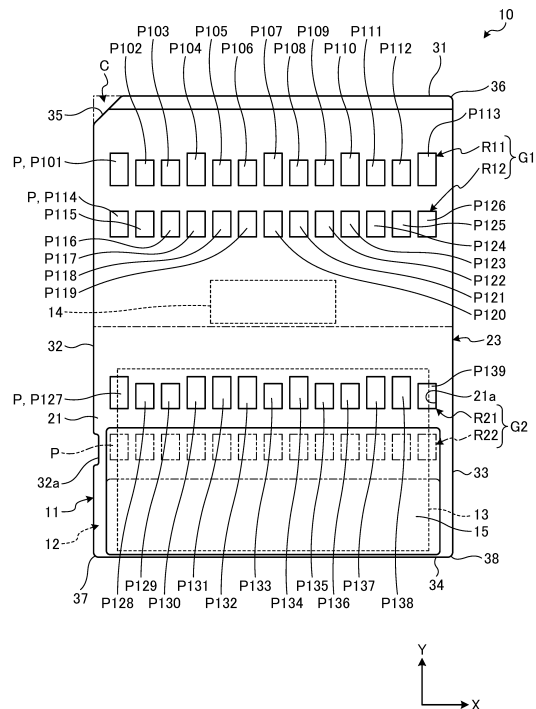
(54)【発明の名称】 メモリーカード

(57)【要約】

【課題】通信インターフェースを高速化可能なメモリーカードを提供する。

【解決手段】一つの実施形態に係るメモリーカードは、筐体と、不揮発性メモリと、コントローラと、複数の端子とを備える。前記複数の端子は、複数の第1の端子と、複数の第2の端子と、複数の第3の端子とを有する。前記複数の第1の端子は、前記第1の端縁に近い位置で並べられる。前記複数の第3の端子は、前記第2の端縁に近い位置で並べられる。前記複数の第2の端子は、前記複数の第1の端子と前記複数の第3の端子との間で並べられる。前記複数の第1の端子は、差動データ信号に割り当てられ、複数の第1のグランド端子のうち二つの間に位置する、第1の信号端子を含む。前記複数の第2の端子は、第2のグランド端子を含む。前記複数の第3の端子は、差動クロック信号端子と、シングルエンド信号端子と、第1の電源端子と、第2の電源端子と、を含む。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

第 1 の面と、前記第 1 の面の反対側に位置する第 2 の面と、第 1 の方向に延びた第 1 の端縁と、前記第 1 の端縁の反対側に位置して前記第 1 の方向に延びた第 2 の端縁と、前記第 1 の方向と交差する第 2 の方向に延びた第 1 の側縁と、前記第 1 の端縁と前記第 1 の側縁との間の切欠きを形成する第 1 の角部と、を有する筐体と、

不揮発性メモリと、

前記不揮発性メモリを制御するコントローラと、

前記第 1 の面に設けられた複数の端子と、

を具備し、

10

前記複数の端子は、複数の第 1 の端子と、複数の第 2 の端子と、複数の第 3 の端子とを有し、

前記複数の第 1 の端子は、前記第 2 の端縁よりも前記第 1 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられ、

前記複数の第 3 の端子は、前記第 1 の端縁よりも前記第 2 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられ、

前記複数の第 2 の端子は、前記複数の第 1 の端子と前記複数の第 3 の端子との間で、互いに間隔を介して前記第 1 の方向に並べられ、

前記複数の第 1 の端子は、前記複数の第 2 の端子よりも、前記第 1 の端縁に近く、

前記複数の第 1 の端子は、P C I e 規格に準拠する差動データ信号に割り当てられた少なくとも一対の第 1 の信号端子を含み、

20

前記複数の第 1 の端子は、グラウンドに割り当てられた複数の第 1 のグラウンド端子を含み

、
前記一対の第 1 の信号端子はそれぞれ、前記複数の第 1 のグラウンド端子のうち二つの間に位置し、

前記複数の第 2 の端子は、グラウンドに割り当てられた複数の第 2 のグラウンド端子を含み

、
前記複数の第 3 の端子は、前記差動データ信号よりも低い周波数の差動クロック信号に割り当てられた差動クロック信号端子と、シングルエンド信号に割り当てられたシングルエンド信号端子と、第 1 の電源が割り当てられた第 1 の電源端子と、電圧が前記第 1 の電源以下である第 2 の電源が割り当てられた少なくとも一つの第 2 の電源端子と、を含む、
メモリーカード。

30

【請求項 2】

前記複数の端子は、信号の伝送に用いられる複数の信号端子を含み、

前記複数の第 1 の端子及び前記複数の第 2 の端子に含まれる前記信号端子の数は、前記複数の第 3 の端子に含まれる前記信号端子の数よりも多い、

請求項 1 のメモリーカード。

【請求項 3】

前記差動データ信号の複数のレーンに割り当てられた複数対の前記第 1 の信号端子は、前記複数の第 1 の端子に含まれる、

40

請求項 1 のメモリーカード。

【請求項 4】

前記シングルエンド信号端子は、P C I e 規格のサイドバンド信号に割り当てられた複数のサイドバンド信号端子を含む、請求項 1 のメモリーカード。

【請求項 5】

前記複数の第 3 の端子は、電圧が前記第 2 の電源以下である第 3 の電源が割り当てられた複数の第 3 の電源端子を含む、

請求項 1 のメモリーカード。

【請求項 6】

前記第 1 の方向と前記第 2 の方向とは互いに直交し、

50

前記第 1 の方向における長さが 14 ± 0.1 mm であり、
前記第 2 の方向における長さが 18 ± 0.1 mm である、
請求項 1 のメモリーカード。

【請求項 7】

前記筐体は、前記第 1 の側縁の反対側に位置して前記第 2 の方向に延びた第 2 の側縁と、
前記第 1 の端縁と前記第 2 の側縁との間の第 2 の角部と、をさらに有し、
前記第 1 の角部の形状と、前記第 2 の角部の形状とが互いに異なる、
請求項 1 のメモリーカード。

【請求項 8】

前記複数の第 2 の端子は、信号の伝送に用いられる複数の第 2 の信号端子を含み、
前記複数の第 1 の端子に含まれる前記少なくとも一つの第 1 の信号端子と、前記複数の
第 2 の端子に含まれる前記複数の第 2 の信号端子とは、前記第 1 の方向における長さが互
いに等しい、
請求項 1 のメモリーカード。

【請求項 9】

前記筐体は、前記第 1 の端縁と前記第 1 の面との間で直線状に延びる傾斜部を有する、
請求項 1 のメモリーカード。

【請求項 10】

前記複数の第 3 の端子は、複数の前記第 2 の電源端子を有し、
複数の前記第 2 の電源端子のうち二つは、前記第 1 の方向に隣り合う、
請求項 1 のメモリーカード。

【請求項 11】

前記複数の第 3 の端子は、グラウンドに割り当てられた複数の第 3 のグラウンド端子を含む
、
請求項 10 のメモリーカード。

【請求項 12】

前記シングルエンド信号端子は、前記第 1 の電源端子と前記少なくとも一つの第 2 の電
源端子との間に位置する、
請求項 11 のメモリーカード。

【請求項 13】

前記シングルエンド信号端子は、P C I e 規格のサイドバンド信号に割り当てられたサ
イドバンド信号端子を含む、請求項 12 のメモリーカード。

【請求項 14】

前記第 1 の電源端子に供給される電力が前記不揮発性メモリに供給されるよう構成され
た、
請求項 10 のメモリーカード。

【請求項 15】

前記少なくとも一つの第 2 の電源端子の一つに供給される電力が前記不揮発性メモリに
供給されるよう構成された、
請求項 10 のメモリーカード。

【請求項 16】

前記複数の第 2 の端子は、前記第 2 の端縁よりも前記第 1 の端縁に近い位置で前記第 1
の方向に並べられ、
前記複数の第 1 の端子のうち一つと前記複数の第 2 の端子のうち一つとが前記第 2 の方
向に間隔を介して並べられた、
請求項 1 のメモリーカード。

【請求項 17】

少なくとも前記コントローラの一部の辺は、前記複数の第 2 の端子と前記複数の第 3 の
端子との間に位置するとともに、配線を通じて前記複数の第 2 の端子の一つに接続される
接続端子を有する、

10

20

30

40

50

請求項 1 のメモリーカード。

【請求項 18】

前記不揮発性メモリ及び前記コントローラは、前記筐体の内部に設けられた、請求項 1 のメモリーカード。

【請求項 19】

前記複数の第 3 の端子は、信号の伝送に用いられる複数の第 3 の信号端子と、グラウンドに割り当てられた複数の第 3 のグラウンド端子を有する、

請求項 1 のメモリーカード。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は、メモリーカードに関する。

【背景技術】

【0002】

フラッシュメモリの記憶容量は、技術改良に伴い増大している。それに伴い、リムーバブルメモリーカードのような半導体記憶装置のデータ転送量が増大し、データ転送時間も増大している。

【先行技術文献】

【特許文献】

【0003】

20

【特許文献 1】特開 2009 - 259207 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体記憶装置の通信インターフェースが高速化すれば、データ転送時間を短縮することができる。

【課題を解決するための手段】

【0005】

一つの実施形態に係るメモリーカードは、筐体と、不揮発性メモリと、コントローラと、複数の端子とを備える。前記筐体は、第 1 の面と、前記第 1 の面の反対側に位置する第 2 の面と、第 1 の方向に延びた第 1 の端縁と、前記第 1 の端縁の反対側に位置して前記第 1 の方向に延びた第 2 の端縁と、前記第 1 の方向と交差する第 2 の方向に延びた第 1 の側縁と、前記第 1 の端縁と前記第 1 の側縁との間の切欠きを形成する第 1 の角部と、を有する。前記コントローラは、前記不揮発性メモリを制御する。前記複数の端子は、前記第 1 の面に設けられる。前記複数の端子は、複数の第 1 の端子と、複数の第 2 の端子と、複数の第 3 の端子とを有する。前記複数の第 1 の端子は、前記第 2 の端縁よりも前記第 1 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられる。前記複数の第 3 の端子は、前記第 1 の端縁よりも前記第 2 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられる。前記複数の第 2 の端子は、前記複数の第 1 の端子と前記複数の第 3 の端子との間で、互いに間隔を介して前記第 1 の方向に並べられる。前記複数の第 1 の端子は、前記複数の第 2 の端子よりも、前記第 1 の端縁に近い。前記複数の第 1 の端子は、P C I e 規格に準拠する差動データ信号に割り当てられた少なくとも一对の第 1 の信号端子を含む。前記複数の第 1 の端子は、グラウンドに割り当てられた複数の第 1 のグラウンド端子を含む。前記一对の第 1 の信号端子はそれぞれ、前記複数の第 1 のグラウンド端子のうち二つの間に位置する。前記複数の第 2 の端子は、グラウンドに割り当てられた複数の第 2 のグラウンド端子を含む。前記複数の第 3 の端子は、前記差動データ信号よりも低い周波数の差動クロック信号に割り当てられた差動クロック信号端子と、シングルエンド信号に割り当てられたシングルエンド信号端子と、第 1 の電源が割り当てられた第 1 の電源端子と、電圧が前記第 1 の電源以下である第 2 の電源が割り当てられた少なくとも一つの第 2 の電源端子と、を含む。

30

40

50

【図面の簡単な説明】

【0006】

【図1】図1は、第1の実施形態に係るメモリーカードを示す例示的な平面図である。

【図2】図2は、第1の実施形態のメモリーカードを示す例示的な側面図である。

【図3】図3は、第1の実施形態の複数の端子の信号割り当ての一例を示す例示的な表である。

【図4】図4は、第1の実施形態のメモリーカードの配線を模式的に示す例示的な平面図である。

【図5】図5は、第1の実施形態のメモリーカードの構成の第1の例を概略的に示す例示的なブロック図である。

10

【図6】図6は、第1の実施形態のメモリーカードの構成の第2の例を概略的に示す例示的なブロック図である。

【図7】図7は、第1の実施形態のメモリーカードの電源チェックシーケンスにおけるホスト機器の動作を示す例示的なフローチャートである。

【図8】図8は、第1の実施形態の電源仕様情報の一例を示す例示的な表である。

【図9】図9は、第1の実施形態のメモリーカードの電源チェックシーケンスにおける第1の例を示す例示的なタイミングチャートである。

【図10】図10は、第1の実施形態のメモリーカードの電源チェックシーケンスにおける第2の例を示す例示的なタイミングチャートである。

【図11】図11は、第1の実施形態のメモリーカードの電源チェックシーケンスにおける第3の例を示す例示的なタイミングチャートである。

20

【図12】図12は、第2の実施形態に係るメモリーカードを示す例示的な平面図である。

【図13】図13は、第3の実施形態に係るメモリーカードを示す例示的な平面図である。

【図14】図14は、第3の実施形態のメモリーカードを示す例示的な側面図である。

【図15】図15は、第3の実施形態の変形例に係るメモリーカードを示す例示的な平面図である。

【図16】図16は、第3の実施形態の複数の端子の信号割り当ての一例を示す例示的な表である。

30

【図17】図17は、第3の実施形態のメモリーカードの構成の第1の例を概略的に示す例示的なブロック図である。

【図18】図18は、第3の実施形態のメモリーカードの構成の第2の例を概略的に示す例示的なブロック図である。

【図19】図19は、第3の実施形態のメモリーカードの電源チェックシーケンスにおけるホスト機器の動作を示す例示的なフローチャートである。

【図20】図20は、第3の実施形態の電源仕様情報の一例を示す例示的な表である。

【図21】図21は、第3の実施形態のメモリーカードの電源チェックシーケンスにおける第1の例を示す例示的なタイミングチャートである。

【図22】図22は、第3の実施形態のメモリーカードの電源チェックシーケンスにおける第2の例を示す例示的なタイミングチャートである。

40

【図23】図23は、第3の実施形態のメモリーカードの電源チェックシーケンスにおける第3の例を示す例示的なタイミングチャートである。

【図24】図24は、第3の実施形態のメモリーカードの電源チェックシーケンスにおける第4の例を示す例示的なタイミングチャートである。

【図25】図25は、第3の実施形態のメモリーカードの温度チェックシーケンスにおけるカードコントローラの動作を示す例示的なフローチャートである。

【図26】図26は、第4の実施形態に係るメモリーカードを示す例示的な平面図である。

【発明を実施するための形態】

50

【 0 0 0 7 】

(第 1 の実施形態)

以下に、第 1 の実施形態について、図 1 乃至図 1 1 を参照して説明する。なお、本明細書において、実施形態に係る構成要素及び当該要素の説明について、複数の表現が記載されることがある。複数の表現がされた構成要素及び説明は、記載されていない他の表現がされても良い。さらに、複数の表現がされない構成要素及び説明も、記載されていない他の表現がされても良い。

【 0 0 0 8 】

図 1 は、第 1 の実施形態に係るメモリーカード 1 0 を示す例示的な平面図である。図 2 は、第 1 の実施形態のメモリーカード 1 0 を示す例示的な側面図である。メモリーカード 1 0 は、半導体記憶装置の一例であり、例えば、リムーバブルメディア及びリムーバブルメモリーカードとも称され得る。

10

【 0 0 0 9 】

各図面に示されるように、本明細書において、X 軸、Y 軸及び Z 軸が定義される。X 軸と Y 軸と Z 軸とは、互いに直交する。X 軸は、メモリーカード 1 0 の幅に沿う。Y 軸は、メモリーカード 1 0 の長さに沿う。Z 軸は、メモリーカード 1 0 の厚さに沿う。

【 0 0 1 0 】

メモリーカード 1 0 は、筐体 1 1 と、基板 1 2 と、フラッシュメモリ 1 3 と、カードコントローラ 1 4 と、保護シート 1 5 とを有する。フラッシュメモリ 1 3 は、メモリの一例である。カードコントローラ 1 4 は、コントローラの一例である。

20

【 0 0 1 1 】

メモリーカード 1 0、及び筐体 1 1 は、例えば、Y 軸方向に延びた略矩形の板状に形成される。Y 軸方向は、メモリーカード 1 0 及び筐体 1 1 の長手方向であって、Y 軸の正方向 (Y 軸の矢印が示す方向) と Y 軸の負方向 (Y 軸の矢印の反対方向) とを含む。Y 軸方向は、第 2 の方向の一例である。

【 0 0 1 2 】

図 2 に示すように、筐体 1 1 は、板状であって、第 1 の面 2 1 と、第 2 の面 2 2 と、外縁 2 3 とを有する。第 1 の面 2 1 及び第 2 の面 2 2 は、Y 軸方向に延びた略四角形 (矩形) 状に形成される。すなわち、Y 軸方向は、第 1 の面 2 1 及び第 2 の面 2 2 の長手方向でもある。本実施形態において、メモリーカード 1 0、筐体 1 1、第 1 の面 2 1、及び第 2 の面 2 2 の形状はそれぞれ、矩形状と表現されるが、他の表現もされ得る。

30

【 0 0 1 3 】

第 1 の面 2 1 は、Z 軸の正方向 (Z 軸の矢印が向く方向) に向く略平坦な面である。図 1 に示すように、第 1 の面 2 1 に、複数の開口 2 1 a が設けられる。図 2 に示すように、第 2 の面 2 2 は、第 1 の面 2 1 の反対側に位置し、Z 軸の負方向 (Z 軸の矢印の反対方向) に向く略平坦な面である。

【 0 0 1 4 】

外縁 2 3 は、第 1 の面 2 1 と第 2 の面 2 2 との間に設けられ、第 1 の面 2 1 の縁と第 2 の面 2 2 の縁とに接続される。図 1 に示すように、外縁 2 3 は、第 1 の縁 3 1 と、第 2 の縁 3 2 と、第 3 の縁 3 3 と、第 4 の縁 3 4 と、第 1 の角部 3 5 と、第 2 の角部 3 6 と、第 3 の角部 3 7 と、第 4 の角部 3 8 とを有する。

40

【 0 0 1 5 】

第 1 の縁 3 1 は、X 軸方向に延び、Y 軸の正方向に向く。X 軸方向は、メモリーカード 1 0、筐体 1 1、第 1 の面 2 1、及び第 2 の面 2 2 の短手方向であって、X 軸の正方向 (X 軸の矢印が示す方向) と、X 軸の負方向 (X 軸の矢印の反対方向) とを含む。X 軸方向は、第 1 の方向の一例である。

【 0 0 1 6 】

第 2 の縁 3 2 は、Y 軸方向に延び、X 軸の負方向に向く。第 2 の縁 3 2 には、凹部 3 2 a が設けられる。第 3 の縁 3 3 は、第 2 の縁 3 2 の反対側に位置して Y 軸方向に延び、X 軸の正方向に向く。第 4 の縁 3 4 は、第 1 の縁 3 1 の反対側に位置して X 軸方向に延び、

50

Y 軸の負方向に向く。

【 0 0 1 7 】

第 2 の縁 3 2 及び第 3 の縁 3 3 のそれぞれの長さは、第 1 の縁 3 1 及び第 4 の縁 3 4 のそれぞれの長さよりも長い。第 1 の縁 3 1 及び第 4 の縁 3 4 は、略矩形のメモリーカード 1 0 の短辺を形成し、第 2 の縁 3 2 及び第 3 の縁 3 3 は、略矩形のメモリーカード 1 0 の長辺を形成する。

【 0 0 1 8 】

第 1 の角部 3 5 は、第 1 の縁 3 1 と第 2 の縁 3 2 との間の角部分であり、第 1 の縁 3 1 の X 軸の負方向における端と、第 2 の縁 3 2 の Y 軸の正方向における端とを接続する。第 1 の縁 3 1 の X 軸の負方向における端は、第 1 の縁の一方の端の一例である。第 2 の縁 3 2 の Y 軸の正方向における端は、第 2 の縁の端の一例である。

10

【 0 0 1 9 】

第 1 の角部 3 5 は、第 1 の縁 3 1 の X 軸の負方向における端と、第 2 の縁 3 2 の Y 軸の正方向における端との間で直線状に延びる。X 軸方向において、第 1 の縁 3 1 の X 軸の負方向における端と、第 2 の縁 3 2 との間の距離は、1 . 1 mm である。Y 軸方向において、第 2 の縁 3 2 の Y 軸の正方向における端と、第 1 の縁 3 1 との間の距離は、1 . 1 mm である。

【 0 0 2 0 】

第 1 の縁 3 1 と第 2 の縁 3 2 との角が、いわゆる C 1 . 1 の角面取りに設定されることで、第 1 の角部 3 5 が設けられる。別の表現によれば、第 1 の角部 3 5 は、第 1 の縁 3 1 と第 2 の縁 3 2 との間の切欠き C を形成する。

20

【 0 0 2 1 】

本実施形態において、第 1 の角部 3 5 は、互いに直交する方向に延びる第 1 の縁 3 1 と第 2 の縁 3 2 との角部分に略三角形の切欠き C を形成する。しかし、切欠き C は、この例に限られない。第 1 の角部 3 5 は、例えば、本実施形態よりも筐体 1 1 の内側に窪んだ略四角形の切欠き C を形成しても良い。

【 0 0 2 2 】

第 2 の角部 3 6 は、第 1 の縁 3 1 と第 3 の縁 3 3 との間の角部分であり、第 1 の縁 3 1 の X 軸の正方向における端と、第 3 の縁 3 3 の Y 軸の正方向における端とを接続する。第 1 の縁 3 1 の X 軸の正方向における端は、第 1 の縁の他方の端の一例である。第 3 の縁 3 3 の Y 軸の正方向における端は、第 3 の縁の端の一例である。

30

【 0 0 2 3 】

第 2 の角部 3 6 は、第 1 の縁 3 1 の X 軸の正方向における端と、第 3 の縁 3 3 の Y 軸の正方向における端との間で円弧状に延びる。第 2 の角部 3 6 は、正円の円弧状に延びるが、楕円の円弧状に延びても良い。

【 0 0 2 4 】

円弧状に延びる第 2 の角部 3 6 の半径は、0 . 2 mm である。第 1 の縁 3 1 と第 3 の縁 3 3 との角が、いわゆる R 0 . 2 の丸面取りに設定されることで、第 2 の角部 3 6 が設けられる。このように、第 1 の角部 3 5 の形状と第 2 の角部 3 6 の形状とは、互いに異なる。

40

【 0 0 2 5 】

第 3 の角部 3 7 は、第 2 の縁 3 2 の Y 軸の負方向における端と、第 4 の縁 3 4 の X 軸の負方向における端とを接続する。第 4 の角部 3 8 は、第 3 の縁 3 3 の Y 軸の負方向における端と、第 4 の縁 3 4 の X 軸の正方向における端とを接続する。第 3 の角部 3 7 及び第 4 の角部 3 8 はそれぞれ、半径が 0 . 2 mm である円弧状に延びる。

【 0 0 2 6 】

メモリーカード 1 0、筐体 1 1、第 1 の面 2 1、及び第 2 の面 2 2 は、Y 軸方向における長さが約 1.8 ± 0.1 mm に設定され、X 軸方向における長さが約 1.4 ± 0.1 mm に設定される。すなわち、Y 軸方向における第 1 の縁 3 1 と第 4 の縁 3 4 との間の距離が約 1.8 ± 0.1 mm に設定され、X 軸方向における第 2 の縁 3 2 と第 3 の縁 3 3 との間の距

50

離が約 1.4 ± 0.1 mm に設定される。なお、メモリーカード 10、筐体 11、第 1 の面 21、及び第 2 の面 22 の X 軸方向及び Y 軸方向の長さは、この例に限られない。

【0027】

図 2 に示すように、筐体 11 は、傾斜部 39 をさらに有する。傾斜部 39 は、第 1 の面 21 と第 1 の縁 31 との間の角部分であり、第 1 の面 21 の Y 軸の正方向における端と、第 1 の縁 31 の Z 軸の正方向における端との間で直線状に延びる。

【0028】

図 1 に示すように、基板 12、フラッシュメモリ 13、及びカードコントローラ 14 は、筐体 11 の内部に設けられる。基板 12、フラッシュメモリ 13、及びカードコントローラ 14 は、箱型の筐体 11 に収容されても良いし、筐体 11 に埋め込まれても良い。

10

【0029】

基板 12 は、例えばプリント回路板 (PCB) である。なお、基板 12 は他の種類の基板であっても良い。フラッシュメモリ 13 及びカードコントローラ 14 は、基板 12 に実装される。

【0030】

フラッシュメモリ 13 は、情報を記憶可能な不揮発性メモリであり、例えば、NAND 型フラッシュメモリである。なお、フラッシュメモリ 13 は、NOR 型のような他のフラッシュメモリであっても良い。メモリーカード 10 は、例えば、積層された複数のフラッシュメモリ 13 を有しても良い。

【0031】

カードコントローラ 14 は、フラッシュメモリ 13、及び当該フラッシュメモリ 13 を含むメモリーカード 10 の全体を制御可能である。例えば、カードコントローラ 14 は、フラッシュメモリ 13 へのリード/ライト制御及び外部との通信制御を行うことができる。この通信制御には、PCIe (Peripheral Component Interconnect express) で規格 (以下、単に PCIe と称する) に対応したプロトコル制御が含まれる。なお、カードコントローラ 14 は、フラッシュメモリ 13 を制御する他の電子部品を介して、フラッシュメモリ 13 を間接的に制御しても良い。

20

【0032】

保護シート 15 は、第 1 の面 21 に貼り付けられる。保護シート 15 は、例えば、第 1 の面 21 に露出するテスト用の端子を封印する。なお、保護シート 15 はこの例に限られない。

30

【0033】

メモリーカード 10 は、複数の端子 P をさらに有する。本実施形態において、メモリーカード 10 は、26 個の端子 P を有する。なお、端子 P の数はあくまで一例であって、この例に限られない。すなわち、端子 P の数は、26 個より少なくても良いし、26 個より多くても良い。複数の端子 P は、例えば、基板 12 に設けられる。複数の端子 P は、開口 21a により、第 1 の面 21 で露出される。本実施形態において、第 2 の面 22 は、端子 P が設けられず、例えば印刷面や放熱面に利用され得る。

【0034】

本実施形態において、複数の端子 P は、二列に並べられ、第 1 の列 R1 と、第 2 の列 R2 とを形成する。なお、複数の端子 P は、三列以上に並べられ、複数の第 2 の列 R2 を形成しても良い。

40

【0035】

13 個の端子 P が、互いに間隔を介して X 軸方向に並べられ、第 1 の列 R1 を形成する。以下、第 1 の列 R1 を形成する 13 個の端子 P を、端子 P1 ~ P13 と個別に称することがある。なお、第 1 の列 R1 を形成する端子 P の数は、13 個に限られない。第 1 の列 R1 を形成する端子 P は、最も第 2 の縁 32 に近い端子 P1 から順に、最も第 3 の縁 33 に近い端子 P13 まで並べられる。

【0036】

端子 P1 ~ P13 は、第 1 の縁 31 の近傍で、当該第 1 の縁 31 に沿って X 軸方向に並

50

べられる。端子 P 1 ~ P 1 3、及び端子 P 1 ~ P 1 3 によって形成される第 1 の列 R 1 は、第 1 の縁 3 1 から離間している。しかし、第 1 の列 R 1 と第 1 の縁 3 1 との間の距離は、第 1 の列 R 1 と第 4 の縁 3 4 との間の距離よりも短い。なお、端子 P 1 ~ P 1 3 及び第 1 の列 R 1 は、第 1 の縁 3 1 に隣接しても良い。

【 0 0 3 7 】

1 3 個の端子 P が、互いに間隔を介して X 軸方向に並べられ、第 2 の列 R 2 を形成する。以下、第 2 の列 R 2 を形成する 1 3 個の端子 P を、端子 P 1 4 ~ P 2 6 と個別に称することがある。なお、第 2 の列 R 2 を形成する端子 P の数は、1 3 個に限られない。また、第 2 の列 R 2 を形成する端子 P の数は、第 1 の列 R 1 を形成する端子 P の数より多くても良いし少なくとも良い。第 2 の列 R 2 を形成する端子 P は、最も第 2 の縁 3 2 に近い端子 P 1 4 から順に、最も第 3 の縁 3 3 に近い端子 P 2 6 まで並べられる。

10

【 0 0 3 8 】

第 2 の列 R 2 を形成する複数の端子 P は、第 1 の列 R 1 よりも第 1 の縁 3 1 から離れた位置で並べられる。このため、第 2 の列 R 2 は、第 1 の列 R 1 よりも第 1 の縁 3 1 から離れている。第 1 の列 R 1 と第 2 の列 R 2 とは、間隔を介して Y 軸方向に並べられる。

【 0 0 3 9 】

上述のように、複数の端子 P は、X 軸方向に並べられる。この場合、一つの端子 P の少なくとも一部は、Y 軸方向において、隣接する他の端子 P の Y 軸の正方向における端と Y 軸の負方向における端との間の領域に位置する。第 1 の列 R 1 及び第 2 の列 R 2 のそれぞれにおいて、一つの端子 P が、他の端子 P の Y 軸の正方向における端よりも Y 軸の正方向に張り出しても良いし、他の端子 P の Y 軸の負方向における端よりも Y 軸の負方向に張り出しても良い。すなわち、各端子 P の位置は、Y 軸方向にずれても良い。同じ列 R 1 , R 2 の各端子 P の Y 軸の負方向の端を揃えることで、コネクタのコンタクト位置を Y 軸方向に揃えた場合に各端子 P の電気的特性を類似させることができる。

20

【 0 0 4 0 】

複数の端子 P は、互いに異なる形状を有しても良い。例えば、第 1 の列 R 1 において、端子 P 1 , P 4 , P 7 , P 1 0 , P 1 3 の形状と、端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 の形状とは、互いに異なる。さらに、第 2 の列 R 2 において、端子 P 1 4 , P 1 7 , P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 の形状と、端子 P 1 5 , P 1 6 , P 2 0 , P 2 2 , P 2 3 , P 2 6 の形状とは、互いに異なる。さらに、本実施形態において、第 1 の列 R 1 及び第 2 の列 R 2 のそれぞれにおいて、複数の端子 P の間の距離は略一定である。しかし、複数の端子 P の間の距離が異なっても良い。Y 軸方向に装着するコネクタにおいて、メモリーカード 1 0 の電源端子やグランド端子である端子 P 1 , P 4 , P 7 , P 1 0 , P 1 3 , P 1 4 , P 1 7 , P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 が、信号端子である端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 , P 1 5 , P 1 6 , P 2 0 , P 2 2 , P 2 3 , P 2 6 より長く設定される。これにより、コネクタと電源端子及びグランド端子とが最初に接触するため、電氣的に安定になり、信号端子に電氣的ストレスを与えることを回避することができる。カードコントローラ 1 4 に電源が供給される前に信号端子に電圧が印加されると後述のインターフェース回路 5 1 の入力バッファに電氣的ストレスがかかってしまう。

30

40

【 0 0 4 1 】

複数の端子 P には、所定のインターフェース規格に準拠した通信に用いられる信号が割り当てられる。しかし、複数の端子 P に、複数のインターフェース規格に準拠した通信に用いられる信号が割り当てられても良い。

【 0 0 4 2 】

図 3 は、第 1 の実施形態の複数の端子 P の信号割り当ての一例を示す例示的な表である。図 3 に示すように、本実施形態において、第 1 の列 R 1 の複数の端子 P には、P C I e のデータ通信に用いられる信号が割り当てられる。P C I e では、データの通信に差動データ信号ペアを用いることができる。

【 0 0 4 3 】

50

第1の列R1において、端子P1, P4, P7, P10, P13にグランド電位のグランド(GND)が割り当てられ、端子P2, P3, P8, P9に受信差動信号PERp0, PERn0, PERp1, PERn1が割り当てられ、端子P5, P6, P11, P12に送信差動信号PETp0, PETn0, PETp1, PETn1が割り当てられる。

【0044】

端子P1, P4, P7, P10, P13は、グランド端子の一例である。受信差動信号PERp0, PERn0, PERp1, PERn1及び送信差動信号PETp0, PETn0, PETp1, PETn1は、信号及び差動データ信号の一例である。端子P2, P3, P5, P6, P8, P9, P11, P12は、信号端子、第1の信号端子、及び差動データ信号端子の一例である。

10

【0045】

受信差動信号PERp0, PERn0が割り当てられた一对の端子P2, P3は、二つの端子P1, P4の間に位置し、二つの端子P1, P4に囲まれる。送信差動信号PETp0, PETn0が割り当てられた一对の端子P5, P6は、二つの端子P4, P7の間に位置し、二つの端子P4, P7に囲まれる。

【0046】

受信差動信号PERp1, PERn1が割り当てられた一对の端子P8, P9は、二つの端子P7, P10の間に位置し、二つの端子P7, P10に囲まれる。送信差動信号PETp1, PETn1が割り当てられた一对の端子P11, P12は、二つの端子P10, P13の間に位置し、二つの端子P10, P13に囲まれる。

20

【0047】

PCIeでは、データをシリアル伝送するが、受信回路でクロックを生成できるようにするためと、データに同じ論理レベルが連続することで電圧レベルがハイレベル又はローレベルに偏ることを避けるために、ある単位毎にコード化される。コード化には、8B10Bや128b/130bなどの方式が用いられる。このコード化により平均信号電圧レベルがコモン電圧付近にすることができ、受信閾値レベルからの差異を少なくできる。また受信側は、データの変化点から受信クロックを生成することで、データの時間的変動に追従した受信クロックが生成できるため安定したデータ受信が可能となる。複数のレーン(差動データ信号の上り下りのペア)間で偏りがある場合でも、それぞれレーンで独立に受信回路を構成して受信データの開始位置を揃えることで、レーン間スキューをキャンセルすることができる。

30

【0048】

例えば、PCIe 3.0の場合の最大転送速度は1レーン当たり2Gバイト/秒(上り下りの合計)である。PCIeでは、一組の送信差動信号PETp0, PETn0及び受信差動信号PERp0, PERn0で1レーンを構成することができる。また、PCIeでは、一組の送信差動信号PETp1, PETn1及び受信差動信号PERp1, PERn1でさらに1レーンを構成することができる。このように、第1の列R1を形成する複数の端子Pに2レーンが割り当てられるため、PCIeのレーン数を増大させることができ、データ転送速度を向上させることができる。

【0049】

PCIeでは、初期化時に複数レーン構成を認識して、一つのデータを複数レーンで転送することができる。なお、ホスト機器が複数レーンに対応していない場合、メモリーカード10は1レーンモードで動作可能である。

40

【0050】

端子P2, P3, P5, P6, P8, P9, P11, P12は、PCIeに準拠した差動データ信号の伝送を行い、双方向通信を可能とする。端子P2, P3, P5, P6, P8, P9, P11, P12は、周波数がGHz帯の差動データ信号を伝送する。

【0051】

PCIeでの通信の制御に用いられる制御信号が、第2の列R2の複数の端子Pに割り当てられる。第2の列R2において、端子P14, P17にGNDが割り当てられ、端子

50

P 1 5 , P 1 6 にレファレンス差動クロック信号 R E F C L K p , R E F C L K n が割り当てられ、端子 P 1 8 , P 1 9 に第 2 の電源 (パワーレール) P W R 2 が割り当てられ、端子 P 2 0 にリセット信号 P E R S T # が割り当てられ、端子 P 2 1 に第 1 の電源 (パワーレール) P W R 1 が割り当てられ、端子 P 2 2 にパワーマネジメント制御信号 C L K R E Q # が割り当てられ、端子 P 2 3 , P 2 6 に制御信号 C N T A , C N T B が割り当てられ、端子 P 2 4 , P 2 5 に第 3 の電源 (パワーレール) P W R 3 が割り当てられる。

【 0 0 5 2 】

端子 P 1 5 , P 1 6 , P 2 0 , P 2 2 , P 2 3 , P 2 6 は、信号端子及び第 2 の信号端子の一例である。端子 P 1 5 , P 1 6 は、差動クロック信号端子の一例である。端子 P 2 0 , P 2 2 , P 2 3 , P 2 6 は、シングルエンド信号端子の一例である。端子 P 2 0 , P 2 2 は、サイドバンド信号端子の一例である。端子 P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 は、電源端子の一例である。端子 P 1 8 , P 1 9 は、第 2 の電源端子の一例である。P 2 1 は、第 1 の電源端子の一例である。端子 P 2 4 , P 2 5 は、第 3 の電源端子の一例である。電源端子として複数の端子 P が設けられることにより、電流が分散し、一つの端子当たりに流れる電流が小さくなり、電源回路から電源端子までの間に存在する抵抗成分によるドロップ電圧を小さくすることができる。

10

【 0 0 5 3 】

レファレンス差動クロック信号 R E F C L K p / n は、2 本で差動クロック信号を構成する。ホスト機器から端子 P 1 5 , P 1 6 に周波数が M H z 帯のクロック信号を伝送されることにより、メモリーカード 1 0 は、当該メモリーカード 1 0 が装着されたホスト機器との同期を容易化することができる。このように、端子 P 1 5 , P 1 6 が伝送に用いられるクロック信号の周波数は、端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 が伝送に用いられる差動データ信号の周波数よりも低くし正弦波に近い波形にすることで E M I の発生を低くできる。

20

【 0 0 5 4 】

ホスト機器は、例えば、パーソナルコンピュータのような情報処理装置、携帯電話、デジタルカメラ、撮像装置、タブレットコンピュータやスマートフォンのような携帯端末、ゲーム機器、カーナビゲーションシステムのような車載端末、又は他の装置である。

【 0 0 5 5 】

メモリーカード 1 0 は、受信したレファレンス差動クロックを P L L 発振回路で逡倍してビットクロックを生成する。データはビットクロックに同期して、送信差動信号 P E T p 0 , P E T n 0 , P E T p 1 , P E T n 1 から出力される。受信差動信号 P E R p 0 , P E R n 0 , P E R p 1 , P E R n 1 から読み込まれたデータは、ビットクロックに同期して一つのデータとして揃えられる。つまり前記コードから生成した受信クロックにより一旦受信したデータをレファレンス差動クロックに再同期することが可能となる。

30

【 0 0 5 6 】

リセット信号 P E R S T # は、P C I e での通信に用いられるバスをホスト機器がリセットするために用いることができる。P C I e のリセット解除のタイミング規定により P C I e 差動レーンの初期化開始タイミングが規定される。このリセット信号 P E R S T # は、エラー発生時などにホスト機器がメモリーカード 1 0 の再初期化を行う時に用いることができる。

40

【 0 0 5 7 】

パワーマネジメント制御信号 C L K R E Q # は、パワーセービングモードから復帰するためのクロックとして用いることができる。パワーセービングモードでは、データ転送に用いられる高周波ビットクロックを停止させることで、消費電力を低減することができる。

【 0 0 5 8 】

制御信号 C N T A , C N T B は、種々の機能を制御するため用いられ得る。例えば後述するように、P C I e の初期化に電源電圧 P W R 3 が必要か、電源電圧 P W R 2 が必要か、電源電圧 P W R 1 だけで動作可能かを判別できるようにするため、制御信号 C N T B を

50

用いることができる。

【0059】

リセット信号 $P E R S T \#$ 、パワーマネジメント制御信号 $C L K R E Q \#$ 、及び制御信号 $C N T A$ 、 $C N T B$ は、シングルエンド信号である。また、リセット信号 $P E R S T \#$ 及びパワーマネジメント制御信号 $C L K R E Q \#$ は、 $P C I e$ のサイドバンド信号である。

【0060】

メモリーカード10が $P C I e$ での通信をサポートすることにより、 $P C I e$ の標準的な物理層 ($P H Y : P h y s i c a l L a y e r$) を用いることができる。このため、メモリーカード10のデータの転送速度を上げるための設計の容易化と開発コストの低減を図ることができる。

10

【0061】

さらに、メモリーカード10が $P C I e$ での通信をサポートすることにより、 $P C I e$ のデータリンク層に $N V M e (N o n V o l a t i l e M e m o r y e x p r e s s)$ を採用することができる。このため、データ転送時のオーバーヘッドを低減させることができ、データ転送効率を向上させることができる。

【0062】

ホスト機器は、端子 $P 2 1$ に、第1の電源としての電源電圧 $P W R 1$ を供給することができる。電源電圧 $P W R 1$ は、本実施形態において、 $3.3 V$ に設定される。電源電圧表記は中央値を示し、ある程度の電圧変動幅は許容されている。電源電圧 $P W R 1$ は、例えば、 $2.5 V$ 以上 $3.3 V$ 以下の範囲に設定され得るが、この例に限られない。

20

【0063】

ホスト機器は、端子 $P 1 8$ 、 $P 1 9$ に、第2の電源としての電源電圧 $P W R 2$ を供給することができる。電源電圧 $P W R 2$ は、第2の電源電圧の一例である。電源電圧 $P W R 2$ は、本実施形態において、 $1.8 V$ に設定される。すなわち、電源電圧 $P W R 2$ は、電源電圧 $P W R 1$ 以下である。電源電圧 $P W R 2$ は、例えば、 $1.2 V$ 以上 $1.8 V$ 以下の範囲に設定され得るが、この例に限られない。

【0064】

ホスト機器は、端子 $P 2 4$ 、 $P 2 5$ に、第3の電源としての電源電圧 $P W R 3$ を供給することができる。電源電圧 $P W R 3$ は、第1の電源電圧の一例である。電源電圧 $P W R 3$ は、本実施形態において、 $1.2 V$ に設定される。すなわち、電源電圧 $P W R 3$ は、電源電圧 $P W R 2$ 以下である。電源電圧 $P W R 3$ は、この例に限られない。

30

【0065】

図4は、第1の実施形態のメモリーカード10の配線を模式的に示す例示的な平面図である。図4に示すように、カードコントローラ14は、第1の列 $R 1$ と第2の列 $R 2$ との間に位置する。なお、カードコントローラ14は、他の位置に配置されても良く、例えば、第1の列 $R 1$ に含まれる端子 P の Y 軸の正方向の端と、第2の列 $R 2$ に含まれる端子 P の Y 軸の負方向の端と、の間に位置する。また、カードコントローラ14は、当該カードコントローラ14の Y 軸の正方向の端と Y 軸の負方向の端との間に第2の列 $R 2$ に含まれる端子 P が位置するように配置されても良い。

40

【0066】

カードコントローラ14は、複数の接続端子 $C P$ を有する。複数の接続端子 $C P$ は、受信差動信号 $P E R p 0$ 、 $P E R n 0$ 、 $P E R p 1$ 、 $P E R n 1$ 及び送信差動信号 $P E T p 0$ 、 $P E T n 0$ 、 $P E T p 1$ 、 $P E T n 1$ が割り当てられたカードコントローラ14の端子である。複数の接続端子 $C P$ は、カードコントローラ14の一部の辺14a設けられ、第1の列 $R 1$ と第2の列 $R 2$ との間に位置する。接続端子 $C P$ は、端子 P との間の配線が交差しないように配置することが望ましい。

【0067】

メモリーカード10は、複数の配線 W と、複数のグランドプレーン41と、複数の電源配線42と、複数の $E S D$ 保護ダイオード43とをさらに有する。図4は説明のため、カ

50

ードコントローラ 14 と、端子 P と、配線 W と、グランドプレーン 41 と、電源配線 42 と、ESD 保護ダイオード 43 とを同一平面に模式的に示す。また、図 4 は説明のため、グランドプレーン 41 と電源配線 42 とにハッチングを付す。

【0068】

本実施形態において、複数の端子 P は、複数の配線 W、複数のグランドプレーン 41、及び複数の電源配線 42 が互いに重ならないように割り当てられる。このため、配線 W、グランドプレーン 41、電源配線 42 は、ピアホール無しに効率良く配線される。

【0069】

複数の配線 W は、カードコントローラ 14 の接続端子 CP と、端子 P2, P3, P5, P6, P8, P9, P11, P12 とを接続する配線 W2, W3, W5, W6, W8, W9, W11, W12 を含む。さらに、複数の配線 W は、カードコントローラ 14 と、端子 P15, P16, P20, P22, P23, P26 とを接続する配線 W15, W16, W20, W22, W23, W26 を含む。

【0070】

配線 W2, W3, W5, W6, W8, W9, W11, W12 の長さは、互いに等しく設定される。さらに、配線 W2, W3, W5, W6, W8, W9, W11, W12 は、端子 P7 の中心を通過して Y 軸方向に延びる中心軸 Ax に対して鏡面对称に設けられる。このため、配線 W2, W3, W5, W6, W8, W9, W11, W12 の設計が容易となる。また、配線 W15, W16 の長さは、互いに等しく設定される。

【0071】

配線 W2, W3, W5, W6, W8, W9, W11, W12 は、等長に配線し線間スキューをなくす。長さを調整するために配線を曲げる必要があるが、通常なめらかな曲線でパターンを引くことが難しいため、配線方向を変えるときは 90°ではなく、複数の箇所 で 45°に曲げている。配線 W の幅は曲げ部分で若干広くなってしまうが、特性インピーダンスの変化が起こり、そこからノイズが発生してしまう。90°に比べ 45°の方が幅の変動が少ないためノイズの発生が抑制される。

【0072】

複数のグランドプレーン 41 は、配線 W2, W3, W5, W6, W8, W9, W11, W12, W15, W16 を囲む。別の表現によれば、配線 W2, W3, W5, W6, W8, W9, W11, W12, W15, W16 は、複数のグランドプレーン 41 の間を通される。これにより、差動信号ごとにリターンパスを確保することができ、差動信号間の相互干渉を低減して作動信号レベルが安定化される。

【0073】

電源配線 42 は、端子 P18, P19, P21, P24, P25 に接続される。電源配線 42 の幅は、配線 W の幅よりも広い。このため、電源配線 42 を流れることが可能な電流が大きくなるとともに、電源配線 42 を介した放熱が効率良く行える。また、メモリーカード 10 は、複数の端子 P から放熱できる。

【0074】

ホスト電源出力とメモリーカード端子の間には配線やコネクタの抵抗成分やインダクタンス成分が存在するため電圧降下が発生する。電源電圧の許容変動範囲が、電源電圧に対して一定の割合である場合、電圧が低いほど許容電圧変動幅が小さくなる。したがって前記電圧降下があるため、電源電圧が低い程ホスト機器からカード端子の電源電圧を許容電圧変動幅に収めるように電源電圧を制御することが難しくなる。

【0075】

一方で、ホスト機器のコネクタや、電源配線 42 を含む配線の抵抗値は、同一基板、同一コネクタであれば電圧にかかわらず同じ抵抗値である。このため、電源電圧が低いと、一つの端子 P に流すことができる電流値が小さくなる。

【0076】

本実施形態では、電源電圧 PWR2 は、二つの端子 P18, P19 に流される。さらに、電源電圧 PWR3 は、二つの端子 P24, P25 に流される。このように、複数の端子

10

20

30

40

50

P 1 8 , P 1 9 , P 2 4 , P 2 5 に電流が分配され、一つの端子 P あたりの電流値が小さくされることで、電源配線 4 2 やホスト機器のコネクタの抵抗成分によるドロップ電圧を小さくすることができる。従って、ホスト機器が電源電圧を許容電圧変動幅に収めやすくなる。さらに、電源電圧 P W R 2 , P W R 3 が同じ電圧に設定することで、より大きな電流を供給することができる。

【 0 0 7 7 】

また、通常 P W R 1 は $3.3 \text{ V} \pm 5 \%$ 、P W R 2 は $1.8 \text{ V} \pm 5 \%$ であるが、上述のように、電源電圧 P W R 1 が $2.5 - 5 \% \sim 3.3 \text{ V} + 5 \%$ のように下側により広い電圧レンジに設定され、電源電圧 P W R 2 が $1.2 - 5 \% \sim 1.8 \text{ V} + 5 \%$ のように下側により広い電圧レンジに設定しても良い。これにより、電圧を下げて消費電力を低減することが可能となる。

【 0 0 7 8 】

E S D 保護ダイオード 4 3 は、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 のそれぞれと、グランドプレーン 4 1 とを接続する。E S D 保護ダイオード 4 3 は、端子 P と接続端子 C P との間に配置され、端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 から侵入する静電気を吸収する。

【 0 0 7 9 】

複数の接続端子 C P が第 1 の列 R 1 と第 2 の列 R 2 との間に位置することで、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 は、他の配線や他の部品を迂回したり、第 2 の列 R 2 に含まれる複数の端子 P の間を通過したりすることが無いように設定可能となる。このため、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 の長さを短くすることができるとともに、E S D 保護ダイオード 4 3 を効果的に配置可能である。本実施形態では、E S D 保護ダイオード 4 3 は、第 1 の列 R 1 に含まれる端子 P の近傍に配置される。

【 0 0 8 0 】

メモリーカード 1 0 は、ホスト機器のコネクタに装着される。例えば、メモリーカード 1 0 は、プッシュブルのコネクタのスロットに挿入されることで、当該コネクタに装着される。なお、メモリーカード 1 0 は、他のタイプのコネクタに装着されても良い。

【 0 0 8 1 】

本実施形態のメモリーカード 1 0 は、切欠き C が設けられる図 1 の第 1 の縁 3 1 から、コネクタのスロットに挿入される。これにより、メモリーカード 1 0 がコネクタに装着された状態において、第 1 の縁 3 1 は、第 4 の縁 3 4 よりもコネクタの奥に位置する。

【 0 0 8 2 】

第 1 の角部 3 5 が第 1 の縁 3 1 と第 2 の縁 3 2 との間に切欠き C を形成することで、メモリーカード 1 0 が表裏逆にコネクタのスロットに挿入されることが防止される。例えば、メモリーカード 1 0 が正しい向きでコネクタのスロットに挿入されると、切欠き C がコネクタの内部の部材を避ける。一方、メモリーカード 1 0 が表裏逆にコネクタのスロットに挿入されると、コネクタの内部の部材が、例えば第 2 の角部 3 6 に干渉し、メモリーカード 1 0 が完全に挿入されることを妨げる。また、Y 軸方向を逆向きに、第 4 の縁からメモリーカード 1 0 をコネクタに挿したときも、同様にメモリーカード 1 0 はコネクタに装着できない。第 1 の縁 3 1 と第 3 の縁 3 3 との間に形成される第 2 の角部 3 6 付近において、X 軸方向の縁と Y 軸方向の縁がコネクタに密着することにより、コネクタとメモリーカード 1 0 の回転方向のズレを少なくすることができる。

【 0 0 8 3 】

メモリーカード 1 0 がコネクタに挿入されると、コネクタのリードフレームが、複数の端子 P のそれぞれに接触する。メモリーカード 1 0 に傾斜部 3 9 が設けられ、メモリーカード 1 0 の先端がテーパ状になっている。このため、リードフレームが傾斜部 3 9 にガイドされることができ、例えば、リードフレームと筐体 1 1 との間の摩擦が低減される。従って、リードフレームのメッキが剥離することが抑制され、コネクタの耐摩耗性が向上する。

10

20

30

40

50

【 0 0 8 4 】

リードフレームが端子 P に接触すると、HOST 機器のコントローラ（以下、HOST コントローラと称する）と、メモリーカード 1 0 のカードコントローラ 1 4 とが、HOST 機器の配線や、メモリーカード 1 0 の配線 W を介して電氣的に接続される。

【 0 0 8 5 】

HOST 機器の基板に実装するためのコネクタの端子のような、コネクタの HOST コントローラ側の接続点は、一般的に、コネクタのスロットの奥側（図 1 の上方向）に設けられる。このため、第 1 の列 R 1 を形成する端子 P 及びリードフレームの接触点と、HOST コントローラとの間の配線の長さは、より短くされやすい。一方、第 2 の列 R 2 を形成する端子 P 及びリードフレームの接触点と、HOST コントローラとの間の配線の長さは、例えば、第 1 の列 R 1 を迂回するため、より長くなりやすい。

10

【 0 0 8 6 】

本実施形態のメモリーカード 1 0 では、HOST コントローラまでの配線長がより短くなる第 1 の列 R 1 に、高速な差動データ信号の伝送を行う端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 が含まれるようになっている。これにより、HOST 機器の物理層（PHY）とメモリーカード 1 0 の物理層（PHY）とが近くなり、メモリーカード 1 0 の差動データ信号の伝送において、シグナルインテグリティを確保しやすくなる。

【 0 0 8 7 】

図 5 は、第 1 の実施形態のメモリーカード 1 0 の構成の第 1 の例を概略的に示す例示的なブロック図である。カードコントローラ 1 4 は、インターフェース回路（I / F）5 1 と、物理層及びメモリコントローラ 5 2 と、二つのレギュレータ 5 3 , 5 4 と、電源チェック回路 5 5 とを有する。カードコントローラ 1 4 の物理層及びメモリコントローラ 5 2 は、図 5 において一つのブロックに示されるとともに、以下でも一体的に説明される。

20

【 0 0 8 8 】

I / F 5 1 は、シングルエンド信号に対応することができる。I / F 5 1 には、例えば、入力バッファ及び出力バッファが設けられる。入力バッファには、端子 P 2 0 , P 2 2 , P 2 3 から、リセット信号 P E R S T #、パワーマネジメント制御信号 C L K R E Q #、及び制御信号 C N T A を入力することができる。出力バッファは、端子 P 2 2 , P 2 6 を通じて、パワーマネジメント制御信号 C L K R E Q # に対するレスポンス及び制御信号 C N T B を出力することができる。

30

【 0 0 8 9 】

物理層及びメモリコントローラ 5 2 は、差動信号に対応することができる。物理層及びメモリコントローラ 5 2 には、レシーバ及びトランスミッタが設けられる。レシーバには、受信差動信号 P E R p 0 , P E R n 0 , P E R p 1 , P E R n 1 を入力することができる。トランスミッタは、送信差動信号 P E T p 0 , P E T n 0 , P E T p 1 , P E T n 1 を出力することができる。

【 0 0 9 0 】

物理層及びメモリコントローラ 5 2 と、電源チェック回路 5 5 とは、I / F 5 1 に接続される。物理層及びメモリコントローラ 5 2 は、フラッシュメモリ 1 3 に接続される。カードコントローラ 1 4 には、P C I e の物理層の他、P C I e のデータリンク層及びトランザクション層が設けられても良い。

40

【 0 0 9 1 】

物理層及びメモリコントローラ 5 2 は、シリアル / パラレル変換、パラレル / シリアル変換、及びデータのシンボル化などを行うことができる。当該シンボル化は、データの 0 又は 1 が連続する時に、前記 8 B 1 0 B や 1 2 8 b / 1 3 0 b などのコードの中から、0 又は 1 が連続しないシンボルに置き換えることで、同じ値の連続回数を所定値以下に抑える処理である。このシンボル化により、データ伝送時の電圧レベルの偏りを抑えることができる。また、同一シンボルパターンを繰り返し転送すると、特定の周波数の高周波が大きくなってしまいが、繰り返しパターンの異なる複数のシンボルに切り替えることで、特定の周波数の高調波が大きくなるようにすることができ

50

【 0 1 0 2 】

図 6 は、第 1 の実施形態のメモリーカード 1 0 の構成の第 2 の例を概略的に示す例示的なブロック図である。図 6 に示すように、電源電圧 P W R 2 は、レギュレータ 5 3 , 5 4 に供給されても良い。さらに、電源電圧 (第 3 の電源) P W R 3 が割り当てられた端子 P 2 4 , P 2 5 が、グランドレベルにされても良い。これは電源電圧 P W R 1 と電源電圧 P W R 2 の 2 電源で動作するメモリーカード 1 0 を使用する場合である。

【 0 1 0 3 】

図 6 の例のように、レギュレータ 5 4 は、入力された電源電圧 P W R 2 よりも低い電源電圧 V l o g i c を生成する。この電源電圧 V l o g i c が、電源電圧 P W R 2 の代わりに、フラッシュメモリ 1 3 と、カードコントローラ 1 4 の物理層及びメモリコントローラ 5 2 に供給される。電源電圧 V l o g i c は、ロジック回路の電源として用いられるとともに、フラッシュメモリ 1 3 とカードコントローラ 1 4 との間のインターフェース電圧としても用いられる。インターフェース電圧が低減されることで、フラッシュメモリ 1 3 とカードコントローラ 1 4 との間で高速でデータ転送をすることができ、消費電力も低減される。一般に信号電圧が低い方が信号の立ち上がり / 立ち下がり時間を短くできるため高速なデータ伝送が可能となる。

10

【 0 1 0 4 】

図 6 の例のように、端子 P 2 4 , P 2 5 がグランド接続されると、レギュレータ 5 3 は、入力された電源電圧 P W R 2 から、当該電源電圧 P W R 2 よりも低い電源電圧 P W R 3 を生成する。環境などの理由によりホスト機器から安定した電源電圧 P W R 3 の供給が難しい場合、レギュレータ 5 3 により生成された電源電圧 P W R 3 を用いることで問題を解消できる。

20

【 0 1 0 5 】

電源電圧 P W R 3 , V l o g i c は、ともに電源電圧 P W R 2 から生成される。電源電圧 P W R 3 と電源電圧 V l o g i c とは、互いに同じ電圧でも異なった電圧でも良いが、電源分離して相互に影響しないようにするために別々なレギュレータ 5 3 及びレギュレータ 5 4 で電源電圧を生成している。また、レギュレータ 5 3 , 5 4 として L D O (L o w D r o p O u t) が用いられることで、入出力電圧差による無駄な消費電力を低減できる。

【 0 1 0 6 】

図 6 の破線で示すように、レギュレータ 5 3 が電源電圧 P W R 1 から電源電圧 P W R 3 を生成し、レギュレータ 5 4 が電源電圧 P W R 1 から電源電圧 V l o g i c を生成しても良い。すなわち、メモリーカード 1 0 は、電源電圧 P W R 1 があれば動作し得る。

30

【 0 1 0 7 】

以上のように、メモリーカード 1 0 は、端子 P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 に印加される電源電圧 P W R 1 、電源電圧 P W R 1 , P W R 2 、又は電源電圧 P W R 1 , P W R 2 , P W R 3 により動作し得る。メモリーカード 1 0 は、端子 P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 に印加される電源電圧 P W R 1 , P W R 2 , P W R 3 の組合せに応じて、電源モードを切り替え可能であっても良い。

【 0 1 0 8 】

ホスト機器は、以下の電源チェックシーケンスにより、フラッシュメモリ 1 3 に保存されたメモリーカード 1 0 の電源仕様情報 1 3 a を取得することで、メモリーカード 1 0 の電源構成に対応することができる。電源仕様情報 1 3 a は、例えば、電源電圧 P W R 1 , P W R 2 , P W R 3 の電圧範囲、最大電流 (連続) 、及びピーク電流 (1 0 0 μ 秒区間) を含む。

40

【 0 1 0 9 】

図 7 は、第 1 の実施形態のメモリーカード 1 0 の電源チェックシーケンスにおけるホスト機器の動作を示す例示的なフローチャートである。ホスト機器がフラッシュメモリ 1 3 から電源仕様情報 1 3 a を取得する前に、P C I e の初期化が行われる。このため、ホスト機器は、電源チェックシーケンスにおいて、供給する電源電圧 P W R 1 , P W R 2 , P

50

WR 3 の組み合わせで初期化が開始可能か否かを判定する。

【0110】

図7に示すように、ホスト機器は、コネクタのスロットに挿入されたメモリーカード10の端子P18, P19に、電源電圧PWR2を供給(印加)する(S1)。

【0111】

図5に示すように、電源チェック回路55に、電源電圧PWR2が入力される。電源チェック回路55は、印加された電源電圧PWR2によってPCIeによる初期化が開始できる場合、CNTB=Highをドライブする。この時点でPWR1は供給されていないが、初期化を開始する前にPWR1は供給されると想定している。

【0112】

電源チェック回路55は、印加された電源電圧PWR2によってPCIeによる初期化が開始できない場合、CNTB=Lowのままとする。

【0113】

ホスト機器は、一定時間Tpok経過後(S2)、制御信号CNTBのレベルをチェックする(S3)。電源チェック回路55は、時間Tpokの間に制御信号CNTBのレベルをLowからHighに切り替えることができる。このため、ホスト機器は、時間Tpok経過後に制御信号CNTBのレベルを一度チェックすれば良い。CNTB=Lowのままである場合(S3:No)、ホスト機器は、メモリーカード10の端子P24, P25に電源電圧PWR3を供給(印加)する(S4)。

【0114】

電源チェック回路55は、印加された電源電圧PWR3によってPCIeによる初期化が開始できる場合、CNTB=Highをドライブする。この時点でPWR1は供給されていないが、初期化を開始する前にPWR1は供給されると想定している。一方、電源チェック回路55は、印加された電源電圧PWR3によってPCIeによる初期化が開始できない場合、CNTB=Lowのままとする。例えば、電源チェック回路55は、電源電圧PWR1によってPCIeによる初期化が開始可能である場合、CNTB=Lowのままとする。

【0115】

ホスト機器は、一定時間Tpok経過後(S5)、制御信号CNTBのレベルをチェックする(S6)。CNTB=Lowのままである場合(S6:No)、ホスト機器は、印加と逆の順番で、電源電圧PWR3をオフにし(S7)、電源電圧PWR2をオフにする(S8)。この例ではカードが使わない電源をオフにしているが、カードの未使用電源は入れたままにしておくこともできる。

【0116】

制御信号CNTBのレベルチェック時にCNTB=Highであった場合(S3:Yes、S6:Yes)、又は電源電圧PWR2をオフにした場合(S8)、ホスト機器は、メモリーカード10の端子P21に電源電圧PWR1を供給(印加)する(S9)。つまり初期化を開始する前に電源電圧PWR1はいつも供給される。

【0117】

上記のように、端子P21に電源電圧PWR1が印加されていない場合、端子P26に出力する制御信号CNTBは、電源チェック回路55の結果の出力に用いられる。メモリーカード10は、電源チェック回路55が電源電圧PWR1を検知すると、端子P26に出力するCNTBは別な用途の出力信号に切り替えることができる。また、制御信号CNTBは、電源電圧PWR2の信号電圧で出力されるため、電源チェックシーケンスにおいて電源電圧PWR2が最初に印加される。

【0118】

次に、ホスト機器は、PCIeのトレーニングシーケンスを実行する(S10)。このトレーニングシーケンスにより、物理層の検出、物理層のトレーニング等が行われ、ホスト機器とメモリーカード10とが通信可能となって、MMIOレジスタが読み出せる状態となる。

10

20

30

40

50

【 0 1 1 9 】

図 8 は、第 1 の実施形態の電源仕様情報 1 3 a の一例を示す例示的な表である。図 8 に例示される電源仕様情報 1 3 a は、電源要求仕様として記載されるレジスタ情報であり、上述のように電源電圧 P W R 1 , P W R 2 , P W R 3 の電圧範囲、最大電流（連続）、及びピーク電流（例えば 1 0 0 μ 秒区間）を含む。

【 0 1 2 0 】

最大電流（連続）は、メモリーカード 1 0 のメモリアクセス時に用いられる連続電流値である。ホスト機器の電源回路は、連続でこの電流値を供給することが要求される。

【 0 1 2 1 】

ピーク電流（1 0 0 μ 秒区間）は、例えば、1 0 0 μ 秒区間で測定した場合に流れるピーク電流値であり、ホスト機器の電源設定におけるカップリングコンデンサの容量や、電源回路の応答特性に影響される。ホスト機器の電源回路は、当該ピーク電流を供給可能であることが要求される。

【 0 1 2 2 】

電圧範囲は、電源電圧が変動を許容される範囲である。ホスト機器の電源回路は、配線やコネクタのドロップ電圧が存在しても、端子 P における電源電圧が当該電圧範囲に入るように電圧を保持することが要求される。

【 0 1 2 3 】

さらに、電源仕様情報 1 3 a は、電源電圧 P W R 3 がレギュレータ 5 3 によって生成されるか否かを示す情報を含む。上述のように、レギュレータ 5 3 は、端子 P 2 4 , P 2 5 に電源電圧 P W R 3 が印加されない場合、電源電圧 P W R 2 から電源電圧 P W R 3 を生成可能である。なお、メモリーカード 1 0 は、レギュレータ 5 3 を有していても、端子 P 2 4 , P 2 5 に印加された電源電圧 P W R 3 を用いて良い。

【 0 1 2 4 】

図 7 に示すように、ホスト機器は、フラッシュメモリ 1 3 から電源仕様情報 1 3 a を読み出す（S 1 1）。電源仕様情報 1 3 a は、例えば、M M I O 上にマッピングされた N V M e レジスタの V e n d o r S p e c i f i c 領域に配置されており、物理層及びメモリコントローラ 5 2 を経由して、差動データ信号で出力される。ホスト機器は、差動データ信号をデコードすることで、システムメモリ上に電源仕様情報 1 3 a を復元する。

【 0 1 2 5 】

ホスト機器は、読み出した電源仕様情報 1 3 a の電源要求仕様と、当該ホスト機器の電源回路仕様とを比較して、メモリーカード 1 0 が使用可能か否かを判断する（S 1 2）。ホスト機器が電源要求仕様を全て満足している場合（S 1 2 : Y e s）、ホスト機器がフラッシュメモリ 1 3 にアクセスするための十分な電源回路を実装しているので、メモリーカード 1 0 は使用可能と判断される（S 1 3）。

【 0 1 2 6 】

ホスト機器が電源要求仕様を満足していない場合（S 1 2 : N o）、ホスト機器は、電源電圧 P W R 1 , P W R 2 , P W R 3 の調停が可能か否かを判断する（S 1 4）。例えば、電源電圧 P W R 1 が不足している場合、ホスト機器は、P C I e で定義されている S l o t P o w e r L i m i t で最大電力を制限することによりメモリーカード 1 0 が使用可能であれば（S 1 4 : Y e s）、当該調停を行って（S 1 5）、メモリーカード 1 0 が使用可能と判断する（S 1 3）。一方、調停ができない場合（S 1 4 : N o）、ホスト機器は、メモリーカード 1 0 を使用しない（S 1 6）。

【 0 1 2 7 】

メモリーカード 1 0 は、複数の電力モードを実装することができる。例えば、上述のように、メモリーカード 1 0 は、S l o t P o w e r L i m i t（最大消費電力の上限設定機能）を実装可能である。

【 0 1 2 8 】

ホスト機器は電源能力に応じて、使用可能な S l o t P o w e r L i m i t を P C I e パケットでメモリーカード 1 0 に設定する。例えば図 8 に示すように、本実施形態の

10

20

30

40

50

メモリーカード10は、三つのSlot Power Limitをサポートした例である。なお、メモリーカード10はこの例に限られない。ピーク電流はSlot Power Limitに依存しないため、共通の設定となっている。

【0129】

Slot Power Limit Aは、Slot Power Limit Bよりも消費電力が大きい。また、Slot Power Limit Bは、Slot Power Limit Cよりも消費電力が大きい。消費電力が大きいほど性能は高くなる。ホスト機器の電源回路がSlot Power Limit Aを満足しない場合、Slot Power Limit Bに設定されることで、ホスト機器はメモリーカード10を使うことができる。Slot Power Limitの選択肢は、例えば、他のPCIeレジスタで与えられる。

10

【0130】

図9は、第1の実施形態のメモリーカード10の電源チェックシーケンスにおける第1の例を示す例示的なタイミングチャートである。以下、図7及び図9を参照して、電源チェックシーケンスにおける第1の例を説明する。当該第1の例に係るメモリーカード10は、電源電圧PWR3を用いることで、PCIeによる初期化を開始することができる。また、図9において、図7の各動作に対応するタイミングに、当該図7に対応する符号を付与する。

【0131】

まず、ホスト機器が、メモリーカード10の端子P18, P19に電源電圧PWR2を供給する(S1)。メモリーカード10の初期化には電源電圧PWR3が用いられるので、一定時間T_{po k}が経過しても(S2)、制御信号CNTBのレベルはLowのままである(S3: No)。このため、ホスト機器は、メモリーカード10の端子P24, P25に電源電圧PWR3を供給する(S4)。

20

【0132】

電源電圧PWR3が供給されることで、CNTB = Highとなる。このため、一定時間T_{po k}経過後(S5)、CNTBのレベルチェック時にCNTB = Highとなっているため(S6: Yes)、ホスト機器は端子P21に電源電圧PWR1を供給する(S9)。つまり、ホストは3電源を要するメモリーカード10であると認識できる。

【0133】

図10は、第1の実施形態のメモリーカード10の電源チェックシーケンスにおける第2の例を示す例示的なタイミングチャートである。以下、図7及び図10を参照して、電源チェックシーケンスにおける第2の例を説明する。当該第2の例に係るメモリーカード10は、レギュレータ53により電源電圧PWR2から電源電圧PWR3を生成でき、電源電圧PWR2を用いることでPCIeによる初期化を開始することができる。

30

【0134】

まず、ホスト機器が、メモリーカード10の端子P18, P19に電源電圧PWR2を供給する(S1)。電源電圧PWR2が供給されることで、CNTB = Highとなる。このため、一定時間T_{po k}経過後(S2)、CNTBのレベルチェック時にCNTB = Highとなっているため(S3: Yes)、ホスト機器は端子P21に電源電圧PWR1を供給する(S9)。時間T_{po k}は、例えば、レギュレータ53が生成する電源電圧PWR3が安定するために十分な時間に設定される。つまり、ホストはPWR1とPWR2の2電源を要するメモリーカード10であると認識できる。

40

【0135】

図11は、第1の実施形態のメモリーカード10の電源チェックシーケンスにおける第3の例を示す例示的なタイミングチャートである。以下、図7及び図11を参照して、電源チェックシーケンスにおける第3の例を説明する。当該第3の例に係るメモリーカード10は、レギュレータ53により電源電圧PWR1から電源電圧PWR3を生成でき、電源電圧PWR1を用いることでPCIeによる初期化を開始することができる。

【0136】

50

まず、ホスト機器が、メモリーカード10の端子P18, P19に電源電圧PWR2を供給する(S1)。メモリーカード10の初期化には電源電圧PWR1が用いられるので、一定時間Tpokが経過しても(S2)、制御信号CNTBのレベルはLowのままである(S3:No)。

【0137】

ホスト機器は、メモリーカード10の端子P24, P25に電源電圧PWR3を供給する(S4)。一定時間Tpokが経過しても(S5)、制御信号CNTBのレベルはLowのままである(S6:No)。このため、ホスト機器は、電源電圧PWR3(S7)、電源電圧PWR2をオフとし(S8)、端子P21に電源電圧PWR1を供給する(S9)。つまり、ホストはPWR1の1電源を要するメモリーカード10であると認識できる。電源電圧PWR1が供給されると、メモリーカード10は、電源チェック回路55の出力は切り離されて制御信号CNTBが割り当てられた端子P26に出力されなくなるが、制御信号CNTBは別な用途の信号として使用することができる。

10

【0138】

フラッシュメモリ13に高速アクセスするために、大きな電流が用いられる場合がある。しかし、PCIEの初期化で消費される電流は、高速アクセスするための電流よりも少なく済む。そのため最低限の電源の実装でも前記電源仕様情報13aは読み出すことができる。

【0139】

以上の電源チェックシーケンスにおいて、メモリーカード10のカードコントローラ14は、端子P18, P19, P21, P24, P25に印加された電源電圧PWR1, PWR2, PWR3によって差動データ信号によるPCIEの初期化が可能か否かを判定して、端子P26から判定結果を出力する。さらに、フラッシュメモリ13は、差動データ信号によるPCIEの初期化が完了すると、当該フラッシュメモリ13に記録された電源仕様情報13aが読み出し可能となる。

20

【0140】

以上の電源チェックシーケンスにより、別々の電源仕様を有する複数の種類のメモリーカード10が混在しても、ホスト機器が当該電源仕様を識別することができる。なお、メモリーカード10と、対応するホスト機器との電源仕様を予め決めておくことで、電源チェックシーケンスを省略することができる。

30

【0141】

ホスト機器は、例えば、コネクタに対するメモリーカード10の挿抜を検出する機能を有する。この場合、ホスト機器は、コネクタへのメモリーカード10の挿入を検出した後に電源を投入し、コネクタからメモリーカード10が抜かれたことを検出すると電源をオフにする。このため、メモリーカード10は、活線挿抜についての機能を省略できる。

【0142】

以上説明された第1の実施形態に係るメモリーカード10において、筐体11は、X軸方向に延びた第1の縁31と、X軸方向と交差するY軸方向に延びた第2の縁32と、第1の縁31と第2の縁32との間の切欠きCを形成する第1の角部35とを有する。切欠きCを形成する第1の角部35は、例えば、メモリーカード10の逆挿し防止に用いられる。このため、メモリーカード10が例えばプッシュプルタイプのコネクタに挿入される場合、メモリーカード10は、第1の縁31からコネクタに挿入される。そして、複数の端子Pは、互いに間隔を介してX軸方向に並べられて第1の列R1を形成するとともに、第1の列R1よりも第1の縁31から離れた位置で互いに間隔を介してX軸方向に並べられて第2の列R2を形成する。このように、複数の端子Pが複数の列R1, R2を形成することで、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

40

【0143】

一般的に、コネクタに挿入されたメモリーカード10の端子Pとホストコントローラとの間の配線の長さは、コネクタの奥ほど短くなる。すなわち、第1の列R1に含まれる端子Pとホストコントローラとの間の配線の長さは、第2の列R2に含まれる端子Pとホス

50

トコントローラとの間の配線の長さよりも短くなる。このため、第1の列R1に含まれる信号の伝送に用いられる端子P2, P3, P5, P6, P8, P9, P11, P12は、第2の列R2に含まれる信号の伝送に用いられる端子P15, P16, P20, P22, P23, P26よりも、シグナルインテグリティを確保しやすい。例えば、第1の列R1に含まれる信号の伝送に用いられる端子Pの数を第2の列R2に含まれる信号の伝送に用いられる端子Pの数より多くしたり、第1の列R1に含まれる端子Pが差動信号の伝送に用いられたりすることで、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0144】

第1の列R1に含まれる端子P2, P3, P5, P6, P8, P9, P11, P12の数が、第2の列R2に含まれる端子P15, P16, P20, P22, P23, P26の数よりも多い。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0145】

さらに、複数の端子Pが、第1の列R1と第2の列R2とを形成する。これにより、複数の端子Pを一行に並べる場合に比べ、信号の伝送に用いられる端子P2, P3, P5, P6, P8, P9, P11, P12を第1の縁31の近傍により多く並べたとしても、端子Pの所望の大きさや、複数の端子Pの所望の間隔を確保することができる。

【0146】

端子P15, P16, P20, P22, P23, P26よりも高い周波数の信号の伝送に用いられる端子P2, P3, P5, P6, P8, P9, P11, P12が、第1の列R1に含まれる。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0147】

差動データ信号端子を増やしレーン数を増やすことで、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0148】

第1の列R1を形成する複数の端子Pは、差動データ信号が割り当てられた端子P2, P3, P5, P6, P8, P9, P11, P12を含む。一方、第2の列R2を形成する複数の端子Pは、差動データ信号よりも低い周波数の差動クロック信号が割り当てられた端子P15, P16と、シングルエンド信号が割り当てられた端子P20, P22, P23, P26と、電源が割り当てられた端子P18, P19, P21, P24, P25とを含む。これにより、第1の列R1において、高速に信号を伝送可能な端子P2, P3, P5, P6, P8, P9, P11, P12の数をより多くすることができ、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0149】

第1の列R1を形成する複数の端子Pは、差動データ信号の複数のレーンが割り当てられた端子P2, P3, P5, P6, P8, P9, P11, P12を含む。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0150】

複数対の端子P2, P3, P5, P6, P8, P9, P11, P12はそれぞれ、複数の端子P1, P4, P7, P10, P13のうち二つの間に位置する。これにより、差動信号ごとにリターンパスを確保することができ、差動信号間の相互干渉を低減して作動信号レベルが安定化される。

【0151】

端子P20, P22は、PCIE規格のサイドバンド信号が割り当てられる。これにより、第1の列R1において、高速に信号を伝送可能な端子P2, P3, P5, P6, P8, P9, P11, P12の数をより多くすることができ、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0152】

10

20

30

40

50

端子 P 2 1 は、第 1 の電源 P W R 1 が割り当てられる。端子 P 1 8 , P 1 9 は、電圧が第 1 の電源 P W R 1 以下である第 2 の電源 P W R 2 が割り当てられる。端子 P 2 4 , P 2 5 は、電圧が第 2 の電源 P W R 2 以下である第 3 の電源 P W R 3 が割り当てられる。これにより、第 1 乃至第 3 の電源 P W R 1 , P W R 2 , P W R 3 を用途によって使い分けることができ、メモリーカード 1 0 のフレキシビリティが高まる。さらに、電圧が低いほど電源電圧変動の許容値が小さくなるので、ひとつの端子 P に流す電流値を小さくした方が良いが、複数の端子 P 1 8 , P 1 9 と複数の端子 P 2 4 , P 2 5 が設けられることで、電流値が分散されて一端子当たりの電流値が小さくなり、電圧変動が抑制される。

【 0 1 5 3 】

レギュレータ 5 3 は、電源電圧 P W R 3 の第 3 の電源 P W R 3 が割り当てられた端子 P 2 4 , P 2 5 がグランド接続された場合、電源電圧 P W R 2 の第 2 の電源 P W R 2 が割り当てられた端子 P 1 8 , P 1 9 に印加された電源電圧 P W R 2 から電源電圧 P W R 3 を生成する。これにより、本実施形態のメモリーカード 1 0 は、P W R 1 , P W R 2 の 2 電源構成のホスト機器と P W R 1 , P W R 2 , P W R 3 の 3 電源構成のホスト機器のどちらにも対応することができる。

【 0 1 5 4 】

カードコントローラ 1 4 は、端子 P 1 8 , P 1 9 , P 2 1 , P 2 4 , P 2 5 に印加された電源電圧 P W R 1 , P W R 2 , P W R 3 によって差動データ信号による初期化が可能か否かを判定して、制御信号 C N T B が割り当てられた端子 P 2 6 から判定結果を出力する。フラッシュメモリ 1 3 は、差動データ信号による初期化が完了すると、当該フラッシュメモリ 1 3 に記憶された電源仕様情報 1 3 a が読み出し可能となる。ホスト機器は、電源仕様情報 1 3 a と、当該ホスト機器の電源仕様とを比較することにより、メモリーカード 1 0 が使用可能か否かを判断できる。これにより、複数種類の電源構成を有するメモリーカード 1 0 が混在しても、ホスト機器がメモリーカード 1 0 の電源仕様を識別することができる。

【 0 1 5 5 】

少なくともカードコントローラ 1 4 の一部の辺 1 4 a は、第 1 の列 R 1 と第 2 の列 R 2 との間に位置するとともに第 1 の列 R 1 に含まれる端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 に配線 W によって接続された接続端子 C P を辺 1 4 a に有する。これにより、配線 W が他の配線や他の部品を迂回したり、第 2 の列 R 2 に含まれる複数の端子 P の間を通過したりすることが無いよう設定可能となる。従って、例えば E S D 保護ダイオード 4 3 を配線 W に設けることが容易になるとともに、第 1 の列 R 1 に含まれる端子 P 2 , P 3 , P 5 , P 6 , P 8 , P 9 , P 1 1 , P 1 2 と接続端子 C P との間の配線 W の長さを短くすることができる。

【 0 1 5 6 】

メモリーカード 1 0 は、X 軸方向における長さが 14 ± 0.1 mm であり、Y 軸方向における長さが 18 ± 0.1 mm である。一般的に、microSD カードの寸法は 11 mm \times 15 mm である。すなわち、本実施形態のメモリーカード 1 0 は、microSD カードよりも大きい。従って、メモリーカード 1 0 は、例えば、大型の三次元フラッシュメモリのような、microSD カードに搭載困難な記憶容量及び寸法が大きいメモリを搭載することができる。例えば、技術進化による将来的なフラッシュメモリ 1 3 のサイズの大型化に対応できる。さらに、メモリーカード 1 0 は、microSD カードよりも大きく、標準の SD メモリーカードよりも小さい。このため、メモリーカード 1 0 は、ホスト機器にとって大き過ぎず、且つホスト機器のコネクタへの挿抜もしやすい。

【 0 1 5 7 】

筐体 1 1 は、第 2 の縁 3 2 の反対側に位置して Y 軸方向に延びた第 3 の縁 3 3 と、第 1 の縁 3 1 と第 3 の縁 3 3 との間の第 2 の角部 3 6 と、をさらに有する。第 1 の角部 3 5 の形状と、第 2 の角部 3 6 の形状とが互いに異なる。これにより、メモリーカード 1 0 の逆挿しが抑制される。

【 0 1 5 8 】

10

20

30

40

50

第 1 の角部 3 5 は、第 1 の縁 3 1 の一方の端と第 2 の縁 3 2 の端との間で直線状に延び、いわゆる C 1 . 1 の角面取りされた部分を形成する。第 2 の角部 3 6 は、第 1 の縁 3 1 の他方の端と第 3 の縁 3 3 の端との間で円弧状に延び、いわゆる R 0 . 2 の丸面取りされた部分を形成する。メモリーカード 1 0 は、第 2 の角部 3 6 がコネクタに当接した状態で当該コネクタに挿入されることがある。この場合に、X 軸方向におけるメモリーカード 1 0 の位置ずれを小さくすることができる。

【 0 1 5 9 】

(第 2 の実施形態)

以下に、第 2 の実施形態について、図 1 2 を参照して説明する。なお、以下の実施形態の説明において、既に説明された構成要素と同様の機能を持つ構成要素は、当該既述の構成要素と同じ符号が付され、さらに説明が省略される場合がある。また、同じ符号が付された複数の構成要素は、全ての機能及び性質が共通するとは限らず、各実施形態に応じた異なる機能及び性質を有していても良い。

10

【 0 1 6 0 】

図 1 2 は、第 2 の実施形態に係るメモリーカード 1 0 を示す例示的な平面図である。図 1 2 に示すように、第 2 の実施形態に係るカードコントローラ 1 4 は、フラッシュメモリ 1 3 に積層される。

【 0 1 6 1 】

フラッシュメモリ 1 3 は、第 2 の列 R 2 に含まれる端子 P に重ねられる。別の表現によれば、フラッシュメモリ 1 3 は、当該フラッシュメモリ 1 3 の Y 軸の正方向の端と Y 軸の負方向の端との間に第 2 の列 R 2 に含まれる端子 P が位置するように配置される。一方、フラッシュメモリ 1 3 は、第 1 の列 R 1 に含まれる端子 P から離間している。

20

【 0 1 6 2 】

カードコントローラ 1 4 は、第 1 の列 R 1 と第 2 の列 R 2 との間に位置する。このため、第 1 の実施形態と同じく、カードコントローラ 1 4 の複数の接続端子 C P も、第 1 の列 R 1 と第 2 の列 R 2 との間に位置する。配線 W が、接続端子 C P と、第 1 の列 R 1 に含まれる端子 P とを接続する。

【 0 1 6 3 】

以上説明された第 2 の実施形態のメモリーカード 1 0 のように、カードコントローラ 1 4 は、フラッシュメモリ 1 3 に積層されても良い。フラッシュメモリ 1 3 が第 1 の列 R 1 から離間し、接続端子 C P が第 1 の列 R 1 と第 2 の列 R 2 との間に位置することで、配線 W の長さが長くなることが抑制される。

30

【 0 1 6 4 】

(第 3 の実施形態)

以下に、第 3 の実施形態について、図 1 3 乃至図 2 5 を参照して説明する。図 1 3 は、第 3 の実施形態に係るメモリーカード 1 0 を示す例示的な平面図である。図 1 4 は、第 3 の実施形態のメモリーカード 1 0 を示す例示的な側面図である。メモリーカード 1 0 は、半導体記憶装置の一例である。

【 0 1 6 5 】

メモリーカード 1 0 は、筐体 1 1 と、基板 1 2 と、フラッシュメモリ 1 3 と、カードコントローラ 1 4 と、保護シート 1 5 とを有する。フラッシュメモリ 1 3 は、メモリの一例である。カードコントローラ 1 4 は、コントローラの一例である。

40

【 0 1 6 6 】

メモリーカード 1 0 、及び筐体 1 1 は、例えば、Y 軸方向に延びた略矩形の板状に形成される。Y 軸方向は、メモリーカード 1 0 及び筐体 1 1 の長手方向である。Y 軸方向は、第 2 の方向の一例である。

【 0 1 6 7 】

図 1 4 に示すように、筐体 1 1 は、板状であって、第 1 の面 2 1 と、第 2 の面 2 2 と、外縁 2 3 とを有する。第 1 の面 2 1 及び第 2 の面 2 2 は、Y 軸方向に延びた略四角形 (矩形) 状に形成される。すなわち、Y 軸方向は、第 1 の面 2 1 及び第 2 の面 2 2 の長手方向

50

でもある。本実施形態において、メモリーカード 10、筐体 11、第 1 の面 21、及び第 2 の面 22 の形状はそれぞれ、矩形状と表現されるが、他の表現もされ得る。

【0168】

第 1 の面 21 は、Z 軸の正方向に向く略平坦な面である。図 13 に示すように、第 1 の面 21 に、複数の開口 21a が設けられる。図 14 に示すように、第 2 の面 22 は、第 1 の面 21 の反対側に位置し、Z 軸の負方向に向く略平坦な面である。

【0169】

外縁 23 は、第 1 の面 21 と第 2 の面 22 との間に設けられ、第 1 の面 21 の縁と第 2 の面 22 の縁とに接続される。図 13 に示すように、外縁 23 は、第 1 の縁 31 と、第 2 の縁 32 と、第 3 の縁 33 と、第 4 の縁 34 と、第 1 の角部 35 と、第 2 の角部 36 と、第 3 の角部 37 と、第 4 の角部 38 とを有する。第 1 の縁 31 は、第 1 の端縁の一例である。第 2 の縁 32 は、第 1 の側縁の一例である。第 3 の縁 33 は、第 2 の側縁の一例である。第 4 の縁 34 は、第 2 の端縁の一例である。

10

【0170】

第 1 の縁 31 は、X 軸方向に延び、Y 軸の正方向に向く。X 軸方向は、メモリーカード 10、筐体 11、第 1 の面 21、及び第 2 の面 22 の短手方向であって、X 軸の正方向と、X 軸の負方向とを含む。X 軸方向は、第 1 の方向の一例である。

【0171】

第 2 の縁 32 は、Y 軸方向に延び、X 軸の負方向に向く。第 2 の縁 32 には、凹部 32a が設けられる。第 3 の縁 33 は、第 2 の縁 32 の反対側に位置して Y 軸方向に延び、X 軸の正方向に向く。第 4 の縁 34 は、第 1 の縁 31 の反対側に位置して X 軸方向に延び、Y 軸の負方向に向く。

20

【0172】

第 2 の縁 32 及び第 3 の縁 33 のそれぞれの長さは、第 1 の縁 31 及び第 4 の縁 34 のそれぞれの長さよりも長い。第 1 の縁 31 及び第 4 の縁 34 は、略矩形のメモリーカード 10 の短辺を形成し、第 2 の縁 32 及び第 3 の縁 33 は、略矩形のメモリーカード 10 の長辺を形成する。

【0173】

第 1 の角部 35 は、第 1 の縁 31 と第 2 の縁 32 との間の角部分であり、第 1 の縁 31 の X 軸の負方向における端と、第 2 の縁 32 の Y 軸の正方向における端とを接続する。第 1 の縁 31 の X 軸の負方向における端は、第 1 の縁の一方の端の一例である。第 2 の縁 32 の Y 軸の正方向における端は、第 2 の縁の端の一例である。

30

【0174】

第 1 の角部 35 は、第 1 の縁 31 の X 軸の負方向における端と、第 2 の縁 32 の Y 軸の正方向における端との間で直線状に延びる。X 軸方向において、第 1 の縁 31 の X 軸の負方向における端と、第 2 の縁 32 との間の距離は、1.1 mm である。別の表現によれば、X 軸方向において、第 1 の縁 31 の X 軸の負方向における端と、第 1 の縁 31 の延長線及び第 2 の縁 32 の延長線の交点との間の距離は、1.1 mm である。

【0175】

Y 軸方向において、第 2 の縁 32 の Y 軸の正方向における端と、第 1 の縁 31 との間の距離は、1.1 mm である。別の表現によれば、Y 軸方向において、第 2 の縁 32 の Y 軸の正方向における端と、第 1 の縁 31 の延長線及び第 2 の縁 32 の延長線の交点との間の距離は、1.1 mm である。

40

【0176】

第 1 の縁 31 と第 2 の縁 32 との角が、いわゆる C1.1 の角面取りに設定されることで、第 1 の角部 35 が設けられる。別の表現によれば、第 1 の角部 35 は、第 1 の縁 31 と第 2 の縁 32 との間の切欠き C を形成する。

【0177】

本実施形態において、第 1 の角部 35 は、互いに直交する方向に延びる第 1 の縁 31 と第 2 の縁 32 との角部分に略三角形の切欠き C を形成する。しかし、切欠き C は、この例

50

に限られない。第 1 の角部 3 5 は、例えば、本実施形態よりも筐体 1 1 の内側に窪んだ略四角形の切欠き C を形成しても良い。

【 0 1 7 8 】

第 2 の角部 3 6 は、第 1 の縁 3 1 と第 3 の縁 3 3 との間の角部分であり、第 1 の縁 3 1 の X 軸の正方向における端と、第 3 の縁 3 3 の Y 軸の正方向における端とを接続する。第 1 の縁 3 1 の X 軸の正方向における端は、第 1 の縁の他方の端の一例である。第 3 の縁 3 3 の Y 軸の正方向における端は、第 3 の縁の端の一例である。

【 0 1 7 9 】

第 2 の角部 3 6 は、第 1 の縁 3 1 の X 軸の正方向における端と、第 3 の縁 3 3 の Y 軸の正方向における端との間で円弧状に延びる。第 2 の角部 3 6 は、正円の円弧状に延びるが、楕円の円弧状に延びても良い。

10

【 0 1 8 0 】

円弧状に延びる第 2 の角部 3 6 の半径は、0 . 2 mm である。第 1 の縁 3 1 と第 3 の縁 3 3 との角が、いわゆる R 0 . 2 の丸面取りに設定されることで、第 2 の角部 3 6 が設けられる。このように、第 1 の角部 3 5 の形状と第 2 の角部 3 6 の形状とは、互いに異なる。

【 0 1 8 1 】

第 3 の角部 3 7 は、第 2 の縁 3 2 の Y 軸の負方向における端と、第 4 の縁 3 4 の X 軸の負方向における端とを接続する。第 4 の角部 3 8 は、第 3 の縁 3 3 の Y 軸の負方向における端と、第 4 の縁 3 4 の X 軸の正方向における端とを接続する。第 3 の角部 3 7 及び第 4 の角部 3 8 はそれぞれ、半径が 0 . 2 mm である円弧状に延びる。

20

【 0 1 8 2 】

メモリーカード 1 0、筐体 1 1、第 1 の面 2 1、及び第 2 の面 2 2 は、Y 軸方向における長さが約 1 8 ± 0 . 1 mm に設定され、X 軸方向における長さが約 1 4 ± 0 . 1 mm に設定される。すなわち、Y 軸方向における第 1 の縁 3 1 と第 4 の縁 3 4 との間の距離が約 1 8 ± 0 . 1 mm に設定され、X 軸方向における第 2 の縁 3 2 と第 3 の縁 3 3 との間の距離が約 1 4 ± 0 . 1 mm に設定される。なお、メモリーカード 1 0、筐体 1 1、第 1 の面 2 1、及び第 2 の面 2 2 の X 軸方向及び Y 軸方向の長さは、この例に限られない。

【 0 1 8 3 】

図 1 4 に示すように、筐体 1 1 は、傾斜部 3 9 をさらに有する。傾斜部 3 9 は、第 1 の面 2 1 と第 1 の縁 3 1 との間の角部分であり、第 1 の面 2 1 の Y 軸の正方向における端と、第 1 の縁 3 1 の Z 軸の正方向における端との間で直線状に延びる。

30

【 0 1 8 4 】

図 1 3 に示すように、基板 1 2、フラッシュメモリ 1 3、及びカードコントローラ 1 4 は、筐体 1 1 の内部に設けられる。基板 1 2、フラッシュメモリ 1 3、及びカードコントローラ 1 4 は、箱型の筐体 1 1 に収容されても良いし、筐体 1 1 に埋め込まれても良い。

【 0 1 8 5 】

基板 1 2 は、例えば PCB である。なお、基板 1 2 は他の種類の基板であっても良い。フラッシュメモリ 1 3 及びカードコントローラ 1 4 は、基板 1 2 に実装される。

【 0 1 8 6 】

フラッシュメモリ 1 3 は、情報を記憶可能な不揮発性メモリであり、例えば、NAND 型フラッシュメモリである。なお、フラッシュメモリ 1 3 は、NOR 型のような他のフラッシュメモリであっても良い。メモリーカード 1 0 は、例えば、積層された複数のフラッシュメモリ 1 3 を有しても良い。

40

【 0 1 8 7 】

カードコントローラ 1 4 は、フラッシュメモリ 1 3、及び当該フラッシュメモリ 1 3 を含むメモリーカード 1 0 の全体を制御可能である。例えば、カードコントローラ 1 4 は、フラッシュメモリ 1 3 へのリード/ライト制御及び外部との通信制御を行うことができる。この通信制御には、PCIe に対応したプロトコル制御が含まれる。なお、カードコントローラ 1 4 は、フラッシュメモリ 1 3 を制御する他の電子部品を介して、フラッシュメ

50

メモリ 13 を間接的に制御しても良い。

【0188】

保護シート 15 は、第 1 の面 21 に貼り付けられる。保護シート 15 は、例えば、第 1 の面 21 に露出するテスト用の端子を封印する。なお、保護シート 15 はこの例に限られない。

【0189】

メモリーカード 10 は、複数の端子 P をさらに有する。本実施形態において、メモリーカード 10 は、39 個の端子 P を有する。なお、端子 P の数はあくまで一例であって、この例に限られない。すなわち、端子 P の数は、39 個より少なくても良いし、39 個より多くても良い。複数の端子 P は、例えば、基板 12 に設けられる。複数の端子 P は、開口 21a により、第 1 の面 21 で露出される。本実施形態において、第 2 の面 22 は、端子 P が設けられず、例えば印刷面や放熱面に利用され得る。

【0190】

本実施形態の複数の端子 P は、第 1 のグループ G1 と、第 2 のグループ G2 と、に分けられる複数の列を形成する。第 1 のグループ G1 は、第 1 の列 R11, R12 を含む。第 2 のグループ G2 は、第 2 の列 R21 を含む。すなわち、複数の端子 P は、三列に並べられ、第 1 の列 R11, R12 及び第 2 の列 R21 を形成する。

【0191】

第 1 のグループ G1 は、少なくとも一つの第 1 の列 (R11, R12) を含む。すなわち、第 1 のグループ G1 は、一つの第 1 の列 (R11 又は R12) を含んでも良いし、二つより多い第 1 の列 (R11, R12...) を含んでも良い。

【0192】

第 2 のグループ G2 は、少なくとも一つの第 2 の列 (R21) を含む。すなわち、第 2 のグループ G2 は、一つの第 2 の列 (R21) を含んでも良いし、二つより多い第 2 の列 (R21, R22...) を含んでも良い。

【0193】

図 15 は、第 3 の実施形態の変形例に係るメモリーカード 10 を示す例示的な平面図である。図 15 に示すように、変形例のメモリーカード 10 は、二列に並べられて第 1 の列 R11 及び第 2 の列 R21 を形成する 26 個の端子 P を有しても良い。すなわち、第 1 のグループ G1 が一つの第 1 の列 R11 を有し、第 1 の列 R12 が省略されても良い。

【0194】

図 13 に示すように、第 1 の列 R11 は、第 4 の縁 34 よりも第 1 の縁 31 に近い位置で互いに間隔を介して X 軸方向に並べられた 13 個の端子 P を含む。以下、第 1 の列 R11 を形成し、第 1 の列 R11 に含まれる 13 個の端子 P を、端子 P101 ~ P113 と個別に称することがある。なお、第 1 の列 R11 を形成する端子 P の数は、13 個に限られない。第 1 の列 R11 を形成する端子 P は、最も第 2 の縁 32 に近い端子 P101 から順に、最も第 3 の縁 33 に近い端子 P113 まで並べられる。

【0195】

端子 P101 ~ P113 は、第 1 の縁 31 の近傍で、当該第 1 の縁 31 に沿って X 軸方向に並べられる。端子 P101 ~ P113、及び端子 P101 ~ P113 によって形成される第 1 の列 R11 は、第 1 の縁 31 から若干離間している。しかし、第 1 の列 R11 と第 1 の縁 31 との間の距離は、第 1 の列 R11 と第 4 の縁 34 との間の距離よりも短い。なお、端子 P101 ~ P113 及び第 1 の列 R11 は、第 1 の縁 31 に隣接しても良い。

【0196】

第 1 の列 R12 は、第 4 の縁 34 よりも第 1 の縁 31 に近い位置で互いに間隔を介して X 軸方向に並べられた 13 個の端子 P を含む。以下、第 1 の列 R12 を形成し、第 1 の列 R12 に含まれる 13 個の端子 P を、端子 P114 ~ P126 と個別に称することがある。なお、第 1 の列 R12 を形成する端子 P の数は、13 個に限られない。また、第 1 の列 R12 を形成する端子 P の数は、第 1 の列 R11 を形成する端子 P の数より多くても良いし少なくても良い。第 1 の列 R12 を形成する端子 P は、最も第 2 の縁 32 に近い端子 P

10

20

30

40

50

1 1 4 から順に、最も第 3 の縁 3 3 に近い端子 P 1 2 6 まで並べられる。

【 0 1 9 7 】

第 1 の列 R 1 2 を形成する複数の端子 P は、第 1 の列 R 1 1 よりも第 1 の縁 3 1 から離れた位置で並べられる。このため、第 1 の列 R 1 2 は、第 1 の列 R 1 1 よりも第 1 の縁 3 1 から離れている。第 1 の列 R 1 1 と第 1 の列 R 1 2 とは、所定の短い間隔を介して、Y 軸方向に並べられる。

【 0 1 9 8 】

第 2 の列 R 2 1 は、第 1 の縁 3 1 よりも第 4 の縁 3 4 に近い位置で互いに間隔を介して X 軸方向に並べられた 1 3 個の端子 P を含む。以下、第 2 の列 R 2 1 を形成し、第 2 の列 R 2 1 に含まれる 1 3 個の端子 P を、端子 P 1 2 7 ~ P 1 3 9 と個別に称することがある。なお、第 2 の列 R 2 1 を形成する端子 P の数は、1 3 個に限られない。また、第 2 の列 R 2 1 を形成する端子 P の数は、第 1 の列 R 1 1 及び第 1 の列 R 1 2 をそれぞれ形成する端子 P の数より多くても良いし少なくても良い。第 2 の列 R 2 1 を形成する端子 P は、最も第 2 の縁 3 2 に近い端子 P 1 2 7 から順に、最も第 3 の縁 3 3 に近い端子 P 1 3 9 まで並べられる。

10

【 0 1 9 9 】

第 2 の列 R 2 1 を形成する複数の端子 P は、第 1 の縁 3 1 よりも第 4 の縁 3 4 に近い位置にある。別の表現によれば、第 2 の列 R 2 1 を形成する複数の端子 P は、Y 軸方向におけるメモリーカード 1 0 及び筐体 1 1 の中心線（一点鎖線で示される）と、第 4 の縁 3 4 との間に配置される。このため、第 1 の列 R 1 2 と第 2 の列 R 2 1 との間隔は広がる。本実施形態において、第 2 の列 R 2 1 を形成する複数の端子 P は、中心線から離間する。

20

【 0 2 0 0 】

上述のように、第 2 のグループ G 2 は、二点鎖線で示される第 2 の列 R 2 2 をさらにも含む。この場合、第 2 の列 R 2 1 と第 2 の列 R 2 2 とは、所定の短い間隔を介して、Y 軸方向に並べられる。

【 0 2 0 1 】

上述のように、複数の端子 P は、X 軸方向に並べられる。X 軸方向における隣接する端子 P の間の距離は、第 2 の縁 3 2 と第 3 の縁 3 3 との間隔の長さが一定の場合、例えば、端子 P の数に応じて決められる。さらに、X 軸方向における隣接する端子 P の間の最小の距離により、X 軸方向に並べられる端子 P の最大数が決められる。X 軸方向における複数の端子 P の間の距離は、均等であっても良いし、異なっても良い。本実施形態において、第 1 の列 R 1 1 , R 1 2 及び第 2 の列 R 2 1 のそれぞれの端子 P の数が同一である。このため、全ての端子 P の間の距離は一定である。

30

【 0 2 0 2 】

Y 軸方向における端子 P の長さは、例えば、メモリーカード 1 0 と、当該メモリーカード 1 0 のためのコネクタと、が接続可能なように決められた最大長と最小長の間の長さに設定される。第 1 の列 R 1 1 , R 1 2 及び第 2 の列 R 2 1 のそれぞれにおいて、端子 P は、当該端子 P の Y 軸の負方向における端が揃うように並べられる。

【 0 2 0 3 】

PCIe Gen 4 は 1 6 G T / s のロウビットレートとなるため、できるだけパッド面積を小さくすることで、静電容量を小さくし周波数特性を向上させる必要がある。一方、パッド面積が小さくなるほどメカニカルに関する製造容易性は低下するので、製造上のバラツキ、カード・コネクタ接触点位置のバラツキを許容できる大きさのパッド面積は必要となる。したがってパッドの最小長は、電気的特性と機械的な技術レベルのトレードオフで決まる。本カードフォームファクタにおいては、現状の実装技術の最小間隔からひとつの列に配置可能なパッド数は 1 3 本と計算されている。

40

【 0 2 0 4 】

複数の端子 P の X 軸方向及び Y 軸方向における長さが略同一に設定されると、複数の端子 P の電気的特性を類似させることができる。本実施形態では、第 1 の列 R 1 1 における

50

全ての信号用の端子 P と、第 1 の列 R 1 2 における全ての端子 P との、Y 軸方向及び X 軸方向における長さは、電気的特性としては小さい程良くなるが、機械的な技術レベルでの最小長に設定される。これにより、第 1 の列 R 1 1 , R 1 2 を形成する複数の端子 P の電気的特性が向上するとともに、第 1 の列 R 1 1 , R 1 2 が設けられる領域の面積が小さくなる。

【 0 2 0 5 】

また、本実施形態では、第 1 の列 R 1 1 及び第 2 の列 R 2 1 のデータ転送用の端子 P において、端子 P の Y 軸方向における長さは、同一に設定される。これにより、第 1 の列 R 1 1 と第 1 の列 R 1 2 のデータ転送用の端子 P の電気的特性を類似させることができる。さらに、一つの端子 P が、他の端子 P の Y 軸の正方向における端よりも Y 軸の正方向に張り出しても良い。例えば電源用の端子 P 及び GND 用の端子 P が、データ転送用の端子 P よりも張り出すことで、メモリーカード 1 1 0 を Y 軸正方向に挿入する横挿しコネクタの場合に電源用及び GND 用の端子 P がデータ転送用の端子 P よりも先にコネクタのリードフレームに接触する。これにより、ホスト機器の GND レベルとメモリーカード 1 0 の GND レベルとが等価になり、カードコントローラ 1 4 の電気的レベルを安定させることができる。第 1 の列 R 1 1 及び第 2 の列 R 2 1 における端子 P のうち、電源用の端子 P 及び GND 用の端子 P が Y 軸方向に長く設定されることにより、例えば図 1 5 のように複数の端子 P が二列に並べられる場合、メモリーカード 1 0 がプッシュプッシュタイプやプッシュプルタイプなどの横挿しコネクタで使用可能になる。

10

【 0 2 0 6 】

第 1 の列 R 1 1 , R 1 2 において、信号用の端子 P を除く端子 P は、GND 用の端子 P のみである。このため、第 1 の列 R 1 1 の GND 用の端子 P が先にコネクタのリードフレームに接触していれば、第 1 の列 R 1 2 の GND 用の端子 P を長くする必要がない。このため、第 1 の列 R 1 2 の全ての端子 P の Y 軸方向における長さを短くすることができる。これにより、第 1 の列 R 1 1 , R 1 2 の間隔を短くすることができる。

20

【 0 2 0 7 】

複数の端子 P は、互いに異なる形状を有しても良い。例えば、第 1 の列 R 1 1 において、端子 P 1 0 1 , P 1 0 4 , P 1 0 7 , P 1 1 0 , P 1 1 3 の形状と、端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 の形状とは、互いに異なっているが、同じでも良い。さらに、第 2 の列 R 2 1 において、端子 P 1 2 7 , P 1 3 0 , P 1 3 1 , P 1 3 2 , P 1 3 4 , P 1 3 7 , P 1 3 8 の形状と、端子 P 1 2 8 , P 1 2 9 , P 1 3 3 , P 1 3 5 , P 1 3 6 , P 1 3 9 の形状とは、互いに異なっているが、同じでも良い。

30

【 0 2 0 8 】

本実施形態において、第 1 の列 R 1 1 , R 1 2 及び第 2 の列 R 2 1 のそれぞれにおいて、複数の端子 P の間の距離は略一定である。しかし、複数の端子 P の間の距離が異なっても良い。

【 0 2 0 9 】

Y 軸方向に装着するコネクタにおいて、メモリーカード 1 0 の電源端子やグランド端子である端子 P 1 0 1 , P 1 0 4 , P 1 0 7 , P 1 1 0 , P 1 1 3 , P 1 2 7 , P 1 3 0 , P 1 3 1 , P 1 3 2 , P 1 3 4 , P 1 3 7 , P 1 3 8 が、信号端子である端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 , P 1 2 8 , P 1 2 9 , P 1 3 3 , P 1 3 5 , P 1 3 6 , P 1 3 9 より若干長く設定される。これにより、コネクタと電源端子及びグランド端子とが最初に接触するため、電気的に安定になり、信号端子に電気的ストレスを与えることを回避することができる。カードコントローラ 1 4 に電源が供給される前に信号端子に電圧が印加されると後述のインターフェース回路 5 1 の入力バッファに電気的ストレスがかかってしまう。

40

【 0 2 1 0 】

複数の端子 P には、所定のインターフェース規格に準拠した通信に用いられる信号が割り当てられる。しかし、複数の端子 P に、複数のインターフェース規格に準拠した通信に

50

用いられる信号が割り当てられても良い。

【0211】

図16は、第3の実施形態の複数の端子Pの信号割り当ての一例を示す例示的な表である。図16に示すように、本実施形態において、第1のグループG1の第1の列R11及び第1の列R12の複数の端子Pには、PCIEのデータ通信に用いられる信号が割り当てられる。PCIEでは、データの通信に差動データ信号ペアを用いることができる。

【0212】

第1の列R11において、端子P101, P104, P107, P110, P113にグランド電位のグランド(GND)が割り当てられ、端子P102, P103, P108, P109に受信差動信号PERp0, PERn0, PERp1, PERn1が割り当てられ、端子P105, P106, P111, P112に送信差動信号PETp0, PETn0, PETp1, PETn1が割り当てられる。

10

【0213】

第1の列R12において、端子P114, P117, P120, P123, P126にグランド電位のグランド(GND)が割り当てられ、端子P115, P116, P121, P122に受信差動信号PERp2, PERn2, PERp3, PERn3が割り当てられ、端子P118, P119, P124, P125に送信差動信号PETp2, PETn2, PETp3, PETn3が割り当てられる。

【0214】

端子P101, P104, P107, P110, P113, P114, P117, P120, P123, P126は、グランド端子の一例である。端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125は、信号端子、第1の信号端子、及び差動データ信号端子の一例である。受信差動信号PERp0, PERn0, PERp1, PERn1, PERp2, PERn2, PERp3, PERn3及び送信差動信号PETp0, PETn0, PETp1, PETn1, PETp2, PETn2, PETp3, PETn3は、信号及び差動データ信号の一例である。

20

【0215】

受信差動信号PERp0, PERn0が割り当てられた一对の端子P102, P103は、二つの端子P101, P104の間に位置し、二つの端子P101, P104に囲まれる。送信差動信号PETp0, PETn0が割り当てられた一对の端子P105, P106は、二つの端子P104, P107の間に位置し、二つの端子P104, P107に囲まれる。

30

【0216】

受信差動信号PERp1, PERn1が割り当てられた一对の端子P108, P109は、二つの端子P107, P110の間に位置し、二つの端子P107, P110に囲まれる。送信差動信号PETp1, PETn1が割り当てられた一对の端子P111, P112は、二つの端子P110, P113の間に位置し、二つの端子P110, P113に囲まれる。

【0217】

受信差動信号PERp2, PERn2が割り当てられた一对の端子P115, P116は、二つの端子P114, P117の間に位置し、二つの端子P114, P117に囲まれる。送信差動信号PETp2, PETn2が割り当てられた一对の端子P118, P119は、二つの端子P117, P120の間に位置し、二つの端子P117, P120に囲まれる。

40

【0218】

受信差動信号PERp3, PERn3が割り当てられた一对の端子P121, P122は、二つの端子P120, P123の間に位置し、二つの端子P120, P123に囲まれる。送信差動信号PETp3, PETn3が割り当てられた一对の端子P124, P125は、二つの端子P123, P126の間に位置し、二つの端子P123, P126に

50

囲まれる。

【0219】

PCIeでは、データをシリアル伝送するが、受信回路でクロックを生成できるようにするため、データに同じ論理レベルが連続することで電圧レベルがハイレベル又はローレベルに偏ることを避けるために、ある単位毎にコード化される。コード化には、8B10Bや128b/130bなどの方式が用いられる。このコード化により平均信号電圧レベルをコモン電圧付近にすることができ、受信閾値レベルからの差異を少なくできる。また受信側は、データの変化点から受信クロックを生成することで、データの時間的変動に追従した受信クロックが生成できるため安定したデータ受信が可能となる(CDR:Clock Data Recoveryと呼ばれる技術)。複数のレーン(差動データ信号の上り下りのペア)間で偏りがある場合でも、それぞれレーンで独立に受信回路を構成してパラレル化した受信データの開始位置を揃えることで、レーン間スキューをキャンセルすることができる。

10

【0220】

例えば、PCIe 3.0の場合の最大転送速度は1レーン当たり2Gバイト/秒(上り下りの合計)である。PCIeでは、一組の送信差動信号PETp0, PETn0及び受信差動信号PERp0, PERn0で1レーンを構成することができる。また、PCIeでは、一組の送信差動信号PETp1, PETn1及び受信差動信号PERp1, PERn1でさらに1レーンを構成することができる。同様に、一組の送信差動信号PETp2, PETn2及び受信差動信号PERp2, PERn2で1レーンを構成することができ、一組の送信差動信号PETp3, PETn3及び受信差動信号PERp3, PERn3でさらに1レーンを構成することができる。

20

【0221】

上述のように、第1の列R11を形成する複数の端子Pに2レーンが割り当てられ、第1の列R12を形成する複数の端子Pに2レーンが割り当てられる。別の表現によれば、第1の列R11, R12を形成する複数の端子Pは、差動データ信号の複数のレーンに割り当てられた複数対の端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125を含む。このため、PCIeのレーン数を増大させることができ、データ転送速度を向上させることができる。

30

【0222】

PCIeでは、初期化時に複数レーン構成を認識して、一つのデータを複数レーンに分配して転送することができる。なお、ホスト機器が複数レーンに対応していない場合、メモリーカード10は、1レーンモード、又は上述の4レーンのうちの2レーンのように一部の複数のレーンを用いたモードでも動作可能である。

【0223】

端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125は、PCIeに準拠した差動データ信号の伝送を行い、送信端子と受信端子とがペアとなる構成により双方向通信を可能とする。端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125は、周波数がGHz帯の差動データ信号を伝送することができる。

40

【0224】

PCIeの差動データ信号以外の制御信号は、第2の列R21の複数の端子Pに割り当てられる。第2の列R21において、端子P127, P130にGNDが割り当てられ、端子P128, P129にレファレンス差動クロック信号REFCLKp, REFCLKnが割り当てられ、端子P131, P132に第2の電源(パワーレール)PWR2が割り当てられ、端子P133にリセット信号PERST#が割り当てられ、端子P134に第1の電源(パワーレール)PWR1が割り当てられ、端子P135にクロック制御信号

50

C L K R E Q # が割り当てられ、端子 P 1 3 6 , P 1 3 9 に制御信号 C N T A , C N T B が割り当てられ、端子 P 1 3 7 , P 1 3 8 に第 3 の電源 (パワーレール) P W R 3 が割り当てられる。

【 0 2 2 5 】

端子 P 1 2 8 , P 1 2 9 , P 1 3 3 , P 1 3 5 , P 1 3 6 , P 1 3 9 は、信号端子及び第 2 の信号端子の一例である。端子 P 1 2 8 , P 1 2 9 は、差動クロック信号端子の一例である。端子 P 1 3 3 , P 1 3 5 は、シングルエンド信号端子の一例であるとともに、サイドバンド信号端子の一例である。端子 P 1 3 1 , P 1 3 2 , P 1 3 4 , P 1 3 7 , P 1 3 8 は、電源端子の一例である。端子 P 1 3 1 , P 1 3 2 は、第 2 の電源端子の一例である。P 1 3 4 は、第 1 の電源端子の一例である。端子 P 1 3 7 , P 1 3 8 は、第 3 の電源端子の一例である。後述のように複数の電源端子に印加される電圧は異なり、また、電源端子として複数の端子 P が設けられることにより、電流が分散し、一つの端子当たりには流れる電流が小さくなり、電源回路から電源端子までの間に存在する抵抗成分によるドロップ電圧を小さくすることができる。

10

【 0 2 2 6 】

P C I e レファレンス差動クロック信号 R E F C L K p / n は、2 本で差動クロック信号を構成する。ホスト機器から端子 P 1 2 8 , P 1 2 9 に周波数が M H z 帯のクロック信号を伝送することにより、メモリーカード 1 0 は、高精度なクロック発信器の実装が不要となり、当該メモリーカード 1 0 が装着されたホスト機器との同期を容易化することができる。また、端子 P 1 2 8 , P 1 2 9 が伝送に用いられるクロック信号の周波数を低くし正弦波に近い波形にすることで E M I の発生を低くできる。メモリーカード 1 0 は、受信したクロックを P L L 回路で逡倍することで、端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 , P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 が伝送に用いられる差動データ信号の高い周波数を生成する。

20

【 0 2 2 7 】

ホスト機器は、例えば、パーソナルコンピュータのような情報処理装置、携帯電話、デジタルカメラ、撮像装置、タブレットコンピュータやスマートフォンのような携帯端末、ゲーム機器、カーナビゲーションシステムのような車載端末、又は他の装置である。

【 0 2 2 8 】

メモリーカード 1 0 は、受信したレファレンス差動クロックを P L L 発振回路で逡倍してビットクロックを生成する。データはビットクロックに同期して、送信差動信号 P E T p 0 , P E T n 0 , P E T p 1 , P E T n 1 , P E T p 2 , P E T n 2 , P E T p 3 , P E T n 3 から出力される。受信差動信号 P E R p 0 , P E R n 0 , P E R p 1 , P E R n 1 , P E R p 2 , P E R n 2 , P E R p 3 , P E R n 3 から入力されたデータは、受信した前記コードパターンから生成した受信クロック (前記 C D R) により一旦サンプリングされ、各レーンのデータは、パラレルデータとして揃えられる。このデータをレファレンス差動クロックから生成した内部クロックに再同期することが可能となる。シリアルデータをパラレル変換したデータビット数の分だけ、内部クロックは前記ビットクロックより低い周波数に設定されている。例えば、8 B 1 0 B コーデックが使用される場合、シリアルに受信した 1 0 ビットコードを 1 バイト (8 ビット) パラレルデータに揃えたときは、内部クロックはビットクロックに対して 1 / 1 0 の周波数となる。

30

40

【 0 2 2 9 】

リセット信号 P E R S T # は、P C I e での通信に用いられるメモリデバイスをホスト機器が起動及びリセットするために用いることができる。P C I e のリセット解除のタイミング規定により P C I e 差動レーンの初期化開始タイミングが規定される。エンベデッドメモリの場合は、電源投入からリセット解除までの時間が規定されているため、メモリーカード 1 0 は、この時間内に初期化可能な状態になるように準備する。しかし、リムーバブルメモリの場合は、メモリーカード 1 0 とコネクタが安定して嵌合状態になる時間も考慮してリセット解除タイミングを決める必要がある。このリセット信号 P E R S T # は

50

、通常の復旧プロトコルでは復旧不可能なエラーが発生した時などにホスト機器がメモリーカード10の再初期化を行う時に用いることができる。

【0230】

クロック制御信号CLKREQ#は、レファレンス差動クロックの供給をホストに要求する制御信号である。この信号は、メモリーカード10に電源が投入された後は一旦Highレベル（オープンドレインのためプルアップでHighとなる）に設定されるが、メモリーカード10の内部の電源電圧が安定しメモリーカード10がクロックを受信可能になった段階でLowレベルにドライブされる。ホストはCLKREQ#がLowレベルになったことを検出するとレファレンスクロックの供給を開始する。またホストはこの信号を、メモリーカード10のパワーセービングモードへの遷移とパワーセービングモードから復帰を制御する信号として用いることができる。メモリーカード10は、メモリアクセスを行っていないアイドル状態にあるとき、パワーセービングモードに入ることによってPHYの消費電力を下げることができる。パワーセービングモードで、ホストはPCIeレファレンス差動クロック信号REFCLKp/nを停止させることができ、またメモリーカード10はPHYのコモン電源を切ることができるモードも有し、大幅に消費電力を低減することができる。

10

【0231】

リセット信号PERST#及びクロック制御信号CLKREQ#は、シングルエンド信号であり、PCIeのサイドバンド信号として定義されている。

【0232】

メモリーカード10がPCIeでの通信をサポートすることにより、PCIeの標準的な物理層（PHY）を用いることができる。このため、メモリーカード10のデータの転送速度を上げるための設計の容易化と開発コストの低減を図ることができる。

20

【0233】

さらに、メモリーカード10がPCIeでの通信をサポートすることにより、プロトコルにNVMeを採用することができる。プロトコルが標準化されているため、NVMeに対応したホスト機器では、メモリーカード10は接続するだけで使用可能となる。また、NVMeは、フラッシュメモリ13に最適な制御が行われ、システムメモリ上キューを作成することで複数のコマンドが登録でき、マルチランザクション処理によりデータ転送時のオーバーヘッドを低減させることができる。また、PCIeのマスタ転送機能を用いてデータ転送を行うことで、データ転送効率を向上させることができる。

30

【0234】

ホスト機器は、端子P134に、第1の電源としての電源電圧PWR1を供給することができる。電源電圧PWR1は、本実施形態において、3.3Vに設定される。電源電圧表記は上側の標準値を示し、ほとんどのフラッシュメモリがサポートする動作電圧である。フラッシュメモリが広い動作電圧範囲をサポートする場合は、より低い電圧での動作が許容されている。電源電圧PWR1は、例えば、2.5V以上3.3V以下の範囲に設定され得るが、この例に限られない。この2.5V以上3.3V以下の電圧範囲は動的な変動を意味するものではなく、電源電圧PWR1は、この電圧範囲内のある電圧を安定して用いる。

40

【0235】

ホスト機器は、端子P131、P132に、第2の電源としての電源電圧PWR2を供給することができる。電源電圧PWR2は、第2の電源電圧の一例である。電源電圧PWR2は、本実施形態において、1.8Vに設定される。すなわち、電源電圧PWR2は、電源電圧PWR1以下である。後述する電源電圧PWR3を用いない場合に電源電圧PWR2は、例えば、1.2V以上1.8V以下の範囲に設定され得るが、この例に限られない。

【0236】

ホスト機器は、端子P137、P138に、第3の電源としての電源電圧PWR3を供給することができる。電源電圧PWR3は、第1の電源電圧の一例である。電源電圧PWR

50

R 3 は、本実施形態において、1.2 V 以下に設定される。すなわち、電源電圧 P W R 3 は、電源電圧 P W R 2 以下である。電源電圧 P W R 3 は、この例に限られない。

【0237】

メモリーカード 10 において、電源電圧 P W R 3 は必須ではない。メモリーカード 10 の内部で電源電圧 P W R 2 から電源電圧 P W R 3 が生成されることで、電源電圧 P W R 3 を不要にすることができる。その場合、ホストは、電源電圧 P W R 1 と電源電圧 P W R 2 との 2 電源を供給すれば良い。

【0238】

図 13 に示すように、カードコントローラ 14 は、第 1 の列 R 1 1 , R 1 2 と第 2 の列 R 2 1 との間に位置する。なお、カードコントローラ 14 は、他の位置に配置されても良く、例えば、第 1 の列 R 1 1 に含まれる端子 P の Y 軸の正方向の端と、第 2 の列 R 2 1 に含まれる端子 P の Y 軸の負方向の端と、の間に位置する。また、カードコントローラ 14 は、当該カードコントローラ 14 の Y 軸の正方向の端と Y 軸の負方向の端との間に第 2 の列 R 2 1 に含まれる端子 P が位置するように配置されても良い。

10

【0239】

第 1 の実施形態と同じく、カードコントローラ 14 は、図 4 に示す複数の接続端子 C P を有する。複数の接続端子 C P は、カードコントローラ 14 の一部の辺 14 a 設けられ、第 1 の列 R 1 1 と第 2 の列 R 2 1 との間に位置する。接続端子 C P は、例えば、端子 P との間の配線が交差しないように配置できる。

【0240】

本実施形態において、複数の端子 P は、図 4 に示す複数の配線 W、複数のグラウンドプレーン 4 1、及び複数の電源配線 4 2 が互いに重ならないように割り当てられる。このため、配線 W、電源配線 4 2 は、ピアホール無しに効率良く配線できる。

20

【0241】

配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 は、カードコントローラ 14 の接続端子 C P と、端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 とを接続する。

【0242】

配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 の長さは、互いに等しく設定される。さらに、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 は、端子 P 1 0 7 の中心を通過して Y 軸方向に伸びる中心軸 A x に対して鏡面对称に設けられる。このため、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 の設計が容易となる。また、配線 W 1 5 , W 1 6 の長さは、互いに等しく設定される。

30

【0243】

配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 は、等長に配線されて線間スキューを低減する。長さを調整するために配線が曲げられるが、通常なめらかな曲線でパターンを引くことが難しいため、配線方向を変えるときは 90°ではなく、複数の箇所 で 45°に曲げている。もし 90°で曲げたとすると、配線 W の幅は曲げ部分で若干広くなり、特性インピーダンスの変化が起こり、ノイズが発生する。90°に比べ 45°の方が幅の変動が少ないためノイズの発生が抑制される。

40

【0244】

複数のグラウンドプレーン 4 1 は、配線 W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 を囲む。これにより、差動信号ごとにリターンパスを確保することができ、差動信号間の相互干渉を低減して作動信号レベルが安定化される。

【0245】

電源配線 4 2 は、端子 P 1 3 1 , P 1 3 2 , P 1 3 4 , P 1 3 7 , P 1 3 8 に接続される。電源配線 4 2 の幅は、配線 W の幅よりも広くすることで、電源配線 4 2 の抵抗を低くするとともに、電源配線 4 2 を介した放熱が効率良く行える。また、メモリーカード 10 は、複数の端子 P からコネクタに放熱できる。

【0246】

50

ホスト電源出力とメモリーカード端子の間には配線やコネクタの抵抗成分やインダクタンス成分が存在するため電圧降下が発生する。電源電圧の許容変動範囲が、電源電圧に対して一定の割合である場合（例えば $\pm 5\%$ ）、電圧が低いほど許容電圧変動幅が小さくなる。したがって前記電圧降下があるため、電源電圧が低い程ホスト機器からカード端子の電源電圧を許容電圧変動幅に収めるように電源電圧を制御することが難しくなる。

【0247】

一方で、ホスト機器のコネクタや、電源配線42を含む配線の抵抗値は、同一基板、同一コネクタであれば電圧にかかわらず類似した抵抗値である。このため、電源電圧が低いと、一つの端子Pに流すことができる電流値が小さくなる。

【0248】

本実施形態では、電源電圧PWR2は、二つの端子P131, P132に流される。さらに、電源電圧PWR3は、二つの端子P137, P138に流される。このように、複数の端子P131, P132, P137, P138に電流が分配され、一つの端子Pあたりの電流値がおおよそ半分になることで、電源配線42やホスト機器のコネクタの抵抗成分によるドロップ電圧を小さくすることができる。従って、ホスト機器が電源電圧を許容電圧変動幅に収めやすくなる。さらに、電源電圧PWR2, PWR3を同じ電圧に設定することで、より大きな電流を供給することができる。

【0249】

コネクタの抵抗成分は、例えば、コンタクト抵抗と接触抵抗から成るが、抵抗を小さくすることでメモリーカード10に流せる電流を大きくできる。コンタクト抵抗は、コンタクト長、太さ、材質などによりが決まり、コンタクト接触抵抗は、圧力、接触点の形状、粗さ、材質などで決まる。

【0250】

また、通常、電源電圧PWR1は $3.3V \pm 5\%$ 、電源電圧PWR2は $1.8V \pm 5\%$ であるが、上述のように、電源電圧PWR1が $2.5 - 5\% \sim 3.3V + 5\%$ のように下側により広い電圧レンジに設定され、電源電圧PWR2が $1.2 - 5\% \sim 1.8V + 5\%$ のように下側により広い電圧レンジに設定されても良い。これにより、電圧を下げて消費電力を低減することが可能となる。

【0251】

ESD保護ダイオード43は、配線W2, W3, W5, W6, W8, W9, W11, W12のそれぞれと、グランドプレーン41とを接続する。ESD保護ダイオード43は、端子Pと接続端子CPとの間に配置され、端子P102, P103, P105, P106, P108, P109, P111, P112から侵入する静電気を吸収する。

【0252】

複数の接続端子CPが第1の列R11と第1の列R12との間に位置すると、配線W2, W3, W5, W6, W8, W9, W11, W12は、他の配線や他の部品を迂回したり、第1の列R12に含まれる複数の端子Pの間を通過したりすることが無いように設定可能となる。このため、配線W2, W3, W5, W6, W8, W9, W11, W12の長さを短くすることができるとともに、ESD保護ダイオード43を効果的に配置可能である。本実施形態では、ESD保護ダイオード43は、第1の列R11に含まれる端子Pの近傍に配置される。

【0253】

メモリーカード10は、ホスト機器のコネクタに装着される。例えば、メモリーカード10は、プッシュプッシュやプッシュプルタイプのコネクタのスロットに挿入されることで、当該コネクタに装着される。なお、メモリーカード10は、ヒンジタイプコネクタのような他のタイプのコネクタに装着されても良い。

【0254】

本実施形態のメモリーカード10は、切欠きCが設けられる図13の第1の縁31から、コネクタのスロットに挿入される。これにより、メモリーカード10がコネクタに装着された状態において、第1の縁31は、第4の縁34よりもコネクタの奥に位置する。

10

20

30

40

50

【 0 2 5 5 】

第 1 の角部 3 5 が第 1 の縁 3 1 と第 2 の縁 3 2 との間に切欠き C を形成することで、メモリーカード 1 0 が表裏逆にコネクタのスロットに挿入されることが防止される。例えば、メモリーカード 1 0 が正しい向きでコネクタのスロットに挿入されると、切欠き C がコネクタの内部の部材を避ける。一方、メモリーカード 1 0 が表裏逆にコネクタのスロットに挿入されると、コネクタの内部の部材が、例えば第 2 の角部 3 6 に干渉し、メモリーカード 1 0 が完全に挿入されることを妨げる。また、Y 軸方向を逆向きに、第 4 の縁からメモリーカード 1 0 をコネクタに挿したときも、同様にメモリーカード 1 0 はコネクタに装着できない。第 1 の縁 3 1 と第 3 の縁 3 3 との間に形成される第 2 の角部 3 6 付近において、X 軸方向の縁と Y 軸方向の縁がコネクタに密着することにより、コネクタとメモリーカード 1 0 の回転方向のズレを少なくすることができる。

10

【 0 2 5 6 】

図 1 4 に示すように、メモリーカード 1 0 がコネクタに挿入されると、コネクタのリードフレーム 1 0 1 , 1 0 3 が、第 1 の列 R 1 1 及び第 2 の列 R 2 1 を形成する複数の端子 P のそれぞれに接触する。リードフレーム 1 0 1 , 1 0 3 が延びる方向は、例えば、ホストの配線が最短になる方向に配置される。この場合、メモリーカード 1 0 がコネクタに挿入されるときに、リードフレーム 1 0 1 , 1 0 3 が曲がりやすい方向に力がかかる。メモリーカード 1 0 に傾斜部 3 9 が設けられ、メモリーカード 1 0 の先端がテーパ状になっている。このため、リードフレーム 1 0 1 , 1 0 3 が傾斜部 3 9 にガイドされることができ、例えば、リードフレーム 1 0 1 , 1 0 3 と筐体 1 1 との間の摩擦が低減され、リードフレームを曲げようとする力も小さくできる。さらに、リードフレーム 1 0 1 , 1 0 3 のメッキが剥離することが抑制され、コネクタの耐摩耗性が向上する。リードフレーム 1 0 2 の方向は、曲げる力は小さいが、コネクタから多数ある信号の引き出しが難しくなり、ホストの配線が長くなる。このため、リードフレーム 1 0 2 の実装はオプションであって良い。

20

【 0 2 5 7 】

例えばヒンジタイプコネクタにおいて、リードフレーム 1 0 2 が、第 1 の列 R 1 2 を形成する複数の端子 P にそれぞれ接触する。また、図 1 5 の変形例のメモリーカード 1 0 では、リードフレーム 1 0 2 は筐体 1 1 の第 1 の面 2 1 に接触する。リードフレーム 1 0 2 が端子 P 又は第 1 の面 2 1 に接触することで、コネクタとメモリーカード 1 0 との接触点が増える。このため、メモリーカード 1 0 の熱がコネクタへ伝導し、メモリーカード 1 0 が冷却されやすくなる。

30

【 0 2 5 8 】

リードフレーム 1 0 1 , 1 0 2 , 1 0 3 が端子 P に接触すると、ホスト機器のコントローラ（以下、ホストコントローラと称する）と、メモリーカード 1 0 のカードコントローラ 1 4 とが、ホスト機器の配線や、メモリーカード 1 0 の配線 W を介して電氣的に接続される。

【 0 2 5 9 】

ホスト機器の基板に実装するためのコネクタの端子のような、コネクタのホストコントローラ側の接続点は、一般的に、コネクタのスロットの奥側（図 1 3 の上方向）に設けられる。このため、第 1 の列 R 1 1 を形成する端子 P 及びリードフレーム 1 0 1 の接触点と、ホストコントローラとの間の配線の長さは、より短くされやすい。一方、第 2 の列 R 2 1 を形成する端子 P 及びリードフレーム 1 0 3 の接触点と、ホストコントローラとの間の配線の長さは、例えば、第 1 の列 R 1 1 を迂回するため、より長くなりやすい。

40

【 0 2 6 0 】

本実施形態のメモリーカード 1 0 では、ホストコントローラまでの配線長がより短くなる第 1 の列 R 1 1 , R 1 2 に、高速な差動データ信号の伝送を行う端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 , P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 が含まれるようになっている。これにより、ホスト機器の物理層（PHY）とメモリーカード 1 0 の物理層（

50

PHY)とが近くなり、メモリーカード10の差動データ信号の伝送において、シグナルインテグリティを確保しやすくなる。

【0261】

図17は、第3の実施形態のメモリーカード10の構成の第1の例を概略的に示す例示的なブロック図である。カードコントローラ14は、インターフェース回路(I/F)51と、物理層及びメモリコントローラ52と、二つのレギュレータ53, 54と、電源チェック回路55とを有する。カードコントローラ14の物理層及びメモリコントローラ52は、図17において一つのブロックに示されるとともに、以下でも一体的に説明される。

【0262】

I/F51は、シングルエンド信号に対応することができる。I/F51には、例えば、入力バッファ及び出力バッファが設けられる。リセット信号PERST#は入力信号であり、端子P133に入力バッファが配置される。CLKREQ#は、双方向信号であり、端子P135に、入力バッファとオープンドレインの出力バッファが配置される。この信号は、ホストによりHighレベルにプルアップされている。メモリーカード10は、この信号をLowにドライブしないことで、入力状態になる。またホストがこの信号をLowにドライブしていない間、メモリーカード10は、当該メモリーカード10から信号レベルを制御できる出力状態になる。

【0263】

物理層及びメモリコントローラ52は、差動信号に対応することができる。物理層及びメモリコントローラ52には、レシーバ及びトランスミッタが設けられる。レシーバには、受信差動信号PERp0, PERn0, PERp1, PERn1, PERp2, PERn2, PERp3, PERn3を入力することができる。トランスミッタは、送信差動信号PETp0, PETn0, PETp1, PETn1, PETp2, PETn2, PETp3, PETn3を出力することができる。

【0264】

物理層及びメモリコントローラ52と、電源チェック回路55とは、I/F51に接続される。物理層及びメモリコントローラ52は、フラッシュメモリ13に接続される。カードコントローラ14には、PCIeの物理層の他、PCIeのデータリンク層及びトランザクション層が設けられても良い。

【0265】

物理層及びメモリコントローラ52は、シリアル/パラレル変換、パラレル/シリアル変換、及びデータのシンボル化などを行うことができる。当該シンボル化は、データの0又は1が連続する時に、前記8B10Bや128b/130bなどのコードの中から、0又は1が連続しないシンボルに置き換えることで、同じ値の連続回数を所定値以下に抑える処理である。このシンボル化により、データ伝送時の電圧レベルの偏りを抑えることができる。また、同一シンボルパターンを繰り返し転送すると、特定の周波数の高周波が大きくなってしまいが、繰り返しパターンにならないようにパターンが異なる複数のシンボルに切り替えることで、特定の周波数の高調波が大きくなるようにすることができる。つまり、EMIの発生を抑えることができる。

【0266】

なお、PCIeのトランザクション層では、データをパケット化して送受信したり、メッセージ送受信したりすることができる。PCIeのデータリンク層では、トランザクション層から受けとったパケットにシーケンス番号を付加したり、CRC符号を付加したりすることができる。シーケンス番号は、パケットの送達確認などに用いることができる。

【0267】

PCIeは複数レーンで構成可能であるが、ホストとメモリーカード10とを接続した各レーンは、独立して初期化される。初期化が完了し通信が可能なレーンのみが使用される。本実施例の場合、最大4レーンが使用されるが、1レーン又は2レーンのみが使用されても良い。

10

20

30

40

50

1 レーン P E R p 0 , P E R n 0 , P E T p 0 , P E T n 0、又は、
 P E R p 1 , P E R n 1 , P E T p 1 , P E T n 1
 2 レーン P E R p 0 , P E R n 0 , P E T p 0 , P E T n 0 ,
 P E R p 1 , P E R n 1 , P E T p 1 , P E T n 1
 4 レーン P E R p 0 , P E R n 0 , P E T p 0 , P E T n 0 ,
 P E R p 1 , P E R n 1 , P E T p 1 , P E T n 1 ,
 P E R p 2 , P E R n 2 , P E T p 2 , P E T n 2 ,
 P E R p 3 , P E R n 3 , P E T p 3 , P E T n 3

データの順番は、通信可能なレーン数に応じてバイト単位にレーン番号の順番に分配される。

10

【0268】

ホスト機器からメモリーカード10にシリアルを受信差動信号P E R p 0 , P E R n 0 , P E R p 1 , P E R n 1 , P E R p 2 , P E R n 2 , P E R p 3 , P E R n 3 が送信されると、各レーンのレシーバ毎にバイト単位でパラレルデータに変換される。各レーンのトランスミッタにバイト単位のパラレルデータが送信されると、そのデータがシリアルの送信差動信号P E T p 0 , P E T n 0 , P E T p 1 , P E T n 1 , P E T p 2 , P E T n 2 , P E T p 3 , P E T n 3 に変換され、ホスト機器に送信される。

【0269】

電源電圧P W R 1 は、フラッシュメモリ13及びカードコントローラ14に供給される。本実施形態において、電源電圧P W R 1 は、主としてフラッシュメモリ13のリード/ライトのような、フラッシュメモリ13の動作に使用される。電源電圧P W R 1 を昇圧することで、フラッシュメモリ13の書き込み電圧が生成される。また電源電圧P W R 1 は、他の用途に使うこともできる。上述のように、電源電圧P W R 1 は、電源電圧P W R 2 以上であり、且つ電源電圧P W R 3 以上である。

20

【0270】

ホスト機器とメモリーカード10とが3.3V信号電圧で接続される場合、I/O電源に電源電圧P W R 1 が用いられる。図17の例のようにホスト機器とメモリーカード10とが1.8V信号電圧で接続される場合であっても、電源電圧P W R 1 がI/O電源として用いられても良い。これにより、メモリーカード10が高耐圧化され、カード入力回路が保護される。メモリーカード10は、例えば、電源電圧P W R 1 が2.5Vに設定されると2.5V耐圧、電源電圧P W R 1 が3.3Vに設定されれば3.3V耐圧とされ得る。

30

【0271】

電源電圧P W R 2 は、フラッシュメモリ13及びカードコントローラ14に供給される。本実施形態において、電源電圧P W R 2 は、ロジック回路の電源として用いられる。また、電源電圧P W R 2 は、フラッシュメモリ13とカードコントローラ14との間のインターフェース電圧としても用いられる。

【0272】

ホスト機器とメモリーカード10とが1.8V信号電圧で接続される場合、I/O電源に電源電圧P W R 2 が用いられても良い。この場合、メモリーカード10は、1.8V耐圧とされ得る。

40

【0273】

電源電圧P W R 3 は、カードコントローラ14に供給される。本実施形態において、電源電圧P W R 3 は、差動信号回路の物理層(PHY)やアナログ回路の電源として用いられる。

【0274】

一般的に、アナログ動作する差動信号回路には、ノイズの少ない電源が用いられ、デジタル電源とは分離される。本実施形態において、ホスト機器から供給される電源電圧P W R 3 は、十分安定化されてノイズが少ない電源である。

【0275】

50

以上のように、メモリーカード 10 では、ノイズや電源変動の影響を低減するため、三つの電源電圧 PWR 1, PWR 2、PWR 3 が分離されて供給される。すなわち、三つの電源電圧 PWR 1, PWR 2、PWR 3 が用途によって使い分けられる。なお、電源電圧 PWR 1, PWR 2、PWR 3 は、上述の例に限定されず、他の態様で使用されても良い。

【0276】

図 18 は、第 3 の実施形態のメモリーカード 10 の構成の第 2 の例を概略的に示す例示的なブロック図である。図 18 に示すように、電源電圧 PWR 2 は、レギュレータ 53, 54 に供給されても良い。電源電圧 (第 3 の電源) PWR 3 が割り当てられた端子 P137, P138 がグラウンドレベルとされることで、電源電圧 PWR 3 はレギュレータ 53 で生成される。これは電源電圧 PWR 1 と電源電圧 PWR 2 の 2 電源で動作するメモリーカード 10 を使用する場合である。

10

【0277】

図 18 の例のように、レギュレータ 54 は、入力された電源電圧 PWR 2 よりも低い電源電圧 Vlogic を生成する。この電源電圧 Vlogic が、電源電圧 PWR 2 の代わりに、フラッシュメモリ 13 と、カードコントローラ 14 の物理層及びメモリコントローラ 52 に供給される。電源電圧 Vlogic は、ロジック回路の電源として用いられるとともに、フラッシュメモリ 13 とカードコントローラ 14 との間のインターフェース電圧としても用いることもできる。インターフェース電圧が低減されることで、フラッシュメモリ 13 とカードコントローラ 14 との間で高速でデータ転送をすることができ、消費電力も低減される。一般に信号電圧が低い方が信号の立ち上がり / 立ち下がり時間を短くできるため高速なデータ伝送が可能となる。

20

【0278】

ホスト機器から安定した電源電圧 PWR 3 の供給が難しい場合、レギュレータ 53 により生成された電源電圧 PWR 3 を用いることで問題を解消できる。図 18 の例のように、端子 P137, P138 がグラウンド接続されると、レギュレータ 53 は、入力された電源電圧 PWR 2 から、当該電源電圧 PWR 2 よりも低い電源電圧 PWR 3 を生成する。図 17 のようにホストが電源電圧 PWR 3 を供給した場合、メモリーカード 10 はレギュレータ 53 を使わずに、ホストから供給される電源電圧 PWR 3 を使用するように切り替えることもできる。

30

【0279】

電源電圧 PWR 3, Vlogic は、ともに電源電圧 PWR 2 から生成される。電源電圧 PWR 3 と電源電圧 Vlogic とは、互いに同じ電圧でも異なった電圧でも良いが、電源分離して相互に影響しないようにするために別々なレギュレータ 53 及びレギュレータ 54 で電源電圧を生成している。また、レギュレータ 53, 54 として LDO (Low Drop Out) が用いられることで、入出力電圧差による無駄な消費電力を低減できる。

【0280】

図 18 の破線で示すように、レギュレータ 53 が電源電圧 PWR 1 から電源電圧 PWR 3 を生成し、レギュレータ 54 が電源電圧 PWR 1 から電源電圧 Vlogic を生成しても良い。すなわち、この場合、メモリーカード 10 は、電源電圧 PWR 1 があれば動作し得る。

40

【0281】

以上のように、メモリーカード 10 は、端子 P131, P132, P134, P137, P138 に印加される電源電圧 PWR 1, PWR 2、又は電源電圧 PWR 1, PWR 2, PWR 3 により動作し得る。メモリーカード 10 は、端子 P131, P132, P134, P137, P138 に印加される電源電圧 PWR 1, PWR 2, PWR 3 の組合せに応じて、電源モードを切り替え可能であっても良い。

【0282】

ホスト機器は、以下の電源チェックシーケンスにより、フラッシュメモリ 13 に保存さ

50

れたメモリーカード10の電源仕様情報13aを取得することで、メモリーカード10の電源構成に対応することができる。電源仕様情報13aは、例えば、電源電圧PWR1, PWR2, PWR3の電圧範囲、最大電流(連続)、及びピーク電流(100μ秒区間)を含む。

【0283】

図19は、第3の実施形態のメモリーカード10の電源チェックシーケンスにおけるホスト機器の動作を示す例示的なフローチャートである。ホスト機器がフラッシュメモリ13から電源仕様情報13aを取得する前に、PCIeの初期化が行われる。このため、ホスト機器は、電源チェックシーケンスにおいて、供給する電源電圧PWR1, PWR2, PWR3の組み合わせで初期化が開始可能か否かを判定する。

10

【0284】

図19に示すように、ホスト機器は、コネクタのスロットに挿入されたメモリーカード10の端子P134に、電源電圧PWR1を供給(印加)し(S101)、端子P131, P132に、電源電圧PWR2を供給(印加)する(S102)。

【0285】

図17に示すように、電源チェック回路55に、電源電圧PWR1, PWR2が入力される。電源チェック回路55は、印加された電源電圧PWR1, PWR2によってメモリーカード10を使うことができる場合、CLKREQ#=Lowをドライブする。一方、電源チェック回路55は、印加された電源電圧PWR1, PWR2によってカードを使うことができない場合、CLKREQ#=Highのままとする。

20

【0286】

図19に示すように、ホスト機器は、一定時間Tpok経過後(S103)、CLKREQ#のレベルをチェックする(S104)。電源チェック回路55は、時間Tpokの間にCLKREQ#のレベルをHighからLowに切り替えることができる。このため、ホスト機器は、時間Tpok経過後にCLKREQ#のレベルを一度チェックすれば良い。CLKREQ#=Highのままである場合(S104:No)、ホスト機器は、メモリーカード10の端子P137, P138に電源電圧PWR3を供給(印加)する(S105)。

【0287】

電源チェック回路55は、印加された電源電圧PWR1, PWR2, PWR3によってメモリーカード10を使うことができる場合、CLKREQ#=Lowをドライブする。一方、電源チェック回路55は、印加された電源電圧PWR1, PWR2, PWR3によってカードを使うことができない場合、CLKREQ#=Highのままとする。

30

【0288】

ホスト機器は、一定時間Tpok経過後(S106)、CLKREQ#のレベルをチェックする(S107)。CLKREQ#=Highのままである場合(S107:No)、ホスト機器は、電源電圧PWR1, PWR3をオフにする(S108)。

【0289】

ホスト機器は、一定時間Tpok経過後(S109)、CLKREQ#のレベルをチェックする(S110)。CLKREQ#=Highのままである場合(S110:No)、ホスト機器は、メモリーカード10を使用しない(S111)。

40

【0290】

電源電圧PWR2のみが印加されている場合(S108)、電源チェック回路55は、CLKREQ#=Lowをドライブする。電源電圧PWR2だけでPCIeの初期化は可能であるため、ホスト機器は、後述のように電源仕様情報13aを読み出して、メモリーカード10が必要とする別な電源電圧を供給可能か否かを判断する。

【0291】

制御信号CLKREQ#のレベルチェック時にCLKREQ#=Lowであった場合(S104:Yes, S107:Yes, S110:Yes)、ホスト機器は、PCIeの初期化を開始する(S112, S113, S114)。S112, S113, S114は

50

、P C I eの標準パワーアップシーケンスである。C L K R E Q # = L o wであると、ホスト機器は差動クロックR E F C L Kを供給し (S 1 1 2)、所定のタイミング (T P V P G L)でリセット信号P E R S T #をH i g hとする (S 1 1 3)。

【 0 2 9 2 】

次に、ホスト機器は、P C I eのトレーニングシーケンスを実行する (S 1 1 4)。このトレーニングシーケンスにより、物理層の検出、物理層の動作パラメータの調整等が行われ、ホスト機器とメモリーカード10とが通信可能となつて、M M I Oレジスタが読み出せる状態となる。上述の初期化は、このトレーニングシーケンスを含む。

【 0 2 9 3 】

図20は、第3の実施形態の電源仕様情報13aの一例を示す例示的な表である。図20に例示される電源仕様情報13aは、電源要求仕様として記載されるレジスタ情報であり、上述のように電源電圧P W R 1 , P W R 2 , P W R 3の電圧範囲、最大電流 (連続)、及びピーク電流 (例えば100 μ秒区間)を含む。

10

【 0 2 9 4 】

最大電流 (連続)は、メモリーカード10のメモリアクセス時に用いられる連続電流値である。ホスト機器の電源回路は、連続でこの電流値を供給することが要求される。

【 0 2 9 5 】

ピーク電流 (100 μ秒区間)は、例えば、100 μ秒区間で測定した場合に流れるピーク電流値であり、ホスト機器の電源設計におけるカップリングコンデンサの容量や、電源回路の応答特性に影響される。ホスト機器の電源回路は、当該ピーク電流を供給可能であることが要求される。

20

【 0 2 9 6 】

電圧範囲は、電源電圧が変動を許容される範囲を含む。ホスト機器の電源回路は、配線やコネクタのドロップ電圧が存在しても、端子Pにおける電源電圧が当該電圧範囲に入るように電圧を保持することが要求される。

【 0 2 9 7 】

さらに、電源仕様情報13aは、電源電圧P W R 3がレギュレータ53によって電源電圧P W R 2から生成されるか否かを示す情報を含む。上述のように、レギュレータ53は、端子P137, P138に電源電圧P W R 3が印加されない場合、電源電圧P W R 2から電源電圧P W R 3を生成可能である。なお、メモリーカード10は、レギュレータ53を有していても、端子P137, P138に印加された電源電圧P W R 3を用いて良い。

30

【 0 2 9 8 】

図19に示すように、ホスト機器は、以降のチェックを省略可能か否か判断する (S 1 1 5)。例えば、S104, S107でC L K R E Q # = L o wであった場合、ホスト機器がフラッシュメモリ13にアクセスするための十分な電源回路を実装しているため、ホスト機器は、以降のチェックを省略可能とし (S 1 1 5 : Y e s)、メモリーカード10が使用可能と判断する (S 1 1 6)。

【 0 2 9 9 】

チェックの省略が不可である場合 (S 1 1 5 : N o)、ホスト機器は、フラッシュメモリ13から電源仕様情報13aを読み出す (S 1 1 7)。電源仕様情報13aは、例えば、M M I O上にマッピングされたN V M eレジスタのV e n d o r S p e c i f i c領域に配置されており、物理層及びメモリコントローラ52を経由して、パケットに乗せられて差動データ信号で出力される。ホスト機器は、差動データ信号をデコードすることで、パケットを復元し電源仕様情報13aを取得する。

40

【 0 3 0 0 】

ホスト機器は、読み出した電源仕様情報13aの電源要求仕様と、当該ホスト機器の電源回路仕様とを比較して、メモリーカード10が使用可能か否かを判断する (S 1 1 8)。ホスト機器が電源要求仕様を全て満足している場合 (S 1 1 8 : Y e s)、ホスト機器がフラッシュメモリ13にアクセスするための十分な電源回路を実装しているため、メモリーカード10は使用可能と判断される (S 1 1 6)。

50

【0301】

ホスト機器が電源要求仕様を満足していない場合（S118：No）、ホスト機器は、電源電圧PWR1、PWR2、PWR3の調停が可能か否かを判断する（S119）。例えば、電源電圧PWR1が不足している場合、ホスト機器は、PCIeで定義されているパワーステート（Power State）で最大電力を制限することによりメモリーカード10が使用可能であれば（S119：Yes）、当該調停を行って（S121）、メモリーカード10が使用可能と判断する（S116）。一方、調停ができない場合（S119：No）、ホスト機器は、メモリーカード10を使用しない（S120）。

【0302】

また、電源電圧PWR1、PWR2、PWR3の調停として、電圧を下げるプロセスもあり得る。例えば、電源仕様情報13aにおいて、3.3Vを印加した電源電圧PWR1が2.5Vで動作可能であった場合、ホスト機器は、電源電圧PWR1を2.5Vに下げることによって消費電力を下げることができ、メモリーカード10の電源要求とホスト機器の電源能力の一致するところに調停することができる。

【0303】

メモリーカード10は、複数の電力モードを実装することができる。例えば、上述のように、メモリーカード10は、複数のパワーステート又はパワーリミットを実装可能である。

【0304】

ホスト機器は電源能力に応じて、使用可能なパワーステートをPCIeパケットでメモリーカード10に設定する。例えば図20に示すように、本実施形態のメモリーカード10は、三つのパワーステートをサポートした例である。なお、メモリーカード10はこの例に限られない。ピーク電流は瞬間の電流値であって定常電流ではなく、パワーステートに依存しないため、共通の設定となっている。

【0305】

パワーステートAは、パワーステートBよりも消費電力が大きい。また、パワーステートBは、パワーステートCよりも消費電力が大きい。消費電力が大きいほど性能は高くなる。ホスト機器の電源回路がパワーステートAを満足しない場合、パワーステートBに設定されることで、ホスト機器はメモリーカード10を使うことができる。パワーステートの選択肢は、例えば、他のPCIeレジスタ又はNVMeコマンドで与えられる。

【0306】

PCIeの初期化によって、PCIeバス性能が決まり、それによってメモリーカード10の最大性能が決まり、メモリーカード10の最大消費電力が決まる。従って、メモリーカード10がPCIeの初期化結果とホスト機器から供給される電源電圧値によってパワーステートの設定を変えることにより、ホスト機器はメモリーカード10の消費電力を制御することができる。

【0307】

メモリーカード10は、パワーステートの代わりに、第1の実施形態と同じくパワーリミット（Slot Power Limit）を使用しても良い。

【0308】

図21は、第3の実施形態のメモリーカード10の電源チェックシーケンスにおける第1の例を示す例示的なタイミングチャートである。以下、図19及び図21を参照して、電源チェックシーケンスにおける第1の例を説明する。当該第1の例に係るメモリーカード10は、また、図21において、図19の各動作に対応するタイミングに、当該図19に対応する符号を付与する。ホスト機器とメモリーカード10との間のインターフェースは、電源電圧PWR2による信号電圧が使われるため、ホスト機器は少なくともメモリーカード10の電源電圧PWR2の範囲内の電圧を供給する。

【0309】

まず、ホスト機器が、メモリーカード10の端子P134に電源電圧PWR1を供給し（S101）、端子P131、P132に電源電圧PWR2を供給する（S102）。電

10

20

30

40

50

源電圧 PWR3 はグラウンドレベルに設定されている。メモリーカード 10 の初期化には電源電圧 PWR3 が用いられるので、一定時間 T_{pok} が経過しても (S103)、制御信号 CLKREQ# のレベルは High のままである (S104:No)。このため、ホスト機器は、メモリーカード 10 の端子 P137, P138 に電源電圧 PWR3 を供給する (S105)。

【0310】

電源電圧 PWR3 が供給されることで、CLKREQ# = Low となる。このため、一定時間 T_{pok} 経過後 (S106)、CLKREQ# のレベルチェック時に CLKREQ# = Low となっているため (S107:Yes)、ホスト機器は 3 電源を要するメモリーカード 10 であると認識できる。CLKREQ# = Low から T_{ck} 時間経過後、ホスト機器から差動レファレンスクロックが供給される (S112)。また TPVPL 時間経過後にリセット信号 PERST# が Low から High にディアサートされる (S113)。

10

【0311】

図 22 は、第 3 の実施形態のメモリーカード 10 の電源チェックシーケンスにおける第 2 の例を示す例示的なタイミングチャートである。以下、図 19 及び図 22 を参照して、電源チェックシーケンスにおける第 2 の例を説明する。当該第 2 の例に係るメモリーカード 10 は、レギュレータ 53 により電源電圧 PWR1 又は PWR2 から電源電圧 PWR3 を生成でき、電源電圧 PWR1 及び PWR2 だけで PCIE による初期化を開始することができる。

20

【0312】

まず、ホスト機器が、端子 P134 に電源電圧 PWR1 を供給し (S101)、メモリーカード 10 の端子 P131, P132 に電源電圧 PWR2 を供給する (S102)。電源電圧 PWR1 及び PWR2 が供給されることで、CLKREQ# = Low となる。このため、一定時間 T_{pok} 経過後 (S103)、CLKREQ# のレベルチェック時に CLKREQ# = Low となっているため (S104:Yes)、ホスト機器は PWR1 と PWR2 の 2 電源を要とし、PWR3 を必要としないメモリーカード 10 であると認識できる。

【0313】

図 23 は、第 3 の実施形態のメモリーカード 10 の電源チェックシーケンスにおける第 3 の例を示す例示的なタイミングチャートである。以下、図 19 及び図 23 を参照して、電源チェックシーケンスにおける第 3 の例を説明する。

30

【0314】

まず、ホスト機器が、メモリーカード 10 の端子 P134 に電源電圧 PWR1 を供給し (S101)、端子 P131, P132 に電源電圧 PWR2 を供給する (S102)。一定時間 T_{pok} が経過しても (S103)、制御信号 CLKREQ# のレベルは High のままである (S104:No)。

【0315】

ホスト機器は、メモリーカード 10 の端子 P137, P138 に電源電圧 PWR3 を供給する (S105)。一定時間 T_{pok} が経過しても (S106)、制御信号 CLKREQ# のレベルは High のままである (S107:No)。このため、ホスト機器は、当該第 3 の例に係るメモリーカード 10 が電源電圧 PWR1, PWR2, PWR3 に対して標準とは別な電源電圧で動作させる必要があることを認識する。一例として、ある高性能なメモリーカード 10 が、標準電源電圧では当該メモリーカード 10 の消費電力が大き過ぎてしまうとき、電源電圧を下げて使用することで当該メモリーカード 10 の消費電力を下げて使用することができる場合がある。

40

【0316】

ホスト機器が電源電圧 PWR1, PWR3 をオフにして、PWR2 だけを印加する (S108) ことで、PCIE の初期化が可能であれば CLKREQ# = Low となる。ホスト機器は、一定時間 T_{pok} 経過後 (S109)、CLKREQ# のレベルチェック時に

50

CLKREQ# = Lowとなっているため (S110: Yes) PCIeの初期化を実行する (S112, S113, S114)。

【0317】

上述のように、第3の例に係るメモリーカード10は特殊な電源電圧で動作するため、ホスト機器は、チェックを省略せず (S115: No)、電源仕様情報13aを読み出す (S117)。第3の例のカードは、電源電圧PWR2のみでPCIeの初期化を行うことができ、電源仕様情報13aは読み出せるようになっている。電源仕様情報13aの読み出しに電源電圧PWR1が用いられる場合、S101で電源電圧PWR1が供給されているため、ホスト機器は、電源電圧PWR1がオフにされる前に電源仕様情報13aを読み出しても良い。ホスト機器は、一旦電源電圧PWR2を落とし、電源仕様情報13aにしたがって電源電圧PWR1, PWR2, PWR3の電圧を供給し、パワーアップシーケンスを最初から実行する。なお、例えばホスト機器が使用されるメモリーカード10の電源仕様を予め認識している場合、特殊な電源電圧で動作するメモリーカード10であってもチェックが省略されても良い (S115: Yes)。

【0318】

図24は、第3の実施形態のメモリーカード10の電源チェックシーケンスにおける第4の例を示す例示的なタイミングチャートである。第4の例は、一般的なPCIeのパワーアップシーケンスである。図24に示すように、ホスト機器は、メモリーカード10が動作可能な三つの電源電圧PWR1, PWR2, PWR3を最初から供給する。この場合、電源電圧PWR3を使うか使わないかにかかわらず、チェックが省略され、CLKREQ# = Lowが出力され、メモリアクセスが可能であることを示す。これにより、一般的なPCIeのパワーアップシーケンスとの互換性が得られる。

【0319】

また、特定のホスト機器と特定のメモリーカード10のみ組み合わせで使用するような環境で、ホスト機器がメモリーカード10の電源仕様を予め認識している場合がある。この場合、ホスト機器は、電源チェックシーケンスを実行せずに、最初から必要なすべての電源電圧を印加して初期化を開始しても良い。この場合も、CLKREQ# = Lowとなることでメモリアクセスが可能なが示される。

【0320】

フラッシュメモリ13に高速アクセスするために、大きな電流が用いられる場合がある。しかし、PCIeの初期化で消費される電流は、高速アクセスするための電流よりも少なく済む。そのため最低限の電源電流の実装でも前記電源仕様情報13aは読み出すことができる。ホスト機器は、前記電源仕様情報13aによって、メモリーカード10に最適な電源電圧PWR1, PWR2, PWR3の情報を得ることができる。

【0321】

以上の電源チェックシーケンスにおいて、メモリーカード10のカードコントローラ14は、端子P131, P132, P134, P137, P138に印加された電源電圧PWR1, PWR2, PWR3の組合せによって差動データ信号によるメモリアクセスが可能か否かを判定して、端子P135から判定結果を出力する。さらに、フラッシュメモリ13は、差動データ信号によるPCIeの初期化が完了すると、当該フラッシュメモリ13に記録された電源仕様情報13aが読み出し可能となる。また、メモリーカード10のカードコントローラ14は、端子P131, P132, P134, P137, P138に印加された電源電圧PWR1, PWR2, PWR3の組合せと、PCIeの初期化の結果と、に応じてメモリアクセス性能を制御し、パワーステート情報を変更する。

【0322】

以上の電源チェックシーケンスにより、別々の電源仕様を有する複数の種類のメモリーカード10が混在しても、ホスト機器が当該電源仕様を識別することができる。なお、メモリーカード10と、対応するホスト機器との電源仕様を予め決めておくことで、電源チェックシーケンスを省略することができる。

【0323】

10

20

30

40

50

メモリーカード 10 は、活線挿抜に対応しないため、ホスト機器やコネクタに対策がされる。メモリーカード 10 の交換は、メモリーカード 10 の電源がオフになっている状態で行われる。

【0324】

ホスト機器は、コネクタへのメモリーカード 10 の挿入検出を用いて、メモリーカード 10 が装着された後に電源を投入するように制御する。また、メモリーカード 10 に電源が供給されている間にメモリーカード 10 が抜かれるとデータ喪失が起こるので、コネクタがロック機能を持つことでこれを防ぐことができる。メモリーカード 10 を交換する場合、ホスト機器は、メモリーカード 10 のシャットダウン処理を行い、シャットダウン処理完了後に電源供給を止め、コネクタのロック機能を解除する。これによりメモリーカード 10 の不用意な取り外しを抑制し、メモリーカード 10 のデータを保護することができる。

10

【0325】

メモリーカード 10 の交換が常に電源オフの状態で行われるホストシステムの場合、メモリーカード 10 の挿抜を検出する機能は不要となる。コネクタは、メモリーカード 10 が装着されているかどうかを検出できる信号があれば良い。当該ホストシステムは、電源投入後のメモリーカード 10 の初期化で、メモリーカード 10 の存在を判定することもできる。

【0326】

図 25 は、第 3 の実施形態のメモリーカード 10 の温度チェックシーケンスにおけるカードコントローラ 14 の動作を示す例示的なフローチャートである。例えば、ホスト機器の放熱機構の設計において、メモリーカード 10 の温度の情報が用いられることがある。当該設計のため、カードコントローラ 14 は、以下に説明するように、要求に応じてメモリーカード 10 の温度に係る情報をホスト機器へ送信する。

20

【0327】

図 25 に示すように、カードコントローラ 14 は、ホスト機器からの温度の情報の読出し要求を受けたか否かを判断する (S201)。ホスト機器の放熱機構の設計においては、例えば、メモリーカード 10 が最大パフォーマンス状態 (最大消費電力状態) の場合、メモリーカード 10 の表面温度が用いられる。このため、ホスト機器は、例えば、カードコントローラ 14 がフラッシュメモリ 13 に対して連続で書込み (ライト) している場合、又は連続して読出し (リード) している場合に、読出し要求をメモリーカード 10 へ送信する。

30

【0328】

カードコントローラ 14 は、ホスト機器からの温度の情報の読出し要求を受け取ると (S201: Yes)、メモリーカード 10 に設けられた温度センサ 111 の値を読み込む (S202)。例えば温度センサ 111 の値は、カードコントローラ 14 のジャンクション温度を示す。

【0329】

図 17 及び図 18 に示すように、温度センサ 111 は、カードコントローラ 14 とは別な部品として、メモリーカード 10 に設けられる。温度センサ 111 は、例えば、カードコントローラ 14 の上面又は下面に搭載される。カードコントローラ 14 は、温度センサ 111 の値を、例えば温度センサインターフェース (I/F) を経由して読み取る。

40

【0330】

なお、温度センサ 111 は、カードコントローラ 14 の内部に設けられても良い。例えば、温度センサ 111 は、カードコントローラ 14 に内蔵された電気抵抗を半導体温度センサとして用いたものであっても良い。温度センサ 111 は、カードコントローラ内の最も発熱する回路付近に配置されることで、コントローラのジャンクション温度を測ることができる。カードコントローラ 14 が温度の情報の読出し要求を受け取ると、カードコントローラ 14 の CPU は、半導体温度センサの値が表示されるレジスタの値を読み出すことで、ジャンクション温度の情報を取得することができる。

50

【0331】

上述の半導体温度センサは、温度変化に伴って、電気抵抗の抵抗値が変化する。温度と抵抗値との間の特性を予め測定しておくことで、逆に抵抗値から温度が計算できる。このため、カードコントローラ14は、半導体温度センサの電気抵抗値を測定することで、ジャンクション温度に変換することができる。

【0332】

温度センサ111は、電気抵抗に限らず、温度変化で特性が変化する他の素子を半導体センサとして用いたものであっても良い。半導体センサとして利用される素子は、例えば、一定の電流を流された場合に、両端における電位差が温度に応じて変化する。このため、予め実測を基に算出された当該素子の温度 - 電圧特性を用いて、素子の両端における電位差から、温度を算出することが可能となる。

10

【0333】

上記素子が半導体センサとして利用される場合、例えば、電圧を測定するA/Dコンバータが当該素子に接続される。A/Dコンバータが測定した電圧値と、素子の温度 - 電圧特性とに基づき、カードコントローラ14のジャンクション温度が算出される。カードコントローラ14のCPUは、算出されたジャンクション温度の情報を、レジスタを介して読み出すことができる。

【0334】

次に、カードコントローラ14は、温度センサ111から読み込んだジャンクション温度を、メモリーカード10の表面温度に変換する(S203)。ジャンクション温度とメモリーカード10の表面温度とは、例えば、ファームウェアにて記述されている変換テーブル又は変換式を元に変換される。

20

【0335】

上記ファームウェアは、フラッシュメモリ13、又はカードコントローラ14の不揮発性メモリに保存されている。メモリーカード10が電源供給を受けたときに、カードコントローラ14のCPUが、保存されたファームウェアを、カードコントローラ14のメモリへ読み出して実行する。

【0336】

カードコントローラ14は、フラッシュメモリ13、又はカードコントローラ14の不揮発性メモリに保存されている変換テーブル又は変換式を用いて、ジャンクション温度をメモリーカード10の表面温度に変換する。変換テーブル及び変換式は、例えば、メモリーカード10の工場出荷前に、最大パフォーマンス状態(最大消費電力状態)のジャンクション温度と表面温度とが実測され、当該実測結果からジャンクション温度と表面温度との関係を算出することで作成される。また、変換テーブル及び変換式は、例えば、フラッシュメモリ13の種類及び構成と、カードコントローラ14の配置と、筐体11の材料と、に基づく計算により作成されても良いが、あらゆる種類の材料に対して物理特性の理論式を求めるのは難しい。これに対し、実測による作成方法は、容易に対応関係を求めることができる。実測では、通常はカードコントローラ14付近の表面温度が測定される。

30

【0337】

次に、カードコントローラ14は、メモリーカード10の表面温度の情報を、温度の情報の読み出し要求の応答としてホスト機器に送信する(S204)。なお、カードコントローラ14は、表面温度及びジャンクション温度を送信しても良いし、ジャンクション温度のみを送信しても良い。

40

【0338】

ホスト機器による表面温度の読み出し要求は、例えば、メモリーカード10に対して温度情報を含むS.M.A.R.T.(Self-Monitoring Analysis and Reporting Technology)情報を要求するフィールドを含むコマンドである。

【0339】

メモリーカード10とホスト機器との接続がNVMeに準拠する場合、ホスト機器はS

50

． M ． A ． R ． T ． 情報 を 要 求 す る コマ ン ド と し て 例 え ば 、 N V M E x p r e s s R e v i s i o n 1 . 3 に 記 述 さ れ て い る S M A R T / H e a l t h I n f o r m a t i o n コマ ン ド を 使 用 す る 。 メモリーカード 10 は 当 該 コマ ン ド に 対 し て 、 ジャンクシ ョ ン 温 度 を C o m p o s i t e T e m p e r a t u r e フ ィ ー ル ド に 、 ジャンクシ ョ ン 温 度 から 変 換 さ れ た メモリーカード 10 の 表 面 温 度 を リザーブ 領 域 に 設 定 し た 応 答 を ホ ス ト 機 器 へ 通 知 し て も 良 い 。

【 0 3 4 0 】

メモリーカード 10 と ホ ス ト 機 器 と の 接 続 が S M B u s に 準 拠 す る 場 合 、 例 え ば 、 ホ ス ト 機 器 は 、 S M B u s の 特 定 の ア ド レ ス に 割 り 当 て ら れ た 情 報 読 み 出 し コマ ン ド を 割 当 て て メモリーカード 10 へ 送 信 す る 。 メモリーカード 10 は 当 該 コマ ン ド に 対 し て 温 度 情 報 を 所 定 の エ リ ア に 保 存 し た 応 答 を ホ ス ト 機 器 へ 返 送 す る 。 こ の 場 合 、 端 子 P 1 3 6 (C O N T A) 、 端 子 P 1 3 9 (C O N T B) が 2 線 式 の S M B u s イ ン タ ー フ ェ ー ス 信 号 と し て 割 り 当 て ら れ 、 メモリーカード 10 は 、 端 子 P 1 3 6 , P 1 3 9 を 使 用 し て ホ ス ト 機 器 か ら 表 面 温 度 の 読 出 し 要 求 を 受 信 し 、 メモリーカード 10 の 表 面 温 度 情 報 を 送 信 し て も 良 い 。

10

【 0 3 4 1 】

以 上 の 温 度 チェックシ ー ケ ン ス に よ り 、 メモリーカード 10 の 温 度 情 報 が ホ ス ト 機 器 に 提 供 さ れ る 。 提 供 さ れ た 温 度 情 報 は 、 例 え ば 、 ホ ス ト 機 器 の 放 熱 機 構 の 特 性 の 解 析 や 、 ホ ス ト 機 器 の 放 熱 機 構 の 確 認 に 利 用 す る こ と が で き る 。

【 0 3 4 2 】

メモリーカード 10 の 温 度 チェックシ ー ケ ン ス は 、 上 述 の 例 に 限 ら れ ない 。 例 え ば 、 温 度 センサ 1 1 1 は 、 フラッシュメモリ 1 3 の 表 面 の 温 度 を 測 定 し て も 良 い 。 こ の 場 合 に 、 カードコントローラ 1 4 は 、 温 度 センサ 1 1 1 か ら 取 得 し た 温 度 情 報 を フラッシュメモリ 1 3 の ジャンクシ ョ ン 温 度 と し て メモリーカード 10 の 表 面 温 度 に 変 換 し て も 良 い 。 こ の 場 合 の 表 面 温 度 は 、 フラッシュメモリ 1 3 付 近 の 表 面 温 度 を 表 す 。

20

【 0 3 4 3 】

以 上 説 明 さ れ た 第 3 の 実 施 形 態 に 係 る メモリーカード 10 に お い て 、 筐 体 1 1 は 、 X 軸 方 向 に 延 び た 第 1 の 縁 3 1 と 、 第 1 の 縁 3 1 の 反 対 側 に 位 置 し て X 軸 方 向 に 延 び た 第 4 の 縁 3 4 と 、 X 軸 方 向 と 交 差 す る Y 軸 方 向 に 延 び た 第 2 の 縁 3 2 と 、 第 1 の 縁 3 1 と 第 2 の 縁 3 2 と の 間 の 切 欠 き C を 形 成 す る 第 1 の 角 部 3 5 と を 有 す る 。 切 欠 き C を 形 成 す る 第 1 の 角 部 3 5 は 、 例 え ば 、 メモリーカード 10 の 逆 挿 し 防 止 に 用 い ら れ る 。 こ の た め 、 メモリーカード 10 が 例 え ば プッシュプルタイプ の コネクタ に 挿 入 さ れ る 場 合 、 メモリーカード 10 は 、 第 1 の 縁 3 1 か ら コネクタ に 挿 入 さ れ る 。 そ し て 、 複 数 の 端 子 P は 、 互 い に 間 隔 を 介 し て Y 軸 方 向 に 並 べ ら れ た 第 1 の 列 R 1 1 , R 1 2 と 、 第 2 の 列 R 2 1 と 、 を 形 成 す る 。 第 1 の 列 R 1 1 , R 1 2 は 、 第 4 の 縁 3 4 よ り も 第 1 の 縁 3 1 に 近 い 位 置 で 互 い に 間 隔 を 介 し て X 軸 方 向 に 並 べ ら れ た 複 数 の 端 子 P を 各 々 が 含 む 。 第 2 の 列 R 2 1 は 、 第 1 の 縁 3 1 よ り も 第 4 の 縁 3 4 に 近 い 位 置 で 互 い に 間 隔 を 介 し て X 軸 方 向 に 並 べ ら れ た 複 数 の 端 子 P を 各 々 が 含 む 。 こ の よ う に 、 複 数 の 端 子 P が 複 数 の 列 (R 1 1 , R 1 2 , R 2 1) を 形 成 す る こ と で 、 本 実 施 形 態 の メモリーカード 10 は 、 通 信 イ ン タ ー フ ェ ー ス を 高 速 化 で き る 。

30

40

【 0 3 4 4 】

一 般 的 に 、 コネクタ に 挿 入 さ れ た メモリーカード 10 の 端 子 P と ホ ス ト コ ン ト ロ ー ラ と の 間 の 配 線 の 長 さ は 、 コネクタ の 奥 ほど 短 くなる 。 す な わ ち 、 第 1 の 列 R 1 1 , R 1 2 に 含 ま れ る 端 子 P と ホ ス ト コ ン ト ロ ー ラ と の 間 の 配 線 の 長 さ は 、 第 2 の 列 R 2 1 に 含 ま れ る 端 子 P と ホ ス ト コ ン ト ロ ー ラ と の 間 の 配 線 の 長 さ よ り も 短 くなる 。 こ の た め 、 第 1 の 列 R 1 1 , R 1 2 に 含 ま れ る 信 号 の 伝 送 に 用 い ら れ る 端 子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 , P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 は 、 第 2 の 列 R 2 1 に 含 ま れ る 信 号 の 伝 送 に 用 い ら れ る 端 子 P 1 2 8 , P 1 2 9 , P 1 3 3 , P 1 3 5 , P 1 3 6 , P 1 3 9 よ り も 、 シグナルインテグリティを確保しやすい。例え ば 、 第 1 の 列 R 1 1 , R 1 2 に 含 ま

50

れる信号の伝送に用いられる端子Pの数を第2の列R21に含まれる信号の伝送に用いられる端子Pの数より多くしたり、第1の列R11, R12に含まれる端子Pが差動信号の伝送に用いられたりすることで、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0345】

第1の列R11, R12に含まれる信号端子(端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125)の数が、第2の列R21に含まれる信号端子(端子P128, P129, P133, P135, P136, P139)の数よりも多い。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

10

【0346】

また、第1の列R11, R12が同時にデータ転送に使用されることにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0347】

さらに、複数の端子Pが、第1の列R11, R12と第2の列R21とを形成する。これにより、全ての端子Pを一行に並べる場合に比べ、端子Pの所望の大きさや、複数の端子Pの所望の間隔を確保することができる。

【0348】

端子P128, P129, P133, P135, P136、P139よりも高い周波数の信号の伝送に用いられる端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P120, P121, P124, P125が、第1の列R11, R12に含まれる。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

20

【0349】

差動データ信号に割り当てられた端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P120, P121, P124, P125を増やしレーン数を増やすことで、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0350】

第1の列R11, R12を形成する複数の端子Pは、差動データ信号に割り当てられた端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125を含む。一方、第2の列R21を形成する複数の端子Pは、差動データ信号よりも低い周波数の差動クロック信号に割り当てられた端子P128, P129と、シングルエンド信号に割り当てられた端子P133, P135, P136, P139と、電源に割り当てられた端子P131, P132、P134, P137, P138とを含む。これにより、第1の列R11, R12において、高速に信号を送送可能な端子P102, P103, P105, P106, P108, P109, P111, P112, P115, P116, P118, P119, P121, P122, P124, P125によりレーン数をより多くすることができ、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

30

40

【0351】

第1の列R11を形成する複数の端子Pは、差動データ信号の2レーンに割り当てられた端子P102, P103, P105, P106, P108, P109, P111, P112を含む。第1の列R12を形成する複数の端子Pは、差動データ信号の2レーンに割り当てられた端子P115, P116, P118, P119, P121, P122, P124, P125を含む。これにより、本実施形態のメモリーカード10は、通信インターフェースを高速化できる。

【0352】

50

差動データ信号に割り当てられた複数対の端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 はそれぞれ、グラウンドに割り当てられた複数の端子 P 1 0 1 , P 1 0 4 , P 1 0 7 , P 1 1 0 , P 1 1 3 のうち二つの間に位置する。これにより、差動信号ごとにリターンパスを確保することができ、差動信号間の相互干渉を低減して作動信号レベルが安定化される。

【 0 3 5 3 】

差動データ信号に割り当てられた複数対の端子 P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 はそれぞれ、グラウンドに割り当てられた複数の端子 P 1 1 4 , P 1 1 7 , P 1 2 0 , P 1 2 3 , P 1 2 6 のうち二つの間に位置する。これにより、差動信号ごとにリターンパスを確保することができ、差動信号間の相互干渉を低減して作動信号レベルが安定化される。

10

【 0 3 5 4 】

端子 P 1 3 4 は、第 1 の電源 P W R 1 に割り当てられる。端子 P 1 3 1 , P 1 3 2 は、電圧が第 1 の電源 P W R 1 以下である第 2 の電源 P W R 2 に割り当てられる。端子 P 1 3 7 , P 1 3 8 は、電圧が第 2 の電源 P W R 2 以下である第 3 の電源 P W R 3 に割り当てられる。これにより、第 1 乃至第 3 の電源 P W R 1 , P W R 2 , P W R 3 を用途によって使い分けることができ、メモリーカード 1 0 のフレキシビリティが高まる。さらに、電圧が低いほど電源電圧変動の許容値が小さくなるので、ひとつの端子 P に流す電流値を小さくした方が良いが、複数の端子 P 1 3 1 , P 1 3 2 と複数の端子 P 1 3 7 , P 1 3 8 が設けられることで、電流値が分散されて一端子当たりの電流値が小さくなり、電圧変動が抑制される。

20

【 0 3 5 5 】

レギュレータ 5 3 は、電源電圧 P W R 3 の第 3 の電源 P W R 3 に割り当てられた端子 P 1 3 7 , P 1 3 8 がグラウンド接続された場合、電源電圧 P W R 2 の第 2 の電源 P W R 2 に割り当てられた端子 P 1 3 1 , P 1 3 2 に印加された電源電圧 P W R 2、又は電源電圧 P W R 1 の第 1 の電源 P W R 1 に割り当てられた端子 P 1 3 4 に印加された電源電圧 P W R 1 から、電源電圧 P W R 3 を生成する。これにより、本実施形態のメモリーカード 1 0 は、P W R 1 , P W R 2 の 2 電源構成のホスト機器と P W R 1 , P W R 2 , P W R 3 の 3 電源構成のホスト機器のどちらにも対応することができる。

【 0 3 5 6 】

カードコントローラ 1 4 は、端子 P 1 3 1 , P 1 3 2 , P 1 3 4 , P 1 3 7 , P 1 3 8 に印加された電源電圧 P W R 1 , P W R 2 , P W R 3 の組合せによって差動データ信号によるメモリアクセスが可能か否かを判定して、C L K R E Q # に割り当てられた端子 P 1 3 5 から判定結果を出力する。フラッシュメモリ 1 3 は、差動データ信号によるメモリアクセスが可能である場合、当該フラッシュメモリ 1 3 に記憶された電源仕様情報 1 3 a が読み出し可能となる。ホスト機器は、電源仕様情報 1 3 a と、当該ホスト機器の電源仕様とを比較することにより、メモリーカード 1 0 が使用可能か否か判断できる。これにより、複数種類の電源構成を有するメモリーカード 1 0 が混在しても、ホスト機器がメモリーカード 1 0 の電源仕様を識別することができる。

30

【 0 3 5 7 】

少なくともカードコントローラ 1 4 の一部の辺 1 4 a は、第 1 の列 R 1 1 , R 1 2 と第 2 の列 R 2 1 との間に位置するとともに第 1 の列 R 1 1 に含まれる端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 , P 1 1 2 に配線 W によって接続された接続端子 C P を辺 1 4 a に配置することができる。第 1 の列 R 1 2 も同様に、それに含まれる端子 P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 に配線 W によって接続された接続端子 C P を辺 1 4 a に配置することができる。これにより、配線 W が他の配線や他の部品を迂回したり、第 2 の列 R 2 1 に含まれる複数の端子 P の間を通過したりすることが無い配線が可能となる。従って、例えば E S D 保護ダイオード 4 3 を配線 W に設けることが容易になるとともに、第 1 の列 R 1 1 に含まれる端子 P 1 0 2 , P 1 0 3 , P 1 0 5 , P 1 0 6 , P 1 0 8 , P 1 0 9 , P 1 1 1 ,

40

50

P 1 1 2、第 1 の列 R 1 2 に含まれる端子 P 1 1 5 , P 1 1 6 , P 1 1 8 , P 1 1 9 , P 1 2 1 , P 1 2 2 , P 1 2 4 , P 1 2 5 と接続端子 C P との間の配線 W の長さを短くすることができる。

【 0 3 5 8 】

メモリーカード 1 0 は、X 軸方向における長さが 14 ± 0.1 mm であり、Y 軸方向における長さが 18 ± 0.1 mm である。一般的に、microSD カードの寸法は 11 mm \times 15 mm である。すなわち、本実施形態のメモリーカード 1 0 は、microSD カードよりも大きい。従って、メモリーカード 1 0 は、例えば、大型の三次元フラッシュメモリのような、microSD カードに搭載困難な記憶容量及び寸法が大きいメモリを搭載することができ、例えば、技術進化による将来的なフラッシュメモリ 1 3 のサイズの大型化に対応できる。さらに、メモリーカード 1 0 は、microSD カードよりも大きく、標準の SD メモリーカードよりも小さい。このため、メモリーカード 1 0 は、ホスト機器にとって大き過ぎず、且つホスト機器のコネクタへの挿抜もしやすい。

10

【 0 3 5 9 】

筐体 1 1 は、第 2 の縁 3 2 の反対側に位置して Y 軸方向に延びた第 3 の縁 3 3 と、第 1 の縁 3 1 と第 3 の縁 3 3 との間の第 2 の角部 3 6 と、をさらに有する。第 1 の角部 3 5 の形状と、第 2 の角部 3 6 の形状とが互いに異なる。これにより、メモリーカード 1 0 の逆挿しが抑制される。

【 0 3 6 0 】

第 1 の角部 3 5 は、第 1 の縁 3 1 の一方の端と第 2 の縁 3 2 の端との間で直線状に延び、いわゆる C 1 . 1 の角面取りされた部分を形成する。第 2 の角部 3 6 は、第 1 の縁 3 1 の他方の端と第 3 の縁 3 3 の端との間で円弧状に延び、いわゆる R 0 . 2 の丸面取りされた部分を形成する。メモリーカード 1 0 は、第 2 の角部 3 6 がコネクタに当接した状態で当該コネクタに挿入されることがある。この場合に、X 軸方向におけるメモリーカード 1 0 の位置ずれを小さくすることができる。

20

【 0 3 6 1 】

第 1 の列 R 1 1 , R 1 2 は、第 1 の縁 3 1 の近傍に配置される。第 2 の列 R 2 1 は、第 1 の縁 3 1 よりも第 4 の縁 3 4 に近い位置にある。すなわち、第 1 の列 R 1 1 , R 1 2 は、Y 軸方向におけるメモリーカード 1 0 及び筐体 1 1 の中心線と第 1 の縁 3 1 との間に位置し、第 2 の列 R 2 1 は、上記中心線と第 4 の縁 3 4 との間に位置する。このため、コネクタのリードフレーム 1 0 1 , 1 0 2 , 1 0 3 によりメモリーカード 1 0 に作用する圧力が、上記中心線と第 1 の縁 3 1 との間の領域と、上記中心線と第 4 の縁 3 4 との間の領域と、で均一化され、コネクタ内でメモリーカード 1 0 がより安定する。

30

【 0 3 6 2 】

X 軸方向における端子 P の幅と、隣接する端子 P の間の距離とは、コネクタの端子形成や基板のフットプリント形成が可能な最小寸法となっている。このため、第 1 の列 R 1 1 , R 1 2 及び第 2 の列 R 2 1 の端子 P の数は、同じ 1 3 個になっている。第 1 の列 R 1 1 が P C I e の 2 レーンを含み、第 1 の列 R 1 2 も P C I e の 2 レーンを含む。第 1 の列 R 1 1 及び第 2 の列 R 2 1 が形成される図 1 5 のメモリーカード 1 0 は、P C I e の 2 レーンを使用することができる。第 1 の列 R 1 1 , R 1 2 及び第 2 の列 R 2 1 が形成される図 1 3 のメモリーカード 1 0 は、P C I e の 4 レーンを使用することができ、高速化することができる。

40

【 0 3 6 3 】

ホスト機器として、第 1 の列 R 1 1 のみを使用する第 1 のホスト機器と、第 1 の列 R 1 1 及び第 1 の列 R 1 2 を使用する第 2 のホスト機器とが構成可能である。第 1 のホスト機器及び第 2 のホスト機器と、図 1 3 のメモリーカード 1 0 及び図 1 5 のメモリーカード 1 0 とは、全てのホスト機器とメモリーカード 1 0 との組み合わせで使用可能である。

【 0 3 6 4 】

また各 P C I e レーンは、少なくとも Gen . 3 の性能を持ち、Gen . 4 の性能をサポートすることができる。ホスト機器は、幅広い通信速度の選択肢を持ちアプリケーション

50

ンに最適な性能でもっとも消費電力の少ないバス性能を選択可能である。

【0365】

第1のホスト機器又は図15のメモリーカード10の場合、第1の列R12は通信に使用されない。しかし、リードフレーム102によりメモリーカード10を放熱させることが可能である。リードフレーム102は、第1の列R12の端子Pに接触しても、筐体11の第1の面21に接触しても、メモリーカード10を放熱させることが可能である。第1のホスト機器は、放熱専用に電氣的にグランドに接続されたリードフレーム102を有しても良い。

【0366】

第2の列R21の下にフラッシュメモリ13が配置されることで、第2の列R21がフラッシュメモリ13の放熱に用いられることができる。例えば、第2の列R21に接触するリードフレーム103が、フラッシュメモリ13を放熱する。

10

【0367】

以上のように、コネクタにおいて第2の面22に接触する放熱機構だけでなく、第1の面21に接触するリードフレーム101, 102, 103もメモリーカード10の放熱に利用可能である。第1の面21及び第2の面22の両方から放熱されることで、メモリーカード10の放熱能力及び放熱効果が向上する。

【0368】

それぞれの第1の列R11, R12において端子Pの第1の縁31から遠い側の端がY軸方向において同一位置に揃えられる。第1の列R12よりも第1の縁31に近い第1の列R11に含まれる信号用の端子P102, P103, P105, P106, P108, P109, P111, P112のそれぞれのY軸方向における長さは、グランド用の端子P101, P104, P107, P110, P113のそれぞれのY軸方向における長さよりも短く、且つ第1の列R12に含まれる端子P114~P126のそれぞれのY軸方向における長さが等しい。これにより、メモリーカード10がホスト機器のコネクタにY軸方向に挿入されるときに、グランド用の端子P101, P104, P107, P110, P113, P127, P130及び電源用の端子P131, P132, P134, P137, P138が、信号用の端子P102, P103, P105, P106, P108, P109, P111, P112, P128, P129, P133, P135, P136, P139より先に、コネクタのリードフレームに接触する。従って、ホスト機器のGNDレベルとメモリーカード10のGNDレベルとが等価になり、カードコントローラ14の電氣的レベルを安定させることができる。さらに、第1の列R11のグランド用の端子P101, P104, P107, P110, P113が先にコネクタのリードフレームに接触するため、第1の列R12のグランド用の端子Pを長くする必要がない。このため、第1の列R12の全ての端子PのY軸方向における長さを短くすることができ、第1の列R11, R12の間隔を短くすることができる。従って、第1の列R12と第2の列R21との間隔を広くすることができ、図14の互いに逆方向に延びるリードフレーム102, 103を配置する領域が確保できる。

20

30

【0369】

第2の列R21, R22に含まれる端子Pの形状及び長さは、当該端子Pが使用する信号の周波数が低いため、任意に設定され得る。例えば、図13及び図15に示すように、複数の端子Pが複数の第2の列R21, R22を形成する場合、それぞれの第2の列R21, R22において端子Pの第1の縁31から遠い側の端がY軸方向において同一位置に揃えられる。さらに、第2の列R22よりも第1の縁31に近い第2の列R21に含まれる信号用の端子のP128, P129, P133, P135, P136, P139のそれぞれのY軸正方向における長さは、グランド用の端子P127, P130及び電源用の端子P131, P132, P134, P137, P138のそれぞれのY軸方向における長さよりも短くされる。

40

【0370】

Y軸方向において、第2の列R22に含まれる信号用の端子Pの長さは、第2の列R2

50

2に含まれる電源用及びグランド用の端子Pの長さより短くても良い。また、第2の列R 2 2に電源用の端子Pが含まれる場合、当該電源用の端子Pは、第2の列R 2 1に含まれる電源用の端子Pと同一形状であっても良い。

【0371】

第1の列R 1 1, R 1 2に含まれる信号用の端子PのX軸方向におけるそれぞれの長さは等しい。これにより、第1の列R 1 1, R 1 2に含まれる信号用の端子Pの電気的特性を類似させることができる。

【0372】

X軸方向において、第1の列R 1 1, R 1 2に含まれる信号用の端子Pの長さとはグランド用の端子Pの長さとは異なっても良い。この場合、例えば、X軸方向において、信号用の端子Pのそれぞれの長さが互いに等しくされ、グランド用の端子Pのそれぞれの長さが互いに等しくされる。なお、X軸方向における端子Pの長さは、この例に限られない。

10

【0373】

以上、メモリーカード10の一つのフォームファクタについて説明した。しかし、メモリーカード10のフォームファクタは、以上説明されたメモリーカード10のフォームファクタに対し、第1の列R 1 1及び第2の列R 2 1を形成する端子Pの位置を保ったまま、外形及び端子Pの数を拡張されても良い。

【0374】

例えば、メモリーカード10の外形は、X軸方向、Y軸方向、及びZ軸方向の少なくとも一つにおいて拡大され得る。外形を拡大されたメモリーカード10のフォームファクタにおいて、第1の列R 1 1, R 1 2を形成する端子Pの数が拡張され得る。例えば、第1の列R 1 1, R 1 2に含まれる端子Pの数が13個より多く設けられ得る。また、複数の端子Pが、二つより多くの第1の列R 1 1, R 1 2, R 1 3, R 1 4...を形成し得る。

20

【0375】

拡張された第1の列R 1 3, R 1 4...は、第1の列R 1 1, R 1 2に対して、Y軸の負方向に並べられても良いし、Y軸の正方向に並べられても良い。第1の列R 1 3, R 1 4...が第1の列R 1 1, R 1 2に対してY軸の負方向に並べられる場合、第1の列R 1 3, R 1 4...に含まれる端子Pの形状は、第1の列R 1 2に含まれる端子Pの形状と同一である。

【0376】

外形を拡大されたメモリーカード10のフォームファクタにおいて、第2の列R 2 1, R 2 2を形成する端子Pの数が拡張されても良い。例えば、複数の端子Pが、二つより多くの第2の列R 2 1, R 2 2, R 2 3, R 2 4...を形成し得る。拡張された第2の列R 2 3, R 2 4...に含まれる端子Pの形状は、任意に設定され得る。

30

【0377】

一つのフォームファクタに係るメモリーカード10は、例えば、アダプタを用いることで、より大きいフォームファクタに係るメモリーカード10のためのコネクタで使用可能とされても良い。当該コネクタと、上記一つのフォームファクタに係るメモリーカード10のためのコネクタとにおいて、リードフレーム101, 102, 103の相対的な位置は同一である。

40

【0378】

(第4の実施形態)

以下に、第4の実施形態について、図26を参照して説明する。図26は、第4の実施形態に係るメモリーカード10を示す例示的な平面図である。図26に示すように、第4の実施形態に係るカードコントローラ14は、フラッシュメモリ13に積層される。

【0379】

フラッシュメモリ13は、第2の列R 2 1に含まれる端子Pに重ねられる。別の表現によれば、フラッシュメモリ13は、当該フラッシュメモリ13のY軸の正方向の端とY軸の負方向の端との間に第2の列R 2 1に含まれる端子Pが位置するように配置することができる。一方、フラッシュメモリ13は、メモリ容量によりチップ面積が異なり、第1の

50

列 R 1 1 , R 1 2 に含まれる端子 P に近い場合と離間している場合がある。

【 0 3 8 0 】

カードコントローラ 1 4 は、第 1 の列 R 1 1 , R 1 2 と第 2 の列 R 2 1 との間に位置する。このため、第 3 の実施形態と同じく、カードコントローラ 1 4 の複数の接続端子 C P も、第 1 の列 R 1 1 , R 1 2 と第 2 の列 R 2 1 との間に配置することができる。配線 W が、接続端子 C P と、第 1 の列 R 1 1 に含まれる端子 P とを接続する。

【 0 3 8 1 】

以上説明された第 4 の実施形態のメモリーカード 1 0 のように、カードコントローラ 1 4 は、フラッシュメモリ 1 3 に積層されても良い。フラッシュメモリ 1 3 が第 1 の列 R 1 1 , R 1 2 から離間した位置にあり、接続端子 C P が第 1 の列 R 1 1 , R 1 2 と第 2 の列 R 2 1 との間に位置することで、カードコントローラ 1 4 の配線 W の長さが長くなることが抑制される。

【 0 3 8 2 】

以上説明された少なくとも一つの実施形態によれば、筐体は、第 1 の方向に延びた第 1 の縁と、第 1 の方向と交差する第 2 の方向に延びた第 2 の縁と、第 1 の縁と第 2 の縁との間の切欠きを形成する第 1 の角部とを有する。切欠きを形成する第 1 の角部は、例えば、半導体記憶装置の逆挿し防止に用いられる。このため、半導体記憶装置が例えばプッシュプルタイプのコネクタに挿入される場合、半導体記憶装置は、第 1 の縁からコネクタに挿入される。そして、複数の端子は、互いに間隔を介して第 1 の方向に並べられて第 1 の列を形成するとともに、第 1 の列よりも第 1 の縁から離れた位置で互いに間隔を介して第 1 の方向に並べられて少なくとも一つの第 2 の列を形成する。複数の端子が複数の列を形成することで、本実施形態の半導体記憶装置は、通信インターフェースを高速化できる。

【 0 3 8 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

以下に、元の特許出願における出願当初の特許請求の範囲の内容を付記する。

[1]

第 1 の面と、前記第 1 の面の反対側に位置する第 2 の面と、第 1 の方向に延びた第 1 の端縁と、前記第 1 の端縁の反対側に位置して前記第 1 の方向に延びた第 2 の端縁と、前記第 1 の方向と交差する第 2 の方向に延びた第 1 の側縁と、前記第 1 の端縁と前記第 1 の側縁との間の切欠きを形成する第 1 の角部と、を有する筐体と、

前記筐体の内部に設けられたメモリと、

前記筐体の内部に設けられ、前記メモリを制御するコントローラと、

信号の伝送に用いられる複数の信号端子を含み、前記第 1 の面で露出した、複数の端子と、

を具備し、

前記複数の端子は、少なくとも一つの第 1 の列と、少なくとも一つの第 2 の列と、を形成し、

前記少なくとも一つの第 1 の列は、前記第 2 の端縁よりも前記第 1 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられた前記複数の端子をそれぞれが含み、前記複数の端子が複数の前記第 1 の列を形成する場合に互いに間隔を介して前記第 2 の方向に並べられ、

前記少なくとも一つの第 2 の列は、前記第 1 の端縁よりも前記第 2 の端縁に近い位置で互いに間隔を介して前記第 1 の方向に並べられた前記複数の端子をそれぞれが含み、前記複数の端子が複数の前記第 2 の列を形成する場合に互いに間隔を介して前記第 2 の方向に並べられる、

10

20

30

40

50

半導体記憶装置。

[2]

前記少なくとも一つの第 1 の列を形成する前記複数の端子は、差動データ信号が割り当てられた少なくとも一对の差動データ信号端子を含む、[1]の半導体記憶装置。

[3]

前記複数の信号端子は、差動データ信号が割り当てられた少なくとも一对の第 1 の信号端子と、前記第 1 の信号端子よりも低い周波数の信号の伝送に用いられる第 2 の信号端子と、を含み、

前記第 1 の信号端子は、前記少なくとも一つの第 1 の列に含まれ、

前記第 2 の信号端子は、前記少なくとも一つの第 2 の列に含まれる、

[1]の半導体記憶装置。

10

[4]

前記少なくとも一つの第 1 の列に含まれる前記信号端子の数は、前記少なくとも一つの第 2 の列に含まれる前記信号端子の数よりも多い、[1]又は[3]の半導体記憶装置。

[5]

前記少なくとも一つの第 1 の列を形成する前記複数の端子は、グランドに割り当てられた複数のグランド端子を含み、

前記少なくとも一对の第 1 の信号端子は、それぞれの対が前記複数のグランド端子のうち二つの間に位置し、

前記少なくとも一つの第 2 の列を形成する前記複数の端子は、前記差動データ信号よりも低い周波数の差動クロック信号に割り当てられた差動クロック信号端子と、シングルエンド信号に割り当てられたシングルエンド信号端子と、電源に割り当てられた少なくとも一つの電源端子とを含む、

[3]の半導体記憶装置。

20

[6]

前記差動データ信号は、P C I e規格に準拠し、

前記少なくとも一つの第 1 の列を形成する前記複数の端子は、前記差動データ信号の複数のレーンに割り当てられた複数対の前記第 1 の信号端子を含む、

[5]の半導体記憶装置。

[7]

前記シングルエンド信号端子は、P C I e規格のサイドバンド信号に割り当てられた複数のサイドバンド信号端子を含む、[5]又は[6]の半導体記憶装置。

30

[8]

前記電源端子は、第 1 の電源が割り当てられた第 1 の電源端子と、電圧が前記第 1 の電源以下である第 2 の電源が割り当てられた複数の第 2 の電源端子と、電圧が前記第 2 の電源以下である第 3 の電源が割り当てられた複数の第 3 の電源端子と、を含む、[5]乃至[7]のいずれか一つの半導体記憶装置。

[9]

入力された電源電圧よりも低い電源電圧を生成するレギュレータ、をさらに具備し、

前記電源端子は、第 1 の電源電圧の電源が割り当てられた前記電源端子と、第 2 の電源電圧の電源が割り当てられた前記電源端子と、を含み、

前記レギュレータは、前記第 1 の電源電圧の電源が割り当てられた前記電源端子がグランド接続された場合、前記第 2 の電源電圧の電源が割り当てられた前記電源端子に印加された前記第 2 の電源電圧から前記第 1 の電源電圧を生成する、

[5]乃至[8]のいずれか一つの半導体記憶装置。

40

[10]

前記少なくとも一つの第 2 の列を形成する前記複数の端子は、複数の前記電源端子を含み、

前記コントローラは、前記複数の電源端子に印加された電源電圧の組合せによって前記差動データ信号によるメモリアクセスが可能か否かを判定して、前記シングルエンド信号

50

端子から判定結果を出力し、

前記メモリは、前記差動データ信号による初期化が完了すると、当該メモリに記録された電源仕様情報が読み出し可能となる、

[5]乃至[9]のいずれか一つの半導体記憶装置。

[1 1]

配線、をさらに具備し、

少なくとも前記コントローラの一部の辺は、前記少なくとも一つの第 1 の列と前記少なくとも一つの第 2 の列との間に位置するとともに前記少なくとも一つの第 1 の列に含まれる前記信号端子に前記配線によって接続された接続端子、を前記一部の辺に有する、

[1]乃至[1 0]のいずれか一つの半導体記憶装置。

10

[1 2]

前記第 1 の方向と前記第 2 の方向とは互いに直交し、

前記第 1 の方向における長さが 1.4 ± 0.1 mm である、

前記第 2 の方向における長さが 1.8 ± 0.1 mm であり、

[1]乃至[1 1]のいずれか一つの半導体記憶装置。

[1 3]

前記筐体は、前記第 1 の側縁の反対側に位置して前記第 2 の方向に延びた第 2 の側縁と、前記第 1 の端縁と前記第 2 の側縁との間の第 2 の角部と、をさらに有し、

前記第 1 の角部の形状と、前記第 2 の角部の形状とが互いに異なる、

[1]乃至[1 2]のいずれか一つの半導体記憶装置。

20

[1 4]

前記第 1 の角部は、前記第 1 の端縁の一方の端と前記第 1 の側縁の端との間で直線状に延び、

前記第 1 の方向における前記第 1 の端縁の前記一方の端と前記第 1 の側縁との間の長さが 1.1 mm であり、

前記第 2 の方向における前記第 1 の端縁と前記第 1 の側縁の前記端との間の長さが 1.1 mm であり、

前記第 2 の角部は、前記第 1 の端縁の他方の端と前記第 2 の側縁の端との間で円弧状に延び、

前記第 2 の角部の半径が 0.2 mm である、

30

[1 3]の半導体記憶装置。

[1 5]

前記コントローラは、前記複数の電源端子に印加された電源電圧の組合せと、前記初期化の結果と、に応じてメモリアクセス性能を制御し、パワーステート情報を変更することが可能である、[1 0]の半導体記憶装置。

[1 6]

前記複数の端子が複数の前記第 1 の列を形成する場合、それぞれの前記第 1 の列において前記端子の前記第 1 の端縁から遠い側の端が前記第 2 の方向において同一位置に揃えられ、他の前記第 1 の列よりも前記第 1 の端縁に近い一つの前記第 1 の列に含まれる前記信号端子のそれぞれの前記第 2 の方向における長さは、前記グランド端子及び前記電源端子のそれぞれの前記第 2 の方向における長さよりも短く、且つ他の前記第 1 の列に含まれる前記端子のそれぞれの前記第 2 の方向における長さが等しい、

40

[5]乃至[1 0]のいずれか一つの半導体記憶装置。

[1 7]

前記第 1 の列に含まれる前記信号端子の前記第 1 の方向におけるそれぞれの長さが等しい、[1]乃至[1 6]のいずれか一つの半導体記憶装置。

【符号の説明】

【 0 3 8 4 】

1 0 ... メモリーカード、1 1 ... 筐体、1 3 ... フラッシュメモリ、1 3 a ... 電源仕様情報、1 4 ... カードコントローラ、1 4 a ... 辺、2 1 ... 第 1 の面、2 2 ... 第 2 の面、3 1 ... 第

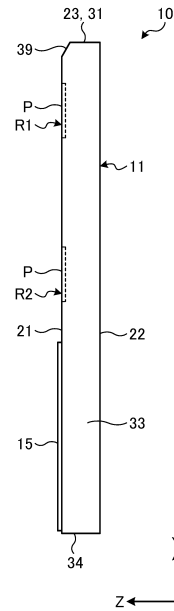
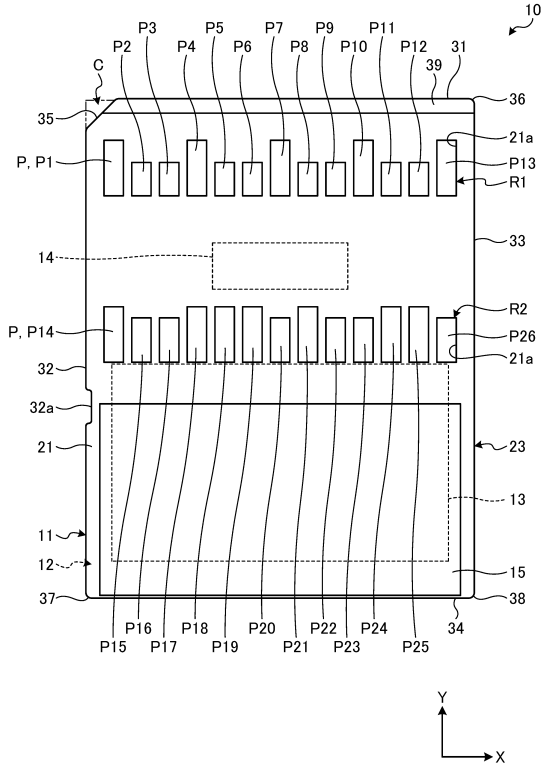
50

1 の縁、3 2 ... 第 2 の縁、3 3 ... 第 3 の縁、3 5 ... 第 1 の角部、3 6 ... 第 2 の角部、5 3 , 5 4 ... レギュレータ、C ... 切欠き、P , P 1 ~ P 2 6 , P 1 0 1 ~ P 1 3 9 ... 端子、P W R 1 , P W R 2 , P W R 3 ... 電源電圧、W , W 2 , W 3 , W 5 , W 6 , W 8 , W 9 , W 1 1 , W 1 2 ... 配線、C P ... 接続端子、R 1 1 , R 1 2 ... 第 1 の列、R 2 1 , R 2 2 ... 第 2 の列。

【 図 面 】

【 図 1 】

【 図 2 】



10

20

30

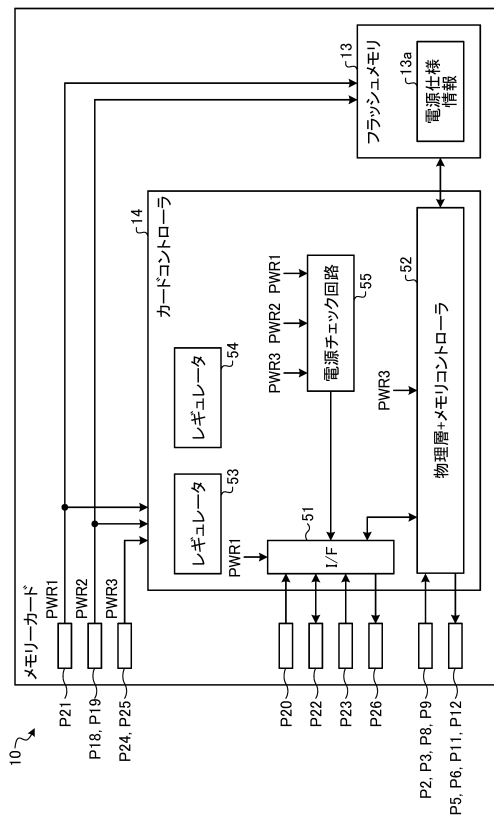
40

50

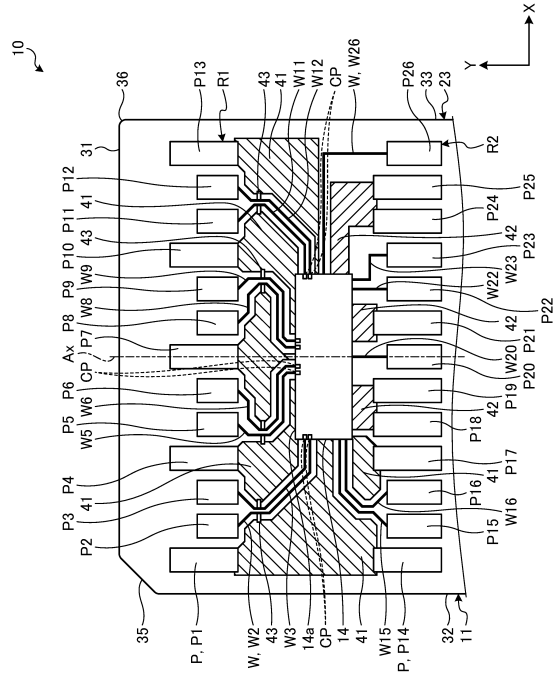
【 図 3 】

端子番号	信号名	機能	説明
1	GND	Ground	
2	PER0d	Receiver differential pair, Lane 0	PCIe RX Differential signals defined by the PCIe 3.0 specification
3	PER0s	Receiver differential pair, Lane 0	
4	GND	Ground	
5	PET0d	Transmitter differential pair, Lane 0	PCIe TX Differential signals defined by the PCIe 3.0 specification
6	PET0s	Transmitter differential pair, Lane 0	
7	GND	Ground	
8	PER1d	Receiver differential pair, Lane 1	PCIe RX Differential signals defined by the PCIe 3.0 specification
9	PER1s	Receiver differential pair, Lane 1	
10	GND	Ground	
11	PET1d	Transmitter differential pair, Lane 1	PCIe TX Differential signals defined by the PCIe 3.0 specification
12	PET1s	Transmitter differential pair, Lane 1	
13	GND	Ground	
14	GND	Ground	
15	REFCLKp	Reference clock differential pair	PCIe Reference Clock signals (100 MHz) defined by the PCIe 3.0 specification
16	REFCLKn	Reference clock differential pair	
17	GND	Ground	
18	PWR2	Power Rail 2	
19	PWR2	Power Rail 2	
20	PERST#	Fundamental reset / 1.8V	functional reset to the card as defined by the PCIe Mini CEM specification
21	PWR1	Power Rail 1	
22	CLKREQ#	Clock Request Signal / 1.8V open drain	reference clock request signal as defined by the PCIe Mini CEM specification
23	CNTA	Control Signal A	
24	PWR3	Power Rail 3	
25	PWR3	Power Rail 3	
26	CNTB	Control Signal B	

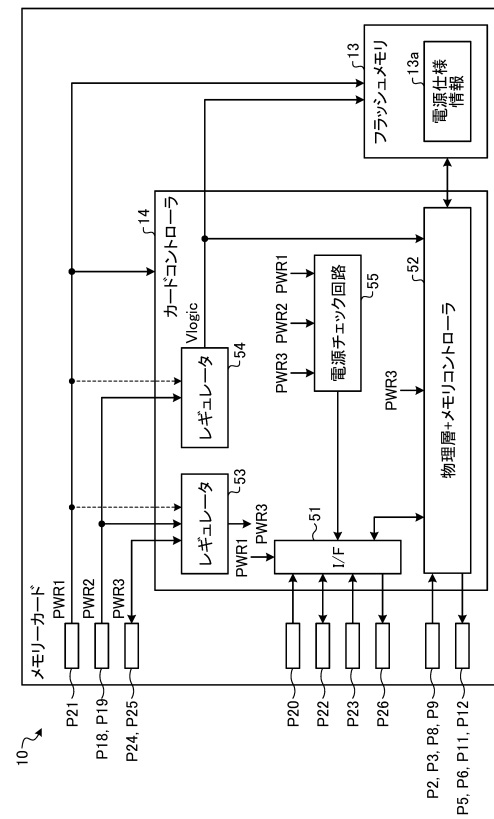
【 図 5 】



【 図 4 】



【 図 6 】



10

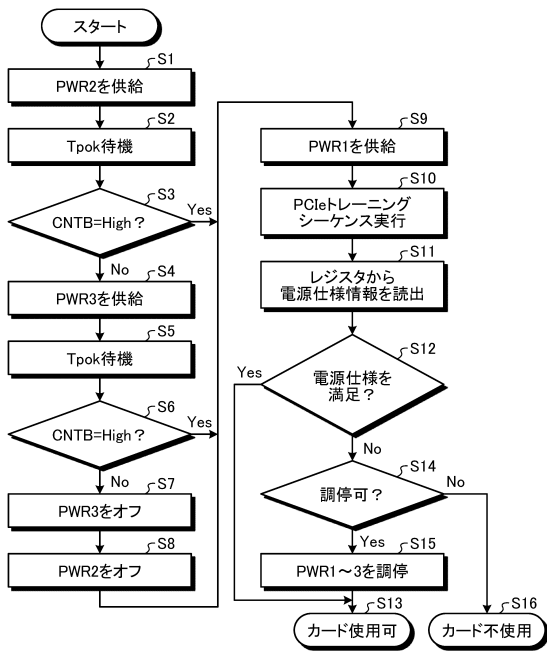
20

30

40

50

【 図 7 】



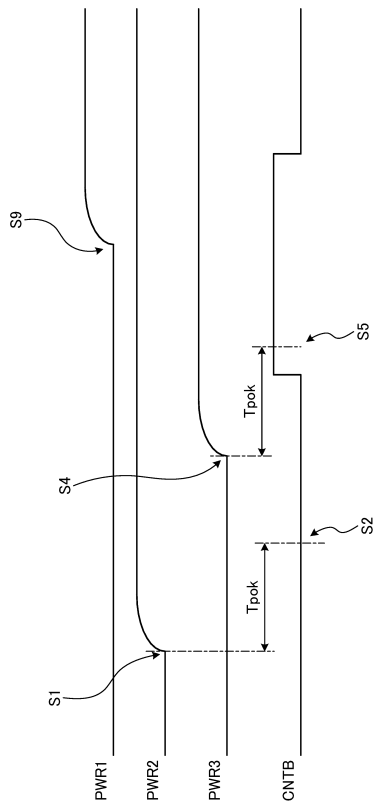
【 図 8 】

Power Rails	Register Fields
PWR1	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power Limit A
	Maximum DC Current (constant) for Slot Power Limit B
PWR2	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power Limit A
	Maximum DC Current (constant) for Slot Power Limit B
PWR3	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power Limit A
	Maximum DC Current (constant) for Slot Power Limit B
Regulator Support	

10

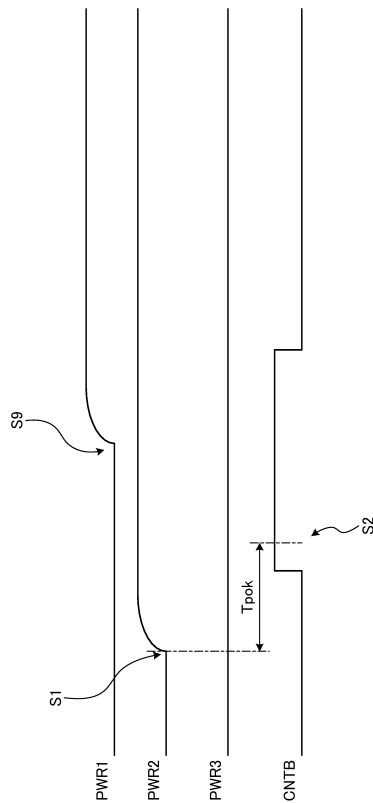
20

【 図 9 】



30

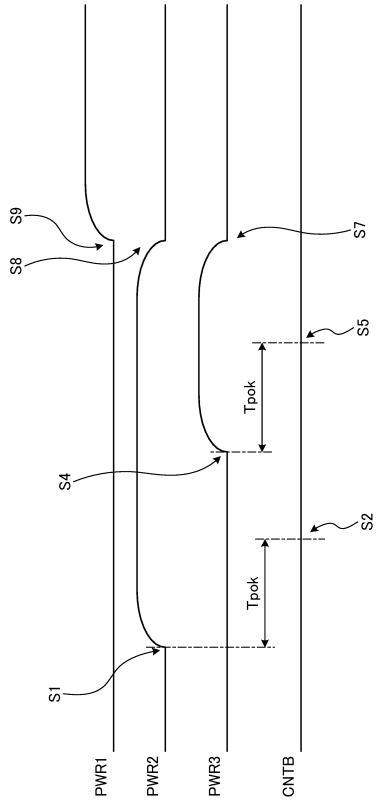
【 図 10 】



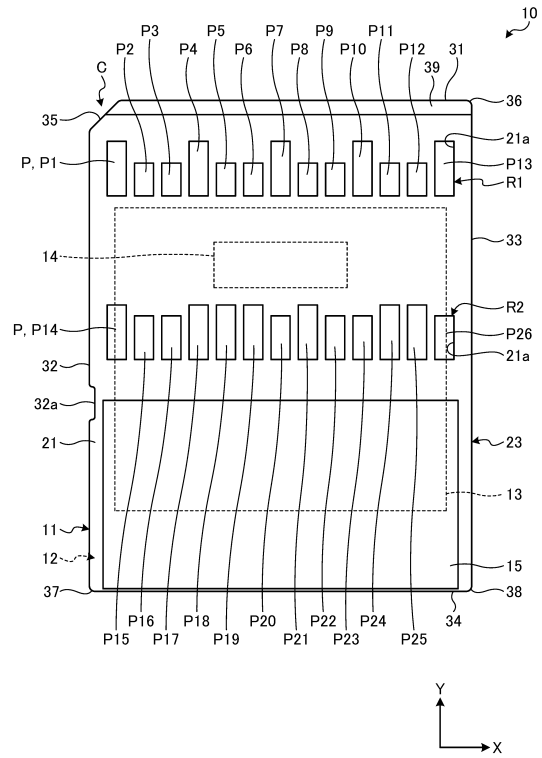
40

50

【 図 1 1 】



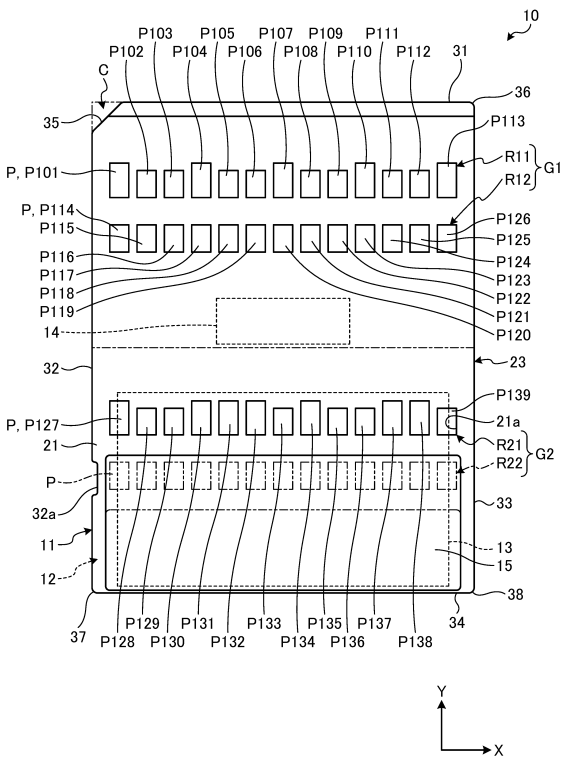
【 図 1 2 】



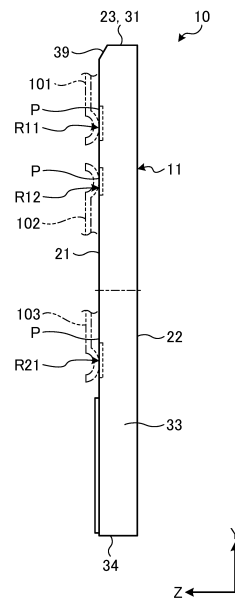
10

20

【 図 1 3 】



【 図 1 4 】

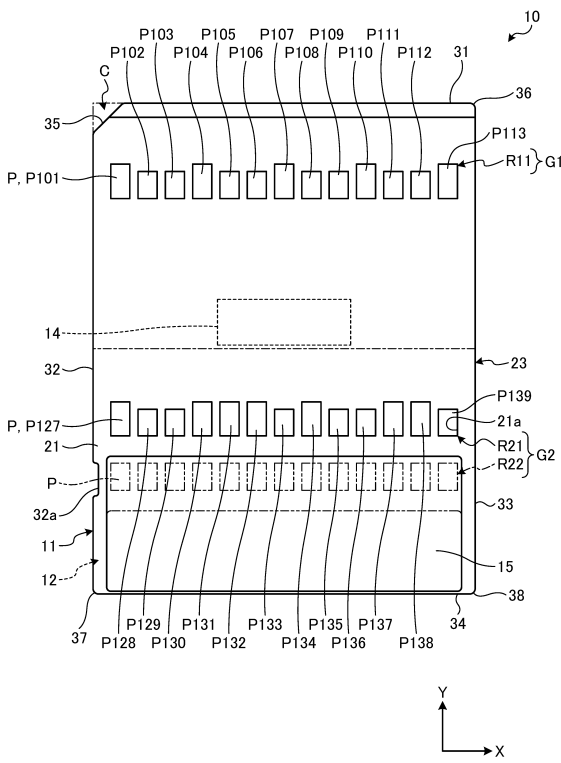


30

40

50

【 図 1 5 】



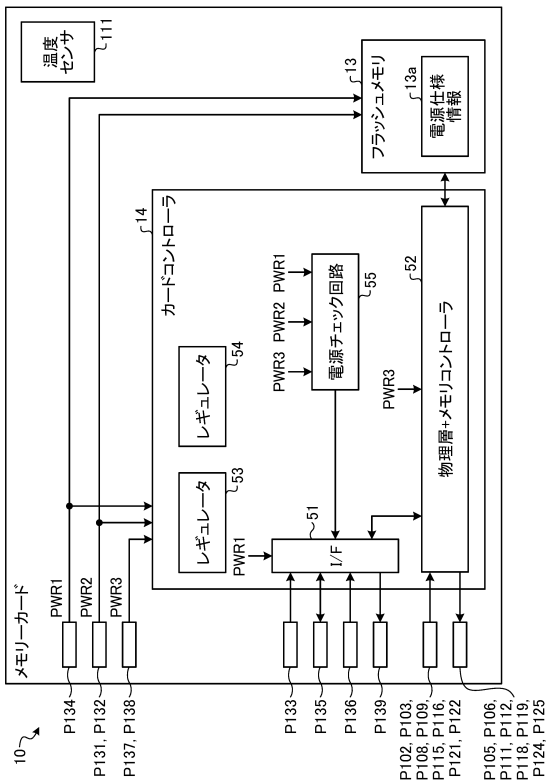
【 図 1 6 】

列	端子	信号名	機能	説明
R11	P101	GND	Ground	
	P102	PERx0	Receiver differential pair, Lane 0	PCIe RX Differential signals defined by the PCIe 3.0 specification
	P103	PERx0	Ground	
	P104	GND	Ground	
	P105	PETr0	Transmitter differential pair, Lane 0	PCIe TX Differential signals defined by the PCIe 3.0 specification
	P106	PETr0	Ground	
	P107	GND	Ground	
	P108	PERn1	Receiver differential pair, Lane 1	PCIe RX Differential signals defined by the PCIe 3.0 specification
	P109	GND	Ground	
	P110	GND	Ground	
	P111	PETr1	Transmitter differential pair, Lane 1	PCIe TX Differential signals defined by the PCIe 3.0 specification
R12	P112	PETr1	Ground	
	P113	GND	Ground	
	P114	GND	Ground	
	P115	PERx0	Receiver differential pair, Lane 2	PCIe RX Differential signals defined by the PCIe 3.0 specification
	P116	PERx0	Ground	
	P117	GND	Ground	
	P118	PETr0	Transmitter differential pair, Lane 2	PCIe TX Differential signals defined by the PCIe 3.0 specification
	P119	GND	Ground	
	P120	GND	Ground	
	P121	PERn1	Receiver differential pair, Lane 3	PCIe RX Differential signals defined by the PCIe 3.0 specification
	R21	P122	PERn1	Ground
P123		PETr1	Transmitter differential pair, Lane 3	PCIe TX Differential signals defined by the PCIe 3.0 specification
P124		PETr1	Ground	
P125		GND	Ground	
P126		GND	Ground	
P127		GND	Ground	
P128		REFCLKp	Reference Clock differential pair	PCIe Reference Clock signals (100 MHz) defined by the PCIe 3.0 specification
P129		REFCLKn	Ground	
P130		PWR1	Power Rail 1	Power Rail 1
P131		PWR2	Power Rail 2	Power Rail 2
P132		PWR3	Power Rail 3	Power Rail 3
P133	PERn2	Receiver differential pair, Lane 0	PCIe RX Differential signals defined by the PCIe 3.0 specification	
P134	PERn2	Ground		
P135	PERn2	Receiver differential pair, Lane 1	PCIe RX Differential signals defined by the PCIe 3.0 specification	
P136	PERn2	Ground		
P137	PERn2	Receiver differential pair, Lane 2	PCIe RX Differential signals defined by the PCIe 3.0 specification	
P138	PERn2	Ground		
P139	PERn2	Receiver differential pair, Lane 3	PCIe RX Differential signals defined by the PCIe 3.0 specification	

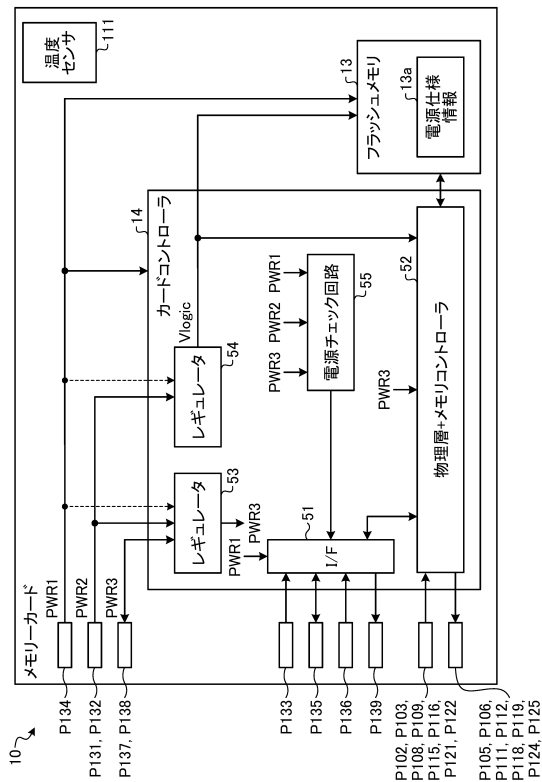
10

20

【 図 1 7 】



【 図 1 8 】

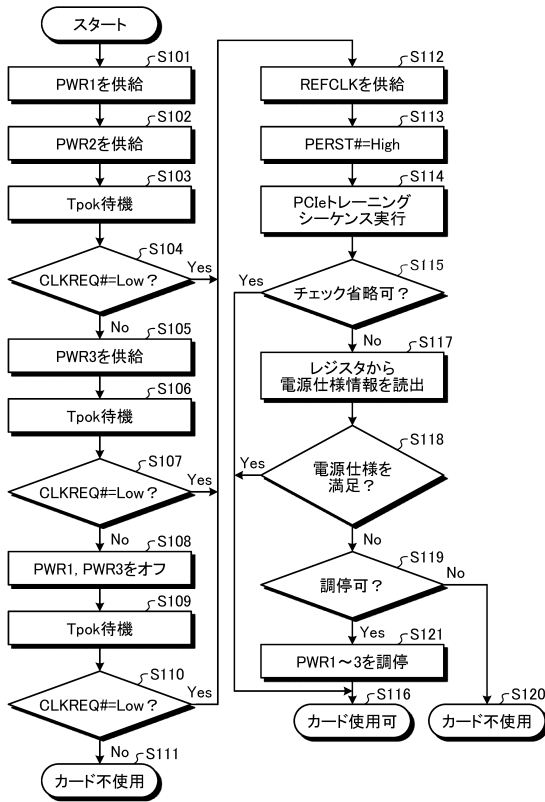


30

40

50

【 図 19 】



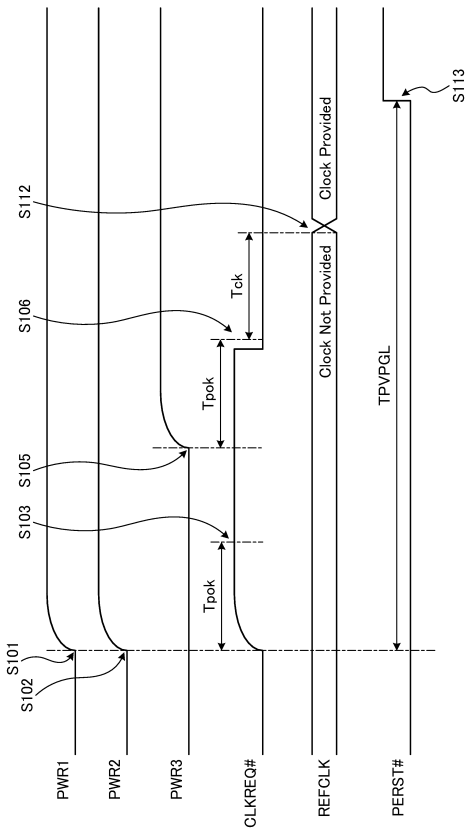
【 図 20 】

Power Rails	Register Fields
PWR1	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power State A
	Maximum DC Current (constant) for Slot Power State B
	Maximum DC Current (constant) for Slot Power State C
PWR2	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power State A
	Maximum DC Current (constant) for Slot Power State B
	Maximum DC Current (constant) for Slot Power State C
PWR3	Regulator Support
	Voltage Range
	Maximum Peak Current (100us period)
	Maximum DC Current (constant) for Slot Power State A
	Maximum DC Current (constant) for Slot Power State B

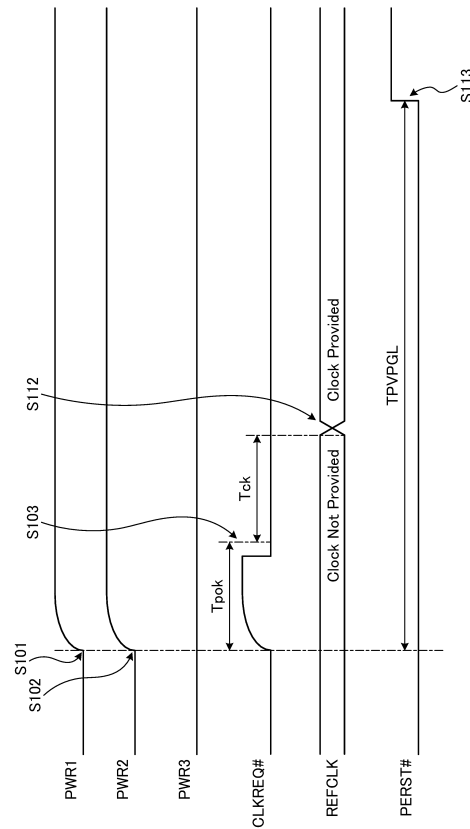
10

20

【 図 21 】



【 図 22 】

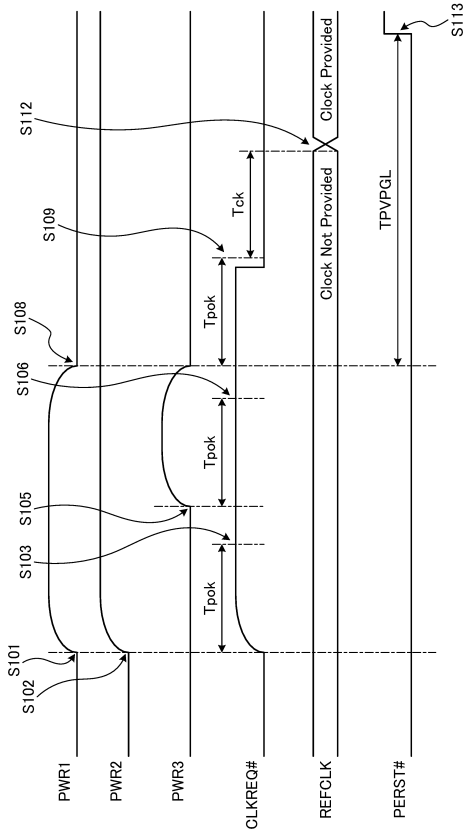


30

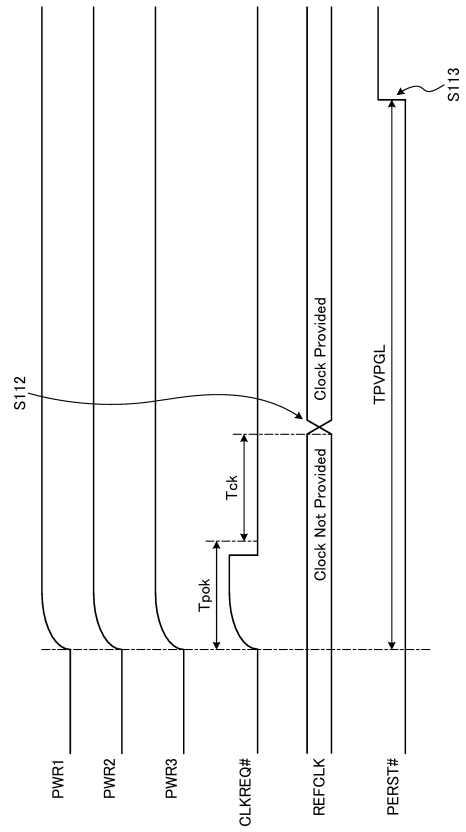
40

50

【 図 2 3 】



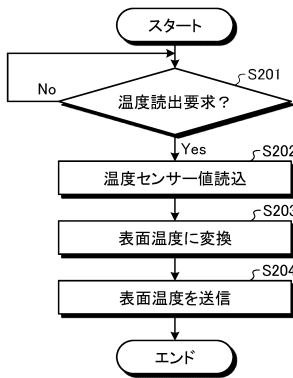
【 図 2 4 】



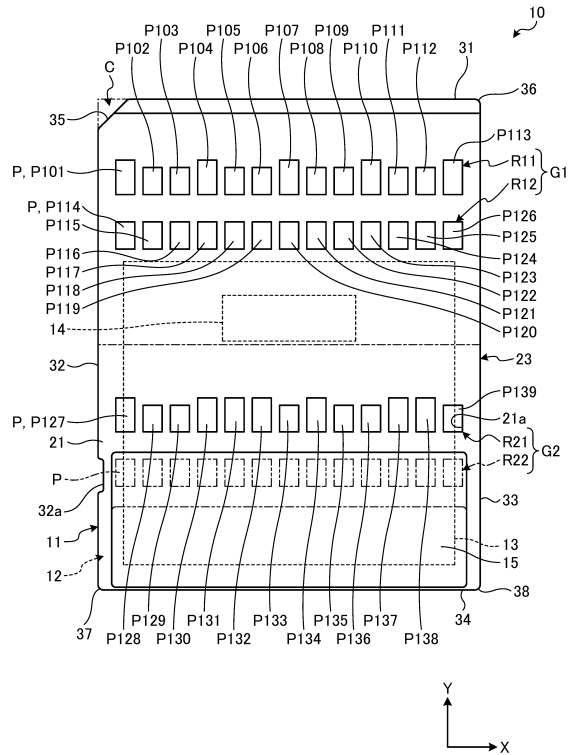
10

20

【 図 2 5 】



【 図 2 6 】



30

40

50

フロントページの続き

(72)発明者 東京都港区芝浦三丁目1番21号 キオクシア株式会社内
渡邊 勝好
東京都港区芝浦三丁目1番21号 キオクシア株式会社内