



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0074657
(43) 공개일자 2020년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/323 (2013.01)
H01L 27/3272 (2013.01)
(21) 출원번호 10-2018-0163305
(22) 출원일자 2018년12월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박웅
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤싱크

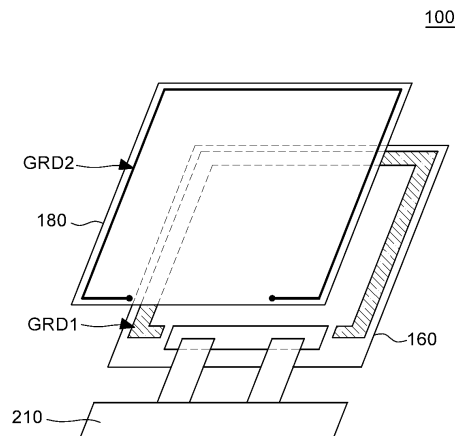
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 명세서는 유기발광 표시장치를 개시한다. 상기 유기발광 표시장치는, 기관 상면에 마련된 제1 접지부; 상기 기관 상에 있는 터치 감지 층의 하면에 마련된 제2 접지부; 상기 제1 접지부와 제2 접지부 사이를 연결한 도전성 부재를 포함할 수 있다.

대표도 - 도4a



(52) CPC특허분류

H01L 51/5293 (2013.01)

명세서

청구범위

청구항 1

기관 상면에 마련된 제1 접지부;

상기 기관 상에 있는 터치 감지 층의 하면에 마련된 제2 접지부; 및

상기 제1 접지부와 제2 접지부 사이를 연결한 도전성 부재를 포함하는 유기발광 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 접지부는, 화소 회로가 배열된 표시 영역을 둘러싼 유기발광 표시장치.

청구항 3

제1 항에 있어서,

상기 기관과 상기 터치 감지 층 사이에 있는 편광 층을 더 포함하는 유기발광 표시장치.

청구항 4

제3 항에 있어서,

상기 도전성 부재는 편광 층의 측면에 위치한 유기발광 표시장치.

청구항 5

제4 항에 있어서,

상기 도전성 부재는, 상기 기관과 상기 터치 감지 층 사이의 공간을 채운 유기발광 표시장치.

청구항 6

제1 항에 있어서,

상기 제1 접지부는, 화소 회로에 저전위 전원(V_{SS})을 전달하는 저전위 전원 라인과 연결된 유기발광 표시장치.

청구항 7

제1 항에 있어서,

상기 제1 접지부는, 화소 회로에 저전위 전원(V_{SS})을 전달하는 저전위 전원 라인이 외부로 드러나 형성된 유기발광 표시장치.

청구항 8

제6 항 또는 7 항에 있어서,

상기 제1 접지부는 상기 화소 회로에 포함된 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극과 동일한 물질로 형성된 유기발광 표시장치.

청구항 9

제1 항에 있어서,

상기 제1 접지부 및 제2 접지부는 상하 방향으로 서로 중첩된 유기발광 표시장치.

청구항 10

제1 항에 있어서,

상기 제1 접지부 및 제2 접지부는 서로 연결되어 접지 면적을 확장함으로써, 화소 회로에 공급되는 구동 전압의 변동을 억제하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 유기발광 표시장치는 유기발광 소자의 발광량을 제어하여 영상을 표시하는 장치이다. 유기발광 소자(유기발광 다이오드 등)는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 박막화가 가능하다는 장점이 있다. 일반적인 유기발광 표시장치는 기판에 화소 구동 회로와 유기발광 소자가 형성된 구조를 갖고, 유기발광 소자에서 방출된 빛이 기판 또는 배리어층을 통과하면서 화상을 표시하게 된다.

[0003] 유기발광 표시장치는 별도의 광원장치 없이 구현되기 때문에, 액정 표시장치(LCD) 등 기존의 표시장치 보다 더 얇고 더 가볍게 제작될 수 있다. 때문에 유기발광 표시장치는 플렉서블(flexible), 벤더블(bendable), 폴더블(foldable) 표시장치로 구현되기에 용이하여 다양한 형태로 디자인될 수 있다.

[0004] 상기 유기발광 표시장치는 서브 픽셀들에 스캔 신호 및 데이터 전압 등이 공급되면, 선택된 서브 픽셀의 발광 다이오드가 빛을 발광하게 됨으로써 영상을 표시한다. 이를 위하여 상기 유기발광 표시장치는 서브 픽셀들을 구동하는 구동 회로 및 서브 픽셀들에 전원을 공급하는 전원 회로 등이 포함된다. 상기 구동 회로에는 스캔 신호(또는 게이트 신호)를 공급하는 스캔 구동 회로 및 데이터 전압을 공급하는 데이터 구동 회로 등이 포함된다.

[0005] 상기 구동 회로, 전원 회로는 서브 픽셀의 구동뿐만 아니라 각종 열화 보상 기능도 추가되고 있어서 점점 복잡해지고 있다. 이에 따라 상기 구동 회로, 전원 회로를 최적화하기 위한 다양한 구조가 연구/적용되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 명세서는 유기발광 표시장치의 전원 공급 라인의 그라운드 구조를 제안하는 것을 목적으로 한다. 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 명세서의 일 실시예에 따라 유기발광 표시장치가 제공된다. 상기 유기발광 표시장치는, 기판 상면에 마련된 제1 접지부; 상기 기판 상에 있는 터치 감지 층의 하면에 마련된 제2 접지부; 상기 제1 접지부와 제2 접지부 사이를 연결한 도전성 부재를 포함할 수 있다.

[0008] 상기 제1 접지부는, 화소 회로가 배열된 표시 영역을 둘러쌀 수 있다. 상기 제1 접지부는, 화소 회로에 저전위 전원(VSS)을 전달하는 저전위 전원 라인과 연결될 수 있다. 또는 상기 제1 접지부는, 화소 회로에 저전위 전원(VSS)을 전달하는 저전위 전원 라인이 외부로 드러나 형성될 수 있다. 상기 제1 접지부는 상기 화소 회로에 포함된 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극과 동일한 물질로 형성될 수 있다. 상기 제1 접지부 및 제2 접지부는 상하 방향으로 서로 중첩될 수 있다.

[0009] 상기 제1 접지부 및 제2 접지부는 서로 연결되어 접지 면적을 확장함으로써, 화소 회로에 공급되는 구동 전압의 변동을 억제할 수 있다.

[0010] 상기 유기발광 표시장치는 상기 기판과 상기 터치 감지 층 사이에 있는 편광 층을 더 포함할 수 있다. 이때 상기 도전성 부재는 편광 층의 측면에 위치하여, 상기 기판과 상기 터치 감지 층 사이의 공간을 채울 수 있다.

[0011] 타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0012] 본 명세서의 실시예들은, 화소 회로를 구동하는 전압이 변동되어 초래되는 여러 문제가 개선된 표시장치를 제공할 수 있다. 이에 본 명세서의 실시예들은, 표시 품질과 신뢰성이 증진된 유기발광 표시장치를 제공할 수 있다. 더 나아가 본 명세서의 실시예들은, 유기발광 표시장치의 생산성 향상에도 기여할 수 있다. 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0013] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.
 도 2는 본 명세서의 일 실시예에 따른 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 전원 공급부 구조를 나타낸 예시도이다.
 도 4a 및 4b는 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 전원 공급부 구조를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

[0017] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0018] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다. 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0019] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.

[0020] 도 1을 참조하면, 상기 표시장치(100)는 적어도 하나의 표시 영역(active area)을 포함하고, 상기 표시 영역에는 화소(pixel)들의 어레이(array)가 형성된다. 하나 이상의 비표시 영역(inactive area)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역은, 표시 영역의 하나 이상의 측면에 인접할 수 있다. 도 1에서, 상기 비표시 영역은 사각형 형태의 표시 영역을 둘러싸고 있다. 그러나, 표시 영역의 형태 및 표시 영역에 인접한 비표시 영역의 형태/배치는 도 1에 도시된 예에 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 표시장치(100)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 표시 영역의 예시적 형태는 오

각형, 육각형, 원형, 타원형 등이다.

- [0021] 상기 표시 영역 내의 각 화소는 화소 회로와 연관될 수 있다. 상기 화소 회로는, 백플레인(backplane) 상의 하나 이상의 스위칭 트랜지스터 및 하나 이상의 구동 트랜지스터를 포함할 수 있다. 각 화소 회로는, 상기 비표시 영역에 위치한 게이트 드라이버 및 데이터 드라이버와 같은 하나 이상의 구동 회로와 통신하기 위해, 게이트 라인 및 데이터 라인과 전기적으로 연결될 수 있다. 또한 각 화소 회로는, 상기 비표시 영역에 위치한 전원 공급 라인들(V_{DD} , V_{SS} , V_{REF} 등)과 연결되어 구동에 필요한 전압을 수신할 수 있다.
- [0022] 상기 구동 회로는, 도 1에 도시된 것처럼, 상기 비표시 영역에 TFT(thin film transistor)로 구현될 수 있다. 이러한 구동 회로는 GIP(gate-in-panel)로 지칭될 수 있다. 또한, 데이터 드라이버 IC와 같은 몇몇 부품들은, 분리된 인쇄 회로 기판에 탑재되고, FPCB(flexible printed circuit board), COF(chip-on-film), TCP(tape-carrier-package) 등과 같은 회로 필름을 이용하여 상기 비표시 영역에 배치된 연결 인터페이스(PAD, 뱀프, 핀 등)와 결합될 수 있다.
- [0023] 상기 표시장치(100)는, 다양한 신호를 생성하거나 표시 영역내의 화소를 구동하기 위한, 다양한 부가 요소들을 더 포함할 수 있다. 상기 화소를 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전 회로(electro static discharge) 등일 수 있다. 상기 표시장치(100)는 화소 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 표시장치(100)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0024] 도 2는 본 명세서의 일 실시예에 따른 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
- [0025] 도시된 표시 영역(A/A) 및 비표시 영역(I/A)은, 도 1에서 서술된 표시 영역(A/A) 및 비표시 영역(I/A)의 적어도 일부에 적용될 수 있다. 이하에서는 유기발광 표시장치(Organic Light Emitting Display)를 일 예로 하여 상기 표시장치를 설명한다.
- [0026] 유기발광 표시장치의 경우, 상기 표시 영역(A/A)에는 베이스 층(101) 상에 박막트랜지스터(102, 104, 108), 유기발광 소자(112, 114, 116) 및 각종 기능 층(layer)들이 위치한다. 한편, 상기 비표시 영역(I/A)는 베이스 층(101) 상에 각종 구동 회로(예: GIP), 전극, 배선, 기능성 구조물 등이 위치할 수 있다.
- [0027] 베이스 층(101)은 유기발광 표시장치(100)의 다양한 구성요소들을 지지한다. 베이스 층(101)은 투명한 절연 물질, 예를 들어 유리, 플라스틱 등과 같은 절연 물질로 형성될 수 있다. 기판(어레이 기판)은, 상기 베이스 층(101) 위에 형성된 소자 및 기능 층, 예를 들어 스위칭 TFT, 구동 TFT, 유기발광소자, 보호막 등을 포함하는 개념으로 지칭되기도 한다.
- [0028] 버퍼 층(130)이 베이스 층(101) 상에 위치할 수 있다. 상기 버퍼 층(buffer layer)은 베이스 층(101) 또는 하부의 층들에서 유출되는 알칼리 이온 등과 같은 불순물로부터 박막트랜지스터(Thin Film Transistor: TFT)를 보호하기 위한 기능 층이다. 상기 버퍼 층은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다. 상기 버퍼 층(130)은 멀티 버퍼(multi buffer) 및/또는 액티브 버퍼(active buffer)를 포함할 수 있다.
- [0029] 상기 베이스 층(101) 또는 버퍼 층 위에 박막트랜지스터가 놓인다. 박막트랜지스터는 반도체 층(active layer), 게이트 절연 층(gate insulator), 게이트 전극, 층간 절연 층(interlayer dielectric layer, ILD), 소스(source) 및 드레인(drain) 전극이 순차적으로 적층된 형태일 수 있다. 이와는 달리, 상기 박막트랜지스터는 도 2처럼 게이트 전극(104), 게이트 절연 층(105), 반도체 층(102), 소스 및 드레인 전극(108)이 순차적으로 배치된 형태일 수 있다.
- [0030] 반도체 층(102)은 폴리 실리콘(p-Si)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 반도체 층(102)은 아몰포스 실리콘(a-Si)으로 만들어질 수도 있고, 펜타센 등과 같은 다양한 유기 반도체 물질로 만들어질 수도 있다. 나아가 반도체 층(102)은 산화물(oxide)로 만들어질 수도 있다.
- [0031] 게이트 전극(104)은 다양한 도전성 물질, 예컨대, 마그네슘(Mg), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 금(Au) 또는 이들의 합금 등으로 형성될 수 있다.
- [0032] 게이트 절연 층(105), 층간 절연 층(ILD)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 물질로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 게이트 절연 층(105)과 층간 절연

층의 선택적 제거로 소스 및 드레인 영역이 노출되는 콘택 홀(contact hole)이 형성될 수 있다.

- [0033] 소스 및 드레인 전극(108)은 게이트 절연 층(105) 또는 층간 절연 층 상에 전극용 물질로 단일층 또는 다층의 형상으로 형성된다. 필요에 따라 무기 절연 물질로 구성된 패시베이션층(109)이 상기 소스 및 드레인 전극(108)을 덮을 수도 있다.
- [0034] 평탄화 층(107)이 박막트랜지스터 상에 위치할 수 있다. 평탄화 층(107)은 박막트랜지스터를 보호하고 그 상부를 평탄화한다. 평탄화 층(107)은 다양한 형태로 구성될 수 있는데, BCB(Benzocyclobutene) 또는 아크릴(Acryl) 등과 같은 유기 절연막, 또는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx)와 같은 무기 절연막으로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다층 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.
- [0035] 유기발광소자는 제1 전극(112), 유기발광 층(114), 제2 전극(116)이 순차적으로 배치된 형태일 수 있다. 즉, 유기발광소자는 평탄화 층(107) 상에 형성된 제1 전극(112), 제1 전극(112) 상에 위치한 유기발광 층(114) 및 유기발광 층(114) 상에 위치한 제2 전극(116)으로 구성될 수 있다.
- [0036] 제1 전극(112)은 콘택 홀을 통해 구동 박막트랜지스터의 드레인 전극(108)과 전기적으로 연결된다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 이러한 제1 전극(112)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(112)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 이들의 합금 등으로 형성될 수 있다. 상기 제1 전극(112)은 유기발광 다이오드의 애노드(anode)일 수 있다.
- [0037] बैं크(110)는 발광 영역을 제외한 나머지 영역에 형성된다. 이에 따라, बैं크(110)는 발광 영역과 대응되는 제1 전극(112)을 노출시키는 बैं크 홀을 가진다. बैं크(110)는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx)와 같은 무기 절연 물질 또는 BCB, 아크릴계 수지 또는 이미드계 수지와 같은 유기 절연물질로 만들어질 수 있다.
- [0038] 유기발광 층(114)이 बैं크(110)에 의해 노출된 제1 전극(112) 상에 위치한다. 유기발광 층(114)은 발광층, 전자 주입층, 전자수송층, 정공수송층, 정공주입층 등을 포함할 수 있다. 상기 유기발광 층은, 하나의 빛을 발광하는 단일 발광층 구조로 구성될 수도 있고, 복수 개의 발광층으로 구성되어 백색 광을 발광하는 구조로 구성될 수도 있다.
- [0039] 제2 전극(116)이 유기발광층(114) 상에 위치한다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 제2 전극(116)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성됨으로써 유기발광 층(114)에서 생성된 광을 제2 전극(116) 상부로 방출시킨다. 상기 제2 전극(116)은 유기발광 다이오드의 캐소드(cathode)일 수 있다.
- [0040] 봉지 층(120)이 제2 전극(116) 상에 위치한다. 상기 봉지 층(120)은, 발광 재료와 전극 재료의 산화를 방지하기 위하여, 외부로부터의 산소 및 수분 침투를 막는다. 유기발광소자가 수분이나 산소에 노출되면, 발광 영역이 축소되는 화소 수축(pixel shrinkage) 현상이 나타나거나, 발광 영역 내 흑점(dark spot)이 생길 수 있다. 상기 봉지 층(encapsulation layer)은 유리, 금속, 산화 알루미늄(AlOx) 또는 실리콘(Si) 계열 물질로 이루어진 무기막으로 구성되거나, 또는 유기막(122)과 무기막(121-1, 121-2)이 교대로 적층된 구조일 수도 있다. 이때, 무기막(121-1, 121-2)은 수분이나 산소의 침투를 차단하는 역할을 하고, 유기막(122)은 무기막(121-1, 121-2)의 표면을 평탄화하는 역할을 한다. 봉지 층을 여러 겹의 박막 층으로 형성하면, 단일 층일 경우에 비해 수분이나 산소의 이동 경로가 길고 복잡하게 되어 유기발광 소자까지 수분/산소가 침투하는 것이 어려워진다.
- [0041] 비표시 영역(I/A)에는 화소 회로 및 발광 소자가 배치되지 않지만 베이스 층(101)과 유기/무기 기능 층들(130, 105, 107, 120 등)은 존재할 수 있다. 또한 상기 비표시 영역(I/A)에는 표시 영역(A/A)의 구성에 사용된 물질들이 다른 용도로 배치될 수 있다. 예를 들어, 표시 영역 TFT의 게이트 전극과 동일한 금속(104'), 또는 소스/드레인 전극과 동일한 금속(108')이 배선 또는 전극용으로 비표시 영역(I/A)에 배치될 수 있다. 더 나아가, 유기발광 다이오드의 일 전극(예: 애노드)과 동일한 금속(112')이 배선, 전극용으로 비표시 영역(I/A)에 배치될 수도 있다.
- [0042] 비표시 영역(I/A)의 베이스 층(101), 버퍼 층(130), 게이트 절연 층(105), 평탄화 층(107) 등은 표시 영역(A/A)에서 설명된 것과 같다. 댄(140)은 유기막(122)이 비표시 영역(I/A)에 너무 멀리 퍼지는 것을 제어하는 구조물이다. 비표시 영역(I/A)에 배치된 각종 회로와 전극/전선은 게이트 금속(104') 및/또는 소스/드레인 금속(108')으로 만들어질 수 있다. 이때, 게이트 금속(104')은 TFT의 게이트 전극과 동일한 물질로 동일 공정에서 형성되며, 소스/드레인 금속(108')은 TFT의 소스/드레인 전극과 동일한 물질로 동일 공정에서 형성된다.

- [0043] 예를 들어, 소스/드레인 금속은 전원(예: 저전위 전원(V_{SS})) 배선(108')으로 사용될 수 있다. 이때, 저전위 전원 배선(108')은 금속 층(112')과 연결되고, 유기발광 다이오드의 캐소드(116)는 상기 소스/드레인 금속(108') 및 금속 층(112')과의 연결을 통해 전원을 공급받을 수 있다. 상기 금속 층(112')은 전원 배선(108')과 접촉하고, 평탄화 층(107)의 최외곽 측벽을 타고 연장되어 평탄화 층(107) 상부에서 캐소드(116)와 접촉할 수 있다. 상기 금속 층(112')은 유기발광 다이오드의 애노드(112)와 동일한 물질로 동일한 공정에서 형성된 금속 층일 수 있다.
- [0044] 편광 층(170)이 상기 봉지 층(120)의 상부에 위치할 수 있다. 상기 편광 층(170)은, 외부 광에 의한 시인성 저하를 억제하기 위해 마련될 수 있다. 구현 예에 따라 상기 편광 층(170)은 표시 영역(A/A)의 상부에만 마련될 수도 있다.
- [0045] 상기 편광 층(170)과 봉지 층(120) 사이에 접착 층(145)이 위치할 수 있다. 상기 접착 층(145)은 상기 봉지 층(120)과 상기 편광 층(170)을 접착시킨다. 상기 접착 층(145)은 열 경화형 또는 자연 경화형의 접착제일 수 있다. 예를 들어, 상기 접착 층(145)은 B-PSA(Barrier pressure sensitive adhesive)와 같은 물질로 구성될 수 있다.
- [0046] 터치 감지 층(180)이 상기 편광 층(170) 상에 배치될 수 있다. 상기 터치 감지 층(180)은 사용자의 터치 입력을 감지하기 위하여 마련될 수 있다. 상기 터치 감지 층(180)에는 터치 입력을 감지하는 터치 감지 전극; 상기 터치 감지 전극에 구동 신호를 전달하는 터치 구동 전극; 상기 전극들을 연결하는 각종 도선, 제어 회로와의 연결을 위해 마련된 패드 등이 배열될 수 있다. 상기 터치 감지 층(180)과 상기 편광 층(170)은 투명 접착제(OCA 등)을 통해 서로 접착될 수 있다.
- [0047] 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 전원 공급부 구조를 나타낸 예시도이다.
- [0048] 유기발광 표시장치는 화소의 위치에 따라 수신한 구동 전원($(V_{REF}, V_{DD}, V_{SS}$ 등)의 전압이 변동될 수 있다. 저전위 전원 전압(V_{SS})의 경우, 표시 영역의 일 측에 있는 인입부(예: PAD)로 인가되어 외곽을 따라 연장된 전원 라인을 통해 화소 회로에 전달된다. 이때 상기 인입부에서 멀리 있는 화소 회로에 전달되는 저전위 전원 전압(V_{SS})은, 도선의 저항 등으로 인해 인입부에서 가까운 화소 회로에 전달되는 전압과 달라질 수도 있다. 이렇게 저전위 전원 전압(V_{SS}) 값이 변동(상승 또는 하강)되면, 일부 화소에서는 저전위 전원 전압(V_{SS})과 다른 구동 전압 사이의 마진(margin)이 충분히 확보되지 않기 때문에, 표시 영역의 휘도 및/또는 색 균일도(uniformity)가 낮아지는 현상이 나타난다. 또한 이러한 저전위 전원 전압(V_{SS})의 변동은 유기발광 표시장치의 구동 불량률 유발할 수도 있다.
- [0049] 최근에는 유기발광 표시장치가 대형화되면서 상술한 전원 변동 문제의 발생 가능성이 높아지고 있는 바, 이를 개선할 필요성이 커지고 있다. 전원 변동 문제의 한 개선안으로서, 도 3과 같이 상기 표시장치(100)에는 일 측에 회로 기관(210)이 연결되어 각종 제어 신호/전원 등이 인입되고, 타 측에 마련된 접지 패드(GND)에 저전위 전원 전압 라인(EVSS)이 연결되는 구조가 적용되고 있다. 이에 더하여, 상기 접지 패드(GND)에 연성 회로 기관(220)의 일 측을 부착하고, 상기 연성 회로 기관(220)의 타 측을 외부 접지(300)에 연결하여 접지를 강화하기도 한다. 여기서 외부 접지(300)는 표시장치를 지지하는 금속 플레이트, 프레임 등일 수 있다.
- [0050] 이와 같은 보완 구조에도 불구하고, 기관에는 다수의 접지 패드(GND)를 마련하기에는 어려움이 많다. 이에 저전위 전원 전압(V_{SS})의 변동(특히, 상승)을 완전히 억제하기는 매우 힘든 일이다. 또한 접지 패드(GND)를 충분히 많이 만들 수 있어도 그만큼 연성 회로 기관(220)의 부착 공정이 추가되기 때문에 재료 및 공정 비용이 상승한다. 또한 공정이 추가되면 공정 시간(tact time)이 늘어나서 표시장치의 생산성도 낮아진다.
- [0051] 발명자들은 이와 같은 문제를 인식하고 더 안정적이고 효율적으로 저전위 전원 전압의 변동을 억제하는 구조를 고안하였다.
- [0052] 도 4a 및 4b는 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 전원 공급부 구조를 나타낸 도면이다.
- [0053] 상기 유기발광 표시장치(100)는 전압 변동의 억제를 위해 접지 면적을 극대화하는 개선 구조를 채용하였다. 특히, 이하에서 설명될 실시예는, 도 3에서 설명된 실시예보다 전원 공급 라인의 접지 효과 및 제조 편의성이 향상된 구조를 채용하였다. 도 4a와 4b는 본 실시예를 설명하는 도면으로서, 설명의 편의를 위해 특정 구성 요소(예: 접지부)들만 도시되었고, 기타 요소들은 생략되었다. 상기 유기발광 표시장치(100)는, 기관(160) 상면에 마련된 제1 접지부(GRD1); 상기 기관(160) 상에 있는 터치 층(180)의 하면에 마련된 제2 접지부(GRD1); 상기 제

1 접지부(GRD1)와 제2 접지부(GRD1) 사이를 연결한 도전성 부재(195)를 포함하여 구성될 수 있다.

[0054] 상기 제1 접지부(GRD1)는 기판(160)의 일 면(터치 층(180)과 마주보는 면)에 마련된다. 여기서 상기 기판(160)은 도 2와 같은 구조에서 편광 층(170)의 하부, 즉 베이스 층(101)부터 봉지 층(120) 또는 접착 층(145)까지를 의미한다. 상기 기판(160)에는 회로 기판(210)이 연결되어 각종 제어 신호, 전원 등이 인입될 수 있다. 상기 제1 접지부(GRD1)는 화소 회로가 배열된 표시 영역을 둘러싸며 연장될 수 있다. 이때 상기 제1 접지부(GRD1) 화소 회로에 포함된 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극과 동일한 물질로 단일 층상에 형성될 수 있다. 또는, 상기 제1 접지부(GRD1) 특정 부분에서 다른 층에 있는 도체와 점핑(jumping) 구조로 연결될 수도 있다. 상기 점핑 구조는 컨택 홀(contact hole)을 통한 연결, 또는 직접 연결 방식으로 이어진다. 상기 제1 접지부(GRD1)는, 화소 회로에 저전위 전원(V_{ss})을 전달하는 저전위 전원 라인과 별개로 마련되어 서로 연결될 수 있다. 또 다르게는, 상기 제1 접지부(GRD1)는, 화소 회로에 저전위 전원(V_{ss})을 전달하는 저전위 전원 라인 그 자체일 수 있다. 즉, 상기 제1 접지부(GRD1)는, 화소 회로에 저전위 전원(V_{ss})을 전달하는 저전위 전원 라인이 외부로 드러난 것일 수도 있다. 이때 저전위 전원 라인의 상부 절연 층들은 제거된다.

[0055] 상기 제2 접지부(GRD2)는 터치 층(180)의 일 면(하부 기판과 마주보는 면)에 마련된다. 상기 터치 감지 층(180)은 터치 감지 전극, 터치 구동 전극 등이 배열된 필름 형태일 수 있다. 상기 제2 접지부(GRD2)는 터치 감지 회로를 구성하는 전극, 도선 등의 접지를 위해 사용될 수도 있다. 상기 제2 접지부(GRD2)는 상기 제1 접지부(GRD1)와 상하 방향으로 서로 중첩될 수 있다. 이때 상기 제2 접지부(GRD2)와 상기 제1 접지부(GRD1)의 폭(width)은 서로 같을 수도 있고 다를 수도 있다.

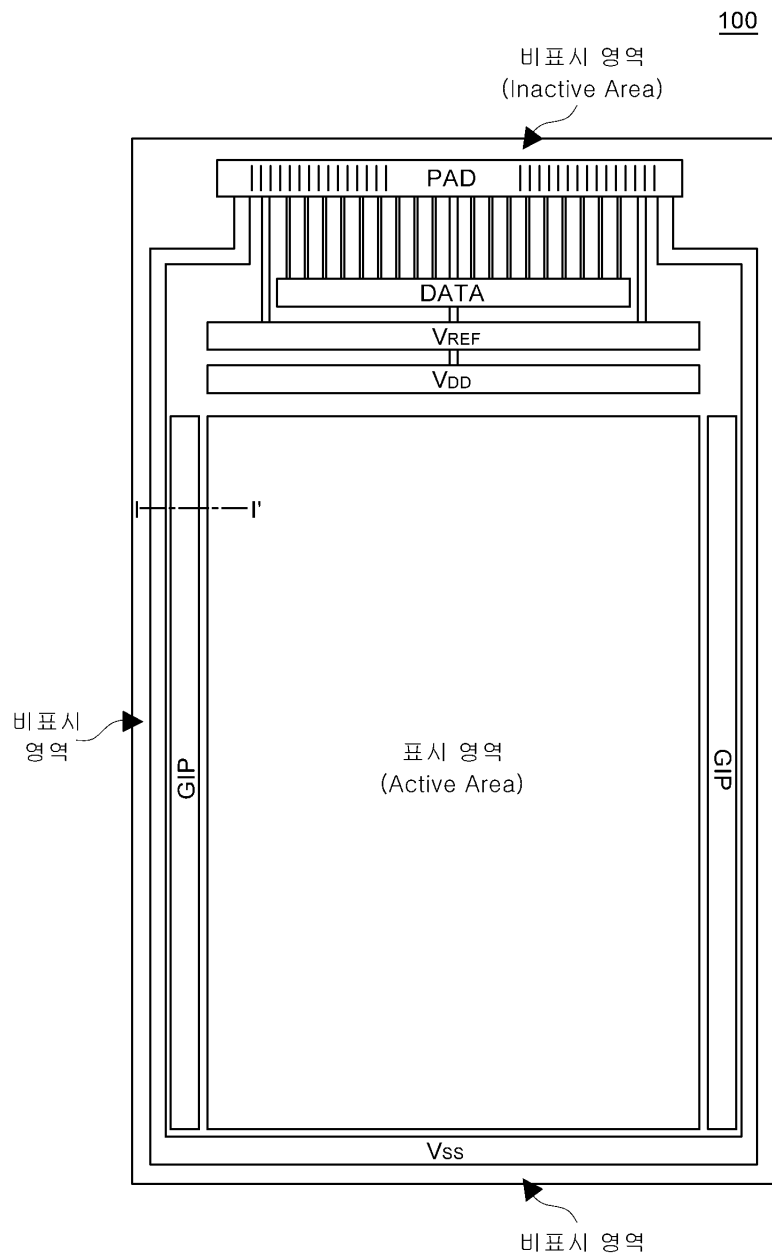
[0056] 상기 도전성 부재(195)는 상기 제1 접지부(GRD1)와 제2 접지부(GRD1) 사이를 물리적/전기적으로 연결한다. 상기 도전성 부재(195)는 도전성 폼(foam) 테이프일 수 있다. 상기 도전성 부재(195)를 통해 상기 제1 접지부(GRD1)와 제2 접지부(GRD1)가 합쳐져 넓은 면적의 접지부가 마련된다. 즉, 상기 제1 접지부(GRD1) 및 제2 접지부(GRD2)는 상기 도전성 부재(195)를 통해 서로 연결되어 접지 면적을 확장함으로써, 화소 회로에 공급되는 구동 전압, 특히 저전위 전원 전압(V_{ss})의 변동을 억제할 수 있다. 상기 제1 접지부(GRD1)와 제2 접지부(GRD1)는 터치 감지 구동 회로의 접지 또는 표시장치가 포함된 전자기기의 시스템 접지와 연결될 수도 있다. 이와 같은 방식의 접지 면적 확장은, 도 3의 실시예와는 달리 연성 회로 기판 등이 추가로 부착될 필요가 없기 때문에, 단점을 지적되었던 재료 및 공정의 증가가 해결될 수 있다.

[0057] 본 실시예에 따른 유기발광 표시장치(100)는, 상기 기판(160)과 상기 터치 감지 층(180) 사이에는 편광 층(170)을 더 포함할 수 있다. 이 경우에, 상기 도전성 부재(195)는 상기 편광 층(170)의 측면에 위치하여 도 4b와 같이 상기 기판(160)과 상기 터치 감지 층(180) 사이의 공간을 채울 수 있다. 만약 이 공간이 비어 있으면 표시 장치의 손상을 방지하기 위해 그 부분이 트리밍(trimming)되어야 한다. 그러나, 실시예와 같이 도전성 부재로 편광 층의 옆 공간이 채워지면, 트리밍 공정이 생략될 수 있어 공정이 효율화될 수 있다.

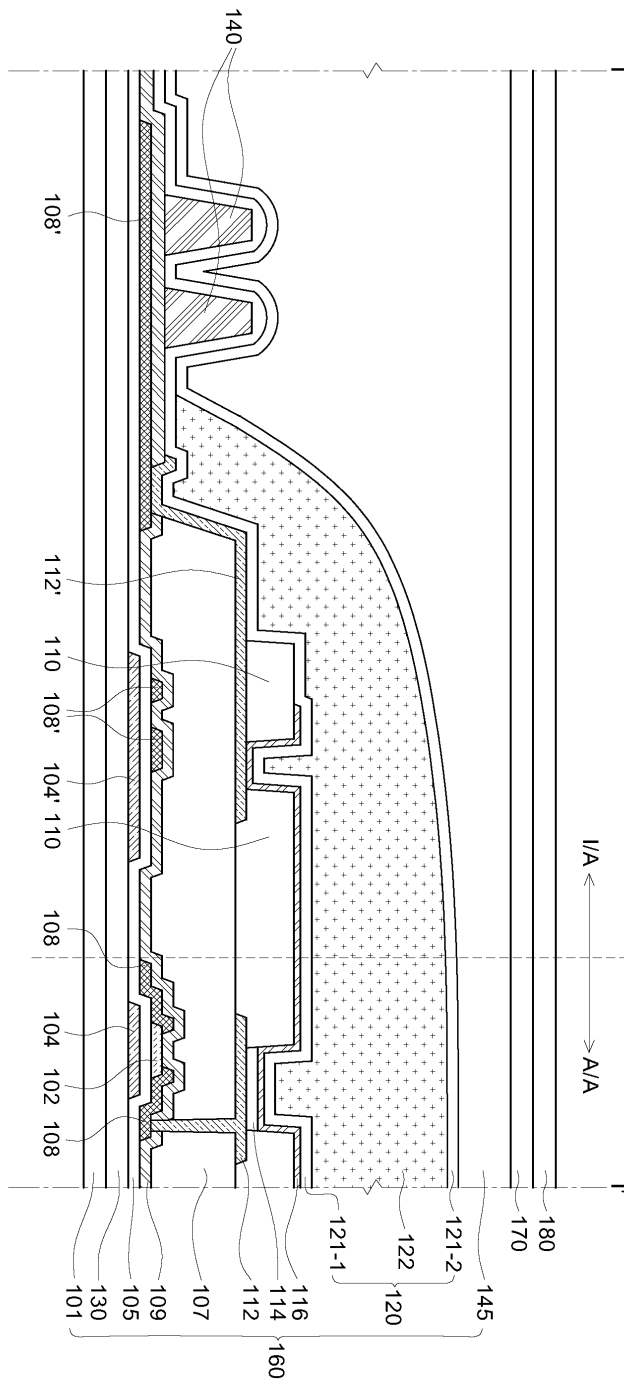
[0058] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 그 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 당업자에 의해 기술적으로 다양하게 연동 및 구동될 수 있으며, 각 실시예들이 서로에 대하여 독립적으로 실시되거나 연관 관계로 함께 실시될 수도 있다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

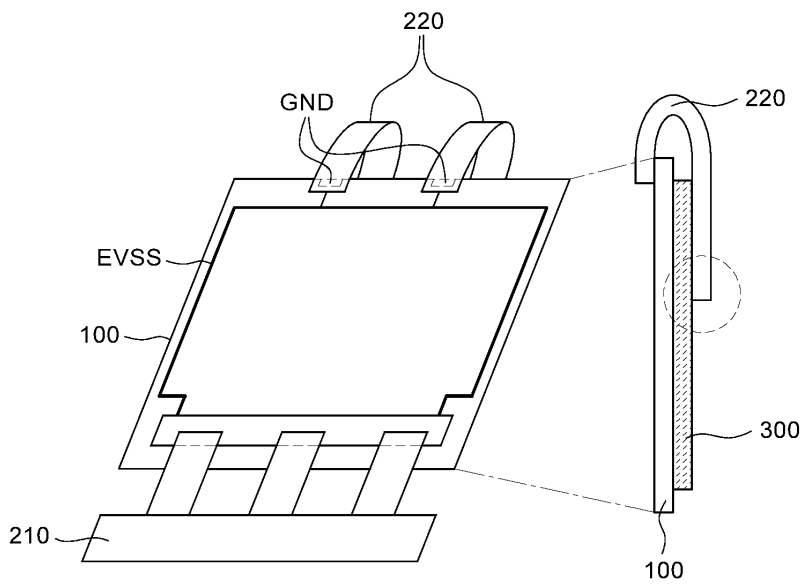
도면1



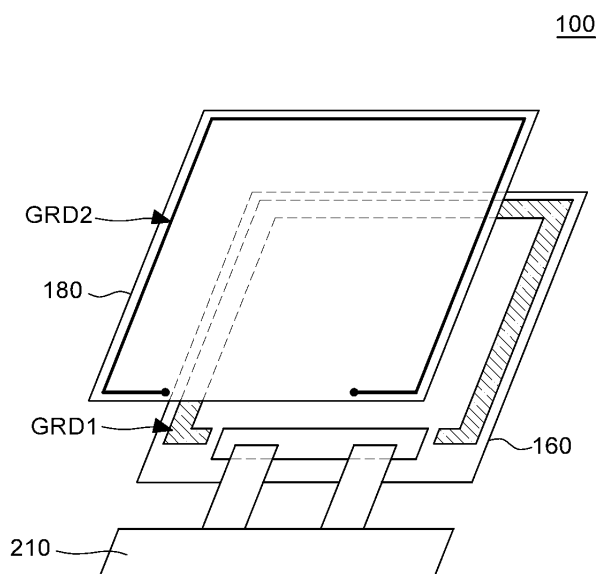
도면2



도면3



도면4a



도면4b

