



[12] 发明专利申请公开说明书

[21]申请号 94106554.5

[51]Int.Cl⁶

H03B 5/00

[43]公开日 1996 年 12 月 4 日

[22]申请日 94.6.9

[71]申请人 阿尔卡塔尔有限公司

地址 荷兰阿姆斯特丹

[72]发明人 克劳斯-哈特维希·里德 冈特·霍希
威廉·爱德华·鲍威尔
弗朗西斯克·莱德

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 杨国旭

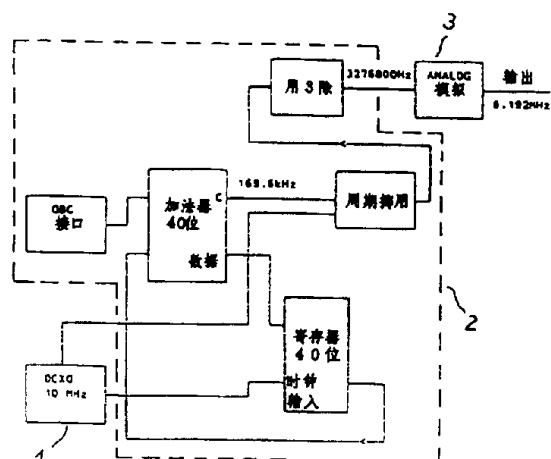
G04F 5/00

权利要求书 3 页 说明书 12 页 附图页数 8 页

[54]发明名称 利用可控振荡器的电路装置产生同步时钟的方法

[57]摘要

本发明的电路装置和方法,可使振荡器的频率在很宽的控制范围内得到线性改变,而不影响振荡器的稳定性。固定频率发生器(1)的频率由分频器(2)分频成所希望的频率,该分频器的分频比可以非常小的间隔进行改变,且所产生的起伏由非常简单的相位控制电路(3)滤除。还实现了改进的短期稳定性和保持性能。该振荡器可普遍地用作所有数字电路装置中的时钟发生器。



权 利 要 求 书

1. 可控振荡器,包括与具有可调节分频比的分频器(2)相连的固定频率发生器(1),其中分频器(2)的输出端连接到模拟相位控制电路(3)的相位检测器的输入端。

2. 权利要求1的可控振荡器,其中分频器(2)包括一寄存器,其输出端与一加法器的第一输入端相连,该加法器的第二输入端与一微处理器(OBC)相连,且该加法器的输出端与模拟相位控制电路(3)的相位检测器的额定频率输入端相连。

3. 权利要求2的可控振荡器,其中加法器的输出端与一周周期挪用电路的第一输入端相连,该周期挪用电路的第二输入端与固定频率发生器(1)的输出端相连,且具有固定分频比的分频器与该周期挪用电路的输出端相连,且其中固定频率发生器(1)的一输出端与相位检测器的额定频率输入端相连。

4. 权利要求2的可控振荡器,其中固定频率发生器(1)一方面通过具有固定分频比的分频器与寄存器相连,而另一方面又被切换到一第一周期挪用电路1,该周期挪用电路形成固定频率发生器(1)的频率和加法器的输出脉冲的频率之差,并借助一下游分频器将该差提供到模拟相位控制电路(3)中的相位检测器的额定频率输入端,且加法器的输出端借助一下游分频器,通过形成加

法器的输出脉冲与模拟相位控制电路(3)的输出频率之差的第一周期挪用电路2而与模拟相位控制电路(3)中的相位检测器的比较频率输入端相连。

5. 权利要求1的可控振荡器,其中固定频率发生器(1)通过一分频器而与相位检测器的额定频率输入端相连,具有可调分频比的分频器(2)的输入端与模拟相位控制电路(3)的输出端相连,且具有可调分频比的分频器(2)的输出端与模拟相位控制电路(3)中的相位检测器的比较频率输入端相连。

6. 产生同步时钟的方法,包括以下步骤(图6):将一数字输入信号(12)的相位与反馈输出信号(16)的相位相比较(14),以提供一误差信号(18);对误差信号(18)进行低通滤波,以提供一滤波误差信号(36);提供一稳定基准频率信号(40);响应滤波误差信号(36)和稳定基准信号(40)对反馈输出信号16进行频率合成(38)。

7. 权利要求6的方法,进一步包括对输出信号(16)进行分频(17)以提供用于与数字输入信号进行比较的分频反馈输出信号(15)的步骤。

8. 权利要求6的方法,其中频率合成步骤包括以下步骤(图7):将稳定基准信号(40)的相位与一第二反馈信号(76)的相位进行比较(74),以提供一第二相位误差信号(78);将第二相位误差信号(78)与一相位累加调制信号(96)相比较(98),以提供一减小的相位误差信号(81);对该减小的相位误差信号(81)进行滤波(82),

以提供经过滤波的、减小的相位误差信号(83);提供(84)具有与该滤波的、减小的相位误差信号(83)成比例地变化的频率的输出信号(16);响应于一控制信号(88)而用 N 或 $N+1$ 对输出信号(16)进行分频(86),以提供第二反馈信号(76)。

9. 权利要求 6 的方法,其中频率合成步骤包括以下步骤(图 8):将滤波误差信号(36)和相位累加调制信号(189)相加,以提供一和信号(187)和一进位信号(191);存储(188)该和信号(187),以响应稳定基准频率信号(40)提供相位累加调制信号(189);响应进位信号(191)而对稳定基准信号(40)中的周期进行周期挪用(190),以提供有间隙的稳定基准信号(192);响应一选择信号(182),选择(184)有间隙的稳定基准信号(192)或进位信号(191),以提供有间隙的稳定基准信号(192)或进位信号(191)以进行分频(194),以提供具有重叠的相位起伏的分频信号(196);将分频信号(196)和一分频反馈信号(200)相比较(198),以提供一第二相位误差信号(202);对该第二相位误差信号(202)进行滤波(204),以提供一滤波第二相位误差信号(206);根据滤波的第二相位误差信号(206)的幅度按一频率提供(208)的输出信号(16);对该输出信号(16)进行分频(210),以提供分频反馈信号(200)。

说明书

利用可控振荡器的电路装置

产生同步时钟的方法

本发明涉及用于利用一种电路装置产生一同步时钟的方法,这种电路装置可以作诸如数字信息传递系统中的时钟发生器的基础。

为保证数字信息不受干扰地进行传送需要具有长期可靠性的高质量振荡器。为此目的,一般采用石英振荡器,它由微处理器和数/模转换器进行调谐,并形成诸如基本的锁相环等相控制电路,见 *W. Ernst, Hartmann H. L. : New Clock Generator for EWSD, telecom report 9 (1986), brochure 4, pages 263—269.*

实现时钟发生器的高精度和稳定要求,需要很昂贵的电路,需要采用诸如微机控制的数字相控制电路(DPLL)。而且,可控石英振荡器的物理特性产生了某些限制。因而,必须在控制范围(电压控制晶体振荡器(VCXO)的“频率牵引”范围)和稳定性之间进行平衡,因为石英振荡器的稳定性随控制范围的增加而下降,从而限制了控制的范围。由于描述控制电压与频率之间的函数关系的控制曲线(K_V 的电压/频率特性)的非线性,当制作电路时必须考虑50%的容差。因而,相控制电路在设计上必须是为±50%的放大涨

落(K_V 值的变化)的,并具有 $\pm 50\%$ 的带宽容差。最后,控制范围的分辨率受到数/模转换器的步宽的限制,其中在数/模转换器的运行中温度改变和非线性是附加的变量。一般地,数/模转换器必须被提供有 $\pm 12V$ 的运行电压。在可调谐的恒温控制石英振荡器中,低的长期稳定性、温度依赖性和控制曲线的非线性在制作高精度时钟发生器时会产生问题。

本发明的一个目的,是提供一个成本低且普遍适用的振荡器,它在保持紧容差的同时,可在不影响其稳定性的情况下在大范围内进行连续的控制。

根据本发明,一个稳定的、固定频率的振荡器向一可变驱动电路提供了一固定频率的信号,该电路又将一可变频率输出提供给一锁相环电路。

又根据本发明,该可变分频电路可包括加法器,该加法器在其第一输入端响应一微处理器接口并在其第二输入端响应一寄存器输出以在其数据输出端提供一和信号并在其进位输出端提供一进位信号。加法器的数据输出被提供给一由固定频率输入提供时钟信号的寄存器。该可变分频电路还可包括一周期挪用单元,它响应加法器的进位输出和固定频率信号以向一固定分频器提供一周期挪用输出信号,而该固定分频器又向锁相环提供可变分频器的输出。

又根据本发明,该锁相环可包括一模拟相位比较器,用于将锁相环的输出与可变分频器的输出相比较。该相位比较器的输出被提

供给一用于提供一模拟锁相环输出的电压控制晶体振荡器。

且根据本发明,并不是提供一固定频率给一可变分频电路,而是将其提供给一固定分频器,后者又向锁相环的相位比较器的输入端之一提供一输出。锁相环的该输出被提供到可变分频电路,后者将其输出作为第二输入提供提供锁相环的相位比较器。在此情况下,可变分频电路可包括一加法器,后者在第一输入端响应于一微处理器接口并在第二输入端响应于一寄存器的输出,该寄存器由锁相环的输出的分频形式提供时钟信号。加法器的数据输出被提供给寄存器,同时进位输出被提供到一周期挪用单元,后者响应于锁相环的输出并用于提供一周期挪用输出,该周期挪用输出可被分频并被作为可变分频电路的输出提供给锁相环的相位比较器的第二输入端。

根据本发明,可变分频器可包括一加法器,后者在其第一输入端响应于一微处理器接口并在其第二输入端响应于一寄存器输出,该寄存器由来自稳定参照振荡器的一分频固定频率信号进行定时并对加法器的数据输出进行寄存。该加法器的一个进位输出被提供到一第一周期挪用器,后者也响应于来自稳定振荡器的固定频率信号。第一周期挪用的输出被提供给一分频器,该分频器将其输出提供到锁相环中的相位比较器的第一输入端。在可变分频器中的一第二周期挪用器响应加法器的进位输出和锁相环的输出,用于提供一输出信号,该输出信号被分频并被提供在锁相环的相位比较器的第

二输入端。如果需要,锁相环的输出可被再次分频。

根据本发明,提出了一种使用本发明的可控振荡器提供同步时钟的方法,该振荡器包括微处理器控制电路和低费用锁相环,用于在大范围内提供高精度频率。

本发明的本质,是从一恒温稳定的标准固定频率振荡器,主要通过一分频器,来导出所需要的频率;该分频器的分频比可按照所需的方式改变。不再需要数/模转换器,因而该时钟发生器现在需要传统的5伏特运行电压。根据本发明的电路装置可在例如 $\pm 70\text{ppm}$ 的范围内,在完全不影响振荡器的稳定性的情况下,线性地改变频率。因此,可对固定频率振荡器的老化毫无问题地进行补偿。

从对本发明如附图所示的最佳实施例的详细描述,本发明的这些和其他目的、特征和优点将变得更加明显。

图1显示了根据本发明的电路装置的电路框图;

图2显示了一模拟相位控制电路的切换细节的第一种变形;

图3显示了根据本发明的电路装置的第二种变形;

图4显示了根据本发明的电路装置的第三种变形;

图5显示了带有两个周期挪用电路的第四种变形;

图6显示了根据本发明的低带宽锁相环;

图7显示了根据本发明的频率合成器,它可被用于图6的频率合成器;

图 8 显示了根据本发明的另一频率合成器,它可被用于图 6 的频率合成器。

根据图 1,用于可控振荡器的电路装置由恒温稳定固定频率发生器 1(恒温控制晶体振荡器(*OCXO*))、具有可变分频比的分频器 2、以及模拟相位控制电路 3(锁相环(*PLL*))组成。分频器 2 主要包括一寄存器和一加法器,该加法器由一微处理器经过单板控制器(*OBC*)接口进行控制,且如果需要,还包括周期挪用电路和具有固定分频比(在此情况下例如是被 3 除)的分频器。根据图 2,模拟相位控制电路 3 包括一相位比较器(*Kp*)、一具有运算放大器和电压控制晶体振荡器(*VCXO*)的有源环形滤波器,且如果需要,还包括分频器(*DIV*),后者为相位比较器提供基准频率。模拟锁相环电路 3 在此例中如下设计:

$$R=10,000 \text{ 欧姆} \quad C=15.9nF$$

$$R1=872,340 \text{ 欧姆} \quad C1=75nF$$

$$R2=1,000,000 \text{ 欧姆} \quad C2=159pF$$

在此情况下,相位比较器的斜率是 $Kp=0.4V/rad$ 。电压控制振荡器 *VCXO* 的控制斜率可以是 $Kv=204.8Hz/V$ 。

在图 1 的电路装置中,固定频率发生器 1 对寄存器进行循环,而该寄存器的内容在加法器中被加到微处理器 *OBC* 提供的数字控制值上。加法器的进位输出则包含一脉冲序列,后者的频率可被微处理器 *OBC* 的数字控制值改变。进位输出的平均频率

$$f_{carry}(AVG) = f_{ocxo}(M/2^m)$$

当数字控制值增加时增加,且固定频率发生器 1 的频率保持不变(其中 M 是 OBC 值和 m 是在相位积累电路中的位数)。这使得能以非常小的间隔改变频率。例如,借助所谓的周期挪用或时钟间隙电路,从固定频率发生器的频率 $f_1 = 10MHz$ 减去加法器的频率 $f_2 = 169.6kHz$ 。一分频器用 3 除所产生的 $f_3 = 9.8304MHz$ (额定),并将其提供到模拟锁相环电路 3。在根据本发明的该电路中,模拟锁相环电路 3 不象在已知的先有技术中那样被用作时钟发生器的频率判定部件,而是被只被用于滤掉时钟间隙中的起伏,并在需要时提供简单的频率倍增功能。借助具有非常简单的结构的模拟相位控制电路 3,并用传统的石英振荡器,将这种起伏限制在很狭窄的范围中。它闭环带宽可以是在诸如 $90Hz$ 的量级。借助图 1 所示的电路,并采用上述的模拟相位控制电路 3,实现了在 $\pm 7ppm$ 的控制范围内小于 280 微微秒的起伏。

与图 1 所示的电路相比,图 2 的电路装置中省略了带有下游分频器的周期挪用电路,并且对于很多应用来说是足够的。这种简单且普遍适用的解决方案,借助所示的结构,产生了小于 800 微微秒的起伏。

图 3、4 和 5 显示了根据本发明的电路装置的变形,它们的不同之处在于频率的准备,并具有与输出频率和所允许的起伏相关的优越性。

根据图 3,在用图 1 所示的电路装置进行进一步的处理之前,先用分频器将固定频率发生器 1 的频率 $f_1=10\text{MHz}$ 除以 32。该电路的优点在于寄存器和加法器的位宽只有 32 位,从而实现了较高的可比控制精度。

图 4 显示了一电路装置,其中固定频率发生器 1 的频率 $f_1=10\text{MHz}$ 被分成频率 $f=2.04082\text{MHz}$,并随后被作为额定频率而提供到相位检测器。基准频率,是借助被切换到周期挪用电路的下游的分频器,从模拟相位控制电路 3 的输出脉冲频率和加法器的输出频率之差,通过周期挪用而形成的。当产生其中起伏小于前述电路装置中的起伏时,这种电路装置是适用的。

图 5 显示了一种电路变形,其中模拟相位控制电路 3 的相位检测器的额定频率和基准频率,都是借助周期挪用电路,从频率差形成的。但基本电路结构保持不变。该电路变形主要是在必须产生特别低的起伏频率时有利。

图 6 显示了一低带宽、数字锁相环 10。它主要包括用于提供稳定的基准频率信号 40 的装置 1、用于比较一数字输入信号 12 的相位和一反馈输出信号 16 的相位以提供一误差信号 18 的装置 14、用于对误差信号 18 进行低通滤波以提供一滤波误差信号 36 的装置 20 和用于响应于滤波误差信号 36 和稳定的基准信号 40 对反馈输出信号 16 进行频率合成的装置 38,以及在需要时用于对输出信号 16 进行分频的装置 17。线 12 上的、具有额定频率(F_{IN})的数字基

准输入信号被提供到相位比较器 14, 后者也响应于在线 15 上的一个信号, 该信号是在线 16 上的具有频率(F_{OUT})的输出信号的分频形式。显示有一用 Q 电路 17 分频, 它响应于线 16 上的输出信号, 用于在线 15 上提供其低频(F_{IN}/Q)形式, 以与线 12 上的输入信号 F_{IN} 相匹配。当然, 应理解的是, 该用 Q 电路 17 分频不是必须的, 因而线 16 上的输出信号和线 15 上的信号可以是相同的。为达到相同的效果, 分频数 Q 的值可以是 1。

线 12 上的输入基准信号可代表一输入网络线信号频率, 而线 16 上的输出信号可代表一局部时钟信号; 为了局部的目的和将网络的信息传递到其他的网络成员, 该时钟信号必须与线 12 上的输入基准信号相同步; 其中每个网络成员都有它们自己的局部时钟, 后者必须与网络密切同步。

相位比较器 14 在线 18 上提供了一误差信号给低通滤波器 20; 后者滤除诸如噪音的高频干扰, 并存储输入信号的长期平均频率的一种表示。

滤波器 20 在线 36 上向一频率合成器 38 提供一数字误差信号; 该合成器也响应于线 40 上的、来自具有高稳定性或高品质因数的稳定振荡器 1 的、非常稳定的时钟信号。根据本发明的频率合成器 38 将结合图 7 进行详细描述。频率合成器 38 在线 16 上提供一输出信号, 该输出信号具有改善的短期稳定性和同步范围, 并具有非常细的频率分辨率。

如图 7 所示,根据本发明的一个实施例,显示了一 N 分合成器,它使得能够从单个的源,以高分辨率,在宽频率范围内,进行合成。图 7 中的每一个东西代表诸如图 6 的频率合成器 38 的频率合成器。输入信号是图 6 的线 36 上的信号,它是低通滤波器 20 的输出,和线 40 上的稳定基准。

稳定振荡器在线 40 上的输出被提供到相位检测器 74;后者也响应于线 76 上的一反馈信号,以在线 78 上提供一误差信号;而该误差信号可具有如在相位误差与时间的曲线图上所示的波形 80。图 7 的锁相环具有环滤波器 82 和 $VCXO$ 84,但是还具有一分频器 86;后者除了当线 88 上出现有来自加法器 90 的控制信号时,在所有情况下都被 N 除,而在上述例外情况下线 16 上的输出信号被 $N+1$ (而不是 N)除。

相位误差的增加速率或波形的锯齿斜面的斜率,以及锯齿的周期,将取决于线 40 和 76 上的信号的相位和频率的即时差,而它又影响着分频器 86 用 $N+1$ 而不是 N 除的速率。在波形 80 中,锯齿增加的斜面部分代表其中分频器 86 用 N 除的时期。在交换达到顶峰和跳回到时间轴处的边缘不连续性,代表其中分频器 86 用 $N+1$ 除的时期。在大部分时间中用 N 除并在某些时间中用 $N+1$ 除这一想法,是为了使线 16 上的输出频率能被分除且分除的商能被与一稳定的基准进行比较。根据分频器 86 用 $N+1$ 除的频率,锁相环的输出频率将以精细的分辨率进行改变,它也是以线 40 上非常稳定

的基准信号作为基准的。

相位累加寄存器可包括加法器 90;后者具有与线 36 上的数字输入端相连的 m 位输入端和与连接到线 94 上的 m 位输入端该输出提供给包括 m 个触发器的寄存器 92。该相位积累寄存器的分辨率可被选择得非常高。例如,它可以是四十位宽的。寄存器 92 中的值在每个输出时钟周期 16 中都得到增加,而线 36 上的一数值计数与线 16 上的输出合成频率成比例。在正常情况下,如上所述,反馈环中的分频器 86 被 N 分频。然而,其中加法器 90 溢出时,该除数暂时被变成 $N+1$ 。这造成信号线 76 以及来自相位检测器 74 的信号线 78 上的锯齿式相位滑动调制,而这是必须得到补偿的。为了实现这种补偿,相位寄存器 92 的 k 个最有效位(其中 $k \leq m$)随后在减法器 98 中被从线 78 上的信号中减去;这 k 个最有效位也代表线 96 上的锯齿相位误差(至精度 $\{1-2^{-k}\}$),如锯齿相位误差波形 99 所示。如果 $k=4$,则减的精度为大约 0.94。对 $k=8$,精度为大约 0.996,等等。在图 7 中,所示的锯齿相位误差波形 100 代表线 81 上的信号,即线 78 上的信号和线 96 上的信号之差。这将线 81 上的相位误差降低到:

$$\varphi_e = T_{out} / 2^k$$

它被环形滤波器 82 进一步滤波。

如果,例如,VCXO 频率是 10MHz,且相位寄存器的上高 8 位被用在锯齿相位补偿电路中,则在线 81 上产生的相位误差为

$$100ns/2^8=0.4ns。$$

图 8 显示了频率合成器 38 的另一实施例,它可被用作图 6 的频率合成器。

在图 8 中,一相位寄存器包括一加法器 186 和一寄存器 188,两者都具有 m 位分辨率。线 189 上的一反馈信号被提供给该加法器,以把无意的过去值提供回加法器 186 的输入端 B 中。线 36 上的数字输入将值 M 加到稳定基准的各个周期上。一周周期挪用器 190 响应线 40 上的稳定基准和线 191 上的、来自加法器 186 的进位信号。该进位信号将稳定基准的一个周期挪用到加法器的过流上。根据线 182 上的选择信号的幅度,一选择装置 184 将提供线 192 上的信号或线 191 上的信号来作为线 193 上的、至分频器 194 的输出信号。一分频信号随后在线 196 上被提供给一低成本锁相环,该锁相环包括一相位比较器 198;后者响应于线 196 上的信号和在线 200 上的反馈信号,以将一在线 202 上的误差信号提供给环形滤波器 204。这在线 206 上的信号中提供了具有高频起伏的低带宽截止;该信号又被提供给提供线 16 上的输出信号的电压控制晶体振荡器 208 以用于局部定时的目的,并被提供给一分频器 210 以用于提供线 200 上的信号。

根据本发明的电路装置和方法,可被用来借助同一恒温稳定固定频率发生器,产生具有不同频率的时钟发生器。这种普遍的用途,使得能够大量地生产这种可控振荡器,从而有效地降低成本。这种

电路装置可完全用需要 $U=+5V$ 供电电压的部件来实现,并可在毫无问题地用在传统的信息传递设备中。

虽然对于本发明已结合其最佳实施例进行了描述,但本领域的技术人员应该理解的是,在不脱离本发明的精神和范围的情况下,可对本发明的细节和形式进行前述和各种其他的改变、省略及增加。

说明书附图

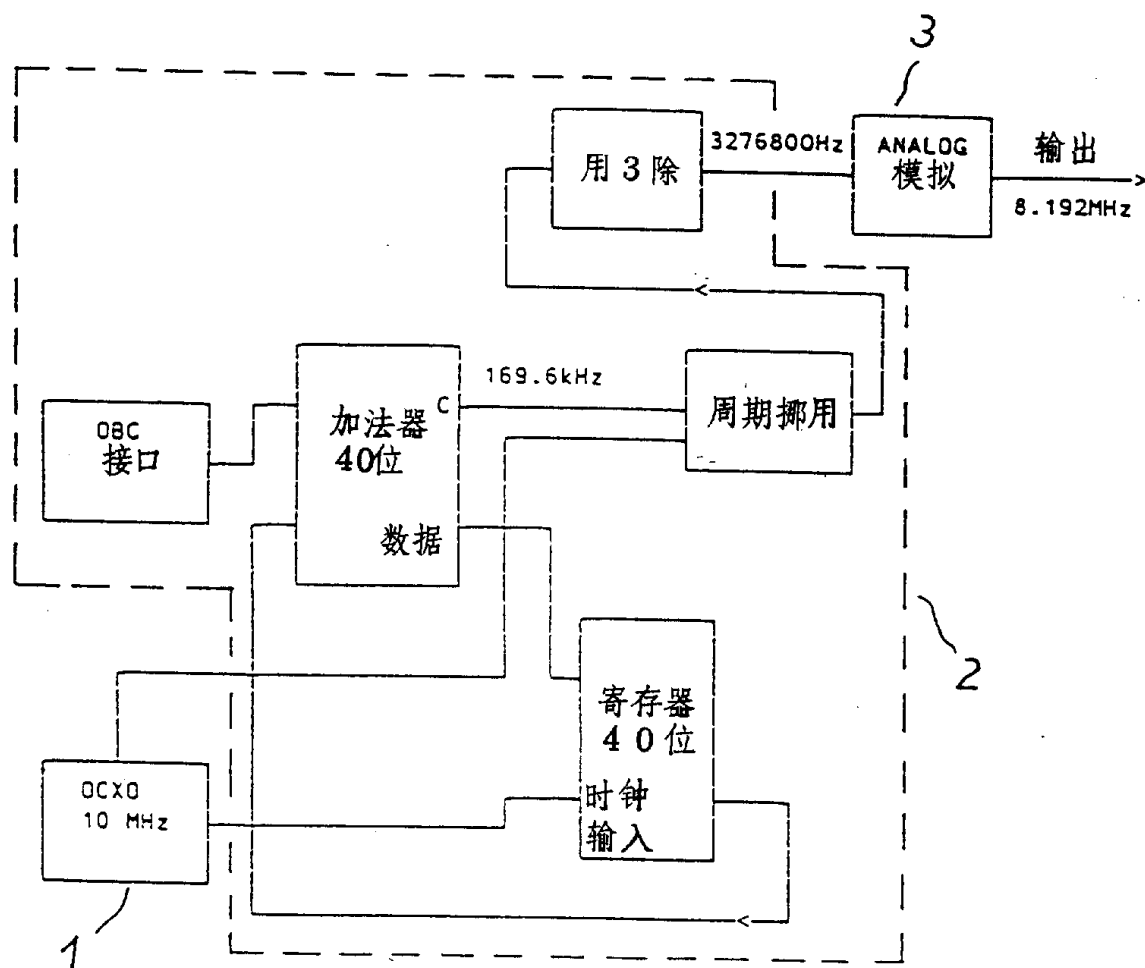


图1

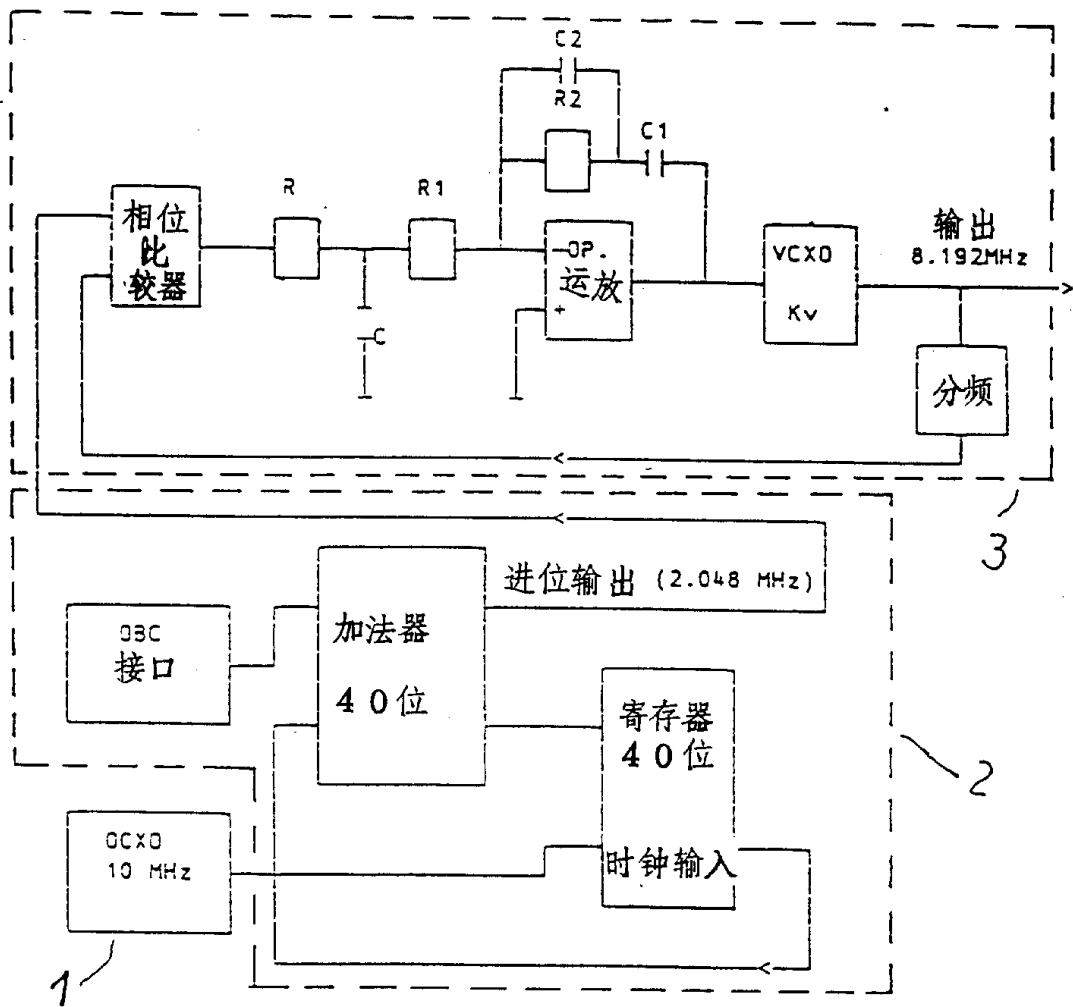


图 2

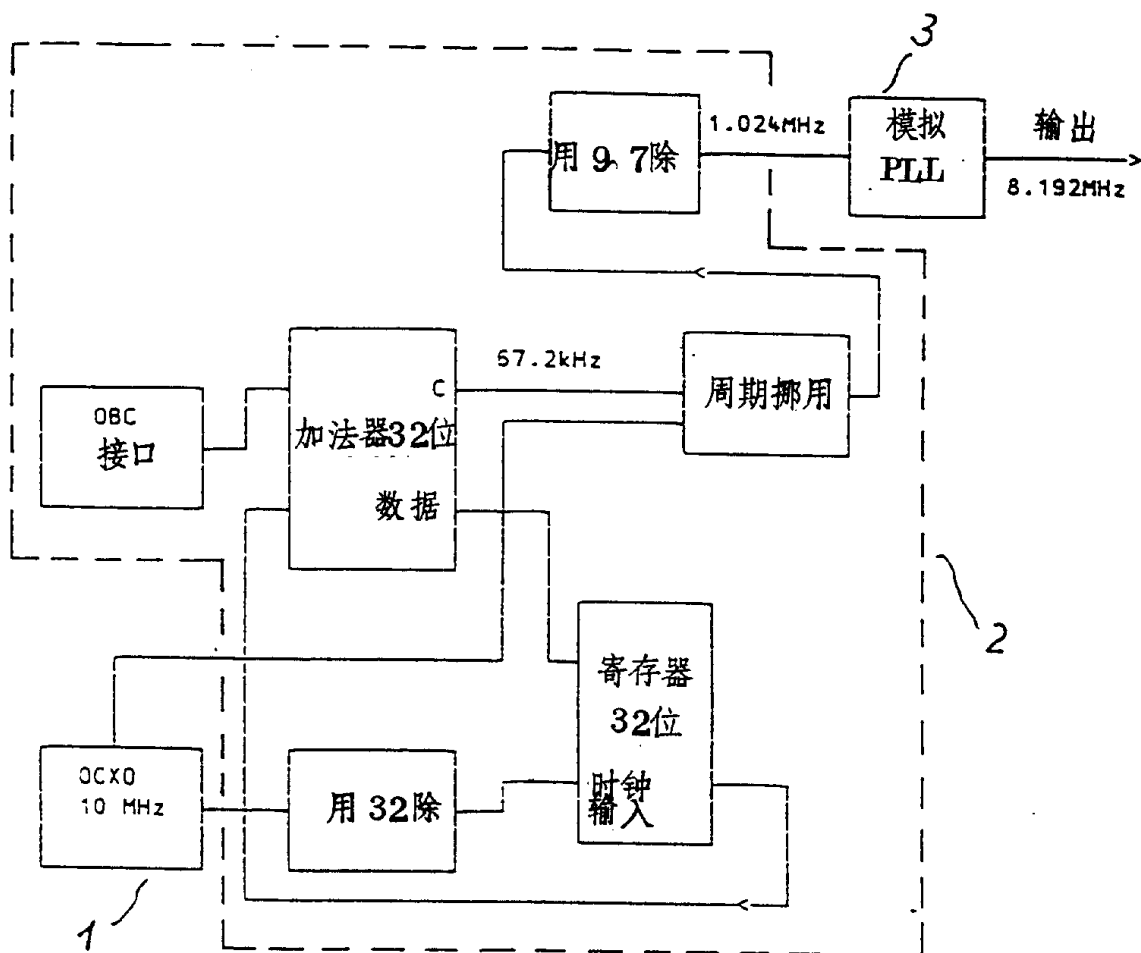


图 3

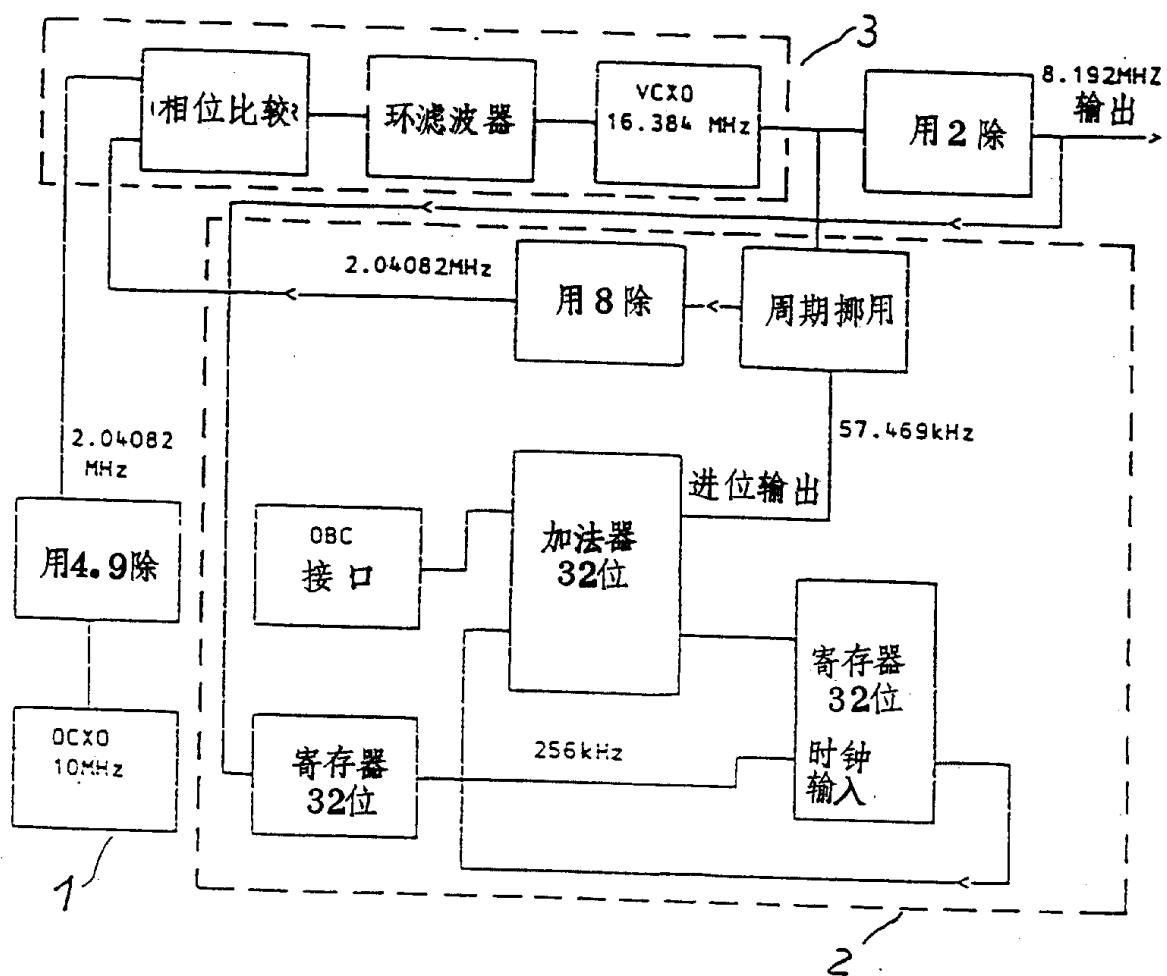


图4

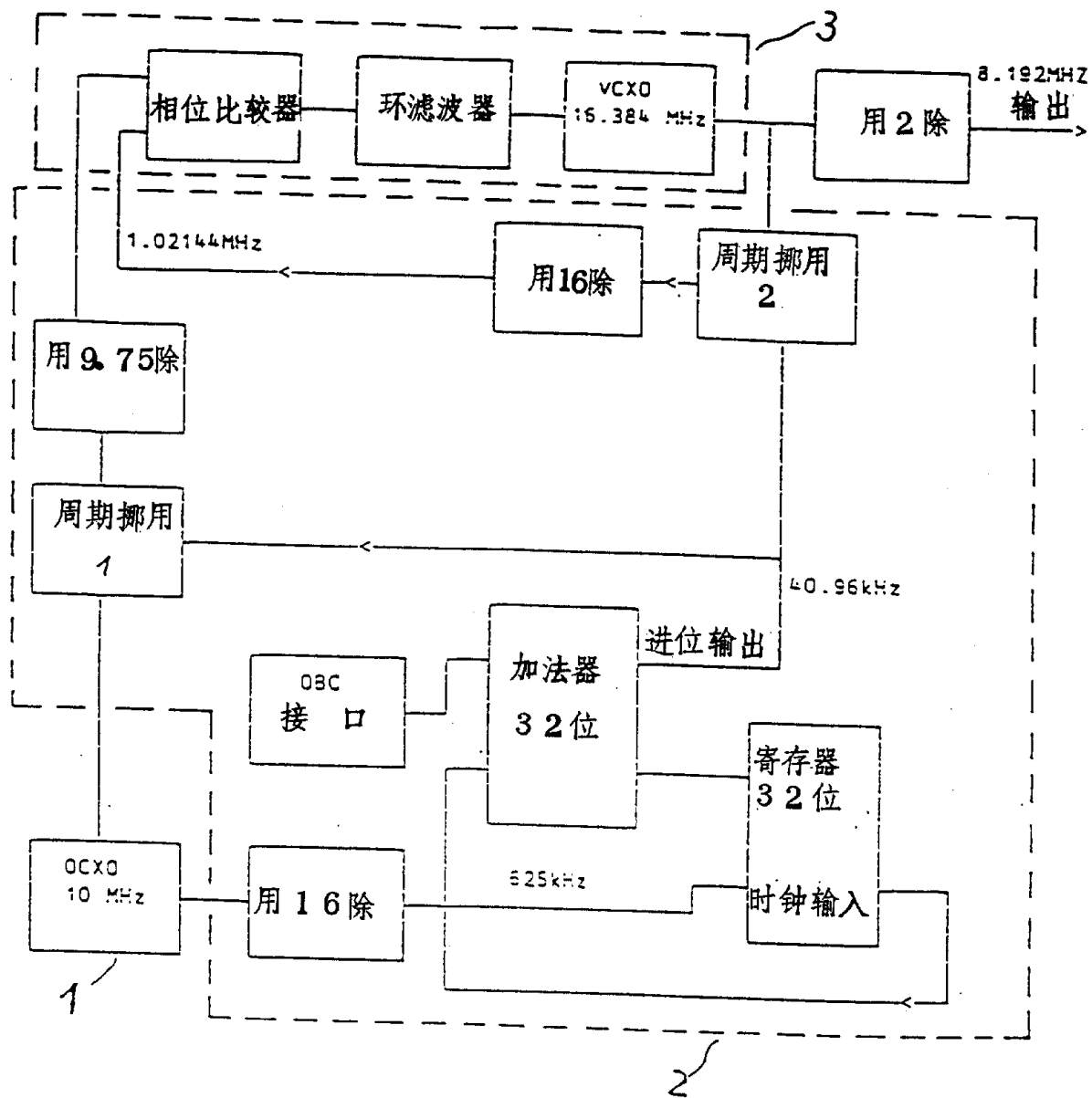


图 5

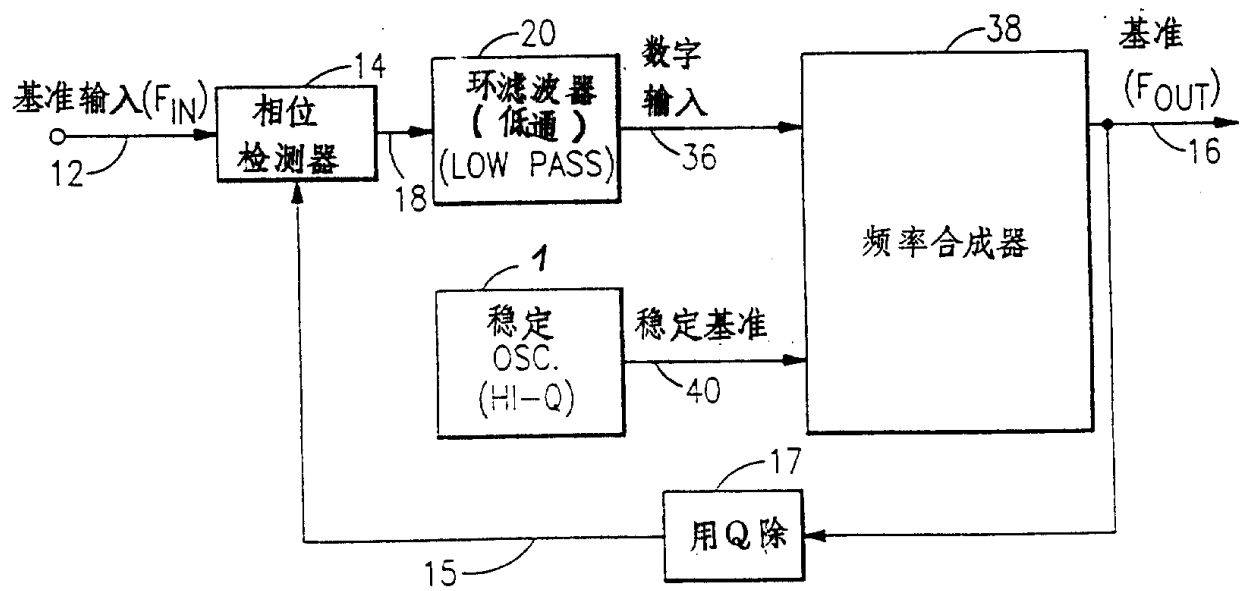


图 6

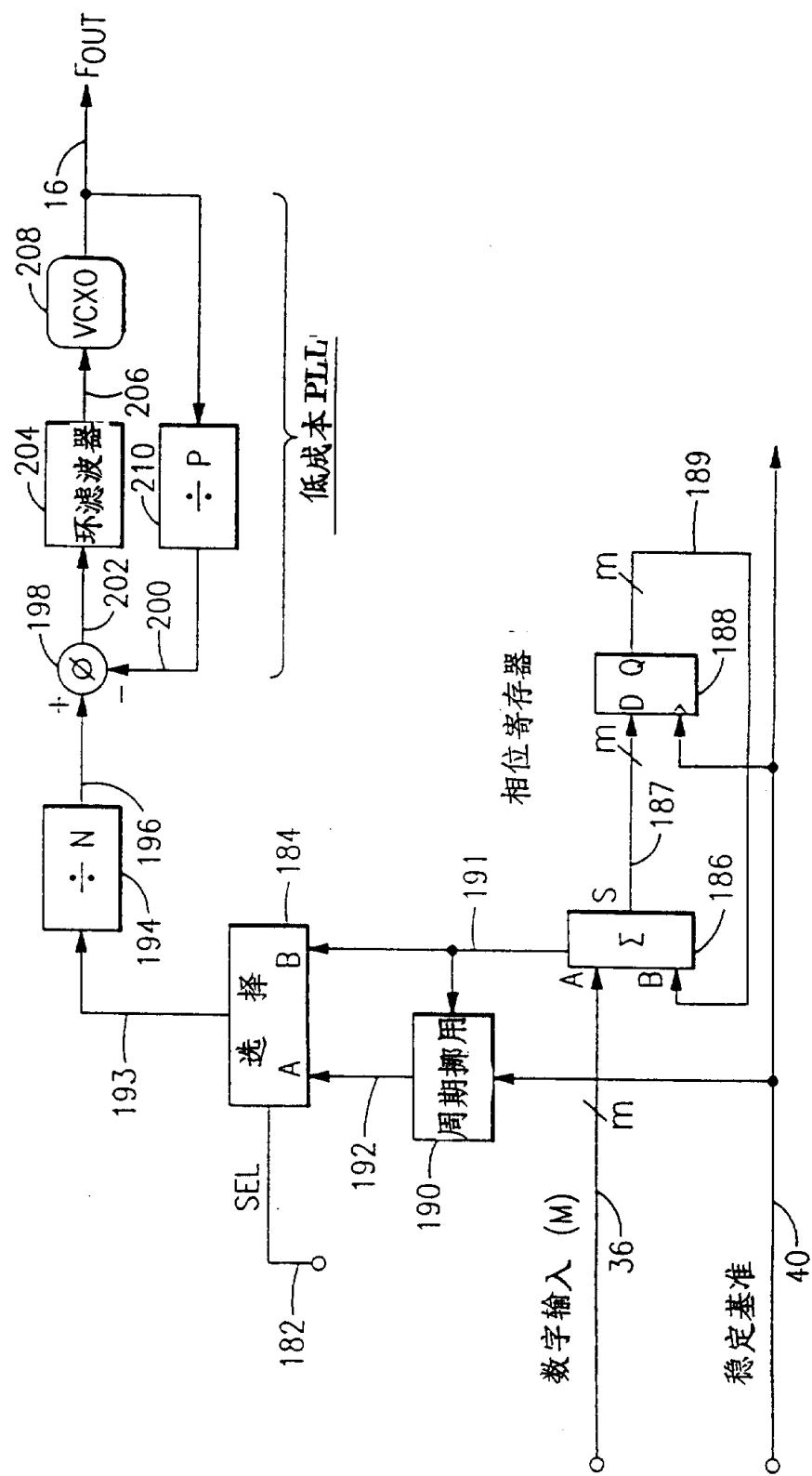


图 8