

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 9 月 21 日(21.09.2017)



(10) 国際公開番号

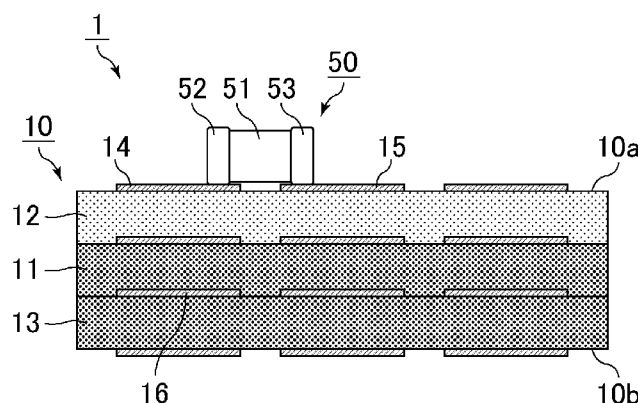
WO 2017/159386 A1

- (51) 国際特許分類:
H05K 1/03 (2006.01) H01G 2/06 (2006.01)
- (21) 国際出願番号: PCT/JP2017/008325
- (22) 国際出願日: 2017 年 3 月 2 日(02.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-055587 2016 年 3 月 18 日(18.03.2016) JP
特願 2016-055589 2016 年 3 月 18 日(18.03.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 山田 忠輝 (YAMADA, Tadateru); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 藤本 力 (FUJIMOTO, Isamu); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 服部 和生 (HATTORI, Kazuo); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 高橋 優 (TAKAHASHI, Masaru); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 安富国際特許事務所 (YASUTOMI & ASSOCIATES); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 5 番 3 6 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PACKAGE STRUCTURE AND SUBSTRATE WITH BUILT-IN MULTILAYER CAPACITOR

(54) 発明の名称: 実装構造体、及び、積層コンデンサ内蔵基板

図1



(57) Abstract: This package structure is obtained by mounting a multilayer capacitor on one main surface of a circuit board; and the circuit board is provided with a first insulating layer and a second insulating layer that has a Young's modulus lower than the Young's modulus of the first insulating layer. This package structure is characterized in that the second insulating layer is arranged closer to the main surface, on which the multilayer capacitor is mounted, than the first insulating layer. A substrate with a built-in multilayer capacitor according to the present invention is provided with: a circuit board; a multilayer capacitor which is mounted on one main surface of the circuit board; and a resin layer that is provided on the one main surface of the circuit board so as to embed the multilayer capacitor. This substrate with a built-in multilayer capacitor is characterized in that: the circuit board is provided with a first insulating layer and a second insulating layer that has a Young's modulus lower than the Young's modulus of the first insulating layer; and the second insulating layer is arranged closer to the main surface, on which the multilayer capacitor is mounted, than the first insulating layer.

(57) 要約:

[続葉有]

WO 2017/159386 A1



本発明の実装構造体は、回路基板の一方主面に積層コンデンサが実装された実装構造体であって、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。本発明の積層コンデンサ内蔵基板は、回路基板と、上記回路基板の一方主面に実装された積層コンデンサと、上記回路基板の上記一方主面上に設けられ、上記積層コンデンサを埋設する樹脂層と、を備え、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。

明 細 書

発明の名称：実装構造体、及び、積層コンデンサ内蔵基板

技術分野

[0001] 本発明は、回路基板に積層コンデンサが実装された実装構造体、及び、積層コンデンサ内蔵基板に関する。

背景技術

[0002] 近年、電子機器の高性能化に伴い、電子部品としての積層セラミックコンデンサの大容量化が進んでいる。大容量の積層セラミックコンデンサにおいては、誘電体材料としてチタン酸バリウム等の高誘電率のセラミック材料が使用されている。

[0003] これらの高誘電率のセラミック材料は、圧電性及び電歪性を有しているため、高誘電率のセラミック材料からなる誘電体を含む積層セラミックコンデンサにおいては、電圧が印加された際に機械的な歪みが生じることになる。

[0004] そのため、回路基板に実装された積層セラミックコンデンサに交流電圧、又は、交流成分が重畳された直流電圧が印加されると、積層セラミックコンデンサの歪みに起因して積層セラミックコンデンサに振動が発生することになり、当該振動が回路基板に伝播することで回路基板が振動することになってしまう。

[0005] ここで、伝播した振動により、回路基板が可聴周波数域である20Hz以上20,000Hz以下の周波数で振動した場合には、「鳴き（acoustic noise）」と呼ばれる騒音が発生することになる。

[0006] 上記騒音の低減を図る技術としては、種々のものが提案されており、例えば、特許文献1には、同等の電圧が印加される積層セラミックコンデンサが、回路基板の表面及び裏面の面对称な位置にそれぞれ実装された実装構造体が開示されている。特許文献1によれば、一方の積層セラミックコンデンサから回路基板に伝播された振動と、他方の積層セラミックコンデンサから回路基板に伝播された振動とを、相互に打ち消し合うように作用させることによ

り、騒音の低減を図ることができる」とされている。

先行技術文献

特許文献

[0007] 特許文献1：特開2000-232030号公報

発明の概要

発明が解決しようとする課題

[0008] しかしながら、特許文献1に開示された技術は、積層セラミックコンデンサを回路基板の両面に実装可能である場合に限って適用できるものであり、回路基板の片面のみにしか積層セラミックコンデンサを実装できない場合には適用できないものである。そのため、設計の自由度が損なわれてしまうという問題があった。

[0009] 本発明は上記の問題を解決するためになされたものであり、回路基板に積層コンデンサが実装された実装構造体において、設計の自由度を損なうことなく、回路基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる実装構造体を提供することを目的とする。

[0010] 本発明はまた、設計の自由度を損なうことなく、内蔵基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる積層コンデンサ内蔵基板を提供することを目的とする。

課題を解決するための手段

[0011] 上記目的を達成するため、本発明の実装構造体は、回路基板の一方主面に積層コンデンサが実装された実装構造体であって、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。

[0012] 本発明の実装構造体では、積層コンデンサの歪みに起因する振動が回路基板に伝わる過程において、振動は、ヤング率の相対的に低い第2絶縁層を経由してヤング率の相対的に高い第1絶縁層に伝わる。したがって、ヤング率の

相対的に低い第2絶縁層によって振動が吸収されるため、ヤング率の相対的に高い第1絶縁層に伝わる振動が小さくなると考えられる。その結果、回路基板全体の振動が小さくなり、回路基板の騒音を低減することができる。

[0013] 本発明の実装構造体の一実施形態では、上記第2絶縁層の表面にランドが設けられており、上記第2絶縁層上のランドに上記積層コンデンサが実装されている。

当該実施形態では、積層コンデンサの歪みに起因する振動が、まず、ヤング率の相対的に低い第2絶縁層に伝わり、その後、ヤング率の相対的に高い第1絶縁層に伝わる。したがって、第2絶縁層によって振動が吸収されるため、第1絶縁層に伝わる振動が小さくなる結果、回路基板全体の振動を小さくすることができる。

[0014] 本発明の実装構造体の一実施形態では、上記回路基板は、上記第2絶縁層よりも上記積層コンデンサが実装されている主面側に、上記第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える。上記実施形態では、上記第3絶縁層の表面にランドが設けられており、上記第3絶縁層上のランドに上記積層コンデンサが実装されていることが好ましい。

当該実施形態では、積層コンデンサの歪みに起因する振動が、まず、ヤング率の相対的に高い第3絶縁層に伝わるものの、ヤング率の相対的に低い第2絶縁層を経由してヤング率の相対的に高い第1絶縁層に伝わる。したがって、第2絶縁層によって振動が吸収されるため、第1絶縁層に伝わる振動が小さくなる結果、回路基板全体の振動を小さくすることができる。

[0015] 本発明の実装構造体においては、上記第1絶縁層のヤング率を E_1 [GPa]、上記第2絶縁層のヤング率を E_2 [GPa]としたとき、 $E_2/E_1 < 0.5$ であることが好ましい。

第1絶縁層のヤング率 E_1 に対する第2絶縁層のヤング率 E_2 の割合を上記範囲にすることにより、第1絶縁層と第2絶縁層との間でヤング率の差を大きくすることができるため、回路基板全体の振動をより抑えることができる。

[0016] 本発明の実装構造体においては、上記回路基板に含まれる絶縁層の合計厚みを t_0 [μm]、上記第2絶縁層の厚みを t_2 [μm] としたとき、 $t_2 / t_0 \geq 0.08$ であることが好ましい。

回路基板に含まれる絶縁層の合計厚み t_0 に対する第2絶縁層の厚み t_2 の割合を上記範囲にすることにより、第2絶縁層の割合が大きくなるため、回路基板全体の振動をより抑えることができる。

[0017] 本発明の実装構造体においては、上記第1絶縁層は、ガラスエポキシ樹脂を含み、上記第2絶縁層は、エポキシ樹脂を含むことが好ましい。

[0018] 上記目的を達成するため、本発明の積層コンデンサ内蔵基板は、回路基板と、上記回路基板の一方主面に実装された積層コンデンサと、上記回路基板の上記一方主面上に設けられ、上記積層コンデンサを埋設する樹脂層と、を備え、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。

[0019] 本発明の積層コンデンサ内蔵基板では、回路基板が、樹脂層によって完全に覆われているため、積層コンデンサの歪みに起因する振動が、回路基板だけでなく、樹脂層にも伝わる。したがって、回路基板側に伝わる振動と樹脂層側に伝わる振動とが相互に打ち消されることになる。さらに、回路基板内には積層コンデンサが実装されている主面側に第2絶縁層が設けられているため、ヤング率の相対的に低い第2絶縁層によって振動が吸収されることになる。以上より、内蔵基板全体の振動を小さくすることができ、その結果、回路基板の騒音を低減することができる。

[0020] 本発明の積層コンデンサ内蔵基板の一実施形態では、上記第2絶縁層の表面にランドが設けられており、上記第2絶縁層上のランドに上記積層コンデンサが実装されている。

当該実施形態では、回路基板側に伝わる振動が、まず、ヤング率の相対的に低い第2絶縁層に伝わり、その後、ヤング率の相対的に高い第1絶縁層に伝

わる。したがって、第2絶縁層によって振動が吸収されるため、第1絶縁層に伝わる振動が小さくなる結果、内蔵基板全体の振動を小さくすることができる。

[0021] 本発明の積層コンデンサ内蔵基板の一実施形態では、上記回路基板は、上記第2絶縁層よりも上記積層コンデンサが実装されている主面側に、上記第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える。上記実施形態では、上記第3絶縁層の表面にランドが設けられており、上記第3絶縁層上のランドに上記積層コンデンサが実装されていることが好ましい。

当該実施形態では、回路基板側に伝わる振動が、まず、ヤング率の相対的に高い第3絶縁層に伝わるものの、ヤング率の相対的に低い第2絶縁層を經由してヤング率の相対的に高い第1絶縁層に伝わる。したがって、第2絶縁層によって振動が吸収されるため、第1絶縁層に伝わる振動が小さくなる結果、内蔵基板全体の振動を小さくすることができる。

[0022] 本発明の積層コンデンサ内蔵基板においては、上記第1絶縁層のヤング率を E_{i1} [GPa]、上記第2絶縁層のヤング率を E_{i2} [GPa] としたとき、 $E_{i2}/E_{i1} < 0.5$ であることが好ましい。

第1絶縁層のヤング率 E_{i1} に対する第2絶縁層のヤング率 E_{i2} の割合を上記範囲にすることにより、第1絶縁層と第2絶縁層との間でヤング率の差を大きくすることができるため、内蔵基板全体の振動をより抑えることができる。

[0023] 本発明の積層コンデンサ内蔵基板においては、上記回路基板に含まれる絶縁層の合計厚みを t_{i0} [μm]、上記第2絶縁層の厚みを t_{i2} [μm] としたとき、 $t_{i2}/t_{i0} \geq 0.08$ であることが好ましい。

回路基板に含まれる絶縁層の合計厚み t_{i0} に対する第2絶縁層の厚み t_{i2} の割合を上記範囲にすることにより、第2絶縁層の割合が大きくなるため、内蔵基板全体の振動をより抑えることができる。

[0024] 本発明の積層コンデンサ内蔵基板においては、上記第1絶縁層は、ガラスエ

ポキシ樹脂を含み、上記第2絶縁層は、エポキシ樹脂を含むことが好ましい。

[0025] 本発明の積層コンデンサ内蔵基板の一実施形態では、上記樹脂層は、上記回路基板の上記一方主面上に設けられた第1樹脂層と、上記第1樹脂層上に設けられ、上記積層コンデンサを埋設する第2樹脂層と、を備え、上記第1樹脂層のヤング率は、上記第2樹脂層のヤング率よりも低い。

積層コンデンサが実装されている側の回路基板の主面上に第1樹脂層が設けられていると、ヤング率の相対的に低い第1樹脂層によって振動が吸収されることになる。したがって、内蔵基板全体の振動を小さくすることができ、その結果、回路基板の騒音を低減することができる。

[0026] 上記第1樹脂層は、上記積層コンデンサを覆うように上記積層コンデンサの上面及び側面にも設けられていることが好ましい。

ヤング率の相対的に低い第1樹脂層が積層コンデンサの上面及び側面にも設けられていると、積層コンデンサの歪みに起因する振動が第1樹脂層によって吸収されるため、内蔵基板全体の振動をさらに小さくすることができる。

[0027] 上記第1樹脂層のヤング率を E_{r1} [GPa]、上記第2樹脂層のヤング率を E_{r2} [GPa]としたとき、 $E_{r1}/E_{r2} < 0.5$ であることが好ましい。

第2樹脂層のヤング率 E_{r2} に対する第1樹脂層のヤング率 E_{r1} の割合を上記範囲にすることにより、第1樹脂層と第2樹脂層との間でヤング率の差を大きくすることができるため、内蔵基板全体の振動をより抑えることができる。

[0028] 上記第1樹脂層の厚みは、上記積層コンデンサの厚み未満であることが好ましい。

[0029] 上記第1樹脂層及び上記第2樹脂層は、いずれもエポキシ樹脂を含むことが好ましい。

[0030] 本発明の積層コンデンサ内蔵基板の一実施形態では、上記樹脂層は、1層からなる。この場合、上記樹脂層は、エポキシ樹脂を含むことが好ましい。

発明の効果

[0031] 本発明によれば、設計の自由度を損なうことなく、回路基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる実装構造体を提供することができる。また、本発明によれば、設計の自由度を損なうことなく、内蔵基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる積層コンデンサ内蔵基板を提供することができる。

図面の簡単な説明

[0032] [図1]図1は、本発明の第1実施形態に係る実装構造体を模式的に示す断面図である。

[図2]図2は、本発明の第2実施形態に係る実装構造体を模式的に示す断面図である。

[図3]図3は、本発明の第1実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

[図4]図4は、本発明の第1実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

[図5]図5は、本発明の第2実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

[図6]図6は、本発明の第2実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

[図7]図7は、本発明の第3実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

[図8]図8は、本発明の第3実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

[図9]図9は、各実験例における実装構造体の構成をまとめた表である。

[図10]図10は、各実験例におけるエポキシ樹脂層のヤング率と振動量との関係を示すシミュレーション結果である。

発明を実施するための形態

[0033] 以下、本発明の実装構造体、及び、積層コンデンサ内蔵基板について説明す

る。

しかしながら、本発明は、以下の構成に限定されるものではなく、本発明の要旨を変更しない範囲において適宜変更して適用することができる。

なお、以下において記載する本発明の個々の望ましい構成を2つ以上組み合わせたものもまた本発明である。

[0034] 以下に示す各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもない。第2実施形態以降では、第1実施形態と共通の事項についての記述は省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については、実施形態毎には逐次言及しない。

[0035] 以下の実施形態では、積層コンデンサが積層セラミックコンデンサである場合について説明するが、積層コンデンサの誘電体材料は、電圧の印加により歪みが発生し得るものであればセラミック材料に限定されない。例えば、セラミック材料以外の誘電体材料として樹脂材料を用いた積層コンデンサである積層型金属化フィルムコンデンサ等に対しても、本発明を適用することができる。

[0036] (実装構造体)

本発明の実装構造体は、回路基板の一方主面に積層コンデンサが実装された実装構造体であって、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。

[0037] [第1実施形態]

本発明の実装構造体の第1実施形態では、第2絶縁層の表面にランドが設けられており、第2絶縁層上のランドに積層セラミックコンデンサが実装されている。すなわち、積層セラミックコンデンサが実装されている主面を有する絶縁層が、ヤング率の相対的に低い第2絶縁層で構成されている。

[0038] 図1は、本発明の第1実施形態に係る実装構造体を模式的に示す断面図であ

る。

図1に示す実装構造体1は、回路基板10と、積層セラミックコンデンサ50とを備えており、積層セラミックコンデンサ50が回路基板10の一方主面10aに実装されてなるものである。

[0039] 図1において、積層セラミックコンデンサ50は、全体として直方体形状を有しており、素体51と、一对の外部電極52及び53とを含んでいる。

[0040] 積層セラミックコンデンサを構成する素体は、直方体形状を有しており、所定方向に沿って交互に積層された誘電体層及び内部電極層にて構成されている。誘電体層は、例えば、チタン酸バリウム (BaTiO_3) を主成分とするセラミック材料にて形成されている。一方、内部電極層は、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Au等の金属材料にて形成されている。

[0041] 素体は、誘電体層となるセラミックシート（いわゆるグリーンシート）の表面に内部電極層となる導電性ペーストが印刷された素材シートを複数準備し、これら複数の素材シートを積層して圧着及び焼成することによって作製される。

[0042] なお、誘電体層の材質は、上述したチタン酸バリウムを主成分とするセラミック材料に限られず、他の高誘電率のセラミック材料（例えば、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 等を主成分とするもの）であってもよい。また、内部電極層の材質も、上述した金属材料に限られず、他の導電材料であってもよい。

[0043] 積層セラミックコンデンサを構成する外部電極は、素体の両端部を覆っており、互いに離隔している。外部電極は、導電膜にて構成されている。

[0044] 外部電極は、例えば焼結金属層とめっき層との積層膜にて構成される。焼結金属層は、例えばCu、Ni、Ag、Pd、Ag-Pd合金、Au等のペーストを焼き付けることで形成される。めっき層は、例えばNiめっき層とこれを覆うSnめっき層とによって構成される。めっき層は、これに代えてCuめっき層又はAuめっき層であってもよい。また、外部電極は、めっき層

のみによって構成されていてもよい。

[0045] さらに、外部電極は、導電性樹脂ペーストを用いて形成することも可能である。導電性樹脂ペーストを用いた場合には、導電性樹脂ペーストに含まれる樹脂成分が素体において発生した振動を吸収する効果を発揮するため、素体から外部に伝播する振動を効果的に減衰させることが可能になり、騒音の低減に有利である。

[0046] 図1において、回路基板10は、全体として平板状の形状を有しており、積層セラミックコンデンサ50が実装されている主面10a側から積層セラミックコンデンサ50が実装されていない主面10b側に向かって、第2絶縁層12と、第1絶縁層11と、第3絶縁層13とを備えている。第1絶縁層11は第2絶縁層12と隣接しており、第3絶縁層13は第1絶縁層11と隣接している。

回路基板10は、さらに、導電パターンとしてのランド14及び15と、配線導体16とを備えている。ランド14及び15は、第2絶縁層12の表面に設けられており、第2絶縁層12上のランド14及び15に積層セラミックコンデンサ50が実装されている。積層セラミックコンデンサ50には、回路基板10の導電パターンを通じて電圧が印加されることになる。

[0047] 第1絶縁層の材質としては、エポキシ樹脂、ポリイミド樹脂等の樹脂材料やアルミナ等のセラミック材料からなるもの、あるいはこれらに無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第1絶縁層は、熱硬化性樹脂等の樹脂材料を含むことが好ましく、ガラス織布にエポキシ樹脂を含浸させたガラスエポキシ樹脂を含むことがより好ましい。

[0048] 第1絶縁層のヤング率は特に限定されないが、20GPa以上、30GPa以下であることが好ましい。

第1絶縁層等の絶縁層のヤング率は、JIS K 7161に基づき、幅25mm×長さ150mmの試験片を用いて算出することができる。

[0049] 第2絶縁層は、第1絶縁層よりも積層セラミックコンデンサが実装されてい

る主面側に配置された層であり、第1絶縁層のヤング率よりも低いヤング率を有している。

[0050] 第2絶縁層のヤング率は、第1絶縁層のヤング率よりも低い限り特に限定されないが、振動を抑える観点からは、10 GPa未満であることが好ましく、3 GPa未満であることがより好ましい。また、第2絶縁層のヤング率は、0.01 GPa以上であることが好ましく、0.05 GPa以上であることがより好ましい。

[0051] 第2絶縁層の材質としては、エポキシ樹脂、ポリイミド樹脂、ウレタン樹脂等の樹脂材料からなるもの、又は、これらの樹脂材料に無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第2絶縁層は、熱硬化性樹脂材料を含むことが好ましく、エポキシ樹脂を含むことがより好ましい。特に、第1絶縁層がガラスエポキシ樹脂を含む場合、第2絶縁層はエポキシ樹脂を含むことが好ましい。

[0052] 第2絶縁層等の絶縁層のヤング率は、例えば、ガラスやシリカ等からなるフィラーの含有量により制御することができる。具体的には、フィラーの含有量を多くすることによってヤング率を高めることができる。したがって、第1絶縁層の材質としてガラスエポキシ樹脂を用いる場合には、ガラスの含有量が第1絶縁層よりも少ないエポキシ樹脂を第2絶縁層の材質として用いることが好ましい。

また、第2絶縁層等の絶縁層のヤング率は、樹脂材料の種類を変更することによっても制御することができる。

[0053] 第1絶縁層のヤング率を E_1 [GPa]、第2絶縁層のヤング率を E_2 [GPa]としたとき、振動を抑える観点からは、 $E_2/E_1 < 0.5$ であることが好ましく、 $E_2/E_1 < 0.33$ であることがより好ましく、 $E_2/E_1 < 0.15$ であることがさらに好ましく、 $E_2/E_1 < 0.1$ であることが特に好ましい。

[0054] 第2絶縁層の厚みは特に限定されないが、振動を抑える観点からは、50 μm 以上であることが好ましく、100 μm 以上であることがより好ましい。

また、第2絶縁層の厚みは、 $500\mu\text{m}$ 以下であることが好ましい。

[0055] 回路基板に含まれる絶縁層の合計厚みを $t_0 [\mu\text{m}]$ 、第2絶縁層の厚みを $t_2 [\mu\text{m}]$ としたとき、振動を抑える観点からは、 $t_2 / t_0 \geq 0.08$ であることが好ましく、 $t_2 / t_0 \geq 0.16$ であることがより好ましい。また、 $t_2 / t_0 \leq 0.85$ であることが好ましい。

[0056] 図1に示すように、本発明の実装構造体の第1実施形態では、回路基板は、第1絶縁層よりも積層セラミックコンデンサが実装されていない主面側に第3絶縁層を備えていてもよい。

第3絶縁層のヤング率は、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがより好ましい。具体的には、第3絶縁層は、第1絶縁層と同じ材質を用いて形成することが好ましい。

[0057] 回路基板は、例えば、一括積層工法又はビルドアップ工法によって形成することができる。一括積層工法によって回路基板を形成する場合、まず、それぞれ導電パターンが形成された複数の絶縁層を準備する。そして、積層セラミックコンデンサが実装される主面側に第2絶縁層が配置されるように各絶縁層を積層し、圧着した後、樹脂材料を熱硬化したり、セラミック材料を焼成したりすることにより回路基板を形成する。また、ビルドアップ工法によって回路基板を形成する場合、まず、ガラスエポキシ樹脂基板等の支持基板を準備し、支持基板の両面にプリプレグ等の接着層を介して導電層を形成する。そして、フォトリソグラフィやレジスト膜を用いた導電層のパターニングによる導電パターンの形成と、絶縁層の積層とを繰り返すことにより回路基板を形成する。

[0058] 図1において、ランド14及び15は、積層セラミックコンデンサ50が実装される側の回路基板10の一方主面10aにおいて互いに離隔して位置している。ランド14及び15は、導電パターンの一部に該当し、積層セラミックコンデンサ50の外部電極52及び53に応じて第2絶縁層12上に並んでいる。ランド14及び15の材質としては、各種の導電材料が利用でき、一般的には銅箔等の金属材料が好適に利用される。

[0059] 積層セラミックコンデンサ50の外部電極52と、回路基板10に設けられたランド14とは、導電性の接合部材によって接合される。同様に、積層セラミックコンデンサ50の外部電極53と、回路基板10に設けられたランド15とは、導電性の接合部材によって接合される。これらの接合部材としては、例えば導電性接着剤又は半田を用いることができる。ここで、接合部材として導電性接着剤を用いた場合には、導電性接着剤に含まれる樹脂成分が積層セラミックコンデンサにおいて発生した振動を吸収する効果を発揮するため、積層セラミックコンデンサから外部に伝播する振動を効果的に減衰させることが可能になり、騒音の低減に有利である。

[0060] 図1に示す実装構造体1の構造は、本発明の実装構造体の第1実施形態の一例にすぎず、積層セラミックコンデンサが実装されている主面を有する絶縁層がヤング率の相対的に低い第2絶縁層で構成されており、積層セラミックコンデンサが実装されていない主面側にヤング率の相対的に高い第1絶縁層が配置されている限り、絶縁層の積層数や導電パターンの配置等については種々に変更することができる。

例えば、第1絶縁層は第2絶縁層と隣接していなくてもよく、第2絶縁層のヤング率よりも低いヤング率を有する絶縁層が第1絶縁層及び第2絶縁層の間に配置されていてもよい。また、第3絶縁層は配置されていなくてもよく、第1絶縁層及び第2絶縁層の2層構造であってもよい。さらに、第3絶縁層よりも積層セラミックコンデンサが実装されていない主面側には、第3絶縁層以外の絶縁層が配置されていてもよい。

なお、第1絶縁層及び第2絶縁層以外の絶縁層が配置されている場合、他の絶縁層のヤング率は、第3絶縁層と同様、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがより好ましい。したがって、積層セラミックコンデンサが実装されていない主面を構成する絶縁層は、ヤング率の相対的に高い絶縁層であることが好ましい。

[0061] [第2実施形態]

本発明の実装構造体の第2実施形態では、回路基板は、第2絶縁層よりも積

層セラミックコンデンサが実装されている主面側に、第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える。すなわち、ヤング率の相対的に低い第2絶縁層が、ヤング率の相対的に高い第1絶縁層及び第3絶縁層の間に挟まれている。

[0062] 以下、第3絶縁層の表面にランドが設けられており、第3絶縁層上のランドに積層セラミックコンデンサが実装されている場合を説明する。この場合、積層セラミックコンデンサが実装されている主面を有する絶縁層が、ヤング率の相対的に高い第3絶縁層で構成されている。

[0063] 図2は、本発明の第2実施形態に係る実装構造体を模式的に示す断面図である。

図2に示す実装構造体2は、回路基板20と、積層セラミックコンデンサ50とを備えており、積層セラミックコンデンサ50が回路基板20の一方主面20aに実装されてなるものである。

[0064] 本発明の実装構造体の第2実施形態において、積層セラミックコンデンサの構成は、本発明の実装構造体の第1実施形態と同じである。

[0065] 図2において、回路基板20は、全体として平板状の形状を有しており、積層セラミックコンデンサ50が実装されている主面20a側から積層セラミックコンデンサ50が実装されていない主面20b側に向かって、第3絶縁層23と、第2絶縁層22と、第1絶縁層21とを備えている。第1絶縁層21は第2絶縁層22と隣接しており、第2絶縁層22は第3絶縁層23と隣接している。

回路基板20は、さらに、導電パターンとしてのランド14及び15と、配線導体16とを備えている。ランド14及び15は、第3絶縁層23の表面に設けられており、第3絶縁層23上のランド14及び15に積層セラミックコンデンサ50が実装されている。

[0066] 本発明の実装構造体の第2実施形態において、回路基板の構成は、第1絶縁層、第2絶縁層及び第3絶縁層の配置が異なることを除いて、本発明の実装構造体の第1実施形態と同じである。

したがって、第1絶縁層の好ましい材質及びヤング率、第2絶縁層の好ましい材質、ヤング率及び厚み、並びに、第3絶縁層の好ましい材質及びヤング率は、本発明の実装構造体の第1実施形態と同じである。

[0067] 図2に示す実装構造体2の構造は、本発明の実装構造体の第2実施形態の一例にすぎず、ヤング率の相対的に低い第2絶縁層が、ヤング率の相対的に高い第1絶縁層及び第3絶縁層の間に挟まれている限り、絶縁層の積層数や導電パターンの配置等については種々に変更することができる。

例えば、積層セラミックコンデンサは第3絶縁層上のランドに実装されていなくてもよく、第3絶縁層よりも積層セラミックコンデンサが実装されている主面側に、第3絶縁層のヤング率よりも低いヤング率を有する絶縁層が配置されており、その絶縁層上のランドに積層セラミックコンデンサが実装されていてもよい。また、第1絶縁層は第2絶縁層と隣接していなくてもよいし、第2絶縁層は第3絶縁層と隣接していなくてもよい。さらに、第1絶縁層よりも積層セラミックコンデンサが実装されていない主面側には、他の絶縁層が配置されていてもよい。

なお、第1絶縁層、第2絶縁層及び第3絶縁層以外の絶縁層が配置されている場合、他の絶縁層のヤング率は、第3絶縁層と同様、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがより好ましい。したがって、積層セラミックコンデンサが実装されていない主面を構成する絶縁層は、ヤング率の相対的に高い絶縁層であることが好ましい。

[0068] [その他の実施形態]

以上、本発明の実装構造体の実施形態について説明したが、本発明の実装構造体は、上記実施形態に限定されるものではない。

本発明の実装構造体においては、積層コンデンサに交流電圧、又は、交流成分が重畳された直流電圧が印加された場合、回路基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる。したがって、本発明の実装構造体を構成する回路基板は、交流電圧、又は、交流成分が重畳された

直流電圧が印加される導電パターンが形成された基板、特に、積層コンデンサへの印加電圧が可聴周波数域である20Hz以上20,000Hz以下の周波数で変動する導電パターンが形成された基板であることが好ましい。

[0069] これまでの実施形態では、回路基板の一方主面に1つの積層コンデンサが実装された実装構造体について説明したが、回路基板の一方主面に複数の積層コンデンサが実装された実装構造体も本発明の範囲に含まれる。また、回路基板には、積層コンデンサ以外の電子部品が実装されていてもよい。

[0070] なお、本発明の実装構造体において、回路基板の両主面に積層コンデンサが実装されている場合は、以下のように考える。

まず、実装されている積層コンデンサの個数が両主面で異なる場合、積層コンデンサの個数が多い方の主面を「積層コンデンサが実装されている主面」、個数が少ない方の主面を「積層コンデンサが実装されていない主面」としたときに、積層コンデンサが実装されている主面側にヤング率の相対的に低い絶縁層があり、積層コンデンサが実装されていない主面側にヤング率の相対的に高い絶縁層があれば本発明の範囲に含まれる。この場合、「積層コンデンサが実装されている主面」側の積層コンデンサの個数は、「積層コンデンサが実装されていない主面」側の積層コンデンサの個数の5倍以上であることが好ましい。

[0071] 一方、実装されている積層コンデンサの個数が両主面で同じ場合、両主面を「積層コンデンサが実装されている主面」としたときに、積層コンデンサが実装されている主面側にヤング率の相対的に低い絶縁層があり、その反対の主面側にヤング率の相対的に高い絶縁層があれば、本発明の範囲に含まれる。

したがって、例えば、本発明の実装構造体の第2実施形態において、両主面を構成する絶縁層がヤング率の相対的に高い絶縁層であり、その間にヤング率の相対的に低い絶縁層があれば、両主面に積層コンデンサが実装されていてもよい。

また、一方主面を構成する絶縁層がヤング率の相対的に高い絶縁層であり、

他方主面を構成する絶縁層がヤング率の相対的に低い絶縁層であっても、他方主面を構成する絶縁層以外にヤング率の相対的に低い絶縁層があり、その絶縁層がヤング率の相対的に高い絶縁層の間に挟まれていれば、本発明の実装構造体の第1実施形態及び第2実施形態の組み合わせと考えることができるため、両主面に積層コンデンサが実装されていてもよい。

さらに、本発明の実装構造体の第1実施形態において、両主面を構成する絶縁層がヤング率の相対的に低い絶縁層であり、その間にヤング率の相対的に高い絶縁層があれば、両主面に積層コンデンサが実装されていてもよい。

[0072] (積層コンデンサ内蔵基板)

本発明の積層コンデンサ内蔵基板は、回路基板と、上記回路基板の一方主面に実装された積層コンデンサと、上記回路基板の上記一方主面上に設けられ、上記積層コンデンサを埋設する樹脂層と、を備え、上記回路基板は、第1絶縁層と、上記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、上記第2絶縁層は、上記第1絶縁層よりも上記積層コンデンサが実装されている主面側に配置されていることを特徴とする。

[0073] [第1実施形態]

本発明の積層コンデンサ内蔵基板の第1実施形態では、回路基板上の樹脂層が2層からなり、回路基板の一方主面上に設けられた第1樹脂層と、第1樹脂層上に設けられ、積層コンデンサを埋設する第2樹脂層とを備えている。さらに、本発明の積層コンデンサ内蔵基板の第1実施形態では、回路基板に含まれる第2絶縁層の表面にランドが設けられており、第2絶縁層上のランドに積層セラミックコンデンサが実装されている。すなわち、積層セラミックコンデンサが実装されている主面を有する絶縁層が、ヤング率の相対的に低い第2絶縁層で構成されている。

[0074] 図3は、本発明の第1実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

図3に示す積層コンデンサ内蔵基板1Aは、回路基板10と、積層セラミックコンデンサ50と、第1樹脂層31と、第2樹脂層32とを備えている。

図3には示していないが、第2樹脂層32の表面には、導電部がさらに設けられていてもよい。

積層セラミックコンデンサ50は、回路基板10の一方主面10aに実装されている。第1樹脂層31は、回路基板10の一方主面10a上に設けられている。第2樹脂層32は、第1樹脂層31上に設けられており、積層セラミックコンデンサ50を埋設している。

[0075] 図3において、積層セラミックコンデンサ50は、全体として直方体形状を有しており、素体51と、一对の外部電極52及び53とを含んでいる。

[0076] 積層セラミックコンデンサを構成する素体は、直方体形状を有しており、所定方向に沿って交互に積層された誘電体層及び内部電極層にて構成されている。誘電体層は、例えば、チタン酸バリウム (BaTiO_3) を主成分とするセラミック材料にて形成されている。一方、内部電極層は、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Au等の金属材料にて形成されている。

[0077] 素体は、誘電体層となるセラミックシート（いわゆるグリーンシート）の表面に内部電極層となる導電性ペーストが印刷された素材シートを複数準備し、これら複数の素材シートを積層して圧着及び焼成することによって作製される。

[0078] なお、誘電体層の材質は、上述したチタン酸バリウムを主成分とするセラミック材料に限られず、他の高誘電率のセラミック材料（例えば、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 等を主成分とするもの）であってもよい。また、内部電極層の材質も、上述した金属材料に限られず、他の導電材料であってもよい。

[0079] 積層セラミックコンデンサを構成する外部電極は、素体の両端部を覆っており、互いに離隔している。外部電極は、導電膜にて構成されている。

[0080] 外部電極は、例えば焼結金属層とめっき層との積層膜にて構成される。焼結金属層は、例えばCu、Ni、Ag、Pd、Ag-Pd合金、Au等のペーストを焼き付けることで形成される。めっき層は、例えばNiめっき層とこ

れを覆うS nめっき層とによって構成される。めっき層は、これに代えてCuめっき層又はAuめっき層であってもよい。また、外部電極は、めっき層のみによって構成されていてもよい。

[0081] さらに、外部電極は、導電性樹脂ペーストを用いて形成することも可能である。導電性樹脂ペーストを用いた場合には、導電性樹脂ペーストに含まれる樹脂成分が素体において発生した振動を吸収する効果を発揮するため、素体から外部に伝播する振動を効果的に減衰させることが可能になり、騒音の低減に有利である。

[0082] 図3において、回路基板10は、全体として平板状の形状を有しており、積層セラミックコンデンサ50が実装されている主面10a側から積層セラミックコンデンサ50が実装されていない主面10b側に向かって、第2絶縁層12と、第1絶縁層11と、第3絶縁層13とを備えている。第1絶縁層11は第2絶縁層12と隣接しており、第3絶縁層13は第1絶縁層11と隣接している。

回路基板10は、さらに、導電パターンとしてのランド14及び15と、配線導体16とを備えている。ランド14及び15は、第2絶縁層12の表面に設けられており、第2絶縁層12上のランド14及び15に積層セラミックコンデンサ50が実装されている。積層セラミックコンデンサ50には、回路基板10の導電パターンを通じて電圧が印加されることになる。

[0083] 第1絶縁層の材質としては、エポキシ樹脂、ポリイミド樹脂等の樹脂材料やアルミナ等のセラミック材料からなるもの、あるいはこれらに無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第1絶縁層は、熱硬化性樹脂等の樹脂材料を含むことが好ましく、ガラス織布にエポキシ樹脂を含浸させたガラスエポキシ樹脂を含むことがより好ましい。

[0084] 第1絶縁層のヤング率は特に限定されないが、20GPa以上、30GPa以下であることが好ましい。

第1絶縁層等の絶縁層のヤング率は、JIS K 7161に基づき、幅2

5 mm×長さ150 mmの試験片を用いて算出することができる。

[0085] 第2絶縁層は、第1絶縁層よりも積層セラミックコンデンサが実装されている主面側に配置された層であり、第1絶縁層のヤング率よりも低いヤング率を有している。

[0086] 第2絶縁層のヤング率は、第1絶縁層のヤング率よりも低い限り特に限定されないが、振動を抑える観点からは、10 GPa未満であることが好ましく、3 GPa未満であることがより好ましい。また、第2絶縁層のヤング率は、0.01 GPa以上であることが好ましく、0.05 GPa以上であることがより好ましい。

[0087] 第2絶縁層の材質としては、エポキシ樹脂、ポリイミド樹脂、ウレタン樹脂等の樹脂材料からなるもの、又は、これらの樹脂材料に無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第2絶縁層は、熱硬化性樹脂材料を含むことが好ましく、エポキシ樹脂を含むことがより好ましい。特に、第1絶縁層がガラスエポキシ樹脂を含む場合、第2絶縁層はエポキシ樹脂を含むことが好ましい。

[0088] 第2絶縁層等の絶縁層のヤング率は、例えば、ガラスやシリカ等からなるフィラーの含有量により制御することができる。具体的には、フィラーの含有量を多くすることによってヤング率を高めることができる。したがって、第1絶縁層の材質としてガラスエポキシ樹脂を用いる場合には、ガラスの含有量が第1絶縁層よりも少ないエポキシ樹脂を第2絶縁層の材質として用いることが好ましい。

また、第2絶縁層等の絶縁層のヤング率は、樹脂材料の種類を変更することによっても制御することができる。

[0089] 第1絶縁層のヤング率を E_{i1} [GPa]、第2絶縁層のヤング率を E_{i2} [GPa]としたとき、振動を抑える観点からは、 $E_{i2}/E_{i1} < 0.5$ であることが好ましく、 $E_{i2}/E_{i1} < 0.33$ であることがより好ましく、 $E_{i2}/E_{i1} < 0.15$ であることがさらに好ましく、 $E_{i2}/E_{i1} < 0.1$ であることが特に好ましい。

- [0090] 第2絶縁層の厚みは特に限定されないが、振動を抑える観点からは、 $50\mu\text{m}$ 以上であることが好ましく、 $100\mu\text{m}$ 以上であることがより好ましい。また、第2絶縁層の厚みは、 $500\mu\text{m}$ 以下であることが好ましい。
- [0091] 回路基板に含まれる絶縁層の合計厚みを $t_{i0} [\mu\text{m}]$ 、第2絶縁層の厚みを $t_{i2} [\mu\text{m}]$ としたとき、振動を抑える観点からは、 $t_{i2}/t_{i0} \geq 0.08$ であることが好ましく、 $t_{i2}/t_{i0} \geq 0.16$ であることがより好ましい。また、 $t_{i2}/t_{i0} \leq 0.85$ であることが好ましい。
- [0092] 図3に示すように、本発明の積層コンデンサ内蔵基板の第1実施形態では、回路基板は、第1絶縁層よりも積層セラミックコンデンサが実装されていない主面側に第3絶縁層を備えていてもよい。
- 第3絶縁層のヤング率は、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがより好ましい。具体的には、第3絶縁層は、第1絶縁層と同じ材質を用いて形成することが好ましい。
- [0093] 回路基板は、例えば、一括積層工法又はビルドアップ工法によって形成することができる。一括積層工法によって回路基板を形成する場合、まず、それぞれ導電パターンが形成された複数の絶縁層を準備する。そして、積層セラミックコンデンサが実装される主面側に第2絶縁層が配置されるように各絶縁層を積層し、圧着した後、樹脂材料を熱硬化したり、セラミック材料を焼成したりすることにより回路基板を形成する。また、ビルドアップ工法によって回路基板を形成する場合、まず、ガラスエポキシ樹脂基板等の支持基板を準備し、支持基板の両面にプリプレグ等の接着層を介して導電層を形成する。そして、フォトリソグラフィやレジスト膜を用いた導電層のパターニングによる導電パターンの形成と、絶縁層の積層とを繰り返すことにより回路基板を形成する。
- [0094] 図3において、ランド14及び15は、積層セラミックコンデンサ50が実装される側の回路基板10の一方主面10aにおいて互いに離隔して位置している。ランド14及び15は、導電パターンの一部に該当し、積層セラミックコンデンサ50の外部電極52及び53に応じて第2絶縁層12上に並

んでいる。ランド１４及び１５の材質としては、各種の導電材料が利用でき、一般的には銅箔等の金属材料が好適に利用される。

[0095] 積層セラミックコンデンサ５０の外部電極５２と、回路基板１０に設けられたランド１４とは、導電性の接合部材によって接合される。同様に、積層セラミックコンデンサ５０の外部電極５３と、回路基板１０に設けられたランド１５とは、導電性の接合部材によって接合される。これらの接合部材としては、例えば導電性接着剤又は半田を用いることができる。ここで、接合部材として導電性接着剤を用いた場合には、導電性接着剤に含まれる樹脂成分が積層セラミックコンデンサにおいて発生した振動を吸収する効果を発揮するため、積層セラミックコンデンサから外部に伝播する振動を効果的に減衰させることが可能になり、騒音の低減に有利である。

[0096] 図３において、第１樹脂層３１は、積層セラミックコンデンサ５０が実装されている側の回路基板１０の一方主面１０ａの全体に設けられている。このように、第１樹脂層は、積層セラミックコンデンサが実装されている側の回路基板の主面全体に設けられていることが好ましい。すなわち、積層セラミックコンデンサが実装されている側の回路基板の主面は、第１樹脂層によって覆われていることが好ましい。

[0097] 図４は、本発明の第１実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

図４に示す積層コンデンサ内蔵基板１Ｂでは、第１樹脂層３１は、積層セラミックコンデンサ５０を覆うように積層セラミックコンデンサ５０の上面及び側面にも設けられている。

第１樹脂層は、図３に示すように、積層セラミックコンデンサの一部と接していればよいが、図４に示すように、積層セラミックコンデンサを覆うように積層セラミックコンデンサの上面及び側面にも設けられていることが好ましく、積層セラミックコンデンサの上面及び側面の全体に設けられていることがより好ましい。

[0098] 第１樹脂層のヤング率は、第２樹脂層のヤング率よりも低い。

第1樹脂層のヤング率は、第2樹脂層のヤング率よりも低い限り特に限定されないが、振動を抑える観点からは、10 GPa未満であることが好ましく、3 GPa未満であることがより好ましい。また、第1樹脂層のヤング率は、0.01 GPa以上であることが好ましく、0.05 GPa以上であることがより好ましい。

[0099] 第1樹脂層等の樹脂層のヤング率は、JIS K 7161に基づき、幅25 mm×長さ150 mmの試験片を用いて算出することができる。

[0100] 第1樹脂層の材質としては、エポキシ樹脂、ポリイミド樹脂、ウレタン樹脂等の樹脂材料からなるもの、又は、これらの樹脂材料に無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第1樹脂層は、熱硬化性樹脂材料を含むことが好ましく、エポキシ樹脂を含むことがより好ましい。

[0101] 第1樹脂層等の樹脂層のヤング率は、例えば、ガラスやシリカ等からなるフィラーの含有量により制御することができる。具体的には、フィラーの含有量を多くすることによってヤング率を高めることができる。また、第1樹脂層等の樹脂層のヤング率は、樹脂材料の種類を変更することによっても制御することができる。

[0102] 第1樹脂層のヤング率を E_{r1} [GPa]、第2樹脂層のヤング率を E_{r2} [GPa]としたとき、振動を抑える観点からは、 $E_{r1}/E_{r2} < 0.5$ であることが好ましく、 $E_{r1}/E_{r2} < 0.33$ であることがより好ましい。

[0103] 第1樹脂層の厚みは特に限定されないが、積層セラミックコンデンサの厚み未満であることが好ましく、積層セラミックコンデンサの厚みの $1/2$ 以下であることがより好ましい。具体的には、第1樹脂層の厚みは、300 μm 以下であることが好ましく、200 μm 以下であることがより好ましい。また、第1樹脂層の厚みは、50 μm 以上であることが好ましい。

なお、第1樹脂層が積層セラミックコンデンサの上面及び側面にも設けられている場合、積層セラミックコンデンサの上面及び側面上の第1樹脂層の厚

みは、回路基板上の第1樹脂層の厚みと同じであることが好ましい。

[0104] 樹脂層の合計厚みを t_{r0} [μm]、第1樹脂層の厚みを t_{r1} [μm] としたとき、振動を抑える観点からは、 $t_{r1}/t_{r0} \geq 0.03$ であることが好ましく、 $t_{r1}/t_{r0} \geq 0.16$ であることがより好ましい。また、 $t_{r1}/t_{r0} \leq 0.85$ であることが好ましい。

[0105] 図3において、第2樹脂層32は、積層セラミックコンデンサ50を直接埋設している。すなわち、積層セラミックコンデンサ50は、第2樹脂層32によって直接覆われている。

しかし、第2樹脂層は、積層セラミックコンデンサを直接埋設していなくてもよく、図4に示すように、第1樹脂層によって覆われた積層セラミックコンデンサを埋設していてもよい。

[0106] 第2樹脂層の材質としては、第1樹脂層と同様、エポキシ樹脂、ポリイミド樹脂、ウレタン樹脂等の樹脂材料からなるもの、又は、これらの樹脂材料に無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。第2樹脂層は、第1樹脂層と同じ熱硬化性樹脂材料を含むことが好ましく、エポキシ樹脂を含むことがより好ましい。具体的には、ガラスやシリカ等からなるフィラーの含有量が第1樹脂層よりも多いエポキシ樹脂を第2樹脂層の材質として用いることが好ましい。一方、第1樹脂層の材質としては、上記フィラーを含有しないエポキシ樹脂を用いてもよいし、上記フィラーの含有量が第2樹脂層よりも少ないエポキシ樹脂を用いてもよい。

[0107] 第2樹脂層のヤング率は、第1樹脂層のヤング率よりも高い限り特に限定されないが、 10 GPa 以上であることが好ましく、 15 GPa 以上であることがより好ましい。また、第2樹脂層のヤング率は、 30 GPa 以下であることが好ましく、 25 GPa 以下であることがより好ましい。

[0108] 第2樹脂層の厚みは、積層セラミックコンデンサを埋設できる厚みであればよく、積層セラミックコンデンサの厚み及び第1樹脂層の厚みによって適宜選択することができる。

例えば、第2樹脂層の厚みは、 1 mm 以下であることが好ましく、 800μ

m以下であることがより好ましい。また、第2樹脂層の厚みは、 $500\mu\text{m}$ 以上であることが好ましい。

なお、第2樹脂層の厚みとは、積層セラミックコンデンサが設けられていない部分の厚みであり、回路基板上の第1樹脂層上に設けられた第2樹脂層の厚みを意味する。

[0109] 第1樹脂層及び第2樹脂層は、例えば、以下の方法によって形成することができる。まず、積層セラミックコンデンサが実装された回路基板を準備する。別途、第1の樹脂（例えばエポキシ樹脂）、及び、第1の樹脂よりも高いヤング率を有する第2の樹脂（例えばフィラーを添加したエポキシ樹脂）を準備する。第1の樹脂及び第2の樹脂は液体状であることが好ましく、第2の樹脂は第1の樹脂より粘性を高くすることが好ましい。次に、積層セラミックコンデンサが実装されている側の回路基板の主面上に第1の樹脂を塗布した後、第1の樹脂を硬化させることにより、第1樹脂層を回路基板の一方主面上に形成する。この際、積層セラミックコンデンサの上面及び側面にも第1樹脂層を形成してもよい。続いて、積層セラミックコンデンサを完全に覆うように第2の樹脂を第1樹脂層上に塗布した後、第2の樹脂を硬化させることにより、積層セラミックコンデンサを埋設する第2樹脂層を形成する。

なお、第1の樹脂及び第2の樹脂はシート状であってもよい。この場合、積層セラミックコンデンサが実装されている側の回路基板の主面上に第1の樹脂シートを配置し、第2の樹脂シートを第1の樹脂シート上に配置した後、これらの樹脂シートを硬化させることにより第1樹脂層及び第2樹脂層を形成することができる。

また、第2樹脂層を形成した後、第2樹脂層の表面を平坦にするために研削処理を行ってもよい。

[0110] 図3及び図4に示す積層コンデンサ内蔵基板の構造は、それぞれ本発明の積層コンデンサ内蔵基板の第1実施形態の一例にすぎず、積層セラミックコンデンサが実装されている主面を有する絶縁層がヤング率の相対的に低い第2

絶縁層で構成されており、積層セラミックコンデンサが実装されていない主面側にヤング率の相対的に高い第1絶縁層が配置されている限り、絶縁層の積層数や導電パターンの配置等については種々に変更することができる。

例えば、第1絶縁層は第2絶縁層と隣接していなくてもよく、第2絶縁層のヤング率よりも低いヤング率を有する絶縁層が第1絶縁層及び第2絶縁層の間に配置されていてもよい。また、第3絶縁層は配置されていないとしてもよく、第1絶縁層及び第2絶縁層の2層構造であってもよい。さらに、第3絶縁層よりも積層セラミックコンデンサが実装されていない主面側には、第3絶縁層以外の絶縁層が配置されていてもよい。

なお、第1絶縁層及び第2絶縁層以外の絶縁層が配置されている場合、他の絶縁層のヤング率は、第3絶縁層と同様、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがより好ましい。したがって、積層セラミックコンデンサが実装されていない主面を構成する絶縁層は、ヤング率の相対的に高い絶縁層であることが好ましい。

[0111] [第2実施形態]

本発明の積層コンデンサ内蔵基板の第2実施形態では、本発明の積層コンデンサ内蔵基板の第1実施形態と同様、回路基板上の樹脂層が2層からなり、回路基板の一方主面上に設けられた第1樹脂層と、第1樹脂層上に設けられ、積層コンデンサを埋設する第2樹脂層とを備えている。一方、本発明の積層コンデンサ内蔵基板の第2実施形態では、回路基板は、第2絶縁層よりも積層セラミックコンデンサが実装されている主面側に、第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える。すなわち、ヤング率の相対的に低い第2絶縁層が、ヤング率の相対的に高い第1絶縁層及び第3絶縁層の間に挟まれている。

[0112] 以下、第3絶縁層の表面にランドが設けられており、第3絶縁層上のランドに積層セラミックコンデンサが実装されている場合を説明する。この場合、積層セラミックコンデンサが実装されている主面を有する絶縁層が、ヤング率の相対的に高い第3絶縁層で構成されている。

[0113] 図5は、本発明の第2実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

図5に示す積層コンデンサ内蔵基板2Aは、回路基板20と、積層セラミックコンデンサ50と、第1樹脂層31と、第2樹脂層32とを備えている。図5には示していないが、第2樹脂層32の表面には、導電部がさらに設けられていてもよい。

積層セラミックコンデンサ50は、回路基板20の一方主面20aに実装されている。第1樹脂層31は、回路基板20の一方主面20a上に設けられている。第2樹脂層32は、第1樹脂層31上に設けられており、積層セラミックコンデンサ50を埋設している。

[0114] 図6は、本発明の第2実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

図6に示す積層コンデンサ内蔵基板2Bでは、第1樹脂層31は、積層セラミックコンデンサ50を覆うように積層セラミックコンデンサ50の上面及び側面にも設けられている。

[0115] 本発明の積層コンデンサ内蔵基板の第2実施形態において、積層セラミックコンデンサの構成は、本発明の積層コンデンサ内蔵基板の第1実施形態と同じである。

[0116] 図5及び図6において、回路基板20は、全体として平板状の形状を有しており、積層セラミックコンデンサ50が実装されている主面20a側から積層セラミックコンデンサ50が実装されていない主面20b側に向かって、第3絶縁層23と、第2絶縁層22と、第1絶縁層21とを備えている。第1絶縁層21は第2絶縁層22と隣接しており、第2絶縁層22は第3絶縁層23と隣接している。

回路基板20は、さらに、導電パターンとしてのランド14及び15と、配線導体16とを備えている。ランド14及び15は、第3絶縁層23の表面に設けられており、第3絶縁層23上のランド14及び15に積層セラミックコンデンサ50が実装されている。

[0117] 本発明の積層コンデンサ内蔵基板の第2実施形態において、回路基板の構成は、第1絶縁層、第2絶縁層及び第3絶縁層の配置が異なることを除いて、本発明の積層コンデンサ内蔵基板の第1実施形態と同じである。

したがって、第1絶縁層の好ましい材質及びヤング率、第2絶縁層の好ましい材質、ヤング率及び厚み、並びに、第3絶縁層の好ましい材質及びヤング率は、本発明の積層コンデンサ内蔵基板の第1実施形態と同じである。

[0118] 本発明の積層コンデンサ内蔵基板の第2実施形態において、第1樹脂層及び第2樹脂層の構成は、本発明の積層コンデンサ内蔵基板の第1実施形態と同じである。

したがって、第1樹脂層の好ましい材質、ヤング率及び厚み、並びに、第2樹脂層の好ましい材質、ヤング率及び厚みは、本発明の積層コンデンサ内蔵基板の第1実施形態と同じである。

[0119] 図5及び図6に示す積層コンデンサ内蔵基板の構造は、それぞれ本発明の積層コンデンサ内蔵基板の第2実施形態の一例にすぎず、ヤング率の相対的に低い第2絶縁層が、ヤング率の相対的に高い第1絶縁層及び第3絶縁層の間に挟まれている限り、絶縁層の積層数や導電パターンの配置等については種々に変更することができる。

例えば、積層セラミックコンデンサは第3絶縁層上のランドに実装されていなくてもよく、第3絶縁層よりも積層セラミックコンデンサが実装されている主面側に、第3絶縁層のヤング率よりも低いヤング率を有する絶縁層が配置されており、その絶縁層上のランドに積層セラミックコンデンサが実装されていてもよい。また、第1絶縁層は第2絶縁層と隣接していなくてもよいし、第2絶縁層は第3絶縁層と隣接していなくてもよい。さらに、第1絶縁層よりも積層セラミックコンデンサが実装されていない主面側には、他の絶縁層が配置されていてもよい。

なお、第1絶縁層、第2絶縁層及び第3絶縁層以外の絶縁層が配置されている場合、他の絶縁層のヤング率は、第3絶縁層と同様、第2絶縁層のヤング率よりも高いことが好ましく、第1絶縁層のヤング率と同じであることがよ

り好ましい。したがって、積層セラミックコンデンサが実装されていない主面を構成する絶縁層は、ヤング率の相対的に高い絶縁層であることが好ましい。

[0120] [第3実施形態]

本発明の積層コンデンサ内蔵基板の第3実施形態では、本発明の積層コンデンサ内蔵基板の第1実施形態及び第2実施形態と異なり、回路基板上の樹脂層が1層からなる。

[0121] 図7は、本発明の第3実施形態に係る積層コンデンサ内蔵基板の一例を模式的に示す断面図である。

図7に示す積層コンデンサ内蔵基板3Aは、回路基板10と、積層セラミックコンデンサ50と、樹脂層30とを備えている。図7には示していないが、樹脂層30の表面には、導電部がさらに設けられていてもよい。

積層セラミックコンデンサ50は、回路基板10の一方主面10aに実装されている。樹脂層30は、回路基板10の一方主面10a上に設けられており、積層セラミックコンデンサ50を埋設している。

[0122] 図8は、本発明の第3実施形態に係る積層コンデンサ内蔵基板の別の一例を模式的に示す断面図である。

図8に示す積層コンデンサ内蔵基板3Bは、回路基板20と、積層セラミックコンデンサ50と、樹脂層30とを備えている。図8には示していないが、樹脂層30の表面には、導電部がさらに設けられていてもよい。

積層セラミックコンデンサ50は、回路基板20の一方主面20aに実装されている。樹脂層30は、回路基板20の一方主面20a上に設けられており、積層セラミックコンデンサ50を埋設している。

[0123] 樹脂層が1層からなることを除いて、図7に示す積層コンデンサ内蔵基板3Aは、図3に示す積層コンデンサ内蔵基板1Aと同じ構成を有しており、図8に示す積層コンデンサ内蔵基板3Bは、図5に示す積層コンデンサ内蔵基板2Aと同じ構成を有している。

したがって、本発明の積層コンデンサ内蔵基板の第3実施形態において、積

層セラミックコンデンサの構成は、本発明の積層コンデンサ内蔵基板の第1実施形態と同じであり、また、回路基板の構成は、本発明の積層コンデンサ内蔵基板の第1実施形態又は第2実施形態と同じである。

[0124] 本発明の積層コンデンサ内蔵基板の第3実施形態において、樹脂層は、積層セラミックコンデンサが実装されている側の回路基板の主面全体に設けられていることが好ましい。すなわち、積層セラミックコンデンサが実装されている側の回路基板の主面は、樹脂層によって覆われていることが好ましい。

[0125] 樹脂層の材質としては、エポキシ樹脂、ポリイミド樹脂、ウレタン樹脂等の樹脂材料からなるもの、又は、これらの樹脂材料に無機材料又は有機材料からなるフィラー等が添加されたもの等を用いることができる。樹脂層は、熱硬化性樹脂材料を含むことが好ましく、エポキシ樹脂を含むことがより好ましい。

[0126] 樹脂層のヤング率は特に限定されないが、10 GPa以上であることが好ましく、15 GPa以上であることがより好ましく、また、30 GPa以下であることが好ましく、25 GPa以下であることがより好ましい。

[0127] 樹脂層の厚みは、積層セラミックコンデンサを埋設できる厚みであれば特に限定されないが、300 μ m以上であることが好ましく、500 μ m以上であることがより好ましく、また、1 mm以下であることが好ましく、800 μ m以下であることがより好ましい。

[0128] [その他の実施形態]

以上、本発明の積層コンデンサ内蔵基板の実施形態について説明したが、本発明の積層コンデンサ内蔵基板は、上記実施形態に限定されるものではない。

本発明の積層コンデンサ内蔵基板においては、積層コンデンサが実装された回路基板の一方主面上に、積層コンデンサを埋設するように樹脂層が設けられている限り、樹脂層の積層数等については種々に変更することができる。例えば、本発明の積層コンデンサ内蔵基板の第1実施形態及び第2実施形態において、第1樹脂層は第2樹脂層と隣接していなくてもよく、第1樹脂層

のヤング率よりも低いヤング率を有する樹脂層が第1樹脂層及び第2樹脂層の間に配置されていてもよい。また、第2樹脂層上には、他の樹脂層が設けられていてもよい。

[0129] 本発明の積層コンデンサ内蔵基板においては、積層コンデンサに交流電圧、又は、交流成分が重畳された直流電圧が印加された場合、内蔵基板全体の振動を抑制し、その結果、回路基板の騒音を低減することができる。したがって、本発明の積層コンデンサ内蔵基板を構成する回路基板は、交流電圧、又は、交流成分が重畳された直流電圧が印加される導電パターンが形成された基板、特に、積層コンデンサへの印加電圧が可聴周波数域である20Hz以上20,000Hz以下の周波数で変動する導電パターンが形成された基板であることが好ましい。

[0130] これまでの実施形態では、回路基板の一方主面に1つの積層コンデンサが実装された場合について説明したが、回路基板の一方主面に複数の積層コンデンサが実装された場合も本発明の範囲に含まれる。また、回路基板には、積層コンデンサ以外の電子部品が実装されていてもよい。

[0131] なお、本発明の積層コンデンサ内蔵基板において、回路基板の両主面に積層コンデンサが実装されている場合は、以下のように考える。

まず、実装されている積層コンデンサの個数が両主面で異なる場合、積層コンデンサの個数が多い方の主面を「積層コンデンサが実装されている主面」、個数が少ない方の主面を「積層コンデンサが実装されていない主面」としたときに、積層コンデンサが実装されている主面側にヤング率の相対的に低い絶縁層があり、積層コンデンサが実装されていない主面側にヤング率の相対的に高い絶縁層があれば本発明の範囲に含まれる。この場合、「積層コンデンサが実装されている主面」側の積層コンデンサの個数は、「積層コンデンサが実装されていない主面」側の積層コンデンサの個数の5倍以上であることが好ましい。

[0132] 一方、実装されている積層コンデンサの個数が両主面で同じ場合、両主面を「積層コンデンサが実装されている主面」としたときに、積層コンデンサが

実装されている主面側にヤング率の相対的に低い絶縁層があり、その反対の主面側にヤング率の相対的に高い絶縁層があれば、本発明の範囲に含まれる。

したがって、例えば、本発明の積層コンデンサ内蔵基板の第2実施形態において、両主面を構成する絶縁層がヤング率の相対的に高い絶縁層であり、その間にヤング率の相対的に低い絶縁層があれば、両主面に積層コンデンサが実装されていてもよい。

また、一方主面を構成する絶縁層がヤング率の相対的に高い絶縁層であり、他方主面を構成する絶縁層がヤング率の相対的に低い絶縁層であっても、他方主面を構成する絶縁層以外にヤング率の相対的に低い絶縁層があり、その絶縁層がヤング率の相対的に高い絶縁層の間に挟まれていれば、本発明の積層コンデンサ内蔵基板の第1実施形態及び第2実施形態の組み合わせと考えることができるため、両主面に積層コンデンサが実装されていてもよい。

さらに、本発明の積層コンデンサ内蔵基板の第1実施形態において、両主面を構成する絶縁層がヤング率の相対的に低い絶縁層であり、その間にヤング率の相対的に高い絶縁層があれば、両主面に積層コンデンサが実装されていてもよい。

実施例

[0133] 以下、本発明の実装構造体をより具体的に開示した実施例を示す。なお、本発明は、これらの実施例のみに限定されるものではない。

[0134] 図9は、各実験例における実装構造体の構成をまとめた表である。

各実験例においては、1005サイズ（1.0mm×0.5mm、厚み：0.5mm）、容量10 μ Fの積層セラミックコンデンサを使用し、回路基板上の銅ランド（厚み：0.018mm）に積層セラミックコンデンサが実装されている。

[0135] 各実験例において、回路基板が備える絶縁層の構成は、以下のとおりである。

実験例A：ガラスエポキシ樹脂層L1（ヤング率：25GPa、以下同じ）

のみを備える。

実験例B：積層セラミックコンデンサが実装されている主面側から、ガラスエポキシ樹脂層L1及びエポキシ樹脂層L2（ヤング率：0.1 GPa以上100 GPa以下、以下同じ）を備える。

実験例C：積層セラミックコンデンサが実装されている主面側から、エポキシ樹脂層L2及びガラスエポキシ樹脂層L1を備える。

実験例D：積層セラミックコンデンサが実装されている主面側から、ガラスエポキシ樹脂層L3（ヤング率：25 GPa）、エポキシ樹脂層L2及びガラスエポキシ樹脂層L1を備える。

図9には、ガラスエポキシ樹脂層L1の厚み t_1 、エポキシ樹脂層L2の厚み t_2 、ガラスエポキシ樹脂層L3の厚み t_3 、並びに、樹脂層の合計厚み t_0 を記載している。

[0136] 各実験例における実装構造体に対して、有限要素法による振動解析を実施した。

図10は、各実験例におけるエポキシ樹脂層のヤング率と振動量との関係を示すシミュレーション結果である。

図10中、実験例Aは、絶縁層としてガラスエポキシ樹脂層のみを備えるため比較例に該当する。実験例Bのうち、エポキシ樹脂層のヤング率がガラスエポキシ樹脂層のヤング率（25 GPa）よりも低いか同じものは比較例に該当し、高いものは実施例に該当する。実験例Cのうち、エポキシ樹脂層のヤング率がガラスエポキシ樹脂層のヤング率よりも低いものは実施例に該当し、同じか高いものは比較例に該当する。実験例Dのうち、エポキシ樹脂層のヤング率がガラスエポキシ樹脂層のヤング率と同じものは比較例に該当し、それ以外は実施例に該当する。

[0137] 図10より、エポキシ樹脂層のない実験例Aでは振動量が44 nmであったのに対して、実験例Bの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも低くしたものでは、振動量が実験例Aよりも大きくなった。これは、回路基板が全体として柔らかくなったことで、回路基板全

体が大きく振動することになったためと推測される。

[0138] 一方、実験例Cの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも低くしたものでは、振動量が実験例Aよりも小さくなった。また、実験例Bの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも高くしたものでも、振動量が実験例Aよりも小さくなった。

これは、積層セラミックコンデンサの歪みに起因する振動が、ヤング率の低い層を介することで、ヤング率の高い層に伝わりにくくなったためと推測される。

[0139] さらに、実験例Dの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも低くしたものでも、振動量が実験例Aよりも小さくなった。

これは、積層セラミックコンデンサの歪みに起因する振動が、まず、ヤング率の高い層に伝わるものの、ヤング率の低い層を介することで、もう一方のヤング率の高い層に伝わりにくくなったためと推測される。

[0140] また、実験例Dの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも高くしたものでも、振動量が実験例Aよりも小さくなった。

これは、実験例Cの構成でエポキシ樹脂層のヤング率をガラスエポキシ樹脂層のヤング率よりも低くしたものと同様に、積層セラミックコンデンサの歪みに起因する振動が、ヤング率の低い層を介することで、ヤング率の高い層に伝わりにくくなったためと推測される。

符号の説明

[0141] 1, 2 実装構造体

1 A, 1 B, 2 A, 2 B, 3 A, 3 B 積層コンデンサ内蔵基板

1 0, 2 0 回路基板

1 0 a, 2 0 a 積層セラミックコンデンサが実装されている主面（一方主面）

1 0 b, 2 0 b 積層セラミックコンデンサが実装されていない主面（他方主面）

1 1, 2 1 第1絶縁層

1 2, 2 2 第2絶縁層

1 3, 2 3 第3絶縁層

1 4, 1 5 ランド

1 6 配線導体

3 0 樹脂層

3 1 第1樹脂層

3 2 第2樹脂層

5 0 積層セラミックコンデンサ

5 1 素体

5 2, 5 3 外部電極

請求の範囲

- [請求項1] 回路基板の一方主面に積層コンデンサが実装された実装構造体であって、
前記回路基板は、第1絶縁層と、前記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、
前記第2絶縁層は、前記第1絶縁層よりも前記積層コンデンサが実装されている主面側に配置されていることを特徴とする実装構造体。
- [請求項2] 前記第2絶縁層の表面にランドが設けられており、
前記第2絶縁層上のランドに前記積層コンデンサが実装されている請求項1に記載の実装構造体。
- [請求項3] 前記回路基板は、前記第2絶縁層よりも前記積層コンデンサが実装されている主面側に、前記第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える請求項1に記載の実装構造体。
- [請求項4] 前記第3絶縁層の表面にランドが設けられており、
前記第3絶縁層上のランドに前記積層コンデンサが実装されている請求項3に記載の実装構造体。
- [請求項5] 前記第1絶縁層のヤング率を E_1 [GPa]、前記第2絶縁層のヤング率を E_2 [GPa]としたとき、 $E_2/E_1 < 0.5$ である請求項1～4のいずれか1項に記載の実装構造体。
- [請求項6] 前記回路基板に含まれる絶縁層の合計厚みを t_0 [μm]、前記第2絶縁層の厚みを t_2 [μm]としたとき、 $t_2/t_0 \geq 0.08$ である請求項1～5のいずれか1項に記載の実装構造体。
- [請求項7] 前記第1絶縁層は、ガラスエポキシ樹脂を含み、前記第2絶縁層は、エポキシ樹脂を含む請求項1～6のいずれか1項に記載の実装構造体。
- [請求項8] 回路基板と、
前記回路基板の一方主面に実装された積層コンデンサと、
前記回路基板の前記一方主面上に設けられ、前記積層コンデンサを埋

設する樹脂層と、を備え、

前記回路基板は、第1絶縁層と、前記第1絶縁層のヤング率よりも低いヤング率を有する第2絶縁層と、を備え、

前記第2絶縁層は、前記第1絶縁層よりも前記積層コンデンサが実装されている主面側に配置されていることを特徴とする積層コンデンサ内蔵基板。

[請求項9] 前記第2絶縁層の表面にランドが設けられており、
前記第2絶縁層上のランドに前記積層コンデンサが実装されている請求項8に記載の積層コンデンサ内蔵基板。

[請求項10] 前記回路基板は、前記第2絶縁層よりも前記積層コンデンサが実装されている主面側に、前記第2絶縁層のヤング率よりも高いヤング率を有する第3絶縁層をさらに備える請求項8に記載の積層コンデンサ内蔵基板。

[請求項11] 前記第3絶縁層の表面にランドが設けられており、
前記第3絶縁層上のランドに前記積層コンデンサが実装されている請求項10に記載の積層コンデンサ内蔵基板。

[請求項12] 前記第1絶縁層のヤング率を E_{i1} [GPa]、前記第2絶縁層のヤング率を E_{i2} [GPa]としたとき、 $E_{i2}/E_{i1} < 0.5$ である請求項8～11のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項13] 前記回路基板に含まれる絶縁層の合計厚みを t_{i0} [μm]、前記第2絶縁層の厚みを t_{i2} [μm]としたとき、 $t_{i2}/t_{i0} \geq 0.08$ である請求項8～12のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項14] 前記第1絶縁層は、ガラスエポキシ樹脂を含み、前記第2絶縁層は、エポキシ樹脂を含む請求項8～13のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項15] 前記樹脂層は、前記回路基板の前記一方主面上に設けられた第1樹脂層と、前記第1樹脂層上に設けられ、前記積層コンデンサを埋設する

第2樹脂層と、を備え、

前記第1樹脂層のヤング率は、前記第2樹脂層のヤング率よりも低い請求項8～14のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項16] 前記第1樹脂層は、前記積層コンデンサを覆うように前記積層コンデンサの上面及び側面にも設けられている請求項15に記載の積層コンデンサ内蔵基板。

[請求項17] 前記第1樹脂層のヤング率を E_{r1} [GPa]、前記第2樹脂層のヤング率を E_{r2} [GPa] としたとき、 $E_{r1}/E_{r2} < 0.5$ である請求項15又は16に記載の積層コンデンサ内蔵基板。

[請求項18] 前記第1樹脂層の厚みは、前記積層コンデンサの厚み未満である請求項15～17のいずれか1項に記載の積層コンデンサ内蔵基板。

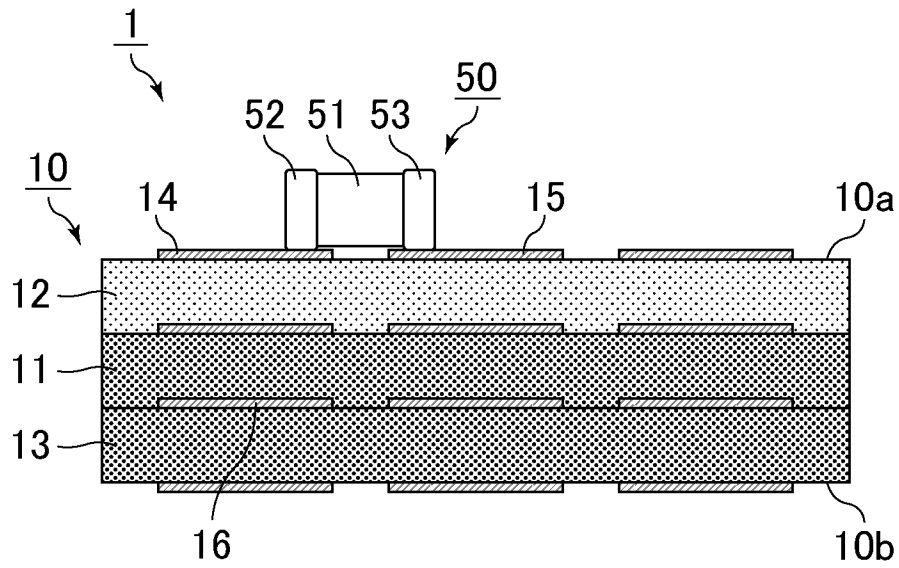
[請求項19] 前記第1樹脂層及び前記第2樹脂層は、いずれもエポキシ樹脂を含む請求項15～18のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項20] 前記樹脂層は、1層からなる請求項8～14のいずれか1項に記載の積層コンデンサ内蔵基板。

[請求項21] 前記樹脂層は、エポキシ樹脂を含む請求項20に記載の積層コンデンサ内蔵基板。

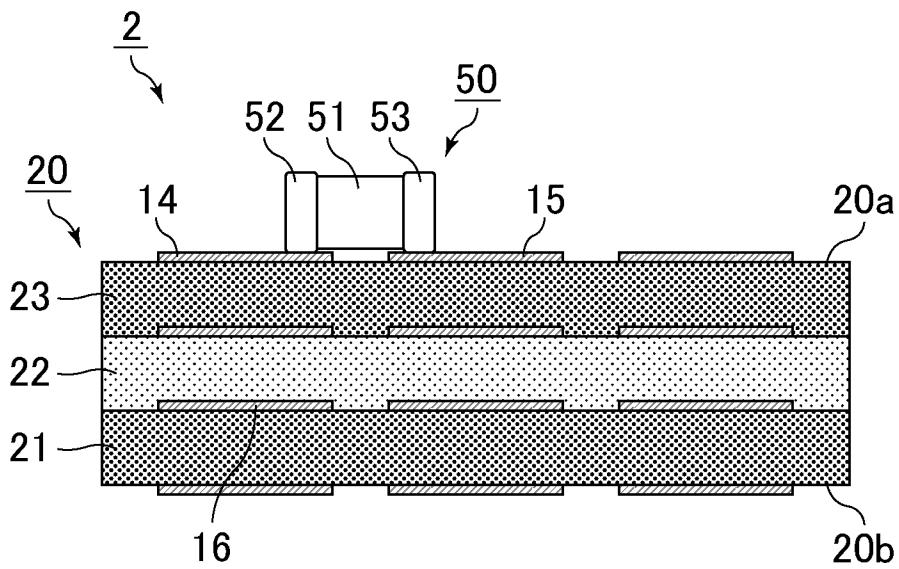
[図1]

図1



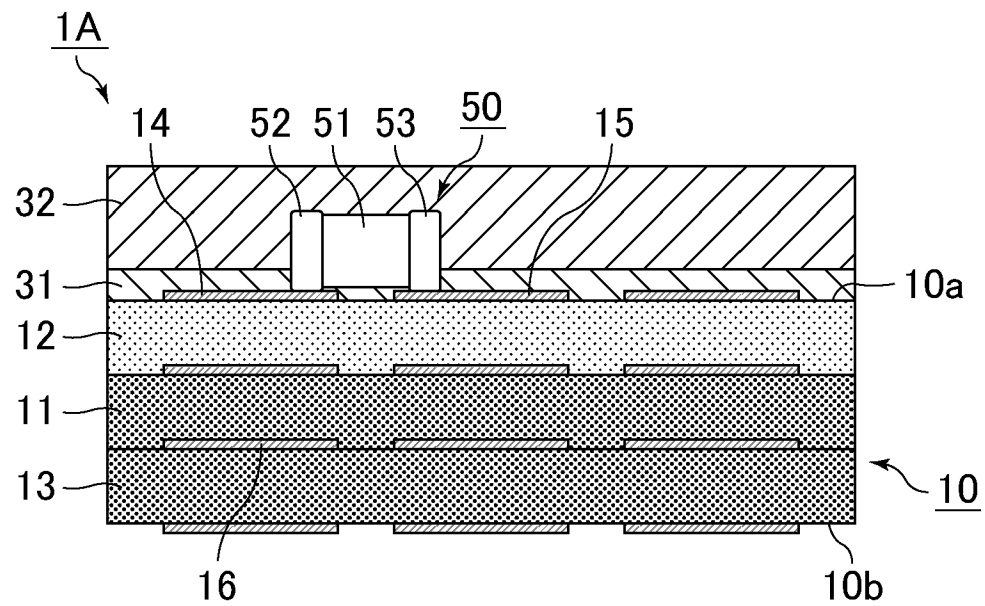
[図2]

図2



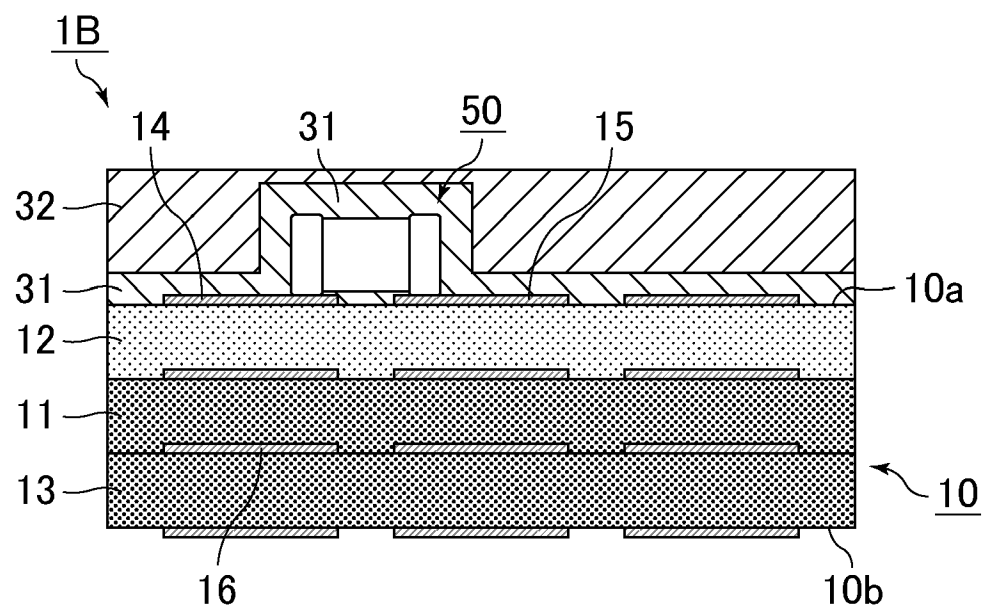
[図3]

図3



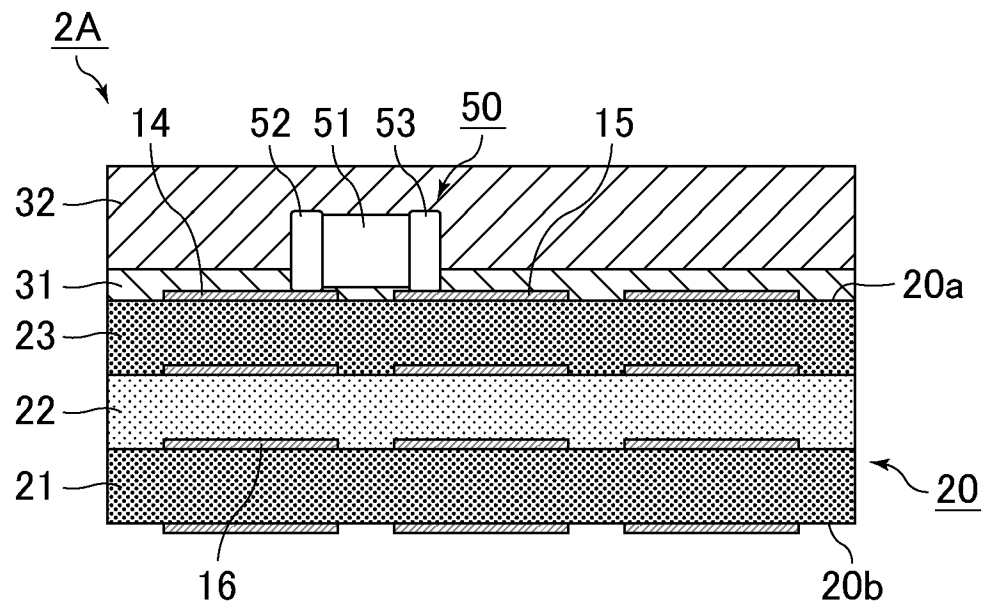
[図4]

図4



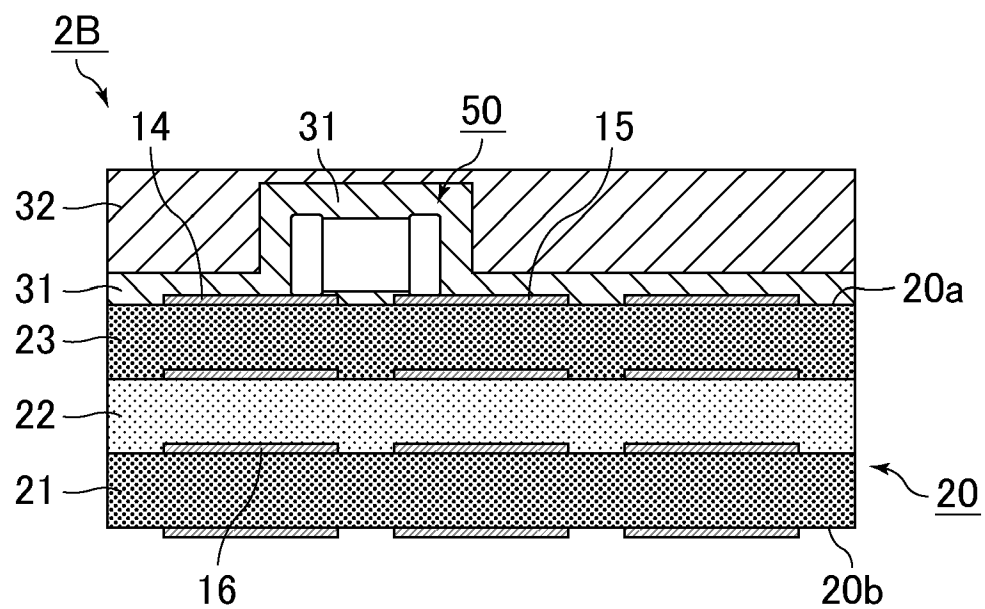
[図5]

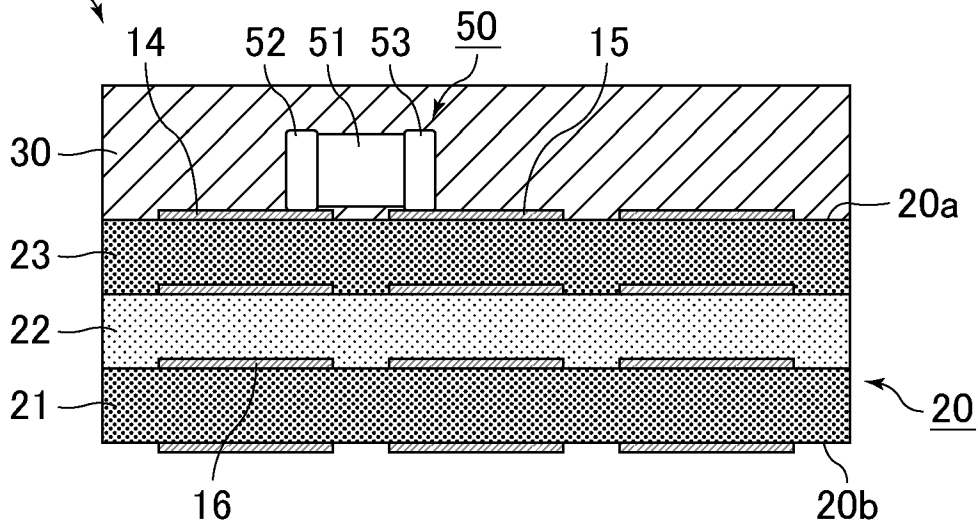
図5



[図6]

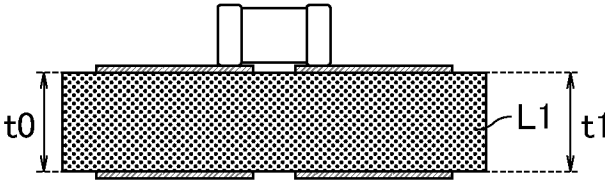
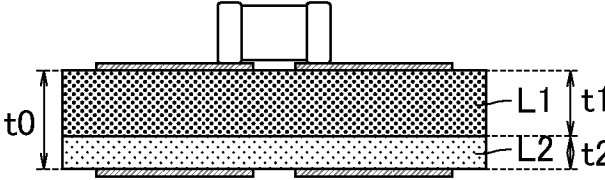
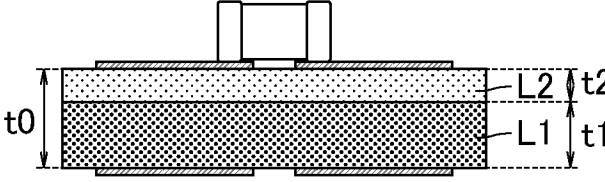
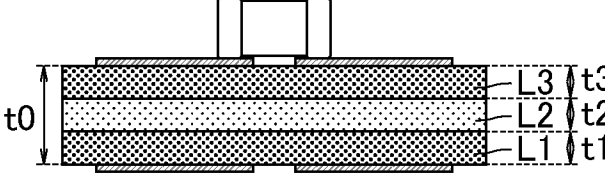
図6



3A

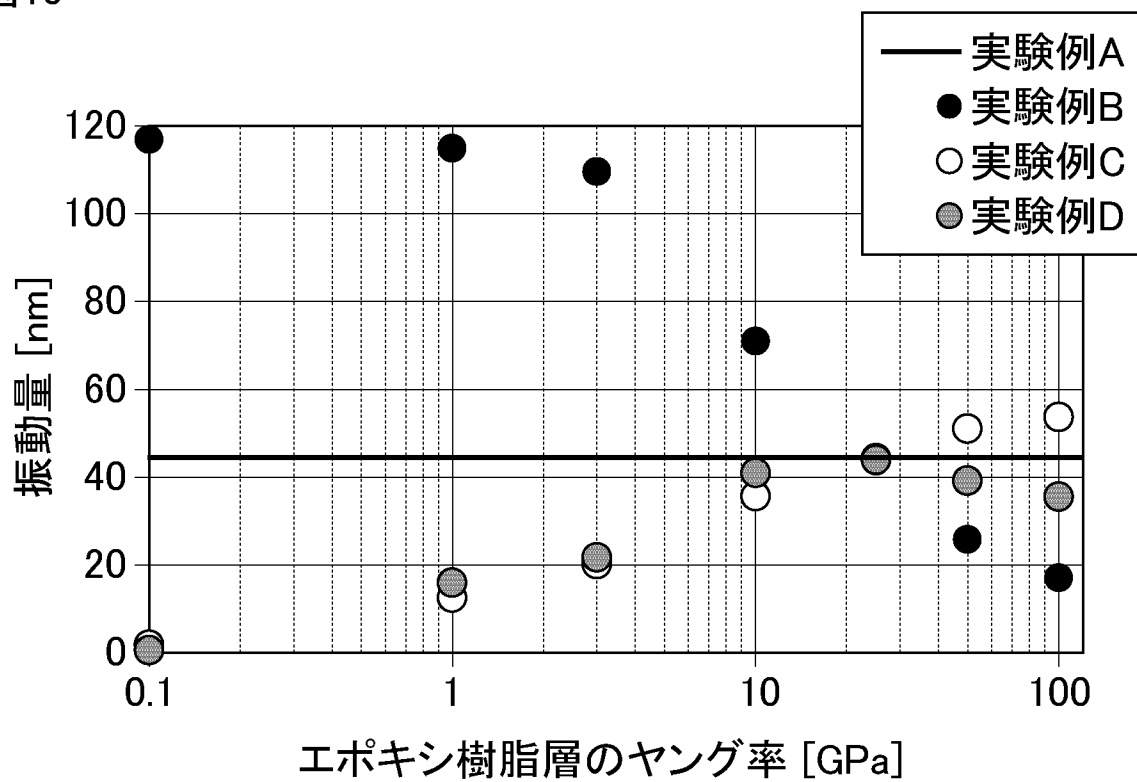
[図9]

図9

	構成	t0	t1,t3	t2
実験例 A —		600μm	600μm	—
実験例 B ●		600μm	400μm	200μm
実験例 C ○		600μm	400μm	200μm
実験例 D ●		600μm	t1: 200μm t3: 200μm	200μm

[図10]

図10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/008325

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/03(2006.01)i, H01G2/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/03, H01G2/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017

Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 4504925 B2 (Ibiden Co., Ltd.), 14 July 2010 (14.07.2010), page 4, line 40 to page 5, line 34; page 7, lines 42 to 44; page 9, lines 22 to 30; fig. 1 (Family: none)	1, 2, 5-9, 12-14, 20, 21 15-19
Y A	WO 2013/187186 A1 (Murata Mfg. Co., Ltd.), 19 December 2013 (19.12.2013), paragraphs [0003], [0036] to [0039], [0045]; fig. 1 & US 2015/0096792 A1 paragraphs [0005], [0048] to [0051], [0057]; fig. 1	1-14, 20, 21 15-19

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 April 2017 (20.04.17)Date of mailing of the international search report
09 May 2017 (09.05.17)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/008325

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/114680 A1 (Panasonic Corp.), 30 August 2012 (30.08.2012), paragraphs [0023], [0031], [0041] to [0044], [0065], [0093], [0096], [0104]; table 1; fig. 1	1, 3, 4, 6, 8, 10, 11, 13, 20, 21
A	& JP 5617028 B2 & US 2013/0319735 A1 paragraphs [0024], [0032], [0042] to [0045], [0066], [0094], [0097], [0108]; table 1; fig. 1 & CN 103379995 A & TW 201242444 A	15-19
A	JP 2011-171436 A (TDK Corp.), 01 September 2011 (01.09.2011), paragraphs [0020], [0021], [0029], [0040], [0046], [0053], [0054]; fig. 4 & US 2011/0198115 A1 paragraphs [0028], [0029], [0039], [0048], [0054], [0061], [0062]; fig. 4	15-19
A	WO 2016/035590 A1 (Murata Mfg. Co., Ltd.), 10 March 2016 (10.03.2016), paragraphs [0014], [0096], [0130], [0244], [0246], [0278], [0289], [0290], [0292]; fig. 42(B), 43(A) & JP 2016-105453 A	15-19

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K1/03(2006.01)i, H01G2/06(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K1/03, H01G2/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 4504925 B2（イビデン株式会社）2010.07.14, 第4頁第40行-第5頁第34行、第7頁第42行-第44行、 第9頁第22行-第30行、図1（ファミリーなし）	1, 2, 5-9, 12-14, 20, 21 15-19
Y A	W0 2013/187186 A1（株式会社村田製作所）2013.12.19, 段落[0003], [0036]-[0039], [0045], 図1 & US 2015/0096792 A1 段落[0005], [0048]-[0051], [0057], FIG. 1	1-14, 20, 21 15-19

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.04.2017

国際調査報告の発送日

09.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

原田 貴志

5 D

8392

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A A A	WO 2012/114680 A1 (パナソニック株式会社) 2012.08.30, 段落 [0023], [0031], [0041]-[0044], [0065], [0093], [0096], [0104], 表 1, 図 1 & JP 5617028 B2 & US 2013/0319735 A1 段落[0024], [0032], [0042]-[0045], [0066], [0094], [0097], [0108], TABLE 1, FIG. 1 & CN 103379995 A & TW 201242444 A JP 2011-171436 A (TDK株式会社) 2011.09.01, 段落[0020], [0021], [0029], [0040], [0046], [0053], [0054], 図 4 & US 2011/0198115 A1 段落[0028], [0029], [0039], [0048], [0054], [0061], [0062], FIG. 4 WO 2016/035590 A1 (株式会社村田製作所) 2016.03.10, 段落[0014], [0096], [0130], [0244], [0246], [0278], [0289], [0290], [0292], 図 42(B), 43(A) & JP 2016-105453 A	1, 3, 4, 6, 8, 10, 11, 13, 20, 21 15-19 15-19 15-19