

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年10月9日(2008.10.9)

【公開番号】特開2001-352041(P2001-352041A)

【公開日】平成13年12月21日(2001.12.21)

【出願番号】特願2001-89146(P2001-89146)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	21/8242	(2006.01)
H 01 L	27/108	(2006.01)

【F I】

H 01 L	27/04	H
H 01 L	27/10	6 8 1 C
H 01 L	27/10	6 9 1

【手続補正書】

【提出日】平成20年8月6日(2008.8.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の電圧ラインを有する集積回路であって、

半導体基板と、

前記半導体基板上に形成された記憶ノード回路と、

前記半導体基板内に形成されたガードリングであって、前記記憶ノード回路を包囲すると共に、前記第1の電圧ラインに結合された、ガードリングとを備える、集積回路。

【請求項2】

前記記憶ノード回路がコンデンサを含む、請求項1に記載の集積回路。

【請求項3】

前記記憶ノード回路に結合された第1の導電型のトランジスタを含む、請求項1又は2に記載の集積回路。

【請求項4】

ゲート、ソース、及びドレーンを有する第1のトランジスタであって、該ドレーンが、前記記憶ノード回路に結合されていることからなる、第1のトランジスタと、

ゲート、ドレーン、及びソースを有する第2のトランジスタであって、該ソースが、前記記憶ノード回路に結合されていることからなる、第2のトランジスタとを備えることからなる、請求項1又は2に記載の集積回路。

【請求項5】

前記ガードリングが、第1の導電型のウェルを含む、請求項3又は4に記載の集積回路。

【請求項6】

前記記憶ノード回路が、第2の導電型の第1のトランジスタを備えており、該第1のトランジスタが、容量性ゲート部分を含むことからなる、請求項2に記載の集積回路。

【請求項7】

前記第1のトランジスタが、ソース及びドレーンを有しており、該ソース及びドレーンが、前記ガードリングに結合されることからなる、請求項6に記載の集積回路。

【請求項8】

前記半導体基板及び前記記憶ノード回路上に配置された絶縁層と、
前記絶縁層上に形成された不透明層であって、前記記憶ノード回路の上方に少なくとも一部を有する、不透明層
とを備えることからなる、請求項1乃至7のいずれか1項に記載の集積回路。

【請求項9】

前記半導体基板上の複数の半導体デバイスと、
前記絶縁層上の複数の導電性相互接続層であって、前記複数の半導体デバイスを接続する、複数の導電性相互接続層
とを備え、

前記不透明層が、前記複数の導電性相互接続層のうちの1つであり、及び、
前記ガードリングが前記半導体基板内に形成されており、前記ガードリングが前記記憶ノード回路を包囲しており、前記ガードリングが前記第1の導電型のウェルを含み、及び前記ガードリングが前記第1の電圧ラインに結合されることからなる、請求項8に記載の集積回路。

【請求項10】

半導体基板上に集積回路を製造する方法であって、
前記半導体基板内に第1の電圧ラインを形成し、
前記半導体基板上に記憶ノード回路を形成し、
前記半導体基板内にガードリングを形成し、前記ガードリングが、前記記憶ノード回路に近接して且つ該記憶ノード回路を包囲するように配置され、該ガードリングが第1の導電型のウェルを含み、生じた光電流を傍受するために、該ガードリングが前記第1の電圧ラインに結合されており、
前記記憶ノード回路に結合された第1の導電型のトランジスタを形成し、及び、
前記記憶ノード回路及び前記ガードリングの上方に少なくとも一部が覆われた不透明層を形成し、光子と、前記記憶ノードから生じた光電流とを傍受するために、該不透明層が前記ガードリングと協働することを含む、方法。

【請求項11】

ゲート、ソース、及びドレーンを有する第1のトランジスタを形成し、該ドレーンが、前記記憶ノード回路に結合されており、及び、
ゲート、ドレーン、及びソースを有する第2のトランジスタを形成し、該ソースが、前記記憶ノード回路に結合されていることを含むことからなる、請求項10に記載の方法。

【請求項12】

前記記憶ノード回路を形成することが、コンデンサを形成することを含むことからなる、請求項10又は11に記載の方法。

【請求項13】

前記記憶ノード回路を形成することが、第2の導電型のトランジスタを形成することを含み、該トランジスタが、容量性ゲート部分を含み、該トランジスタはまた、前記ガードリングに結合されることからなる、請求項12に記載の方法。

【請求項14】

前記半導体基板及び前記記憶ノード回路上に絶縁層を形成し、及び、
前記絶縁層上に不透明層を形成し、該不透明層は、前記記憶ノード回路及び前記ガードリングの上方に少なくとも一部を有する
ことを含むことからなる、請求項10乃至13のいずれか1項に記載の方法。

【請求項15】

前記半導体基板上に複数の半導体デバイスを形成し、

前記絶縁層上に複数の導電性相互接続層を形成し、該導電性相互接続層が、前記複数の半導体デバイスを接続することを含み、

前記複数の導電性相互接続層を形成することが、前記不透明層を形成することを含むことからなる、請求項 1 4 に記載の方法。