

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G06F 13/36	(11) 공개번호 (43) 공개일자	특 1998-063473 1998년 10월 07일
(21) 출원번호	특 1997-047945	
(22) 출원일자	1997년 09월 20일	
(30) 우선권주장	8/766,914 1996년 12월 13일 미국(US)	
(71) 출원인	인터내셔널비지니스머신즈코퍼레이션 제프리엘.포맨 미국 10504 뉴욕주 아몬크	
(72) 발명자	닐대니엘. 미국 78681 텍사스주 라운드 락 하이타워 드라이브 4604 캘리리차드에이. 미국 27502 노스 캐롤라이나주 아팩스 브룩 크리크 드라이브 200	
(74) 대리인	장수길, 주성민	

심사청구 : 있음

(54) TTL 호환 시그널링을 사용한 고속 PCI

요약

데이터 처리 시스템 내의 PCI 로컬 버스는 추가 보드를 위한 5V 커넥터와 적절한 타이밍 버짓의 5V 시그널링 환경을 사용하여 50 MHz로 동작된다. 5V 추가 보드만이 버스 내에 설치된 50 MHz 어댑터에 사용될 수 있다. 상기 버스는 기존의 33 MHz PCI 규격과 호환되며 만약 33 MHz 어댑터가 설치되었다면 33 MHz로 동작하고, 만약 범용 보드를 사용한 50 MHz 어댑터 및/또는 66 MHz 어댑터만이 설치되었다면 50 MHz로 동작할 것이다.

대표도

도 2

명세서

도면의 간단한 설명

- 도 1은 본 발명의 양호한 실시예가 구현될 수 있는 데이터 처리 시스템의 블록도.
 - 도 2는 본 발명의 양호한 실시예에 따른 PCI 브릿지와 확장 슬롯의 블록도.
 - 도 3은 다양한 버스 속도에서의 PCI 버스 동작의 타이밍 버짓의 도표.
 - 도 4는 PCI 보드 및 슬롯을 위한 커넥터 키잉 시스템을 도시한 도면.
- 도면의 주요 부분에 대한 부호의 설명

- 200 : PCI 호스트 브릿지
- 202 : PCI 로컬 버스
- 204, 206, 208 : PCI 슬롯
- 210 : 클럭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 PCI 로컬 버스 아키텍처에 관한 것이며, 구체적으로는 고속 동작을 지원하는 PCI 로컬 버스 아키텍처에 관한 것이다. 더욱 구체적으로는, 본 발명은 5V 시그널링(signaling) 환경 및 현행 아키텍처 규정과 역 호환되는(backward compatible) 방식의 5V PCI 커넥터를 사용하여 고속 동작을 지원하는 PCI 로컬 버스 아키텍처에 관한 것이다.

그래픽 유저 인터페이스를 제공하는 데이터 처리 시스템에서는 일반적으로 ISA 및 EISA와 같은 구형 입

력/출력(1/0) 표준 아키텍처들 하에서는 프로세서와 디스플레이 주변 장치들 사이에서 데이터의 병목 현상이 발생하게 된다. 대역폭 요구조건이 높은 주변 장치들을 프로세서 버스에 근접하게 이동시킴으로써 이러한 병목 현상을 제거하도록 하는 다른 방식의 1/0 아키텍처가 개발되었다. 이러한 방식들중 하나가 다중화된 어드레스 및 데이터 라인을 갖는 고성능 32비트 혹은 64비트 버스인 PCI 로컬 버스이다. PCI 로컬 버스의 기계적, 전기적, 및 동작 상의 표준은 미국 오리건주 포틀랜드에 위치한 PCI Special Interest Group으로부터 입수할 수 있는 PCI Local Bus Specification, Revision 2.1(이하 현행 PCI 규격)에 나와 있으며, 이를 본 명세서에 참고 문헌으로서 인용한다.

PCI 로컬 버스 규격은 일반적으로 확장 카드 혹은 어댑터라고 불리는 추가 보드(add-in board)들에 대한 프로세서-독립 인터페이스를 제공한다. AC 스위칭 특성 제한으로 인하여, PCI 버스는 일반적으로 마더보드 상에 6개의 로드와 2개의 확장 슬롯, 혹은 마더보드 상에 2개의 로드와 4개의 확장 슬롯을 포함하도록 구성된다. 물리적인 배치, 마더보드의 부하 임피던스, 및 그 밖의 요인들에 따라서 다른 구성이 가능하다.

PCI 추가 보드는 에지 커넥터를 사용하여 마더보드 상의 암 커넥터에 장착된다. 마더보드 상의 암 커넥터 혹은 슬롯은 PCI 버스의 시그널링 환경을 반영한다. 5V 및 3.3V 시그널링 환경을 수용하기 위해, 5V 시그널링 환경과 3.3V 시그널링 환경에 대한 두 가지 형태의 PCI 커넥터가 규정된다. 5V 암 커넥터에만 플러그가 접속되는 5V 보드, 5V 및 3.3V 암 커넥터에 플러그가 접속되는 범용 보드, 및 3.3V 암 커넥터에만 플러그가 접속되는 3.3V 보드의 세 종류가 PCI 추가 보드들로 지정된다. 커넥터 키잉(connector keying) 시스템은 보드가 도 4에 도시된 바와 같이 부적당한 슬롯 혹은 암 커넥터로 삽입되는 것을 방지한다. 어댑터 보드 에지 커넥터를 상의 적당한 위치에는 키웨이틀(400 - 403)이 제공되어 암 커넥터들 혹은 슬롯들 내에 키들(404, 405)을 받아들여야 한다. 그러므로, 5V 보드(410) 상의 에지 커넥터는 5V 슬롯(420)으로만 삽입될 수 있고, 3.3V 보드(430) 상의 에지 커넥터는 3.3V 슬롯(440)으로만 삽입될 수 있다. 그러나, 범용 보드(450) 상의 에지 커넥터는 5V 슬롯(420)에 삽입되거나 3.3V 슬롯(440)에 삽입될 수 있다. 범용 보드는 접속부에 달린 레일에 의해 전원이 공급되고 5V와 3.3V 시그널링 환경 모두에서 동작하는 부품을 포함한다.

세 가지 보드형 모두 5V와 3.3V 전원 양쪽 모두에 접속될 수 있다. 보드형의 구분은 시그널링 프로토콜에 따른다. 5V 보드(410)는 5V 시그널링 환경 내에서만 동작하도록 지정되고, 3.3V 보드는 3.3V 시그널링 환경에서만 동작하도록 지정된다. 보드형의 구분은 상업적으로 대두되어, 업자들은 비용을 절감하고 5V 시그널링을 허용하는 3.3V 부품 구현의 부담을 덜면서 5V 시그널링 환경으로부터 3.3V 시그널링 환경으로의 변화를 가능하게 하였다.

현재, PCI 로컬 버스 규격은 3.3V 암 커넥터의 사용을 요구하는 고속 동작(66 MHz까지) 아키텍처 규정을 제공한다. 66 MHz 어댑터는 3.3V 보드와 범용 보드 양쪽 모두에 사용 가능하지만, 5V 시그널링 환경에 대해서는 고속 동작이 규정되어 있지 않기 때문에 5V 보드는 사용할 수 없다. 3.3V 시그널링 환경에서, 접지핀 혹은 버스 상의 도체(M66EN - B층, 핀 49)은 66 MHz 특성의 지원한다는 것을 표시하는데 사용한다. 66 MHz 동작을 지원하는 시스템 및 어댑터는 이러한 접지핀을 접지시키지 않는다. 만약 PCI 로컬 버스 상에 설치된 모든 어댑터들이 지정된 접지핀을 접지하지 않는다면, 버스는 시스템 PCI 클럭에 의해 지원되는 보다 높은 주파수(66 MHz까지)로 동작한다. 만약 지정된 접지핀의 접지를 요하는 33 MHz 어댑터가 PCI 로컬 버스 상에 설치된다면, 버스는 시스템 PCI 클럭에 의해 지원되는 보다 낮은 주파수(33 MHz 까지)로 동작한다. 66 MHz 호환 어댑터인지 여부를 식별하는데에는 구성 비트도 사용된다.

5V 시그널링 환경은 TTL 호환이지만, CMOS 적용 디바이스를 위해 3.3V 시그널링에 대한 지원이 요구된다. 환경적인 혹은 구성 요소의 밀도와 같은 이유로 인해 데이터 처리 시스템이 5V 시그널링으로부터 3.3V 시그널링으로 이동하였으나, 대다수의 어댑터들은 얼마간 5V형 보드를 계속해서 사용할 것이다. 그러므로 5V 시그널링 환경과 5V PCI 암커넥터를 사용하는 고속 PCI 동작(33 MHz - 50 MHz)을 지원하는 것이 바람직하다. 또한 현행 33 MHz 및 66 MHz 아키텍처 규정과의 역 호환을 지원하는 것도 바람직하다.

발명이 이루고자하는 기술적 과제

그러므로 본 발명의 목적은 향상된 PCI 로컬 버스 아키텍처를 제공하는 것이다.

본 발명의 다른 목적은 고속 동작을 지원하는 향상된 PCI 로컬 버스 아키텍처를 제공하는 것이다.

본 발명의 또다른 목적은 현행 아키텍처 규정과 역 호환되는 방식으로 5V 시그널링 환경과 5V PCI 커넥터를 사용하는 고속 동작을 지원하는 PCI 로컬 버스 아키텍처를 제공하는 것이다.

전술한 목적들은 이하 설명하는 바와 같이 이루어진다. 데이터 처리 시스템 내의 PCI 로컬 버스는 추가 보드를 위한 5V 커넥터와 적절한 타이밍 버짓(timing budget)을 갖는 5V 시그널링 환경을 사용하여 50 MHz로 동작된다. 버스 내에 설치된 50 MHz 어댑터에는 5V 추가 보드만이 사용될 수 있다. 본 발명의 버스는 기존의 33 MHz PCI 규격과 역 호환되어, 만약 33 MHz 어댑터가 설치되었다면 33 MHz로 동작하고, 만약 범용 보드를 사용한 50 MHz 및/또는 66 MHz 어댑터들만이 설치되었다면 50 MHz로 동작할 것이다.

본 발명의 상기 목적과 부가적인 목적, 특징 및 장점은 다음의 설명으로 자명해질 것이다.

발명의 구성 및 작용

본 발명의 신규한 특징은 첨부된 특허 청구의 범위에 기재되어 있다. 그러나 본 발명의 그 이상의 목적 및 장점은 첨부된 도면과 함께 다음의 상세한 설명을 참조함으로써 명백히 이해될 것이다.

도 1을 참조하면, 본 발명의 양호한 실시예가 구현될 수 있는 데이터 처리 시스템이 도시되어 있다. 데

이타 처리 시스템(100)은 PCI 로컬 버스 아키텍처를 사용한다. 프로세서(102), 캐쉬(104), 및 시스템 메모리(106)는 PCI 브릿지(110)를 통해 PCI 로컬 버스(108)에 접속된다. 도시된 바와 같이, PCI 브릿지(110)는 집적 메모리 제거기를 구비할 수 있다. PCI 로컬 버스(108)로의 추가 접속들은 부품을 직접 상호접속시키거나 혹은 추가 보드를 통하여 할 수 있다. 도시된 예에서, 네트워크 어댑터(112), SCSI 어댑터(114), 및 확장 버스 인터페이스(116)는 부품의 직접 상호접속에 의해 PCI 로컬 버스(108)에 접속되고, 사운드 카드(118), 동영상 카드(120), 및 그래픽 어댑터(122)는 확장 슬롯에 삽입된 추가 보드에 의해 PCI 로컬 버스(108)에 접속된다. 보편적인 PCI 로컬 버스 구현은 3개 혹은 4개의 PCI 확장 슬롯 혹은 추가 커넥터를 지원할 것이다. 도시된 예는 마더보드 상에 4개의 로드와 3개의 확장 슬롯을 포함한다.

본 기술에 속련된 당업자에게는 도 1에 도시된 하드웨어가 변경될 수 있다는 것이 자명할 것이다. 예를 들면, 광 디스크 드라이브 등과 같은 다른 주변 기기들도 도시된 하드웨어에 추가하여 혹은 그 대신에 사용될 수 있다. 도시된 예는 아키텍처의 제한을 의미하는 것은 아니다. 그러나, 도시된 예의 PCI 로컬 버스(108)는 5V(TTL 호환) 시그널링 환경에서 동작한다.

도 2를 참조하면, 본 발명의 양호한 실시예에 따른 PCI 호스트 브릿지와 확장 슬롯들이 블럭도로 도시되어 있다. 시스템 PCI 브릿지(200)는 PCI 로컬 버스(202) 및 50 MHz PCI 슬롯들(204, 206, 및 208)에 인터페이스를 제공한다. PCI 로컬 버스(202)는 PCI 로컬 버스 신호들의 규정된 비트에 각각 대응하는 32 혹은 64개의 도선을 포함한다.

PCI 브릿지(200)는 5V 시그널링 환경을 사용하고 PCI 슬롯들(204, 206, 및 208)은 5V PCI 암 커넥터들을 사용한다. PCI 슬롯들(204, 206, 및 208)로 삽입될 어댑터들은 50 MHz를 수용 가능하거나 혹은 50 MHz 까지만 동작하도록 설계된다. 33 MHz 및 66 MHz PCI 규격에서는, PCI 슬롯들(204, 206, 및 208)에 설치된 어댑터 혹은 추가 보드는 장, 단 혹은 가변 단 길이일 수 있다. 66 MHz PCI 규격과 같이, 50 MHz PCI 브릿지(200)와 50 MHz 어댑터들은 지정된 접지핀을 접지시키지 않아서 PCI 로컬 버스(202)는 만약 모든 어댑터들이 50 MHz를 수용 가능하다면 50 MHz로 동작하고 만약 33 MHz 어댑터가 PCI 슬롯들(204, 206, 및 208)중 하나에 설치되었다면 33 MHz로 동작한다. PCI 클럭(210)은 33 MHz나 혹은 50 MHz로 동작될 수 있다.

PCI 슬롯들(204, 206, 및 208)은 5V 암 커넥터들을 사용하므로, 단지 5V 혹은 범용 확장 보드만이 상기의 슬롯들에 삽입될 수 있다. 범용 보드를 사용한 66 MHz 어댑터가 PCI 슬롯들(204, 206, 및 208)중 하나로 삽입되는 경우에, 만약 50 MHz 및/또는 66 MHz 어댑터들만이 설치되었다면 PCI 로컬 버스(202)는 50 MHz로 동작한다. 범용 보드를 사용한 66 MHz 어댑터는 5V 시그널링 환경을 허용할 것이다.

도 3을 참조하면, 다양한 버스 속도에서의 PCI 버스 동작의 타이밍 버짓의 도표가 도시되어 있다. PCI 로컬 버스 규격은 PCI 시스템과 어댑터가 만족시켜야 하는 특정 타이밍 버짓을 규정한다. 이러한 타이밍 버짓은 다음의 수학적 식 1로 규정된다.

$$T_{cyc} \geq T_{val} + T_{prop} + T_{skew} + T_{su}$$

여기서 T_{cyc} 는 한 클럭 주기의 길이, T_{val} 는 유효 출력 지연, T_{prop} 는 총 버스 전달 시간, T_{skew} 는 총 클럭 스큐(skew)이고, T_{su} 는 입력 설정 시간이다. 유효 출력 지연 T_{val} 및 입력 설정 시간 T_{su} 는 어댑터 보드들 상에 사용된 부품들에 의해 지정되지만, 총 클럭 스큐 T_{skew} 및 버스 전달 시간 T_{prop} 는 시스템 변수들이다.

도 3의 도표(300)는 33 MHz, 66 MHz, 및 50 MHz 동작에 대한 타이밍 버짓을 나타내고 있다. 50 MHz 타이밍 버짓의 두 가변값이 존재한다. A로 표시된 50 MHz 가변값은 현행 PCI 규격의 도표 7-7에서 단지 하나의 예로서 제안된다. 그러나 이 가변값은 5V 시그널링에 대해 계산된 것이 아니라, 3.3V 시그널링 환경을 가정한 것이다. 5V 시그널링 환경에서 5V 커넥터들을 통한 50 MHz 동작을 위해서는, 도 3에서 B로 표시된 타이밍 버짓 가변값이 바람직하다. 본 발명의 양호한 실시예는 T_{val} 및 T_{prop} 가 각각 8 ns를 초과하지 않고 T_{su} 가 최소한 3 ns이며 T_{skew} 가 1 ns를 초과하지 않는 가변값으로 제공된 타이밍 버짓 값들을 만족시켜야 한다.

데이터 처리 시스템 설계자는 도 3에 B로 표시된 50 MHz 타이밍 버짓 값들을 절충하여 버스의 순 길이(net length) 혹은 지원되는 부하들의 수를 조정한다. 그러나, 이러한 취사 선택을 함에 있어서, T_{val} 와 T_{prop} 의 합은 16 ns를 초과하지 않고 T_{su} 와 T_{prop} 의 합은 11 ns를 초과하지 않아야 한다. 적절한 평면 설계에 의해, 양호한 50 MHz 타이밍 버짓의 충족하려면 PCI 로컬 버스에 부착된 7개 로드들(3개의 확장 슬롯들을 포함)까지를 지원 가능하게 해야 한다. 매우 총총한 설계로서, 8개의 로드들(4개의 어댑터 슬롯들을 포함)을 지원하게 할 수도 있다.

도 2를 다시 참조하면, PCI 호스트 브릿지(200)는 범용 보드와 유사하게 동작하도록 설계되어, 마스터(master)로서 3.3V 시그널링을 제공하면서 타깃(target)으로서 5V 시그널링도 허용하게 된다. 부가하여, PCI 호스트 브릿지(200)는 또한 5V 타깃들에 의해 요구되는 2V 이상의 레벨도 제공한다. 호스트 브릿지(200)와 임의의 50 MHz 가용 PCI 어댑터들 상의 부품들은 66 MHz 규격에 대한 AC 및 DC 구동점들을 만족시켜야 한다. M66EN 핀에 대응하는 호스트 브릿지(200)에 부착된 버스 도선은 5 K Ω 저항을 통해 입력 전원 전압 V_{cc} 로 끌어올려져야 한다.

PCI 클럭 발생 회로(210)는 적절한 클럭 세그먼트(segment)를 발생하도록 설계되어야 한다. 즉, 66 MHz 접지핀(M66EN)이 접지되었다면 33 MHz의 출력 세그먼트를, 66 MHz 접지핀이 접지되지 않았다면 50 MHz의 클럭 세그먼트를 발생시키도록 설계되어야 한다. 그러므로, PCI 클럭 발생 회로(210)는 66 MHz 접지핀에 접속되어, 66 MHz 접지핀의 상태를 감지할 수 있어야 한다.

50 MHz 어댑터 보드의 핀아웃(pinout)은 현행 PCI 규격의 5V 핀아웃에 따라야 한다. 특히, 키웨이가 범용 혹은 3.3V 보드 상에 위치할 장소인 보드 양측 상의 핀들(12 및 13)은 접지되어야 한다. 66 MHz 규격과 마찬가지로, M66EN핀(어댑터 보드의 B측의 핀 49)은 AC 복귀 경로를 완성하도록 0.01 μ F 캐패시터를 사용하여 접지에 용량적으로 감결함(decouple)될 수 있다.

마지막으로, PCI 호스트 브릿지(200)와 50 MHz 가용 어댑터는 50 MHz로 동작될 수 있는지를 식별해야 한다. 이는 각각의 50 MHz 가용 PCI 디바이스 각각에 위치하는 PCI 상태 레지스터의 비트 5인 판독 전용 66 MHz 가용 플래그(flag)를 통해 이루어진다. 그 다음에, 구성 소프트웨어(configuration software)는, PCI 호스트 브릿지(200) 내의 제1 및 제2 상태 레지스터들을 비롯한 PCI 로컬 버스(202)에 접속된 모든 디바이스들 상의 상태 레지스터들 내의 66 MHz 가용 플래그를 검사함으로써 모든 디바이스의 성능을 식별할 수 있다.

도 2에 도시된 PCI 확장 아키텍처는 5V 커넥터와 5V 시그널링을 사용하면서 최대 50 MHz로 동작하도록 설계된 PCI 규격의 호환 수퍼셋(superset)인 5V, 50 MHz PCI 버스를 규정하고 있다. 이러한 확장은 5V 커넥터를 사용하고 50 MHz 어댑터(5V 사용)와 범용 보드를 이용하여 50 MHz로 동작하는 66 MHz 어댑터 모두를 지원하면서도 66 MHz PCI 보다 PCI 버스당 더 많은 슬롯들을 얻는 고속 PCI 버스를 제공한다.

66 MHz 이하의 주파수로 동작하는 고속 PCI 버스를 제작하기 위한 표준 방식은 시스템 및 어댑터를 66 MHz 아키텍처로 설계하지만 추가 어댑터 슬롯들을 지원하도록 66 MHz 이하의 주파수로 버스를 동작시킨다. 즉, 보다 낮은 주파수는 사용되는 주파수에 따라 추가 슬롯 혹은 슬롯들을 허용할 수 있는 추가 전달 지연을 지원한다. 이러한 방식은 현행 66 MHz PCI 아키텍처 규정에서 허용된다.

PCI 어댑터 보드들의 대다수는 계속해서 5V 보드일 것이므로, 5V 커넥터를 사용한 고속 50 MHz PCI 버스를 제공하는 것은 고속 슬롯들을 더 사용할 수 있게 해줄뿐만 아니라, 슬롯의 융통성도 생기게 한다. 예를 들어, 필요하다면, 5V 50 MHz 어댑터가 33 MHz로 동작하는 5V 33 MHz 버스상에 설치될 수 있다. 또한, 5V 33 MHz 어댑터는 33 MHz로 동작하는 5V 50 MHz 버스 상에도 설치될 수 있다. 50 MHz 주파수는 현재 33 MHz와 66 MHz 동작만을 규정하고 있는 PCI 표준을 확장하기 위한 적절한 선택이다.

발명의 효과

50 MHz PCI를 실현하기 위한 상기 방식의 장점은 기존의 33 MHz 5V 보드와 역 호환성을 가지면서도 33 MHz PCI 표준을 50 MHz의 높은 대역폭으로 향상시킬 수 있게 된다는 것이며, 이는 66 MHz 이하의 주파수로 동작하는 고속 PCI 버스를 발생시키기 위한 표준 접근법에서는 항상 가능한 것이 아니었다. 50 MHz 어댑터만이 설치된 경우에, 버스는 50 MHz로 동작한다. 최소한 하나의 33 MHz 어댑터가 설치된 경우에, 버스는 33 MHz로 동작한다. 규정된 50 MHz PCI 확장은 33 MHz 및/또는 66 MHz PCI 표준과 동일한 프로토콜, 신호 정의, 및 커넥터 설계법을 공유한다.

본 발명이 양호한 실시예를 참조로 하여 상세히 도시되고 기술되었지만, 본 기술에 속련된 당업자는 본 발명의 본질 및 범위로부터 벗어나지 않으면서 형태와 세부 항목에 다양한 변경을 가할 수 있다는 것을 이해할 것이다.

(57) 청구의 범위

청구항 1

데이터 처리 시스템 버스의 동작 방법에 있어서,

PCI 인터페이스를 사용하여 프로세서(processor)를 다수의 버스 도선(bus conductor)들에 접속시키는 단계와,

TTL 호환 시그널링(signaling) 환경에서 동작하는 추가 보드(add-in board)를 위한 최소한 하나의 커넥터(connector)를 상기 다수의 버스 도선들에 접속시키는 단계와,

상기 다수의 버스 도선들에 33 MHz보다 높은 클럭 신호를 제공하는 단계를 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 2

제1항에 있어서, 상기 프로세서를 다수의 버스 도선들에 접속시키는 단계는 5V 시그널링 환경을 허용하는 인터페이스를 사용하는 단계를 더 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 3

제1항에 있어서, 상기 최소한 하나의 커넥터를 접속시키는 단계는 다수의 커넥터들을 상기 다수의 버스 도선들에 접속시키는 단계를 더 포함하되, 상기 커넥터 각각은 TTL 호환 시그널링 환경에서 동작하는 추가 보드를 받아들이는 데이터 처리 시스템 버스 동작 방법.

청구항 4

제1항에 있어서, 상기 클럭 신호를 제공하는 단계는 상기 다수의 버스 도선들로부터 선택된 버스 도선이 접지되지 않았으면 33 MHz보다 높은 클럭 신호를 제공하는 단계와, 상기 선택된 버스 도선이 접지되었다는 판정에 응답하여 33 MHz 클럭 신호를 제공하는 단계를 더 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 5

제1항에 있어서, 상기 커넥터 내에 최소한 하나의 추가 보드를 설치하는 단계를 더 포함하되, 상기 추가 보드는 상기 다수의 버스 도선들 중 선택된 버스 도선을 접지시키는 데이터 처리 시스템 버스 동작 방법.

청구항 6

제5항에 있어서, 상기 클럭 신호를 제공하는 단계는 상기 다수의 버스 도선들로부터 선택된 버스 도선이 접지되지 않았으면 33 MHz보다 높은 클럭 신호를 제공하는 단계와, 상기 선택된 버스 도선이 접지되었다는 판정에 응답하여 33 MHz 클럭 신호를 제공하는 단계를 더 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 7

제1항에 있어서, 상기 클럭 신호를 제공하는 단계는 50 MHz 클럭 신호를 제공하는 단계를 더 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 8

제1항에 있어서, 상기 최소한 하나의 커넥터를 접속시키는 단계는 최소한 하나의 5V 커넥터를 접속시키는 단계를 더 포함하는 데이터 처리 시스템 버스 동작 방법.

청구항 9

데이터 처리 시스템 버스에 있어서,

프로세서를 다수의 버스 도선들에 접속시키는 PCI 인터페이스와,

TTL 호환 시그널링 환경에서 동작하는 추가 보드를 위한, 상기 버스 도선들에 접속된 최소한 하나의 커넥터와,

33 MHz보다 높은 주파수로 동작하고 상기 버스 도선들에 클럭 신호를 제공하는 클럭을 포함하는 데이터 처리 시스템 버스.

청구항 10

제9항에 있어서, 상기 PCI 인터페이스는 5V 시그널링을 허용하는 데이터 처리 시스템 버스.

청구항 11

제9항에 있어서, 상기 최소한 하나의 커넥터는 TTL 호환 시그널링 환경에서 동작하는 추가 보드를 위한, 상기 다수의 버스 도선들에 접속된 다수의 커넥터들을 더 포함하는 데이터 처리 시스템 버스.

청구항 12

제9항에 있어서, 상기 클럭은 33 MHz로 동작 가능한 데이터 처리 시스템 버스.

청구항 13

제9항에 있어서, 상기 커넥터 내에 설치된 최소한 하나의 추가 보드를 더 포함하되, 상기 추가 보드는 상기 다수의 버스 도선들 중 선택된 버스 도선을 접지시키는 데이터 처리 시스템 버스.

청구항 14

제13항에 있어서, 상기 클럭은 상기 선택된 버스 도선이 접지되는 것을 검출하여 33 MHz로 동작하는 데이터 처리 시스템 버스.

청구항 15

제13항에 있어서, 상기 클럭은 상기 선택된 버스 도선이 접지되지 않았으면 50 MHz로 동작하는 데이터 처리 시스템 버스.

청구항 16

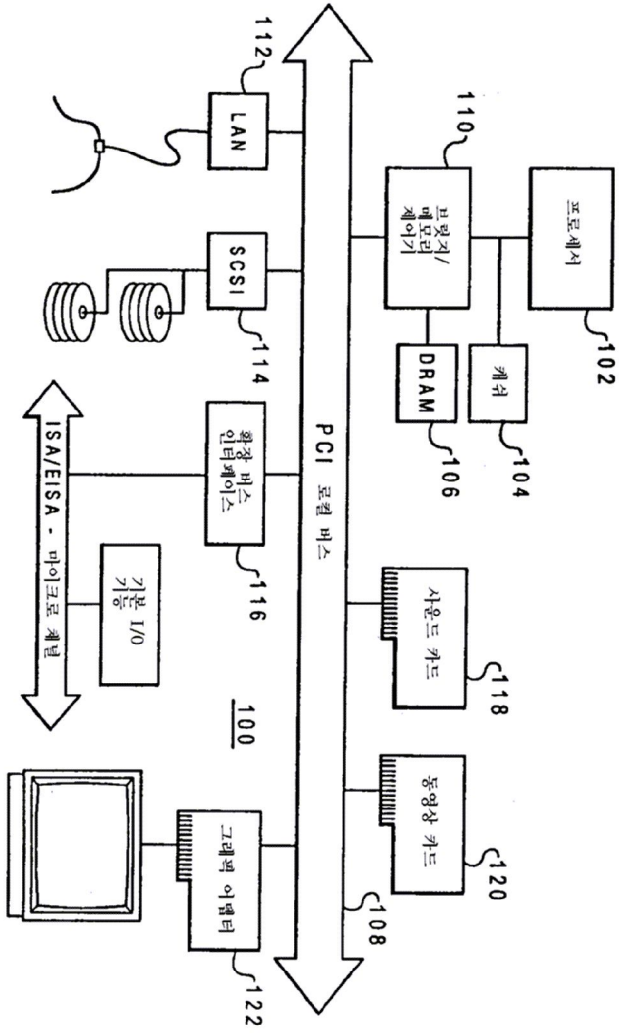
제9항에 있어서, 상기 최소한 하나의 커넥터는 5V 추가 보드를 수용하는 데이터 처리 시스템 버스.

청구항 17

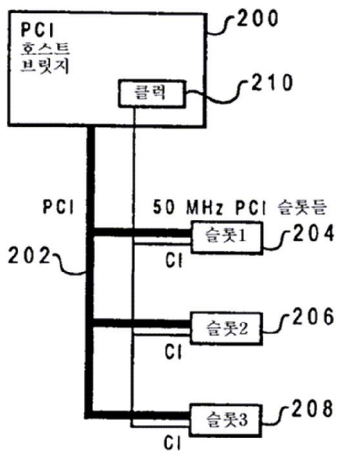
제9항에 있어서, 상기 클럭은 50 MHz로 동작하는 데이터 처리 시스템 버스.

도면

도면1



도면2



도면3

타이밍 요소	33 MHz	66 MHz	50 MHz (A)	50 MHz (B)
T _{cy}	30	15	20	20
T _{val} (최대)	11	6	6	8
T _{prop} (최대)	10	5	10	8
T _{su} (최소)	7	3	3	3
T _{skew} (최대)	2	1	1	1

300

도면4

