(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3871469号
(P3871469)
(45)発行日　平成19年1月24日(2007.1.24)　(24)登録日　平成18年10月27日(2006.10.27)

(51)Int.Cl.　F I
G11C 29/04 (2006.01)　G11C 29/00 603D

請求項の数 24　(全 25 頁)

(21)出願番号　特願平11-141713
(22)出願日　平成11年5月21日(1999.5.21)
(65)公開番号　特開2000-222897(P2000-222897A)
(43)公開日　平成12年8月11日(2000.8.11)
審査請求日　平成15年3月13日(2003.3.13)
(31)優先権主張番号　特願平10-336620
(32)優先日　平成10年11月27日(1998.11.27)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005821
松下電器産業株式会社
大阪府門真市大字門真１００６番地
(74)代理人　100077931
弁理士　前田　弘
(74)代理人　100094134
弁理士　小山　廣毅
(72)発明者　縣　政志
大阪府門真市大字門真１００６番地　松下電器産業株式会社内
(72)発明者　黒田　直喜
大阪府門真市大字門真１００６番地　松下電器産業株式会社内

最終頁に続く

(54)【発明の名称】半導体メモリ装置および信号線切替回路

(57)【特許請求の範囲】
【請求項１】
一のアドレス指定によって多ビットのアクセスが可能な半導体メモリ装置であって、
各アドレスにそれぞれ対応した複数のメモリセグメントを有するメモリアレイと、
データを並列に転送する複数本の信号線からなり、各メモリセグメントに対応してそれぞれ設けられた複数の第１のデータバスとを備え、
前記各メモリセグメントは、それぞれ、
メモリサブアレイと、
前記メモリサブアレイのビット線とそれぞれ接続され、データを並列に転送する複数本の信号線からなり、かつ、その本数が前記第１のデータバスよりも多い第２のデータバスと、
当該メモリセグメントに対応する前記第１のデータバスの信号線と前記第２のデータバスの信号線とを、予め設定された所定の関係に、電気的に接続するデータバス切替回路とを備えたものである
半導体メモリ装置。
【請求項２】
請求項１記載の半導体メモリ装置において、
前記第２のデータバスは、前記第１のデータバスに対して平行に配置されている
ことを特徴とする半導体メモリ装置。
【請求項３】

請求項１記載の半導体メモリ装置において、
前記各メモリセグメントは、それぞれ、前記メモリサブアレイを複数個備えており、
各メモリサブアレイのビット線は、当該メモリセグメントの前記第２のデータバスの信号線に、共通に接続されている
ことを特徴とする半導体メモリ装置。
【請求項４】
請求項１記載の半導体メモリ装置において、
前記データバス切替回路は、
前記第１のデータバスの信号線と前記第２のデータバスの信号線との電気的な接続関係を設定するスイッチ部と、
直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれ、その前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動される
ことを特徴とする半導体メモリ装置。
【請求項５】
請求項４記載の半導体メモリ装置において、
前記スイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ、少なくとも、ＭＯＳトランジスタからなるインバータが設けられている
ことを特徴とする半導体メモリ装置。
【請求項６】
一のアドレス指定によって多ビットのアクセスが可能な半導体メモリ装置であって、
各アドレスにそれぞれ対応した複数のメモリセグメントを有するメモリアレイと、
データを並列に転送する複数本の信号線からなり、各メモリセグメントに対応してそれぞれ設けられた複数のデータバスとを備え、
前記各メモリセグメントは、それぞれ、
メモリサブアレイと、
当該メモリセグメントに対応する前記データバスの信号線と前記メモリサブアレイのビット線とを、予め設定された所定の関係に、電気的に接続するデータバス切替回路とを備えたものである
半導体メモリ装置。
【請求項７】
請求項６記載の半導体メモリ装置において、
前記メモリサブアレイのビット線は、当該メモリセグメントに対応する前記データバスに平行に配置されている
ことを特徴とする半導体メモリ装置。
【請求項８】
請求項６記載の半導体メモリ装置において、
前記各メモリセグメントは、それぞれ、前記メモリサブアレイを複数個備えており、
各メモリサブアレイに対して、それぞれ、前記データバス切替回路が設けられている
ことを特徴とする半導体メモリ装置。
【請求項９】
請求項６記載の半導体メモリ装置において、
前記データバス切替回路は、
前記データバスの信号線と前記ビット線との電気的な接続関係を設定するスイッチ部と、
直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれ、その前段のヒューズ素子

の端電位に応じてＭＯＳトランジスタによって駆動される
ことを特徴とする半導体メモリ装置。
【請求項１０】
請求項９記載の半導体メモリ装置において、
前記スイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ、少なくとも、ＭＯＳトランジスタからなるインバータが設けられている
ことを特徴とする半導体メモリ装置。
【請求項１１】
第１の信号線群の信号線と第２の信号線群の信号線とを、所定の関係に電気的に接続するスイッチ部と、
直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれ、その前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動される
信号線切替回路。
【請求項１２】
請求項１１記載の信号線切替回路において、
前記スイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ、少なくとも、ＭＯＳトランジスタからなるインバータが設けられている
ことを特徴とする信号線切替回路。
【請求項１３】
請求項１１記載の信号線切替回路において、
前記第１の信号線群はｎ（ｎは正の整数）本の信号線からなり、前記第２の信号線群は（ｎ＋１）本の信号線からなり、
前記スイッチ部は、前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）の信号線に対し、前記第２の信号線群の第ｉおよび第（ｉ＋１）の信号線との間にそれぞれ設けられた２個のスイッチからなる第ｉのスイッチ群を備えたものであり、
前記スイッチ制御部は、第ｉ段のヒューズ素子の端電位に応じて前記第ｉのスイッチ群の設定を制御するものである
ことを特徴とする信号線切替回路。
【請求項１４】
請求項１１記載の信号線切替回路において、
前記第１および第２の信号線群はともにｋ（ｋは２以上の整数）本の信号線を組として構成されており、かつ、前記第１の信号線群はｎ（ｎは正の整数）組の信号線からなり、前記第２の信号線群は（ｎ＋１）組の信号線からなり、
前記スイッチ部は、前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）組の信号線に対し、前記第２の信号線群の第ｉ組および第（ｉ＋１）組の信号線との間にそれぞれ設けられた２ｋ個のスイッチからなる第ｉのスイッチ群を備えたものであり、
前記スイッチ制御部は、第ｉ段のヒューズ素子の端電位に応じて前記第ｉのスイッチ群の設定を制御するものである
ことを特徴とする信号線切替回路。
【請求項１５】
第１の信号線群の信号線と第２の信号線群の信号線とを、所定の関係に電気的に接続するスイッチ部と、
直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部は、各ヒューズ素子に対して、それぞれ、
当該ヒューズ素子の端電位をラッチするラッチ回路と、
前記ラッチ回路のラッチ電位を初期化する初期化手段とを備え、かつ、

第１段のヒューズ素子に所定電位が与えられ、各ヒューズ素子がいずれも切断されていないときは、各ラッチ回路は第１段のヒューズ素子の端電位に応じた電位をラッチする一方、一のヒューズ素子が切断されているときは、このヒューズ素子よりも前のラッチ回路は第１段のヒューズ素子の端電位に応じた電位をラッチし、切断されたヒューズ素子よりも後のラッチ回路は初期化電位をそのままラッチするものである
信号線切替回路。
【請求項１６】
請求項１５記載の信号線切替回路において、
前記ラッチ回路は、
当該ヒューズ素子と直列に設けられた第１のインバータと、
前記第１のインバータと並列に、かつ、逆向きに設けられた第２のインバータとを有するものである
ことを特徴とする信号線切替回路。
【請求項１７】
請求項１５記載の信号線切替回路において、
前記ラッチ回路は、
当該ヒューズ素子と直列に設けられたインバータと、
前記インバータの出力をゲート入力とし、ドレイン電位が前記インバータの入力となるＮＭＯＳトランジスタとを有するものである
ことを特徴とする信号線切替回路。
【請求項１８】
請求項１５記載の信号線切替回路において、
前記ラッチ回路は、
当該ヒューズ素子の端電位を一方の入力とし、当該信号線切替回路を動作させるか否かを示す選択信号を他方の入力とするＮＯＲゲートと、
前記ＮＯＲゲートの出力をゲート入力とし、ドレイン電位が前記ＮＯＲゲートの一方の入力となるＮＭＯＳトランジスタとを有するものである
ことを特徴とする信号線切替回路。
【請求項１９】
請求項６記載の半導体メモリ装置において、
前記データバス切替回路は、
前記データバスの信号線と前記ビット線との電気的な接続関係を設定するスイッチ部と、
前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部は、
直列に配置され、かつ、それぞれ、一方の電源と出力端との間の電流経路にヒューズ素子が挿入された複数の制御用インバータと、
第１段の制御用インバータの入力に、駆動電位として、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになる所定の電位を与える電位付与手段とを有し、
第２段以降の制御用インバータはそれぞれ、その前段の制御用インバータの出力によって駆動され、かつ、各制御用インバータのヒューズ素子がいずれも切断されていない状態において、第１段の制御用インバータの入力に前記駆動電位が与えられたとき、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになるよう、駆動され、
前記各制御用インバータの出力に応じて、前記スイッチ部の設定を制御するものである
ことを特徴とする半導体メモリ装置。
【請求項２０】
請求項１９記載の半導体メモリ装置において、
前記電位付与手段は、
第１段の制御用インバータの入力に、初期化電位として、ヒューズ素子が挿入されていない側の，他方の電源と出力端との間の電流経路上のＭＯＳトランジスタがオンになる所定の電位を与えるものであり、

前記スイッチ制御部は、各制御用インバータに対して、それぞれ、
第１段の制御用インバータに入力として前記初期化電位が与えられたときの、当該制御用インバータの出力を、その初期化電位として維持する複数のラッチ回路を有するものである
ことを特徴とする半導体メモリ装置。
【請求項２１】
請求項２０記載の半導体メモリ装置において、
前記電位付与手段は、
検査制御信号に応答して、第１段の制御用インバータの入力に、前記駆動電位または初期化電位のいずれかを選択して与えるものである
ことを特徴とする半導体メモリ装置。
【請求項２２】
第１の信号線群の信号線と第２の信号線群の信号線とを、所定の関係に電気的に接続するスイッチ部と、
前記スイッチ部の設定を制御するスイッチ制御部とを備え、
前記スイッチ制御部は、
直列に配置され、かつ、それぞれ、一方の電源と出力端との間の電流経路にヒューズ素子が挿入された複数の制御用インバータと、
第１段の制御用インバータの入力に、駆動電位として、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになる所定の電位を与える電位付与手段とを有し、
第２段以降の制御用インバータはそれぞれ、その前段の制御用インバータの出力によって駆動され、かつ、各制御用インバータのヒューズ素子がいずれも切断されていない状態において、第１段の制御用インバータの入力に前記駆動電位が与えられたとき、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになるよう、駆動され、
前記各制御用インバータの出力に応じて、前記スイッチ部の設定を制御するものである
信号線切替回路。
【請求項２３】
請求項２２記載の信号線切替回路において、
前記第１の信号線群はｎ（ｎは正の整数）本の信号線からなり、前記第２の信号線群は（ｎ＋１）本の信号線からなり、
前記スイッチ部は、前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）の信号線に対し、前記第２の信号線群の第ｉおよび第（ｉ＋１）の信号線との間にそれぞれ設けられた２個のスイッチからなる第ｉのスイッチ群を備えたものであり、
前記スイッチ制御部は、第ｉ段の制御用インバータの出力に応じて前記第ｉのスイッチ群の設定を制御するものである
ことを特徴とする信号線切替回路。
【請求項２４】
請求項２２記載の信号線切替回路において、
前記電位付与手段は、
第１段の制御用インバータの入力に、初期化電位として、ヒューズ素子が挿入されていない側の，他方の電源と出力端との間の電流経路上のＭＯＳトランジスタがオンになる所定の電位を与えるものであり、
前記スイッチ制御部は、各制御用インバータに対して、それぞれ、
第１段の制御用インバータに入力として前記初期化電位が与えられたときの、当該制御用インバータの出力を、その初期化電位として維持する複数のラッチ回路を有するものである
ことを特徴とする信号線切替回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、いわゆる冗長機能、すなわち製造プロセスに起因する不良部分を予め設けていた冗長部分に置換して救済する機能を有する半導体メモリ装置に関する技術に属する。

【０００２】

【従来の技術】

図１０は従来の冗長機能を有する半導体メモリ装置の構成を示す図である（例えば特開平６－１３９７９７号公報参照）。メモリアレイ１０１はデータ保持するメモリセルを複数個有し、冗長メモリ１０２はメモリアレイ１０１に不良があるときその代わりに用いられる冗長メモリセルを有している。

【０００３】

図１０の半導体メモリ装置は次のように動作する。外部からアクセスされたとき、アドレス入力回路１０３は指定アドレスに応じたアドレス信号を出力する。デコーダ回路１０４はアドレス信号をデコードしデータバススイッチ回路１０９にデコード信号として出力する。これとともに冗長ドライバ１０５も信号を発生し、データバススイッチ回路１０９に供給する。データバススイッチ回路１０９はデコード信号に応じて、データ線ＩＯと通常のメモリアレイ１０１における指定アドレスに対応するメモリとを電気的に接続し、また冗長ドライバ１０５の信号出力に応じて冗長メモリアレイ１０２と冗長データ線ＲＩＯとを電気的に接続する。

【０００４】

冗長判定回路１０６には不良メモリセルのアドレスが予めプログラムされている。冗長判定回路１０６はアドレス信号を受けて指定アドレスと不良メモリセルのアドレスとを比較し、一致するときはデータ読み出しアンプ１０８を動作させ、冗長メモリアレイ１０２から読み出したデータをデータ出力回路１１０に出力させる。一致しないときはデータ読み出しアンプ１０７を動作させ、メモリアレイ１０１から読み出したデータをデータ出力回路１１０に出力させる。

【０００５】

このように、外部から入力されたアドレスと予めプログラミングされた不良アドレスとを比較し、不良アドレスにアクセスされたときは余分に備えている冗長メモリアレイのメモリセルにアクセスして不良メモリを救済することにより、半導体メモリ装置の歩留りの向上を実現している。

【０００６】

【発明が解決しようとする課題】

近年、半導体メモリ装置のデータ転送の性能向上を図るべく、多ビット化、すなわち一のアドレス指定によって多数のメモリセルにアクセス可能にする技術が実施されつつある。

【０００７】

多ビット化された半導体メモリ装置において、図１０に示すような従来の冗長機能を用いた構成では、救済効率が悪いという問題がある。例えば１２８ビットの半導体メモリ装置において、あるアドレスに対応する１２８個のメモリセルのうち１個だけが不良であった場合、そのアドレスを冗長判定回路に予めプログラミングして冗長メモリセルと置換して救済するものとすると、不良である１個のメモリセルだけでなく残りの正常な１２７個のメモリセルも冗長メモリセルに置換されてしまう。すなわち、不良である１個のメモリセルを救済するために正常である１２７個のメモリセルが利用不能になり、救済効率がきわめて悪い。

【０００８】

前記の問題に鑑み、本発明は、多ビット化された半導体メモリ装置において、救済効率がきわめて高い冗長機能を実現することを課題とする。

【０００９】

【課題を解決するための手段】

前記の課題を解決するために、請求項１の発明が講じた解決手段は、一のアドレス指定によって多ビットのアクセスが可能な半導体メモリ装置として、各アドレスにそれぞれ対応した複数のメモリセグメントを有するメモリアレイと、データを並列に転送する複数本の

信号線からなり、各メモリセグメントに対応してそれぞれ設けられた複数の第１のデータバスとを備え、前記各メモリセグメントはそれぞれ、メモリサブアレイと、前記メモリサブアレイのビット線とそれぞれ接続されデータを並列に転送する複数本の信号線からなり、かつその本数が前記第１のデータバスよりも多い第２のデータバスと、当該メモリセグメントに対応する前記第１のデータバスの信号線と前記第２のデータバスの信号線とを予め設定された所定の関係に電気的に接続するデータバス切替回路とを備えたものである。

【００１０】

請求項１の発明によると、各アドレスに対応する各メモリセグメントについてそれぞれ、当該メモリセグメントに対応する第１のデータバスの信号線と当該メモリセグメントのメモリサブアレイのビット線と接続された第２のデータバスの信号線との電気的な接続を、データバス切替回路によって、所定の関係に設定することができる。これにより、第２のデータバスの信号線のうち不良に係るビット線と接続されたものを回避してデータ転送を行うことが可能になる。したがって、アドレス単位ではなくビット単位での不良救済が可能になるので、救済効率が極めて高い冗長機能を実現することができる。

【００１１】

そして、請求項２の発明では、前記請求項１の半導体メモリ装置における第２のデータバスは、前記第１のデータバスに対して平行に配置されているものとする。

【００１２】

また、請求項３の発明では、前記請求項１の半導体メモリ装置における各メモリセグメントはそれぞれ前記メモリサブアレイを複数個備えており、各メモリサブアレイのビット線は当該メモリセグメントの前記第２のデータバスの信号線に共通に接続されているものとする。

【００１３】

また、請求項４の発明では、前記請求項１の半導体メモリ装置におけるデータバス切替回路は、前記第１のデータバスの信号線と前記第２のデータバスの信号線との電気的な接続関係を設定するスイッチ部と、直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれ、その前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動されるものとする。

【００１４】

そして、請求項５の発明では、前記請求項４の半導体メモリ装置におけるスイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ、少なくとも、ＭＯＳトランジスタからなるインバータが設けられているものとする。

【００１５】

また、請求項６の発明が講じた解決手段は、一のアドレス指定によって多ビットのアクセスが可能な半導体メモリ装置として、各アドレスにそれぞれ対応した複数のメモリセグメントを有するメモリアレイと、データを並列に転送する複数本の信号線からなり各メモリセグメントに対応してそれぞれ設けられた複数のデータバスとを備え、前記各メモリセグメントはそれぞれ、メモリサブアレイと、当該メモリセグメントに対応する前記データバスの信号線と前記メモリサブアレイのビット線とを予め設定された所定の関係に電気的に接続するデータバス切替回路とを備えたものである。

【００１６】

請求項６の発明によると、各アドレスに対応する各メモリセグメントについてそれぞれ、当該メモリセグメントに対応するデータバスの信号線と当該メモリセグメントのメモリサブアレイのビット線との電気的な接続を、データバス切替回路によって、所定の関係に設定することができる。これにより、不良に係るビット線を回避してデータ転送を行うことが可能になる。したがって、アドレス単位ではなくビット単位での不良救済が可能になるので、救済効率が極めて高い冗長機能を実現することができる。

【００１７】

請求項７の発明では、前記請求項６の半導体メモリ装置におけるメモリサブアレイのビット線は、当該メモリセグメントに対応する前記データバスに平行に配置されているものとする。

【００１８】

請求項８の発明では、前記請求項６の半導体メモリ装置における各メモリセグメントはそれぞれ前記メモリサブアレイを複数個備えており、各メモリサブアレイに対してそれぞれ前記データバス切替回路が設けられているものとする。

【００１９】

請求項９の発明では、前記請求項６の半導体メモリ装置におけるデータバス切替回路は、前記データバスの信号線と前記ビット線との電気的な接続関係を設定するスイッチ部と、直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれその前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動されるものとする。

【００２０】

請求項１０の発明では、前記請求項９の半導体メモリ装置におけるスイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ少なくともＭＯＳトランジスタからなるインバータが設けられているものとする。

【００２１】

また、請求項１１の発明が講じた解決手段は、信号線切替回路として、第１の信号線群の信号線と第２の信号線群の信号線とを、所定の関係に電気的に接続するスイッチ部と、直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、前記スイッチ制御部において、第１段のヒューズ素子は所定電位に応じてＭＯＳトランジスタによって駆動され、第２段以降のヒューズ素子はそれぞれ、その前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動されるものである。

【００２２】

請求項１１の発明によると、スイッチ制御部が有する直列に配置された複数のヒューズ素子は、所定電位またはその前段のヒューズ素子の端電位に応じてＭＯＳトランジスタによって駆動されるので、スイッチ部の設定のために一のヒューズ素子を切断した場合において、その切断が不十分であっても、各ヒューズ素子の端電位が中間電位になったり所望の電位にならなかったりすることがない。したがって、ヒューズ素子の切断が不十分であっても正常に動作するので、信頼性の高い信号線切替回路が実現される。

【００２３】

請求項１２の発明では、前記請求項１１の信号線切替回路におけるスイッチ制御部の隣り合うヒューズ素子同士の間には、それぞれ、少なくとも、ＭＯＳトランジスタからなるインバータが設けられているものとする。

【００２４】

請求項１３の発明では、前記請求項１１の信号線切替回路において、前記第１の信号線群はｎ（ｎは正の整数）本の信号線からなり、前記第２の信号線群は（ｎ＋１）本の信号線からなり、前記スイッチ部は前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）の信号線に対し、前記第２の信号線群の第ｉおよび第（ｉ＋１）の信号線との間にそれぞれ設けられた２個のスイッチからなる第ｉのスイッチ群を備えたものとし、前記スイッチ制御部は、第ｉ段のヒューズ素子の端電位に応じて前記第ｉのスイッチ群の設定を制御するものとする。

【００２５】

請求項１４の発明では、前記請求項１１の信号線切替回路において、前記第１および第２の信号線群はともにｋ（ｋは２以上の整数）本の信号線を組として構成されており、かつ、前記第１の信号線群はｎ（ｎは正の整数）組の信号線からなり、前記第２の信号線群は

（ｎ＋１）組の信号線からなり、前記スイッチ部は前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）組の信号線に対し、前記第２の信号線群の第ｉ組および第（ｉ＋１）組の信号線との間にそれぞれ設けられた２ｋ個のスイッチからなる第ｉのスイッチ群を備えたものとし、前記スイッチ制御部は前記第１の信号線群の各組に対してそれぞれ前記ヒューズ素子が設けられており、第ｉのヒューズ素子の端電位に応じて前記第ｉのスイッチ群の設定を制御するものとする。

【００２６】

また、請求項１５の発明が講じた解決手段は、信号線切替回路として、第１の信号線群の信号線と第２の信号線群の信号線とを所定の関係に電気的に接続するスイッチ部と、直列に配置された複数のヒューズ素子を有し、各ヒューズ素子の端電位に応じて前記スイッチ部の設定を制御するスイッチ制御部とを備え、前記スイッチ制御部は各ヒューズ素子に対してそれぞれ、当該ヒューズ素子の端電位をラッチするラッチ回路と、前記ラッチ回路のラッチ電位を初期化する初期化手段とを備え、かつ、第１段のヒューズ素子に所定電位が与えられ、各ヒューズ素子がいずれも切断されていないときは、各ラッチ回路は第１段のヒューズ素子の端電位に応じた電位をラッチする一方、一のヒューズ素子が切断されているときは、このヒューズ素子よりも前のラッチ回路は第１段のヒューズ素子の端電位に応じた電位をラッチし、切断されたヒューズ素子よりも後のラッチ回路は初期化電位をそのままラッチするものである。

【００２７】

請求項１６の発明では、前記請求項１５の信号線切替回路におけるラッチ回路は、当該ヒューズ素子と直列に設けられた第１のインバータと、前記第１のインバータと並列に、かつ、逆向きに設けられた第２のインバータとを有するものとする。

【００２８】

請求項１７の発明では、前記請求項１５の信号線切替回路におけるラッチ回路は、当該ヒューズ素子と直列に設けられたインバータと、前記インバータの出力をゲート入力とし、ドレイン電位が前記インバータの入力となるＮＭＯＳトランジスタとを有するものとする。

【００２９】

請求項１８の発明では、前記請求項１５の信号線切替回路におけるラッチ回路は、当該ヒューズ素子の端電位を一方の入力とし、当該信号線切替回路を動作させるか否かを示す選択信号を他方の入力とするＮＯＲゲートと、前記ＮＯＲゲートの出力をゲート入力とし、ドレイン電位が前記ＮＯＲゲートの一方の入力となるＮＭＯＳトランジスタとを有するものとする。

【００３０】

請求項１９の発明では、前記請求項６の半導体メモリ装置におけるデータバス切替回路は、前記データバスの信号線と前記ビット線との電気的な接続関係を設定するスイッチ部と、前記スイッチ部の設定を制御するスイッチ制御部とを備えたものとし、前記スイッチ制御部は、直列に配置され、かつ、それぞれ、一方の電源と出力端との間の電流経路にヒューズ素子が挿入された複数の制御用インバータと、第１段の制御用インバータの入力に、駆動電位として、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになる所定の電位を与える電位付与手段とを有し、第２段以降の制御用インバータはそれぞれ、その前段の制御用インバータの出力によって駆動され、かつ、各制御用インバータのヒューズ素子がいずれも切断されていない状態において、第１段の制御用インバータの入力に前記駆動電位が与えられたとき、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになるよう駆動され、前記各制御用インバータの出力に応じて、前記スイッチ部の設定を制御するものとする。

【００３１】

請求項２０の発明では、前記請求項１９の半導体メモリ装置における電位付与手段は、第１段の制御用インバータの入力に、初期化電位として、ヒューズ素子が挿入されていない側の，他方の電源と出力端との間の電流経路上のＭＯＳトランジスタがオンになる所定の

電位を与えるものとし、前記スイッチ制御部は、各制御用インバータに対して、それぞれ、第１段の制御用インバータに入力として前記初期化電位が与えられたときの、当該制御用インバータの出力を、その初期化電位として維持する複数のラッチ回路を有するものとする。

【００３２】

請求項２１の発明では、前記請求項２０の半導体メモリ装置における電位付与手段は、検査制御信号に応答して、第１段の制御用インバータの入力に、前記駆動電位または初期化電位のいずれかを選択して与えるものとする。

【００３３】

また、請求項２２の発明が講じた解決手段は、信号線切替回路として、第１の信号線群の信号線と第２の信号線群の信号線とを、所定の関係に電気的に接続するスイッチ部と、前記スイッチ部の設定を制御するスイッチ制御部とを備えたものであり、前記スイッチ制御部は、直列に配置され、かつ、それぞれ、一方の電源と出力端との間の電流経路にヒューズ素子が挿入された複数の制御用インバータと、第１段の制御用インバータの入力に、駆動電位として、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになる所定の電位を与える電位付与手段とを有し、第２段以降の制御用インバータはそれぞれ、その前段の制御用インバータの出力によって駆動され、かつ、各制御用インバータのヒューズ素子がいずれも切断されていない状態において、第１段の制御用インバータの入力に前記駆動電位が与えられたとき、ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタがオンになるよう駆動され、前記各制御用インバータの出力に応じて前記スイッチ部の設定を制御するものである。

【００３４】

請求項２３の発明では、前記請求項２２の信号線切替回路において、前記第１の信号線群はｎ（ｎは正の整数）本の信号線からなり、前記第２の信号線群は（ｎ＋１）本の信号線からなり、前記スイッチ部は、前記第１の信号線群の第ｉ（ｉは整数：１≦ｉ≦ｎ）の信号線に対し、前記第２の信号線群の第ｉおよび第（ｉ＋１）の信号線との間にそれぞれ設けられた２個のスイッチからなる第ｉのスイッチ群を備えたものとし、前記スイッチ制御部は、第ｉ段の制御用インバータの出力に応じて前記第ｉのスイッチ群の設定を制御するものとする。

【００３５】

請求項２４の発明では、前記請求項２２の信号線切替回路において、前記電位付与手段は、第１段の制御用インバータの入力に、初期化電位として、ヒューズ素子が挿入されていない側の，他方の電源と出力端との間の電流経路上のＭＯＳトランジスタがオンになる所定の電位を与えるものとし、前記スイッチ制御部は、各制御用インバータに対して、それぞれ、第１段の制御用インバータに入力として前記初期化電位が与えられたときの、当該制御用インバータの出力を、その初期化電位として維持する複数のラッチ回路を有するものとする。

【００３６】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【００３７】

図１は本発明の一実施形態に係る半導体メモリ装置の構成を示す図である。図１において、１はデータを保持するメモリアレイ、２は外部から入力されたアドレスに応じて装置内部にアドレス信号を供給するアドレス入力回路、３はアドレス信号をプリデコードし、メモリアレイ１にプリデコード信号を供給するプリデコーダ回路、４はメモリアレイ１と外部との間のデータ転送を行うデータ入出力回路である。図１の半導体メモリ装置は、内部データバスＩＯのビット幅を１２８としており（各図においてバスのビット幅を［１２８：１］のように示すものとする）、一のアドレス指定によって１２８ビットのアクセスが可能である。

【００３８】

メモリアレイ１は各アドレスにそれぞれ対応した複数（図１では４個）のメモリセグメント１１と、各メモリセグメント１１にそれぞれ接続された複数の第１のデータバスとしてのデータバスＤＱｎ（ｎ＝１～４）と、データバスＤＱｎの中からプリデコード信号によって指定されたメモリセグメント１１に対応するデータバスを選択して、内部データバスＩＯに接続するデータバスマルチプレクサ１２とを備えている。

【００３９】

各メモリセグメント１１はそれぞれ、複数個のメモリセルからなるメモリサブアレイ１３（ＭＳＡｉ１～ＭＳＡｉ４：ｉ＝１～４）を複数（図１では４個）備えており、さらに各メモリサブアレイ１３に対してプリデコード信号を受けてメモリサブアレイ１３内の特定のワード線を選択するデコーダ１４をそれぞれ備えている。各メモリセグメント１１において、各メモリサブアレイ１３のビット線は第２のデータバスとしてのデータバスＤＱＡｎ（ｎ＝１～４）に共通に接続されている。そしてデータバス切替回路２１は、データバスＤＱｎの各信号線とデータバスＤＱＡｎの各信号線とを予め設定された所定の関係に電気的に接続する。データバスＤＱＡｎのビット幅はデータバスＤＱｎよりも１だけ多い１２９ビットである。

【００４０】

図２はメモリサブアレイ１３（ＭＳＡ１１～ＭＳＡ１４）の内部構成を示す図である。図２において、ＷＬｎ（ｎ＝１～１２８）はデコーダ１４によって選択されるワード線、ＢＬｎ（ｎ＝１～１２９）はメモリセルＭＣのデータ転送を行うビット線である。各メモリセルＭＣはそれぞれ１本のワード線と１本のビット線とに接続されている。各ワード線ＷＬｎにはそれぞれ１２９個のメモリセルＭＣが接続されており、これらのメモリセルＭＣはそれぞれビット線ＢＬｎを介してアクセス可能である。各ビット線ＢＬｎはそれぞれデータバス信号線ＤＱＡ１（ｎ）（ｎ＝１～１２９）に接続されている。

【００４１】

図１の半導体メモリ装置の動作について説明する。ここでは、入力アドレスが０であり、プリデコーダ回路３およびデコーダ１４によって、メモリサブアレイＭＳＡ１１のワード線ＷＬ１が活性化するものとする。

【００４２】

メモリサブアレイＭＳＡ１１を有するメモリセグメント１１内にメモリセルまたはビット線の不良がないときは、データバス切替回路２１によって、データバス信号線ＤＱ１［１２８：１］とデータバス信号線ＤＱＡ１［１２８：１］とがそれぞれ接続される。このとき、データバス信号線ＤＱＡ１（１２９）はデータバスＤＱ１に接続されない。さらに、データバスＤＱ１はデータバスマルチプレクサ１２を介して内部データバスＩＯと接続される。

【００４３】

これにより、ワード線ＷＬ１に接続された１２９個のメモリセルＭＣのうち、データバス信号線ＤＱＡ１（１２９）にビット線ＢＬ１２９を介して接続されたメモリセルＭＣを除く１２８個のメモリセルＭＣのアクセスが可能になる。

【００４４】

一方、メモリサブアレイＭＳＡ１１を有するメモリセグメント１１内にメモリセルまたはビット線の不良があるときは、不良個所がアクセスされないように、あらかじめ製品検査時にデータバス切替回路２１をプログラムしておく。例えばメモリサブアレイＭＳＡ１１のビット線ＢＬ３またはこれに接続されたメモリセルＭＣに不良があるときは、データバス信号線ＤＱ１［２：１］とデータバス信号線ＤＱＡ１［２：１］とがそれぞれ接続され、かつ、データバス信号線ＤＱ１［１２８：３］とデータバス信号線ＤＱＡ１［１２９：４］とがそれぞれ接続されるように、データバス切替回路２１を設定する。

【００４５】

これにより、データバス信号線ＤＱＡ１（３）とこれに接続された不良ビット線ＢＬ３にはデータバスＤＱ１は接続されないことになり、したがって不良箇所はアクセスされないで、ワード線ＷＬ１に接続された１２９個のメモリセルＭＣのうち、ビット線ＢＬ３に接

続されたメモリセルＭＣを除く１２８個のメモリセルＭＣがアクセスされることになる。
【００４６】
このように、各メモリサブアレイ１３に、同時にアクセス可能なビット数よりも本数が多いビット線とこれらに接続されたメモリセルとを設けておき、予めプログラムされたデータバス切替回路２１によりデータバスとビット線との対応をシフトさせることによって、不良箇所へのアクセスを回避することができる。これにより、不良半導体メモリ装置を救済することが可能になる。
【００４７】
また本実施形態では従来よりも効率良く不良半導体メモリ装置を救済することができる。従来のように、不良があったときにアドレス単位の置換を行う場合には、不良を含み、かつ一のアドレス指定によって同時にアクセスされる全メモリセルが置換される。例えば図１の構成では、メモリセグメント１１を１個余分に設けて、不良を有するメモリセグメント１１をまとめて置換することになる。この場合、１ビットの不良を救済するためにメモリセグメントを１個余分に設ける必要があるので、メモリアレイ１の面積が数１０％も増大することになり、救済効率が非常に悪い。
【００４８】
本実施形態ではメモリサブアレイ１３のビット線の本数を同時にアクセス可能なビット数よりも１多い数にするだけでよいので、例えば１２８ビットアクセスの場合には、各メモリサブアレイ１３の面積増加率はわずか約０．８％（１／１２８）にとどまり、きわめて効率の良い救済が実現できる。
【００４９】
なお本実施形態では、一のアドレス指定によってアクセス可能なビット数を１２８とし、メモリセグメント１１内のデータバスＤＱＡｎのビット幅をそのビット数よりも１多い１２９としたが、本発明はこれに限られるものではない。一のアドレス指定によってアクセス可能なビット数は例えば６４，２５６，１０２４などであってもよい。またメモリセグメント１１内のデータバスＤＱＡｎのビット幅は、アクセス可能なビット数よりも２，３またはこれ以上多い本数であってもかまわない。
【００５０】
図３は図１の半導体メモリ装置のメモリセグメント１１の他の構成例を示す図である。図３に示すメモリセグメント１１Ａは図１のメモリアレイ１における１列めのメモリセグメント１１に対応する。図３のメモリセグメント１１Ａは４個のメモリサブアレイ１３（ＭＳＡ１１～ＭＳＡ１４）と、各メモリサブアレイ１３に設けられた４個のデコーダ１４とを備え、さらに各メモリサブアレイ１３に対して設けられ、データバスＤＱ１の各信号線とメモリサブアレイ１３のビット線ＢＬとを予め設定された所定の関係に電気的に接続するデータバス切替回路２２を備えている。
【００５１】
図１の半導体メモリ装置が図１に示すメモリセグメント１１の代わりに図３のメモリセグメント１１Ａを備えた場合の動作について説明する。ここでも、入力アドレスが０であり、プリデコーダ回路３およびデコーダ１４によってメモリサブアレイＭＳＡ１１のワード線ＷＬ１が活性化するものとする。
【００５２】
メモリサブアレイＭＳＡ１１にメモリセルまたはビット線の不良がないときは、メモリサブアレイＭＳＡ１１に対応するデータバス切替回路２２によって、データバス信号線ＤＱ１［１２８：１］とメモリサブアレイＭＳＡ１１のビット線ＢＬ［１２８：１］とがそれぞれ接続され、ビット線ＢＬ１２９はデータバスＤＱ１と接続されない。接続されたビット線ＢＬ［１２８：１］を介して１２８個のメモリセルＭＣのアクセスが可能になる。
【００５３】
一方、メモリサブアレイＭＳＡ１１にメモリセルまたはビット線の不良があるとき、例えばメモリサブアレイＭＳＡ１１のビット線ＢＬ３またはこれに接続されたメモリセルＭＣに不良があるときは、メモリサブアレイＭＳＡ１１に対応するデータバス切替回路２２を

予め製品検査時にプログラムすることによって、データバス信号線ＤＱ１［２：１］をそれぞれビット線ＢＬ［２：１］に、データバス信号線ＤＱ１［１２８：３］をそれぞれビット線ＢＬ［１２９：４］に接続するように設定する。

【００５４】

これにより、不良ビット線ＢＬ３はデータバスＤＱ１に接続されないこととなり、したがって不良箇所はアクセスされないで、ワード線ＷＬ１に接続された１２９個のメモリセルＭＣのうち、ビット線ＢＬ３に接続された１個のメモリセルＭＣを除く１２８個のメモリセルＭＣがアクセスされることになる。

【００５５】

図４はデータバス切替回路２２によるデータバスＤＱ１とビット線ＢＬとの接続関係の切替を模式的に示す図である。同図中、（ａ）は不良がない場合を示しており、データバス切替回路２２によって、データバス信号線ＤＱ１（１）～ＤＱ（４）はそれぞれビット線ＢＬ１～ＢＬ４と接続されている。また（ｂ）はビット線ＢＬ３またはこれに接続されたメモリセルに不良がある場合を示しており、データバス切替回路２２によって、データバス信号線ＤＱ１（１），ＤＱ１（２）とビット線ＢＬ１，ＢＬ２とが接続されるとともに、データバス信号線ＤＱ１（３），ＤＱ（４）とビット線ＢＬ４，ＢＬ５とが接続され、不良に係るビット線ＢＬ３へのアクセスが回避されている。

【００５６】

図３のようにメモリサブアレイ１３毎にデータバス切替回路２２を設けることによって、不良の救済をメモリサブアレイ１３毎に行うことが可能になる。

【００５７】

すなわち図１の構成では、データバス切替回路２１は各メモリセグメント１１に１個ずつしか設けられていないので、一のメモリセグメント１１において複数のメモリサブアレイ１３で番号の異なるビット線に係る不良がある場合、これを全て救済することができない。図１の構成によって救済可能なのは、一のメモリサブアレイ１３における１個の不良、または複数のメモリサブアレイ１３における同一番号のビット線に係る不良のみである。

【００５８】

これに対して図３の構成では、メモリサブアレイ１３毎にデータバス切替回路２２が設けられており、メモリサブアレイ毎にデータバスＤＱｎとビット線ＢＬとの接続関係を設定することができる。このため、一のメモリセグメント１１において複数のメモリサブアレイ１３で番号の異なるビット線に係る不良がある場合であっても、その救済が可能である。

【００５９】

なお本実施形態において、ビット線ＢＬ１２９またはこれに接続されたメモリセルＭＣに不良がある場合には、データバスＤＱｎとデータバスＤＱＡｎまたはデータバスＤＱｎとビット線ＢＬとを、不良がない場合と同様に接続すればよいことはいうまでもない。

【００６０】

次に本実施形態に係るデータバス切替回路２１，２２の具体的な構成について説明する。

【００６１】

図５は本実施形態に係る信号線切替回路としてのデータバス切替回路の具体的な構成例を示す図である。図５は図３のデータバス切替回路２２として用いるものとして、第１の信号線群としての４本の信号線からなるデータバスＤＱと第２の信号線群としての５本のビット線ＢＬとを電気的に接続する構成としている。

【００６２】

図５において、５は４本のデータバス信号線ＤＱ（１）～ＤＱ（４）と５本のビット線ＢＬ１～ＢＬ５との電気的な接続関係を設定するスイッチ部、６は直列に配置されたヒューズ素子３２，４２，５２，６２を有し、各ヒューズ素子の端電位に応じてスイッチ部５の設定を制御するスイッチ制御部である。

【００６３】

スイッチ制御部６はヒューズ素子３２に対して、並列かつ逆向きに接続された２個のイン

バータ３３，３４からなりこのヒューズ素子３２の端電位をラッチするラッチ回路３５と、ゲートにリセット信号Ｒｅｓｅｔを受けてラッチ回路３５のラッチ電位を“Ｌ”に初期化する初期化手段としてのＮＭＯＳトランジスタ３６とを備えている。ヒューズ素子３２には接地電位を入力とするインバータ３１の出力すなわち“Ｈ”が所定電位として与えられる。

【００６４】

同様にヒューズ素子４２，５２，６２に対しても、ラッチ回路４５，５５，６５とＮＭＯＳトランジスタ４６，５６，６６とを備えている。ヒューズ素子４２，５２，６２はその前段のラッチ回路３５，４５，５５とインバータ４１，５１，６１を介して接続されている。

【００６５】

スイッチ部５は、データバス信号線ＤＱ（１）に対し、ビット線ＢＬ１およびＢＬ２との間に第１のスイッチ群を構成するスイッチとしてＮＭＯＳトランジスタ３７ａ，３７ｂを備えている。ＮＭＯＳトランジスタ３７ａ，３７ｂはラッチ回路３５のラッチ電位を受けてデータバス信号線ＤＱ（１）とビット線ＢＬ１，ＢＬ２との電気的な接続状態を設定する。ラッチ回路３５の入力側の電位すなわちヒューズ素子３２の端電位としてラッチする電位が“Ｈ”のときはＮＭＯＳトランジスタ３７ａがオン状態になる。またこのときラッチ回路３５の出力側の電位は“Ｌ”になるのでＮＭＯＳトランジスタ３７ｂがオフ状態になる。これにより、データバス信号線ＤＱ（１）はビット線ＢＬ１に電気的に接続され、ビット線ＢＬ２には電気的に接続されない。一方、ラッチ回路３５の入力側の電位が“Ｌ”のときはＮＭＯＳトランジスタ３７ａがオフ状態、ＮＭＯＳトランジスタ３７ｂがオン状態になり、これにより、データバス信号線ＤＱ（１）はビット線ＢＬ２に電気的に接続され、ビット線ＢＬ１には電気的に接続されない。

【００６６】

同様に、スイッチ部５は、データバス信号線ＤＱ（２）に対して、ビット線ＢＬ２およびＢＬ３との間に第２のスイッチ群を構成するスイッチとしてＮＭＯＳトランジスタ４７ａ，４７ｂを備え、データバス信号線ＤＱ（３）に対して、ビット線ＢＬ３およびＢＬ４との間に第３のスイッチ群を構成するスイッチとしてＮＭＯＳトランジスタ５７ａ，５７ｂを備え、データバス信号線ＤＱ（４）に対して、ビット線ＢＬ４およびＢＬ５との間に第４のスイッチ群を構成するスイッチとしてＮＭＯＳトランジスタ５７ａ，５７ｂを備えている。

【００６７】

また３８，４８，５８，６８は選択されたメモリサブアレイのビット線をデータバスに接続するスイッチとしてのＮＭＯＳトランジスタであり、そのゲートにはサブアレイを選択する信号ＢＬＫが印加される。

【００６８】

図５に示すデータバス切替回路の動作について説明する。

【００６９】

まず、電源投入時に、リセット信号Ｒｅｓｅｔを“Ｈ”にし、初期化手段としてのＮＭＯＳトランジスタ３６，４６，５６，６６をオン状態にする。これにより、各ラッチ回路３５，４５，５５，６５の入力側のラッチ電位は一旦“Ｌ”に初期化される。

【００７０】

ビット線ＢＬ１～ＢＬ４またはこれらに接続されたメモリセルに不良がないときは、各ヒューズ素子３２，４２，５２，６２は切断されないで、データバス切替回路はそのままの状態で使用される。この結果、各ラッチ回路３５，４５，５５，６５は、初期化されたラッチ電位にかかわらず、インバータ３１，４１，５１，６１の出力で決まる信号をそれぞれラッチする。インバータ３１は接地電位を入力とするのでその出力は“Ｈ”になり、これによりラッチ回路３５の入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる。インバータ４１はラッチ回路３５の出力すなわち“Ｌ”を入力とするのでその出力は“Ｈ”になり、これによりラッチ回路４５の入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる。

同様にラッチ回路５５，６５の入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる。

【００７１】

この結果、ＮＭＯＳトランジスタ３７ａ，４７ａ，５７ａ，６７ａはオン状態になる一方、ＮＭＯＳトランジスタ３７ｂ，４７ｂ，５７ｂ，６７ｂはオフ状態になる。この状態により、データバスＤＱ（１）～ＤＱ（４）とビット線ＢＬ１～ＢＬ４とが電気的に接続される。

【００７２】

一方、ビット線ＢＬ１～ＢＬ４またはこれらに接続されたメモリセルに不良があるときは、各ヒューズ素子３２，４２，５２，６２のいずれかを切断する。いま、仮にビット線ＢＬ３またはこれに接続されたメモリセルに不良があるとすると、ヒューズ素子５２をレーザー照射等によって切断する。

【００７３】

ヒューズ素子５２が切断されたことにより、インバータ５１の出力信号はヒューズ素子５２よりも後のラッチ回路５５，６５に伝達されない。したがって、ラッチ回路５５，６５は初期化されたときの電位をそのままラッチする。すなわち、切断されたヒューズ素子５２よりも前のラッチ回路３５，４５の入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる一方、それよりも後のラッチ回路５５，６５の入力側の電位は“Ｌ”、出力側の電位は“Ｈ”になる。

【００７４】

この結果、ＮＭＯＳトランジスタ３７ａ，４７ａとＮＭＯＳトランジスタ５７ｂ，６７ｂとがオン状態になる一方、ＮＭＯＳトランジスタ３７ｂ，４７ｂとＮＭＯＳトランジスタ５７ａ，６７ａとがオフ状態になる。この状態により、データバス信号線ＤＱ（１）～ＤＱ（４）とビット線ＢＬ１，ＢＬ２およびＢＬ４，ＢＬ５とが接続され、不良ビット線ＢＬ３はデータバス信号線ＤＱ（１）～ＤＱ（４）のいずれにも接続されず、その代わりに冗長ビット線ＢＬ５がデータバス信号線ＤＱ（４）に接続される。これにより、不良半導体メモリ装置を救済することが可能となる。

【００７５】

従来、このようなデータバス切替回路としては、電源とグランドとの間に複数のヒューズ素子を直列に接続する構成が一般的であった（例えば特開平５－３３４８９８号公報の図１２参照）。

【００７６】

ところが実際の検査工程では、ヒューズ素子の切断の際に、レーザー照射装置の焦点ズレやビーム弱などの不具合に起因してその切断が不十分になる場合がある。この場合、切断したヒューズ素子はその切断が不十分なため高抵抗素子になり、従来の構成では、これよりも後のノードは電源と切り離されないで、高抵抗値のヒューズ素子を介して電源と接続された状態になる。このため、切断したヒューズ素子よりも後のノードの電位は本来は論理が反転すべきところ、ヒューズ素子の切断が不十分なために中間電位になったりあるいは電源に近い箇所では電源電位のままになったりしてしまう。このため、従来の構成では、ヒューズ素子の切断が不十分な場合に正常なスイッチ動作が実現できない。

【００７７】

これに対して図５の構成では、各ヒューズ素子３２，４２，５２，６２は電源に対して従来のように直接ではなくインバータを介して接続されており、インバータを構成するＭＯＳトランジスタによって、第１段のヒューズ素子３２は接地電位に応じて、第２段以降のヒューズ素子４２，５２，６２はその前段のヒューズ素子の端電位に応じて駆動されている。このため、もしヒューズ素子の切断がレーザーの焦点不良などに起因して不十分である場合であっても、図５のデータバス切替回路は正常に動作する。

【００７８】

例えばヒューズ素子５２を切断した場合において、その切断が不十分なときは、ＮＭＯＳトランジスタ５７ａのゲートは、切断が不十分なヒューズ素子５２とインバータ５１を構成する電源側トランジスタとを介して電源に接続されるとともに、インバータ５４を構成

する接地側トランジスタを介してグランドに接続される。このとき、切断が不十分なヒューズ素子５２はきわめて高抵抗であるので、ＮＭＯＳトランジスタ５７ａのゲート電位はグランド側に引かれ“Ｌ”になる。すなわち、ラッチ回路５５は入力側の電位として“Ｌ”すなわち正常な信号のラッチを行う。

【００７９】

また、ヒューズ素子同士の間にインバータを介することによって、電源からのインピーダンスがヒューズ素子の配置位置に応じて異なることがないので、信頼度の高いデータバス切替回路を実現することができる。

【００８０】

図６は図５のデータバス切替回路の変形例を示す回路図である。図６において、図５と共通の構成要素には図５と同一の符号を付している。図５の構成と異なるのは、スイッチ制御部６Ａにおいて、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａがインバータとｎｍｏｓトランジスタとによって構成されている点である。例えば第１段のラッチ回路３５Ａはヒューズ素子３２と直列に設けられたインバータ３３と、インバータ３３の出力をゲート入力とし、ドレイン電位がインバータ３３の入力となるＮＭＯＳトランジスタ３４Ａとからなる。

【００８１】

図６のデータバス切替回路の動作は基本的には図５のデータバス切替回路と同様である。すなわち、ヒューズ素子３２，４２，５２，６２がいずれも切断されていないときは、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａは初期化されたラッチ電位にかかわらず、入力側の電位として“Ｈ”をラッチする。この結果、ＮＭＯＳトランジスタ３７ａ，４７ａ，５７ａ，６７ａはオン状態になる一方、ＮＭＯＳトランジスタ３７ｂ，４７ｂ，５７ｂ，６７ｂはオフ状態になり、データバスＤＱ（１）～ＤＱ（４）とビット線ＢＬ１～ＢＬ４とが電気的に接続される。

【００８２】

一方、あるヒューズ素子が切断されると、このヒューズ素子よりも前のラッチ回路は入力側の電位として“Ｈ”をラッチする一方、それよりも後のラッチ回路は入力側の電位として“Ｌ”をラッチする。例えばヒューズ素子５２を切断したとすると、ラッチ回路３５Ａ，４５Ａの入力側の電位は“Ｈ”、ラッチ回路５５Ａ，６５Ａの入力側の電位は“Ｌ”になる。この結果、ＮＭＯＳトランジスタ３７ａ，４７ａとＮＭＯＳトランジスタ５７ｂ，６７ｂとがオン状態になる一方、ＮＭＯＳトランジスタ３７ｂ，４７ｂとＮＭＯＳトランジスタ５７ａ，６７ａとがオフ状態になり、データバス信号線ＤＱ（１）～ＤＱ（４）とビット線ＢＬ１，ＢＬ２およびＢＬ４，ＢＬ５とが接続される。

【００８３】

図６の構成によると、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａにおいてトランジスタ素子を１個ずつ削減することができるので、レイアウトの効率化を図ることができる。

【００８４】

図７は図６のデータバス切替回路の変形例を示す回路図である。図７において、図６と共通の構成要素には図６と同一の符号を付している。図６の構成と異なるのは、データバスＤＱおよびビット線ＢＬはともに２本の信号線を組として構成されており、スイッチ部５Ａにおいて、４組のデータバス信号線ＤＱ（１ａ），ＤＱ（１ｂ）～ＤＱ（４ａ），ＤＱ（４ｂ）と５組のビット線ＢＬ１ａ，ＢＬ１ｂ～ＢＬ５ａ，ＢＬ５ｂとの間の電気的な接続状態を組単位で設定する点である。すなわち、１組すなわち２本のデータバス信号線ＤＱに対し、２組すなわち４本のビット線ＢＬとの電気的な接続状態を設定するためにスイッチとしてのＮＭＯＳトランジスタを４個ずつ設けている。

【００８５】

例えばデータバス信号線ＤＱ（１ａ），ＤＱ（１ｂ）に対し、ビット線ＢＬ１ａ，ＢＬ１ｂおよびＢＬ２ａ，ＢＬ２ｂとの間に第１のスイッチ群を構成するスイッチとしてＮＭＯＳトランジスタ３７ａ，３７ｂ，３７ｃ，３７ｄが設けられている。ラッチ回路３５Ａの入力側電位はデータバス信号線ＤＱ（１ａ）とビット線ＢＬ１ａとの間に設けられたＮＭ

ＯＳトランジスタ３７ａ、およびデータバス信号線ＤＱ（１ｂ）とビット線ＢＬ１ｂとの間に設けられたＮＭＯＳトランジスタ３７ｃのゲートにそれぞれ印加され、一方、その出力側電位はデータバス信号線ＤＱ（１ａ）とビット線ＢＬ２ａとの間に設けられたＮＭＯＳトランジスタ３７ｂ、およびデータバス信号線ＤＱ（１ｂ）とビット線ＢＬ２ｂとの間に設けられたＮＭＯＳトランジスタ３７ｄのゲートにそれぞれ印加される。

【００８６】

これにより、ラッチ回路３５Ａの入力側電位が“Ｈ”、出力側電位が“Ｌ”のときは、データバス信号線ＤＱ（１ａ），ＤＱ（１ｂ）とビット線ＢＬ１ａ，ＢＬ１ｂとがそれぞれ接続される。一方、ラッチ回路３５Ａの入力側電位が“Ｌ”、出力側電位が“Ｈ”のときは、データバスＤＱ（１ａ），ＤＱ（１ｂ）とビット線ＢＬ２ａ，２ｂとがそれぞれ接続される。

【００８７】

図７の構成によって、不良に対する救済効率は若干悪くなるものの、データバスＤＱの１組すなわち２本の信号線につきヒューズ素子を１個設けるだけでよいため、ヒューズ素子の個数がデータバス信号線の本数の半分ですみ、効率の良いデータバス切替回路を実現することができる。

【００８８】

なお図７の構成では、データバスＤＱおよびビット線ＢＬの接続切替を２本１組として行うものとしたが、３本またはこれ以上の本数を１組として接続切替を行うように構成してもかまわない。また、図５の構成において、スイッチ部５を図７のスイッチ部５Ａのように構成してもよい。

【００８９】

図８は図６のデータバス切替回路の他の変形例を示す回路図である。図８において、図６と共通の構成要素には図６と同一の符号を付している。図６と異なるのは、メモリサブアレイ選択と冗長切替とを１つのスイッチによって実現している点である。すなわちスイッチ制御部６Ｂにおいて、図６のスイッチ制御部６Ａを構成する各インバータ３１，３３，４１，４３，５１，５３，６１，６３がそれぞれ、メモリサブアレイ選択に応じて当該回路を動作させるか否かを示す選択信号ＢＬＫＸを一方の入力とするＮＯＲゲート３１Ａ，３３Ａ，４１Ａ，４３Ａ，５１Ａ，５３Ａ，６１Ａ，６３Ａに置き換えられている。またこれにより、メモリサブアレイの選択を行うためのＮＭＯＳトランジスタ３８，４８，５８，６８が省かれている。

【００９０】

信号ＢＬＫＸが“Ｈ”のときは各ＮＯＲゲート３１Ａ，３３Ａ，４１Ａ，４３Ａ，５１Ａ，５３Ａ，６１Ａ，６３Ａの出力は“Ｌ”になる。一方、信号ＢＬＫＸが“Ｌ”のときはＮＯＲゲート３１Ａ，３３Ａ，４１Ａ，４３Ａ，５１Ａ，５３Ａ，６１Ａ，６３Ａはインバータと同様に動作する。したがって、図６の構成における信号ＢＬＫと同様に、信号ＢＬＫＸによってメモリサブアレイの選択を行うことができる。これにより、データバスＤＱとビット線ＢＬとの間に介在するスイッチを１個ずつ削減することができ、データバスＤＱのインピーダンスが削減されるので、アクセスの高速化が実現される。なお図８の構成では、リセット信号Ｒｅｓｅｔの入力を、電源投入時でなく信号ＢＬＫＸが確定した後に行うことによって、データバス切替動作を正常に実現することができる。

【００９１】

なお、図５の構成において、スイッチ制御部６を図８のスイッチ制御部６Ｂのように構成し、スイッチ部５を図８のスイッチ部５Ｂのように構成してもよい。

【００９２】

図９は図６のデータバス切替回路の変形例を示す回路図である。図９において、図６と共通の構成要素には図６と同一の符号を付している。

【００９３】

図６の構成と異なるのは、スイッチ制御部６Ｃにおいて、各ヒューズ素子３２Ａ，４２Ａ，５２Ａ，６２Ａがそれぞれ、直列に配置された第１段～第４段の制御用インバータ３１

Ｂ，４１Ｂ，５１Ｂ，６１Ｂを構成するＰＭＯＳトランジスタ３１ｂ，４１ｂ，５１ｂ，６１ｂのソースと電源との間に挿入されており、かつ、各制御用インバータ３１Ｂ，４１Ｂ，５１Ｂ，６１Ｂの出力がそれぞれ、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａに直接入力される点である。

【００９４】

また、７１は反転リセット信号／Ｒｅｓｅｔが非活性（“Ｈ”）のとき、第１段の制御用インバータ３１Ｂの入力を駆動電位としての“Ｌ”に設定する駆動電位付与手段としてのプルダウン抵抗、７２はゲートに反転リセット信号／Ｒｅｓｅｔを受け、この反転リセット信号／Ｒｅｓｅｔが活性（“Ｌ”）のとき、第１段の制御用インバータ３１Ｂの入力に初期化電位としての“Ｈ”を与える初期化手段としてのＰＭＯＳトランジスタである。図９の構成では、ＰＭＯＳトランジスタ７２からなる初期化手段は、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａ毎ではなく、第１段の制御用インバータ３１Ｂの入力側にのみ設けられている。

【００９５】

さらに、７３は検査制御信号／Ｔｅｓｔを受け、この検査制御信号が“Ｌ”のとき、第１段の制御用インバータ３１Ｂの入力に“Ｈ”を与えるＰＭＯＳトランジスタである。検査制御信号が“Ｈ”のときは、第１段の制御用インバータ３１Ｂの入力にはプルダウン抵抗７１によって“Ｌ”が与えられる。プルダウン抵抗７１およびＰＭＯＳトランジスタ７２，７３によって、電位付与手段７０が構成されている。

【００９６】

図９に示すデータバス切替回路の動作について説明する。

【００９７】

まず電源投入時に、反転リセット信号／Ｒｅｓｅｔを“Ｌ”にし、ＰＭＯＳトランジスタ７２をオン状態にする。これにより、第１段の制御用インバータ３１Ｂの入力に初期化電位としての“Ｈ”が与えられ、グランド側にあるＮＭＯＳトランジスタ３１ａがオンになるとともに電源側にあるＰＭＯＳトランジスタ３１ｂがオフになる。ヒューズ素子３２ＡはＰＭＯＳトランジスタ３１ｂと電源との間に挿入されているので、このヒューズ素子３２Ａが切断されているか否かにかかわらず、第１段の制御用インバータ３１Ｂの出力は一旦“Ｌ”に初期化される。

【００９８】

この第１段の制御用インバータ３１Ｂの出力“Ｌ”によって、インバータ３３を介して、第２段の制御用インバータ４１Ｂが駆動され、その出力も一旦“Ｌ”に初期化される。同様にして、第３段および第４段の制御用インバータ５１Ｂ，６１Ｂの出力も、それぞれ一旦“Ｌ”に初期化される。

【００９９】

次に、反転リセット信号／Ｒｅｓｅｔを“Ｈ”にし、ＰＭＯＳトランジスタ７２をオフ状態にする。これにより、第１段の制御用インバータ３１Ｂの入力には、プルダウン抵抗７１により、駆動電位としての“Ｌ”が与えられる。

【０１００】

ここで、ビット線ＢＬ１～ＢＬ４またはこれらに接続されたメモリセルに不良がないときは、各ヒューズ素子３２Ａ，４２Ａ，５２Ａ，６２Ａは切断されないで、図９に示すデータバス切替回路はそのままの状態で用いられる。この場合、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａは、初期化されたラッチ電位にかかわらず、各制御用インバータ３１Ｂ，４１Ｂ，５１Ｂおよび６１Ｂの出力で決まる信号を、それぞれラッチする。

【０１０１】

第１段の制御用インバータ３１Ｂの出力は“Ｈ”になり、これによりラッチ回路３５Ａの入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる。第２段の制御用インバータ４１Ｂはラッチ回路３５Ａの出力すなわち“Ｌ”を入力とするのでその出力は“Ｈ”になり、これにより、ラッチ回路４５Ａの入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる。同様に、ラッチ回路５５Ａ，６５Ａの入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる

。
【０１０２】
この結果、スイッチ部５では、ＮＭＯＳトランジスタ３７ａ，４７ａ，５７ａ，６７ａがオン状態になり、データバスＤＱ（１）～ＤＱ（４）とビット線ＢＬ１～ＢＬ４とが電気的に接続される。
【０１０３】
一方、ビット線ＢＬ１～ＢＬ４またはこれらに接続されたメモリセルに不良があるときには、各ヒューズ素子３２Ａ，４２Ａ，５２Ａ，６２Ａのいずれかを切断する。いま、仮に、ビット線ＢＬ３またはこれに接続されたメモリセルに不良があり、ヒューズ素子５２Ａを切断するものとする。
【０１０４】
ヒューズ素子５２Ａが切断されたことにより、第３段の制御用インバータ５１Ｂでは、電源側にあるＰＭＯＳトランジスタ５１ｂのソースが電源から切り離され、電源と出力端との電流経路が遮断される、このため、第３の制御用インバータ５１Ｂは、入力が“Ｌ”になっても出力は“Ｈ”にはならず、ラッチ回路５５Ａの入力側の電位は“Ｌ”、出力側の電位は“Ｈ”のままになる。すなわち、切断されたヒューズ素子５２Ａを含む第３段の制御用インバータ５１Ｂよりも前のラッチ回路３５Ａ，４５Ａの入力側の電位は“Ｈ”、出力側の電位は“Ｌ”になる一方、これよりも後のラッチ回路５５Ａ，６５Ａの入力側の電位は“Ｌ”、出力側の電位は“Ｈ”になる。
【０１０５】
この結果、スイッチ部５では、ＮＭＯＳトランジスタ３７ａ，４７ａとＮＭＯＳトランジスタ５７ｂ，６７ｂとがオン状態になり、データバス信号線ＤＱ（１）～ＤＱ（４）とビット線ＢＬ１，ＢＬ２およびＢＬ４，ＢＬ５とが接続され、不良ビット線ＢＬ３はデータバス信号線ＤＱ（１）～ＤＱ（４）のいずれにも接続されず、その代わりに、冗長ビット線ＢＬ５がデータバス信号線ＤＱ（４）に接続される。
【０１０６】
図９の構成によると、初期化のためのトランジスタを各ラッチ回路毎に設ける必要がなく、第１段の制御用インバータ３１Ｂの入力に対してのみ設ければ良いので、素子数が削減される。また、初期化のために用いる反転リセット信号／Ｒｅｓｅｔの負荷となるトランジスタの数も１つで済み、図６のようなリセット信号Ｒｅｓｅｔの負荷となるトランジスタが４個である場合に比べて、格段に少なくなり、負荷容量を減らすことができる。
【０１０７】
次に、図９の回路を用いた半導体メモリ装置の良否を検査する場合について説明する。
【０１０８】
いずれのヒューズ素子３２Ａ，４２Ａ，５２Ａ，６２Ａも切断していない状態では、検査制御信号／Ｔｅｓｔが“Ｈ”のとき、初期化終了後、第１段の制御用インバータ３１Ｂの入力はプルダウン抵抗７１によって“Ｌ”になり、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａは入力側の電位が“Ｈ”、出力側の電位が“Ｌ”の状態になる。この状態で検査を行うと、ビット線ＢＬ１～ＢＬ４は検査されるが、ビット線ＢＬ５は、いずれのデータバス信号線ＤＱ（１）～ＤＱ（４）にも接続されていないために、検査されない。したがって、この状態では、冗長ビット線ＢＬ５の良否が検査できず、いずれかのヒューズ素子を切断してビット線ＢＬ５をデータバスＤＱ（４）に接続されるようにしたときに、半導体メモリ装置が正常に動作するか否かの確認ができない。
【０１０９】
そこで、ビット線ＢＬ５の良否を確認するためには、検査制御信号／Ｔｅｓｔを“Ｌ”にして検査を行う。この場合、第１段の制御用インバータ３１Ｂの入力電位は“Ｈ”になり、各ラッチ回路３５Ａ，４５Ａ，５５Ａ，６５Ａは入力側の電位が“Ｌ”、出力側の電位が“Ｈ”の状態になり、ビット線ＢＬ５はデータバスＤＱ（４）に接続される。したがって、冗長ビット線ＢＬ５の検査をすることができる。
【０１１０】

このように、検査制御信号／Ｔｅｓｔを“Ｈ”にして検査を行うことによって、ビット線ＢＬ１～ＢＬ４を検査することができ、また、検査制御信号／Ｔｅｓｔを“Ｌ”にして検査を行うことによって、冗長ビット線ＢＬ５も検査することができる。すなわち、ヒューズ素子を切断しない状態で、全てのビット線ＢＬ１～ＢＬ５について検査を行うことができる。なお、このような検査を行う必要がない場合には、ＰＭＯＳトランジスタ７３を回路から省いても良い。

【０１１１】

なお、図９の回路では、各ヒューズ素子３２Ａ，４２Ａ，５２Ａ，６２Ａが、各段の制御用インバータ３１Ｂ，４１Ｂ，５１Ｂ，６１ＢのＰＭＯＳトランジスタ３１ｂ，４１ｂ，５１ｂ，６１ｂと電源との間に挿入されているものとしたが、ヒューズ素子は、これが切断されたときに、各制御用インバータから“Ｈ”が出力されないよう電源と出力端との間の電流経路を遮断するように、設ければよい。例えば、ＰＭＯＳトランジスタとインバータの出力端との間にヒューズ素子を挿入しても良い。

【０１１２】

なお、図５～図９に示すデータバス切替回路は、図１に示すデータバス切替回路２１としてデータバス同士の接続切替のために用いることもできることはいうまでもない。また、図５～図９に示すデータバス切替回路の用途はデータバス同士やデータバスとビット線との間の接続切替に限られるものではなく、任意の信号線群と信号線群との間の電気的な接続関係を切り替える手段としても当然のことながら用いることができる。

【０１１３】

なお、図５～図９に示すデータバス切替回路において、ヒューズ素子は、レーザー照射によって切断するものに限られず、種々の方式のものを用いることができる。例えば、ヒューズ素子として不揮発性メモリ素子を用いて、電流経路の接続を電気的に切断するようにしてもよい。

【０１１４】

【発明の効果】

以上のように本発明によると、多ビット化された半導体メモリ装置において、あるアドレスに対応するメモリセルに不良がある場合に、アドレス単位ではなくビット単位での不良救済が可能になるので、救済効率がきわめて高い冗長機能を実現することができる。

【０１１５】

また、ヒューズ素子の切断が不十分であっても正常に動作する、信頼性の高い信号線切替回路が実現される。

【図面の簡単な説明】

【図１】本発明の一実施形態に係る半導体メモリ装置の構成を示すブロック図である。

【図２】図１の半導体メモリ装置におけるメモリサブアレイ１３の内部構成を示す図である。

【図３】図１の半導体メモリ装置におけるメモリセグメント１１の他の構成例を示す図である。

【図４】（ａ），（ｂ）はデータバス切替回路によるデータバスとビット線との接続切替を示す図である。

【図５】本発明の一実施形態に係る信号線切替回路の具体的な構成を示す図である。

【図６】図５の信号線切替回路の変形例を示す回路図である。

【図７】図６の信号線切替回路の変形例を示す回路図である。

【図８】図６の信号線切替回路の他の変形例を示す回路図である。

【図９】図６の信号線切替回路の他の変形例を示す回路図である。

【図１０】従来の冗長機能を有する半導体メモリ装置の構成を示すブロック図である。

【符号の説明】

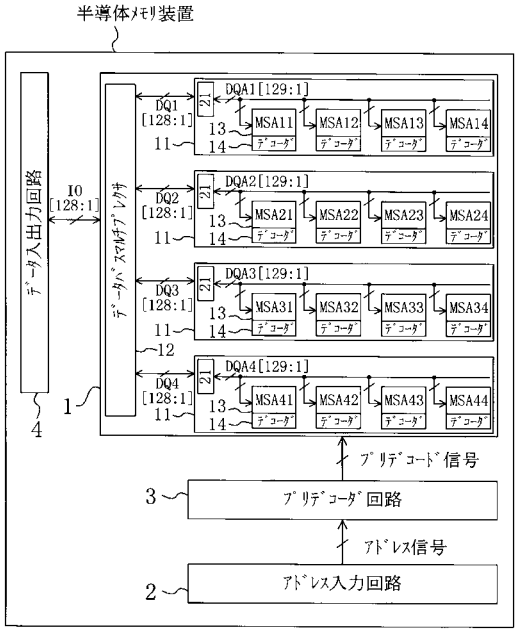
１　メモリアレイ

５，５Ａ，５Ｂ　スイッチ部

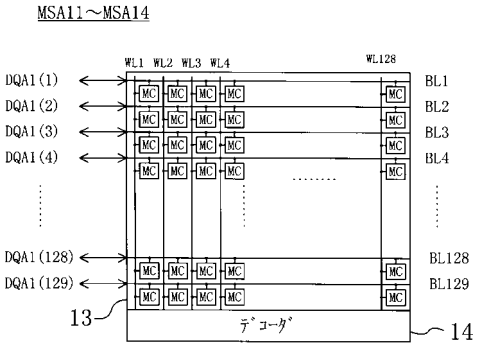
６，６Ａ，６Ｂ，６Ｃ　スイッチ制御部

１１，１１Ａ　メモリセグメント
１３　メモリサブアレイ
２１，２２　データバス切替回路
３１Ｂ，４１Ｂ，５１Ｂ，６１Ｂ　制御用インバータ
３１ａ，４１ａ，５１ａ，６１ａ　ＮＭＯＳトランジスタ（ヒューズ素子が挿入されていない電流経路上のＭＯＳトランジスタ）
３１ｂ，４１ｂ，５１ｂ，６１ｂ　ＰＭＯＳトランジスタ（ヒューズ素子が挿入された電流経路上のＭＯＳトランジスタ）
３２，４２，５２，６２　ヒューズ素子
３２Ａ，４２Ａ，５２Ａ，６２Ａ　ヒューズ素子
３３，４３，５３，６３　インバータ（第１のインバータ）
３３Ａ，４３Ａ，５３Ａ，６３Ａ　ＮＯＲゲート
３４，４４，５４，６４　インバータ（第２のインバータ）
３４Ａ，４４Ａ，５４Ａ，６４Ａ　ＮＭＯＳトランジスタ
３５，４５，５５，６５，３５Ａ，４５Ａ，５５Ａ，６５Ａ，３５Ｂ，４５Ｂ，５５Ｂ，６５Ｂ　ラッチ回路
３６，４６，５６，６６　ＮＭＯＳトランジスタ（初期化手段）
３７ａ，３７ｂ，４７ａ，４７ｂ，５７ａ，５７ｂ，６７ａ，６７ｂ、３７ｃ，３７ｄ，４７ｃ，４７ｄ，５７ｃ，５７ｄ，６７ｃ，６７ｄ　ＮＭＯＳトランジスタ（スイッチ）
７０　電位付与手段
ＢＬ１～ＢＬ１２９　ビット線
ＢＬ１～ＢＬ５　ビット線（第２の信号線群）
ＢＬ１ａ，ＢＬ１ｂ～ＢＬ５ａ，ＢＬ５ｂ　ビット線（第２の信号線群）
ＢＬＫＸ　選択信号
ＤＱ１～ＤＱ４　データバス（第１のデータバス）
ＤＱＡ１～ＤＱＡ４　データバス（第２のデータバス）
ＤＱ（１）～ＤＱ（４）　データバス（第１の信号線群）
ＤＱ（１ａ），ＤＱ（１ｂ）～ＤＱ（４ａ），ＤＱ（４ｂ）　データバス（第１の信号線群）
／ＴＥＳＴ　検査制御信号

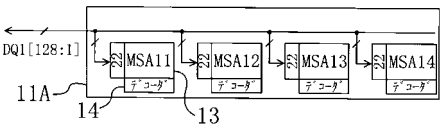
【図１】


半導体メモリ装置
データ入出力回路
I0 [128:1]
データバスマルチプレクサ
DQA1[129:1]
DQA2[129:1]
DQA3[129:1]
DQA4[129:1]
DQ1 [128:1]
DQ2 [128:1]
DQ3 [128:1]
DQ4 [128:1]
21
MSA11
MSA12
MSA13
MSA14
MSA21
MSA22
MSA23
MSA24
MSA31
MSA32
MSA33
MSA34
MSA41
MSA42
MSA43
MSA44
デコーダ
11
12
13
14
1
4
プリデコード信号
3
プリデコーダ回路
アドレス信号
2
アドレス入力回路

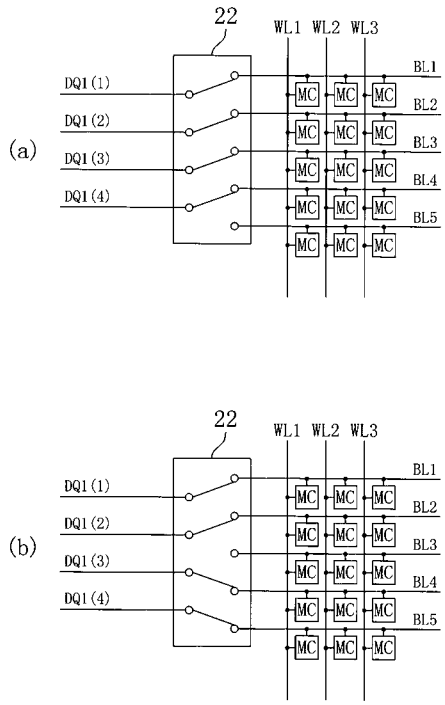
【図２】


MSA11～MSA14
WL1 WL2 WL3 WL4
WL128
DQA1(1)
DQA1(2)
DQA1(3)
DQA1(4)
DQA1(128)
DQA1(129)
BL1
BL2
BL3
BL4
BL128
BL129
MC
13
デコーダ
14

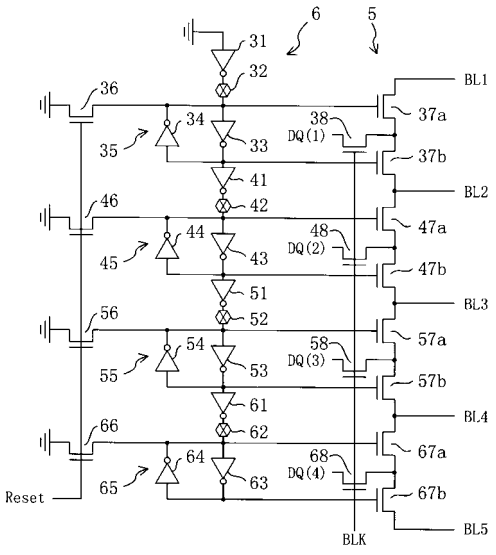
【図３】


DQ1[128:1]
21
MSA11
MSA12
MSA13
MSA14
デコーダ
11A
14
13

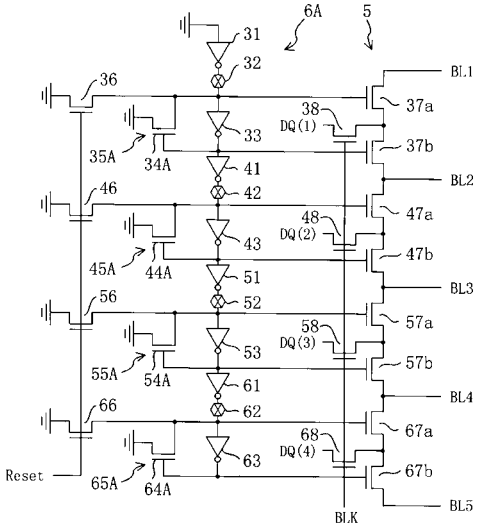
【図４】


(a)
(b)
22
WL1 WL2 WL3
DQ1(1)
DQ1(2)
DQ1(3)
DQ1(4)
BL1
BL2
BL3
BL4
BL5
MC

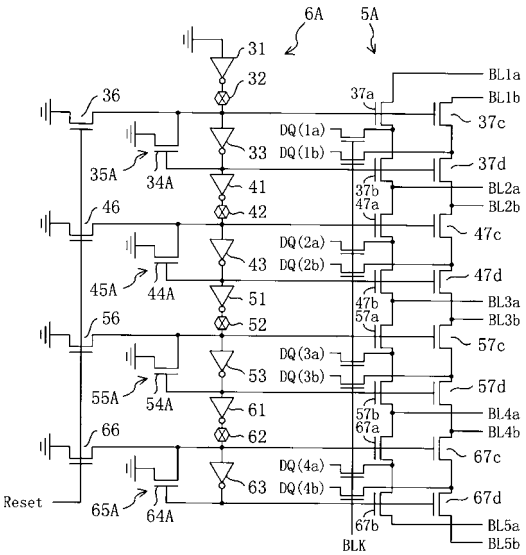
【図５】


6
5
31
32
33
34
35
36
37a
37b
38
DQ(1)
41
42
43
44
45
46
47a
47b
48
DQ(2)
51
52
53
54
55
56
57a
57b
58
DQ(3)
61
62
63
64
65
66
67a
67b
68
DQ(4)
Reset
BLK
BL1
BL2
BL3
BL4
BL5

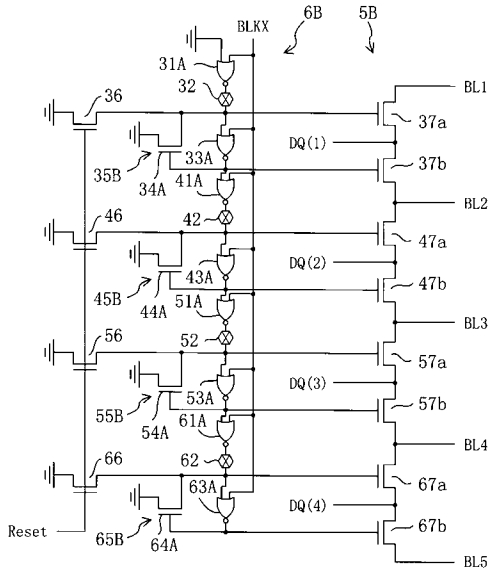
【図６】


6A
5
31
32
36
38
DQ(1)
33
35A
34A
37a
37b
BL1
BL2
41
42
46
48
DQ(2)
43
45A
44A
47a
47b
BL3
51
52
56
58
DQ(3)
53
55A
54A
57a
57b
BL4
61
62
66
68
DQ(4)
63
Reset
65A
64A
67a
67b
BL5
BLK

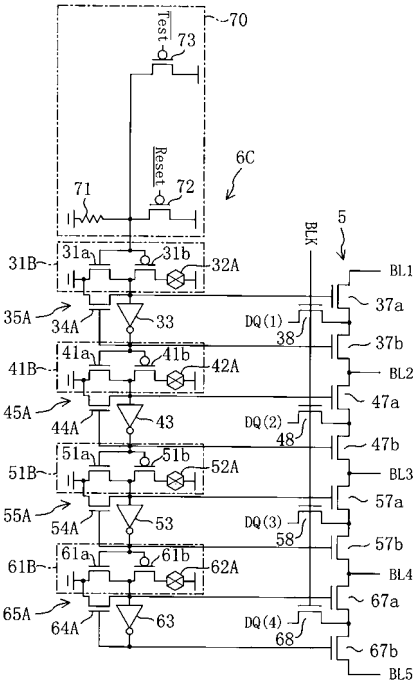
【図７】


6A
5A
31
32
36
37a
BL1a
BL1b
37c
DQ(1a)
33
DQ(1b)
37d
35A
34A
41
42
37b
47a
BL2a
BL2b
46
47c
DQ(2a)
43
DQ(2b)
45A
44A
47d
51
52
47b
57a
BL3a
BL3b
56
57c
DQ(3a)
53
DQ(3b)
55A
54A
57d
61
62
57b
67a
BL4a
BL4b
66
67c
DQ(4a)
63
DQ(4b)
Reset
65A
64A
67d
67b
BL5a
BL5b
BLK

【図８】

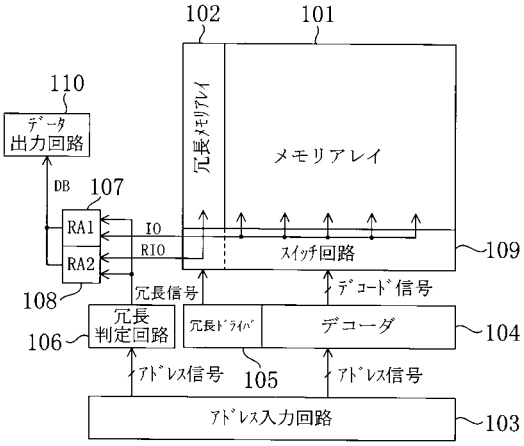

BLKX
6B
5B
31A
32
36
BL1
37a
DQ(1)
33A
35B
34A
41A
37b
BL2
46
42
47a
DQ(2)
43A
45B
44A
51A
47b
BL3
56
52
57a
DQ(3)
53A
55B
54A
61A
57b
BL4
66
62
67a
63A
DQ(4)
Reset
65B
64A
67b
BL5

【図９】


Test
70
73
Reset
6C
71
72
5
BLK
31B
31a
31b
32A
BL1
35A
34A
33
DQ(1)
37a
38
37b
41B
41a
41b
42A
BL2
45A
44A
43
DQ(2)
47a
48
47b
51B
51a
51b
52A
BL3
55A
54A
53
DQ(3)
57a
58
57b
61B
61a
61b
62A
BL4
65A
64A
63
DQ(4)
67a
68
67b
BL5

【図９】

【図１０】


102
101
110
データ
出力回路
冗長メモリアレイ
メモリアレイ
DB
107
RA1
RA2
IO
RIO
スイッチ回路
109
108
冗長信号
デコード信号
冗長
判定回路
106
冗長ドライバ
デコーダ
104
アドレス信号
105
アドレス信号
アドレス入力回路
103

フロントページの続き

(72)発明者　小島　誠
大阪府門真市大字門真１００６番地　　松下電器産業株式会社内

審査官　小松　正

(56)参考文献　特開平０９－０７３７７６（ＪＰ，Ａ）
特開平０４－１３９７００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 29/00