



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월25일
(11) 등록번호 10-0890018
(24) 등록일자 2009년03월16일

(51) Int. Cl.
H01L 27/10 (2006.01)
(21) 출원번호 10-2002-0043769
(22) 출원일자 2002년07월25일
심사청구일자 2007년07월20일
(65) 공개번호 10-2003-0010522
(43) 공개일자 2003년02월05일
(30) 우선권주장
09/912,565 2001년07월26일 미국(US)
(56) 선행기술조사문헌
US5455791 A*
KR100174633 B1*
KR1019980070031 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
페르너프레데릭에이
미국캘리포니아주94306
팔로알토라마ona스트리트3234
(74) 대리인
권혁수, 송윤희, 오세준

전체 청구항 수 : 총 10 항

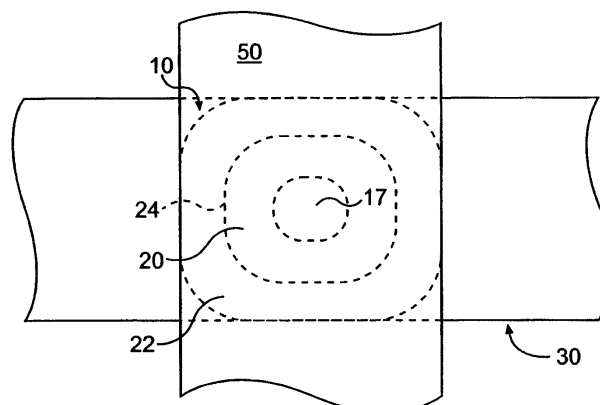
심사관 : 장완호

(54) 메모리 셀

(57) 요약

메모리 어레이(100)는 제 1 도체(30)와 제 2 도체(50)의 교차점에 위치한 메모리 셀(10)을 포함한다. 메모리 셀(10)은, 데이터를 저장할 수 있으며, 누설 경로 전류로부터 메모리 셀(10)을 절연시킬 수 있는 다기능 구조물이다. 메모리 셀(10)은 비균일의 게이트 산화물(14)을 가진 터널 게이트 표면 효과 트랜지스터를 포함한다. 게이트 산화물(14)은 기둥 형상의 다이오드 구조물(12) 상에 지지된다. 메모리 셀(10)은 게이트 산화물(15)의 터널 접합부(17)에 2진 상태를 저장한다. 또한, 트랜지스터(62)의 제어 게이트(63)는 터널 접합부(17)를 기둥 형상부(12)의 측벽으로부터 분리하여, 전류를 차단한다. 따라서, 제어 게이트(63)는 메모리 셀(10)에 누설 경로 전류가 흐르는 것을 방지한다. 메모리 셀(10)의 절연 피쳐는 기판(40) 상에 공간을 필요로 하지 않아서, 높은 어레이 밀도가 가능하다. 또한, 메모리 셀(10)은 낮은 순방향 전압 강하를 가지고 있어서, 메모리 어레이(100)의 판독 능력을 향상시킨다.

대표도 - 도1



특허청구의 범위

청구항 1

P- 코어 영역(20)과,

상기 P- 코어 영역(20)의 둘레를 둘러싸며, 상기 P- 코어 영역(22)과 더불어 기둥 형상부(a pillar)(12)를 형성하는 N+ 영역(22)과, 그리고

상기 기둥 형상부(12)의 한 단부에 배치되어 있으며, 2진 상태를 저장할 수 있는 부분(17)을 포함하는 게이트 산화물(14)을 포함하는 메모리 셀.

청구항 2

제 1 항에 있어서,

상기 게이트 산화물(14)은 터널 게이트 산화물(15)을 포함하는 메모리 셀.

청구항 3

제 2 항에 있어서,

2진 상태를 저장할 수 있는 상기 게이트 산화물의 일부는 터널 접합부(17)이며, 상기 터널 접합부(17)는 상기 기둥 형상부의 P- 영역(20)에 접촉하는 메모리 셀.

청구항 4

제 3 항에 있어서,

상기 터널 접합부(17) 양단의 저항은 기록 전압에 응답하여 변경될 수 있으며, 상기 저항의 변경은 상기 터널 접합부(17)의 2진 상태의 변경에 따라 판독가능한 메모리 셀.

청구항 5

제 1 항에 있어서,

상기 게이트 산화물(14)은 비균일의 두께를 가진 메모리 셀.

청구항 6

제 5 항에 있어서,

상기 게이트 산화물(14)의 중앙 부분(17)은 2진 상태를 저장할 수 있는 부분인 메모리 셀.

청구항 7

제 5 항에 있어서,

상기 게이트 산화물은 환형(annulus)의 외부 에지를 향해 증가하는 환형의 단면을 가진 메모리 셀.

청구항 8

제 5 항에 있어서,

상기 게이트 산화물은 NMOS 트랜지스터의 제어 게이트(63)의 기능을 하는 메모리 셀.

청구항 9

제 5 항에 있어서,

상기 P- 영역(20)과 상기 N+ 영역(22)간의 PN 접합부는 기둥 형상부(12)를 관통하는 메모리 셀.

청구항 10

제 9 항에 있어서,

상기 기동 형상부(12)는 오프(OFF) 상태에서 JFET(64)의 기능을 하는 메모리 셀.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명의 기술 분야는 교차점 메모리 어레이 용도의 메모리 셀에 관한 것이다. 보다 상세하게는, 본 발명의 기술 분야는 메모리 셀에 포함된 절연 피쳐(isolatin feature)를 가진 메모리 셀에 관한 것이다.
- <14> 교차점 메모리 어레이는 수직의 비트 라인과 교차하는 수평의 워드 라인을 포함한다. 메모리 셀은 워드 라인과 비트 라인의 교차점에 위치하며, 메모리 어레이의 저장 구성 요소로서 작용한다. 메모리 셀 각각은 2진 상태의 "1" 또는 "0" 중 하나를 저장한다. 하나의 선택된 메모리 셀은 기록 전류를 그 선택된 메모리 셀에서 교차하는 워드 라인과 비트 라인에 인가함으로써 변경되는 2진 상태를 가질 수 있다. 하나의 선택된 메모리 셀의 2진 상태는, 기록 전압을 그 메모리 셀에 인가함으로써, 또한, 그 메모리 셀을 통과하는 전류로부터 메모리 셀 양단의 저항을 측정함으로써 판독된다.
- <15> 교차점 메모리 어레이는 하나의 큰 병렬 회로로서 서로 접속된 모든 메모리 셀을 가질 수 있다. 이상적으로, 전류는 판독 동작동안에 하나의 선택된 메모리 셀만을 통과한다. 그러나, 큰 병렬 회로 메모리 어레이에서는, 판독 동작동안에, 선택되지 않은 메모리 구성 요소에 전류가 흐르게 된다. 이러한 전류를 "누설 경로 전류(sneak path current)"라고 한다. 교차점 메모리 어레이가 고밀도의 메모리 셀을 가지고 있다면, 이웃하는 메모리 셀은 선택된 메모리 셀이 판독 동작동안에 누설 경로 전류의 영향을 받지 않도록 서로 절연되어야 한다.
- <16> 종래의 병렬 접속의 교차점 어레이는 누설 경로 전류를 방지하기 위해 각각의 메모리 셀과 직렬인 제어 장치를 포함한다. 하나의 종래의 제어 장치는 메모리 셀에 위치한 직렬의 MOS 트랜지스터이다. 이 직렬의 MOS 트랜지스터는 메모리 셀에 접속된 워드 라인에 의해 제어된다. 직렬의 MOS 트랜지스터는, 메모리 셀의 병렬 접속을 파괴함으로써, 메모리 어레이에서 그 선택된 메모리 셀을 선택되지 않은 메모리 셀과 절연한다. 판독 동작동안에, 선택된 메모리 셀내의 MOS 트랜지스터만이 턴 온된다. 선택되지 않은 메모리 셀내의 MOS 트랜지스터는 턴 오프되어서, 누설 경로 전류가 그 선택되지 않은 메모리 셀에 흐르는 것을 방지한다.
- <17> MOS 트랜지스터의 단점은 값비싼 기판 영역을 소모한다는 것이며, 메모리 셀에서 기판까지의 전기적인 접촉을 제공하기 위해서 메모리 셀은 상당히 커야 한다.
- <18> 누설 경로 전류를 방지하는 다른 방법은 메모리 어레이의 기판내에 직렬 다이오드를 배치하거나, 메모리 어레이의 메모리 셀과 동일 평면 상에 배치하는 것이다. 이로써, 메모리 셀을 절연하지만, 관련 다이오드의 순방향 전압 강하는 크다. 큰 순방향 전압 강하는 메모리 셀내의 데이터를 기록하고 판독하는데 악영향을 미친다.
- <19> 따라서, 기판 영역을 차지 않으면서 메모리 셀을 판독하거나 기록하는데 악영향을 미치지 않는 메모리 셀 용도의 절연 피쳐가 필요하다.

발명이 이루고자 하는 기술적 과제

- <20> 본 발명의 제 1 측면에 따르면, 메모리 어레이는 제 1 및 제 2 도체의 교차점에 위치한 메모리 셀을 포함한다. 메모리 셀은 데이터를 저장하고, 누설 경로 전류로부터 메모리 셀을 차단할 수 있는 다기능 구조(compound structure)이다.
- <21> 메모리 셀은 비균일의 게이트 산화물을 가진 터널 게이트 표면 효과 트랜지스터를 포함한다. 그 게이트 산화물은 기동 형상의 다이오드 구조물 상에 지지된다. 메모리 셀은 그 게이트 산화물의 터널 접합부에 2진 상태를 저장한다. 또한, 트랜지스터의 제어 게이트는 기동 구조의 측벽으로부터 터널 접합부를 절연하여, 메모리 셀에 전류가 흐르는 것을 방지한다. 따라서, 제어 게이트는 메모리 셀에 누설 경로 전류가 흐르는 것을 방지한다.
- <22> 본 발명의 제 1 측면에 따르면, 그 게이트 산화물은 절연 피쳐를 기판 상에 공간이 필요하지 않는 메모리 셀에

제공한다. 이로써, 보다 많은 메모리 셀이 기판 상에 배치되어 어레이의 밀도가 증가된다.

- <23> 또한, 메모리 셀은 낮은 순방향 전압 강하를 가지고 있다. 낮은 순방향 전압 강하는 메모리 셀의 2진 상태를 감지하는 능력을 향상시키고, 메모리 어레이를 판독하는 능력을 증가시킨다.
- <24> 다른 측면 및 잇점은 첨부한 도면과 결부시켜, 다음의 상세한 설명으로부터 분명해 질 것이다.

발명의 구성 및 작용

- <25> 메모리 어레이 및 그 메모리 어레이에 사용되는 메모리 셀은 바람직한 실시예와 도면에 의해 설명될 것이다.
- <26> 도 1은 제 1 도체(30)와 제 2 도체(50)의 교차점에 위치한 메모리 셀(10)의 정면도이다. 도 2는 메모리 셀(10)과, 교차점 메모리 어레이내의 메모리 셀(10)을 둘러싸는 구조의 측면 사시도이다. 메모리 셀(10)은 기둥 형상부(12)와 게이트 산화물(14)을 포함한다. 메모리 셀(10)은 제 1 도체(30) 상에 지지되어 있으며, 제 1 도체(30)는 기판(40) 상에 지지되어 있다. 제 2 도체(50)는 게이트 산화물(14)과 결합되어 있으며, 제 1 도체(30)와 수직으로 연장되어 있다.
- <27> 도 3은 메모리 셀(10)의 어레이(100)를 도시한다. 메모리 셀(10)은 제 1 및 제 2 도체(30, 50)의 교차점에 위치한다. 제 1 도체(30) 및 제 2 도체(50)는 기록 동작동안에 메모리 셀(10)의 2진 상태를 변경하기 위해서, 또한, 판독 동작동안에 메모리 셀(10)의 2진 상태를 판독하기 위해서 전류를 운반한다. 메모리 셀(10)은 예를 들어, "재기록 불능 메모리(write once memory : WOM)"일 수 있으며, 여기서, 메모리 셀(10)내의 터널 산화물의 도전 상태는 기록 동작동안의 인가된 전압에 의해 변경된다.
- <28> 다시 도 2를 참조하면, 기둥 형상부(12)는 절연체(32)내에 매입된다. 절연체(32)는 제 1 도체(30)의 길이를 따라 연장되어 있다. 절연체(32)는 메모리 어레이(100)의 각각의 기둥 형상부(12)를 둘러싸고 있다. 박막의 터널 접합(TTJ) 층(34)은 절연체(32)의 상부 표면 상에 형성되고, 또한, 제 1 도체(30)의 길이를 따라 연장하고 메모리 어레이(100) 범위를 넘어서 연장하고 있다.
- <29> 메모리 어레이(100)내의 TTJ 층(34)은 제 2 도체(50)에서 메모리 셀(10)내의 기둥 형상부(12)의 표면까지의 터널 전류를 제어한다. 도 2에 도시된 바와 같이, TTJ 층(34)은 기둥 형상부(12)의 에지를 넘어서 연장할 수 있다. 기둥 형상부(12)사이에는 절연체 층(32) 상에 배치된다. TTJ 층(34)내에 측면 도전부는 없다. 수직 방향으로, TTJ 층(34)은 절연체 층(32)에 또 다른 절연을 제공하여, 제 2 도체(50)를 제 1 도체(30)로부터 절연한다. 절연체(32)는 예를 들어, 이산화 실리콘(SiO_2), 또는 폴리마이드(polymide)일 수 있다. TTJ 층(34)은 예를 들어, 알루미늄(산화 알루미늄, Al_2O_3), SiO_2 , 또는 다른 산화물일 수 있다.
- <30> 게이트 산화물(14)은 도 2에 점선으로 표시된, 기둥 형상부(12)와 제 2 도체(50)간의 체적에 대응한다. 게이트 산화물(14)은 비균등의 두께를 가지고 있으며, 터널 게이트 산화물(15)과 비균일 게이트 산화물(16)을 포함한다. 터널 게이트 산화물(15)은 예를 들어, SiO_2 게이트 산화물일 수 있다. 터널 게이트 산화물(15)은 제 2 도체(50)와 접촉하면서 기둥 형상부(12) 위에 놓인 TTJ 층(34)의 일부이다. 재기록 불능 메모리 셀(10)에 있어서, 메모리 셀(10)의 2진 상태를 기록하거나 판독하는데 사용되는 전류는 터널 접합부(17)를 흐른다.
- <31> 터널 접합부(17)의 외곽선은 도 1에서 점선으로 도시되어 있다. 터널 접합부(17)의 물성은 메모리 셀(10) 양단에 기록 전압을 인가함으로써 변경될 수 있다. 이러한 방법으로, 터널 접합부(17)는 메모리 셀(10)의 2진 상태를 저장한다.
- <32> 메모리 셀(10) 용도의 저장 매체로서 작용하는 것 이외에, 게이트 산화물(14)는 트랜지스터 용의 제어 게이트 기능을 한다. 트랜지스터는 메모리 어레이(10)의 구성 요소로서 실질적으로 구성되어 있으며, 도 4에서 기호로 표시되어 있다. 트랜지스터 및 게이트 산화물(14)의 저장 및 절연 기능은 도 4를 참조하여 아래에 상세히 설명될 것이다.
- <33> 도 1 및 도 2를 다시 참조하면, 게이트 산화물(14)의 외부 영역(18)은 터널 접합부(17) 주변에서 고리 형상을 가지고 있다. 외부 영역(18)의 두께는 게이트 산화물(14)의 외부 에지를 향해 터널 접합부(17)로부터 외측으로 증가하며, 단면이 "버드 비크(bird's beak)"를 가질 것이다. 따라서, 비균일 게이트 산화물(14)은 터널 접합부(17)로부터 외측으로 증가하는 비균일의 두께를 가진다. 터널 게이트 산화물(15)은 예를 들어, 7 내지 15\AA 의 상대적으로 균일한 두께를 가질 것이다. 게이트 산화물(14)의 두께는 예를 들어, 게이트 산화물(14)의 외면에

서 15 내지 100Å로 외측으로 증가할 것이다.

- <34> 기동 형상부(12)는 P- 코어 영역(20)과, 그 P- 코어 영역(20)을 둘러싸는 N+ 영역(22)을 포함한다. 따라서, 기동 형상부(12)는 다이오드 구조를 가지고 있다. 기동 형상부(12)는 등근 에지를 가진 일반적으로 직사각형의 포스트(post)를 가질 수 있다. PN 접합부(24)는 N+ 영역(22)과 P- 코어 영역(20)간의 경계에 형성되어 있다. 또한, 기동 형상부(12)는 예를 들어, 정사각형 또는 등근 단면을 가질 수 있다. 기동 형상부(12)의 단면은 P- 영역(20)이 PN 접합부(24) 양단에 0 전압을 바이어싱하여 완전히 고갈될 수 있도록 충분히 작아야 한다. 기동 형상부(12)는 예를 들어, 기판, 비정질의 실리콘 포스트, 또는 폴리실리콘 포스트로부터 성장된 단결정의 실리콘으로부터 형성될 수 있다. 기동 형상부(12)의 중앙 영역은 완전히 고갈되며, 측벽은 N- 도우펀트로 도핑되어 N+ 영역(22)을 형성할 수 있다.
- <35> 도 4는 등가 회로(60)가 그 위에 부가된, 도 1 및 도 2에 도시된 메모리 셀(10)의 사시도이다. 메모리 셀(10)의 일측면에 따르면, 메모리 셀(10)은 메모리 저장 기능과 절연 기능을 둘 다 가지고 있다. 등가 회로(60)는 도 4에 포함되어 메모리 셀(10)의 저장 및 절연 기능을 설명하고 있다.
- <36> 도 4에서, 제 1 도체(30)는 전압(Vd)에 결합되어 있으며, 제 2 도체(50)는 전압(Va)에 결합되어 있다. 전압(Vd, Va)은 메모리 셀(10)에 인가되는 전압을 나타내며, 예를 들어, 각각 비트 및 워드 라인 전압일 수 있다.
- <37> 등가 회로(60)는 메모리 셀(10)의 여러 구성 요소의 기능에 대한 기호적인 표현이다. 등가 회로(60)는 NMOS 트랜지스터(62), JFET(64), 터널 접합 저항(66), 및 N+ 영역 저항(68)을 포함한다. 기동 형상부(12)의 표면은, 기동 형상부(12)의 외면에서의 제어 게이트(63) 및 N+ 영역(22)과 함께, NMOS 트랜지스터(62)를 형성한다.
- <38> 게이트 산화물(14)(터널 게이트 산화물(15)과 비균일 산화물(16)을 포함)은 NMOS 트랜지스터(62)의 제어 게이트(63)에 대응한다. NMOS 트랜지스터의 제어 게이트(63)는, 제어 게이트(63) 바로 아래에서 기동 형상부(12)의 표면을 따라 전류가 수평으로 흐르기 때문에, 기동 형상부(12)의 중앙에서 기동 형상부(12)의 에지까지 "수평으로" 방향 설정된 것이라 할 수 있다. 게이트 산화물(14)은 터널 게이트 표면 효과 트랜지스터의 기능을 한다.
- <39> 게이트 산화물(14)의 터널 게이트 산화물(15)은 또한 NMOS 트랜지스터(62)의 드레인에 대응한다. 게이트 산화물(14) 아래에 확산된 드레인 영역이 존재하지 않아서, NMOS 트랜지스터(62)의 드레인은 터널 접합부(17)의 중앙에서 버추얼(virtual) 드레인이다. 터널 게이트 산화물(15)에 흐르는 터널 전류는, 종래의 NMOS 트랜지스터에서의 물리적인 드레인 접합과 같이, NMOS 트랜지스터(62)의 채널 영역으로 주입된다. NMOS 트랜지스터(62)의 소스는 기동 형상부(12)의 표면을 중심으로 확산된 N+ 영역(22)이다. 터널 접합 저항(66)은 터널 게이트 산화물(15) 양단의 저항을 나타낸다.
- <40> JFET(64)는 기동 형상부(12)의 P- 영역(20)과 N+ 영역(22)에 대응한다. JFET(64)의 소스는 P- 영역(20)의 최하부와 제 1 도체(30)의 전기적인 접촉에 대응한다. JFET(64)의 드레인은 P- 영역(20)의 최상부에서의 NMOS 채널 영역에 대응한다. JFET(64)의 게이트는 N+ 확산 영역(22)에 대응한다. JFET(64)는, PN 접합부(24)가 기판(40)의 표면에 수직으로 연장하기 때문에, "수직으로" 방향 설정된 것이라 할 수 있다. 기동 형상부(12)는 수직의 향상 모드 JFET의 기능을 한다. 그 향상 모드 JFET내의 JFET 게이트와 JFET 소스의 전기적인 접속으로, P- 영역(20)은 캐리어의 고갈을 유지한다. N+ 영역의 저항(68)은 N+ 영역(22)의 저항을 나타낸다.
- <41> 등가 회로(60)는 메모리 셀(10)의 저장 및 절연 기능을 설명하는데 사용될 것이다. JFET(64)의 설계는 제로 게이트-소스 바이어스를 가진 향상 모드 JFET와 같다. JFET(64)는 비도전 모드 동작에 있다. 비도전 모드는 JFET(64)의 P- 영역(20), 또는 코어 영역이 완전히 고갈된다는 것을 의미한다. 기동 형상부(12)의 코어가 완전히 고갈된 상태에서, 기동 형상부(12)의 표면이 반전(invert)될 수 있는 경우에만(즉, 도전 채널이 형성된 경우에만), 터널 접합 저항(66)에 전류가 흐를 것이다. 기동 형상부(12)의 표면은, 기동 형상부(12)의 외면에서의 제어 게이트(63) 및 N+ 영역(22)과 함께, NMOS 트랜지스터(62)를 형성한다. 기동 형상부(12)의 표면은, 제 2 도체(50)와 제 1 도체(30) 사이에 인가된 전압이 NMOS 트랜지스터 제어 게이트(63)의 임계 전압보다 큰 경우에 반전될 것이다.
- <42> 제 1 도체(30)에 상대적인 제 2 도체(50)에 인가된 전압이 NMOS 트랜지스터 제어 게이트(63)의 임계 전압보다 크다면, 터널 게이트 산화물(15) 아래에 집적층(accumulation layer)이 형성된다. 터널 전류는 터널 접합부(17)를 통해 NMOS 트랜지스터 제어 게이트(63)의 채널 영역(즉, 집적층)으로 흐를 것이다. 또한, 집적층은 기동 형상부(12)의 전체 상부면을 JFET(64)의 N+ 영역(22)에 접속시킨다. 그 결과, 터널 게이트 산화물(15)을 통해, 측면으로 P- 영역(20)의 최상부의 집적층을 통해, 또한, 수직으로 기동 형상부(12)의 N+ 영역(22)을 통해 제 2

도체(50)에서 제 1 도체(30)로 전류가 흐르게 된다. 전류의 크기는 메모리 셀(10)의 양단의 인가된 전압(V_a - V_d)의 크기와, 터널 접합부(17)의 유효 저항에 의존한다.

- <43> 게이트 산화물(14)은 집적층이 기둥 형상부(12)의 최상부면 상에 형성되도록 충분히 얇고, 게이트 산화물(14)의 외부 영역(18)을 통해 상당한 터널 전류가 흐르는 것을 방지하기에 충분하도록 두껍다. 단지 터널 접합부(17)만은 메모리 셀(10)의 2진 상태에 의존하는 감지 전류를 통과시키기에 충분하도록 상당히 얇다. 따라서, 메모리 셀(10)로부터 데이터를 감지하는 프로세스는 메모리 셀(10)의 터널 접합부(17)에 초점을 맞추고 있다.
- <44> 바람직하게, 메모리 어레이(100)내의 메모리 셀(10)은 메모리 저장 기능과 절연 기능을 포함하고 있다. 메모리 셀(10)은 비균일 게이트 산화물(14)을 가진 터널 게이트 표면 효과 트랜지스터를 포함한다. 트랜지스터는 기둥 형상의 다이오드 구조물 상에 지지된다. 게이트 산화물(14)의 터널 접합부(17)는 메모리 셀(10) 용의 저장 구성 요소의 기능을 한다. 메모리 셀(10)내의 NMOS 및 JFET 피쳐는 절연 피쳐를 제공하여 메모리 어레이(100)를 통해 누설 경로 전류가 흐르는 것을 방지한다. 따라서, 메모리 셀(10)은 터널 접합부(17)의 저장 구성 요소가 절연 피쳐와 결합된 다기능 구조이다. 최종 구조는 직렬의 다이오드 제어 구성 요소를 가진 메모리 구성 요소보다 낮은 순방향 전압 강하를 가지고 있다. 낮은 순방향 전압 강하는, 메모리 셀 양단의 높은 전압 강하가 메모리 셀의 저항을 감지하는 능력을 저하시키기 때문에 이롭다.
- <45> 다른 장점으로, 메모리 셀(10)은, 직렬의 MOS 트랜지스터 제어 구성 요소와 달리, 기판 영역을 소모하지 않고 절연 피쳐를 포함한다. 이로써, 보다 높은 어레이 밀도를 얻을 수 있다.
- <46> 또한, 메모리 셀(10)은, 역방향 모드(reverse mode)에서, 또는 "블로킹(blocking)" 모드에서, 메모리 셀(10)에 인가된 전압(V_a - V_d)이 NMOS 트랜지스터(62)의 임계 전압(V_{th})보다 적기 때문에 높은 역방향 저항(낮은 역방향 누설 전류)을 가진다. NMOS 트랜지스터(62)의 게이트 전압이 임계 전압(V_{th})보다 적을 때, NMOS 트랜지스터(62)의 채널은 반전된 상태가 된다(즉, 집적되지 않은 상태). 또한, 채널이 반전될 때, 드레인에서 소스로 흐르는 전류는 없다. 따라서, 메모리 셀(10)은, 인가된 전압이 임계 전압(V_{th})보다 적을 때 높은 저항을 가진다.
- <47> 높은 역방향 저항은, 역방향 모드에서, 메모리 셀(10)에 인가된 전압(V_a - V_d)이 NMOS 임계 전압(V_{th})보다 적기 때문에 이롭다. V_a - V_d 이 V_{th} 보다 적을 때, 기둥 형상부(12)의 최상부면은 집적되지 않으며(고갈된 상태), 높은 저항을 가진다.
- <48> 메모리 셀(10)의 도전 특성은 NMOS 트랜지스터(62)의 채널 길이와 폭, 표면 집적층에서의 전자의 이동성, 및 임계 전압(V_{th})에 따라서 설정된다. 메모리 셀(10)에서, 채널 길이는 기둥 형상부(12)의 중앙에서 기둥 형상부(12)의 에지에서의 PN 접합부(24)까지의 거리이다. 역방향 도전 파라미터는 임계 전압(V_{th})에 의해 초기에 설정되며, 유사한 사이즈의 수평 배열의 PN 다이오드보다 우수하다.
- <49> 역방향 도전 파라미터는, 반도체 소자의 역방향 누설 전류가 표면 전도에 의해 초기에 결정되기 때문에, 또한 종래의 PN 다이오드는 기둥 형상의 수직 다이오드에서는 비현실적인 특수 표면 처리를 필요로 하기 때문에 우수하다. 대조적으로, NMOS 소자는 게이트 전압에 따라서 전도 표면을 제어한다. 따라서, NMOS 소자는 본질적으로 낮은 누설 전류를 가진다.
- <50> PN 다이오드는 낮은 순방향 전압 강하를 이루기 위해서, 다량 도핑된 PN 접합부를 가지고 있다. 다량 도핑된 P 영역과 N 영역으로부터 형성된 접합부는 NMOS 트랜지스터보다 높고, 상대적으로 높은 역방향 누설 전류를 가지고 있다.
- <51> 터널 접합부(17)의 2진 상태는 판독/기록 메모리용의 역방향가능 기록 메카니즘, 또는 재기록불능 메모리 용의 역방향불가능 메카니즘에 의해 형성될 수 있다. 기록 프로세스는 퓨즈 또는 반퓨즈 프로세스, 위상 변경 프로세스, 전자 트래핑(trapping) 프로세스, 및 다른 기록 프로세스와 관련될 수 있다. 터널 접합부는 기록 동작에 앞서서 제 1의 2진 상태(예, "0")를 저장할 수 있고, 기록 동작 후에 제 2의 2진 상태(예, "1")를 저장할 수 있다. 메모리 셀(10)의 2진 상태는 판독 동작에 의해 검출가능하다.
- <52> 메모리 셀(10)에 대한 기록 동작은 도 3 및 도 4를 참조하여 설명될 것이다. 메모리 셀(10)에 기록하기 위해서, 메모리 어레이(100)내의 특정 행과 열에 위치한 메모리 셀(10)이 먼저 선택된다. 선택된 행의 제 1 도체(30)에 제 1 전압(V_d)이 인가되며, 선택된 열의 제 2 도체(50)에 제 2 전압(V_a)이 인가된다. 전압(V_a - V_d)은 메모리 셀(10)에 인가되어 터널 접합부(17)의 물성을 변경시키는 기록 전압이다. 터널 접합부(17)로의 고전압 스트레스(high voltage stress)는 반 퓨즈의 프로세스인 터널 접합부(17)의 물성을 변경시키기 위해 충분한 에너지를 전달하기에 충분한 시간 동안 유지된다. 기록 전압은 터널 접합부(17)의 접합을 파괴하고 터널 접합부(17)의 저항을 변경시킨다. 터널 접합부(17)의 파괴는 부분적인 열 가열로 인해 발생하고, 그 터널 접합부에

전달된 에너지로 인해, 터널 접합부(17)의 어느 한 쪽으로부터의 도우펀트 원자가 터널 접합부 영역으로 영구적으로 이동하게 된다. 이러한 프로세스는 터널 접합부(17)의 도전 파라미터를 변경시킨다. 반류즈 기록 프로세스 후에, 접합부의 저항은 기록 동작 전보다 낮다.

- <53> 터널 접합부(17)의 도전 특성을 변경시키기 위한 다른 파괴 메카니즘은 터널 접합부(17)의 쇄도하는 멀티 전류로 인해, 터널 접합부(17)내의 층에서 트랩에 전자가 잡힐 때이다. 이것은 스트레스 전압이 터널 접합부(17)의 파괴 전압을 초과할 때 발생한다. 트랩된 전자는 NMOS 트랜지스터(62)의 임계 전압을 증가시키고, 그 도전 특성을 변경시킨다. 전자의 트랩 기록 동작 후에, 터널 접합부(17)의 유효 저항은 기록 동작 전보다 높다.
- <54> 터널 접합부(17)의 저항의 변경 상태는 "1" 및 "0"의 2진 상태로써 판독 동작에 의해 검출될 수 있다. 기록 동작동안의 도전 경로는 NMOS 트랜지스터(62)를 통하고, 또한, N+ 영역(22)을 통하고, 터널 접합부(17)를 통한다. 기록 전압은 예를 들어, 1/10 마이크로초 내지 1/2 마이크로초의 시간 동안에 예를 들어, 1-1/2 내지 3 볼트 정도일 수 있다. 제 1 도체(30) 상에 인가된 전압(Vd)은 충분히 커서, 즉, Vd가 Va보다 커서, 행의 선택되지 않는 메모리 셀(10)이 Vd의 인가로 기록되지 않게 한다. 유사하게, 제 2 도체(50) 상에 인가된 전압(Va)은, 열의 선택되지 않는 메모리 셀(10)이 Va의 인가로 기록되지 않도록 충분히 작아야 한다.
- <55> 메모리 셀(10)의 판독 동작은 도 3 및 도 4를 참조하여 설명될 것이다. 판독 전위는 제 2 도체(50)에 인가되고, 제 1 도체(30)는 접지 상태이다. 제 2 도체(50)에서 제 1 도체(30)로의 전류가 측정되어 메모리 셀(10)의 저항을 결정한다. 이러한 저항으로부터, 메모리 셀(10)의 상태를 결정할 수 있다. 낮은 저항 상태는 "0"의 2진 상태로써 검출될 수 있으며, 높은 저항의 상태는 "1"의 2진 상태로써 검출될 수 있다. 판독 전위는 약간 양의 값이어야 한다.
- <56> 터널 접합부(17)를 통한 전자의 전도는 확률 함수(probability functions)에 의해 설명된다. 터널로의 전자의 확률(즉, 절연체 층을 직접 통과)은 절연체의 각 측면에서의 전위, 절연체의 두께, 및 절연층의 물리적인 합성물(예, SiO₂, Al₂O₃)의 함수이다. 전압이 터널 접합부(17)에 인가될 때, 터널 전자 전류는 그 확률 함수에 따라서 터널 접합부(17)에 흐르게 된다. 터널 전류에 의해 나누어진 인가된 전압의 비율은 터널 저항으로 정의된다. 터널 전류는, 등가 회로(60)의 NMOS 트랜지스터 제어 게이트(63)가 턴 온(ON)될 때 터널 접합부(17)를 통과한다.
- <57> 메모리 셀(10)의 2진 상태는 제 2 도체(50)와 제 1 도체(30) 사이에 고전류 또는 저전류가 흐르는 지를 검출함으로써 결정될 것이다. 그 전류의 크기는 그 전류를 기준 장치의 세트 또는 기준 전류와 비교함으로써 결정된다.
- <58> 선택되지 않은 메모리 셀에 있어서, Va와 Vd간의 전압차는 선택되지 않는 메모리 셀에서의 NMOS 트랜지스터의 임계 전압(Vth)보다 적어야 한다.
- <59> 제 2 도체(50)에 인가된 전압이 NMOS 트랜지스터 임계 전압(Vth)보다 적다면, 기둥 형상부(12)의 최상부면은 캐리어로 고갈될 것이다. NMOS 트랜지스터 제어 게이트(63)의 동작은 NMOS 트랜지스터(62)의 버츄얼 드레인에서의 터널 접합 저항(66)을 NMOS 트랜지스터(62)의 낮은 저항의 측벽으로부터 분리하는 것이다. 이로써, 역방향 전류가 메모리 셀(10)에 흐르지 않게 된다.
- <60> 메모리 셀(10)은 여러 프로세스를 이용하여 제조될 수 있다. 도 5a 내지 도 5d는 메모리 셀(10)을 포함하는 메모리 어레이(100)에 대한 예시적인 제조 프로세스를 나타낸다. 도 6은 메모리 어레이(100)를 제조하는 방법을 예시하는 흐름도이다. 메모리 어레이(100)는 다수의 메모리 셀(10)을 포함하며, 상술한 제조 프로세스는 메모리 어레이(100)의 메모리 셀(10) 중 하나를 제조하는데 사용될 수 있다. 메모리 셀(10)은 메모리 셀(10)이 하나의 완전한 저장 구성 요소, 즉, 터널 접합부(17)와 제어 게이트(63)를 포함하도록 바람직하게 제조될 수 있다. 비균일 게이트 산화물(14)의 형성으로 인해, 이러한 기능이 기둥 형상의 다이오드 지지 구조물 상에 형성될 수 있다.
- <61> 도 5a 및 도 6를 참조하면, 프로세스는 단계(S10)에서 기판(40)을 제공하는 것으로 시작한다. 기판(40)은 예를 들어, 실리콘일 수 있다. 실리콘 기판(40)은 메모리 어레이(100)를 작동시키기 위해 메모리 회로 용의 지지 회로를 바람직하게 포함할 수 있다. 이러한 형태의 기판(40)은 예를 들어, CMOS 집적 회로일 수 있다. 바이폴라, 바이-CMOS, NMOS 및 SOI 회로와 같은 다른 형태의 집적 회로가 사용될 수 있다. 기판(40)은 상호 레벨의 산화물(SiO₂) 절연층 위에 실리콘 기판내의 확산된 패턴, MOS 트랜지스터, PN 접합 다이오드 및 폴리실리콘 상호접속층을 포함할 수 있다. 이산화 실리콘 층(42)은 예를 들어, 화학 기상 증착(CVD)에 의해 형성될 수

있다. 이산화 실리콘 층(42)은 기판(40)내의 최상위 레벨의 도전층으로부터 제 1 도체(30)를 절연하는 작용을 하며, 예를 들어, CMP(화학 기계적 폴리싱) 평탄화를 이용하여 평면으로 만들 수 있는 절연체 물질을 제공하는 작용을 한다.

- <62> 단계(S12)에서, 제 1 도체(30)는 기판(40) 상에 증착된다. 제 1 도체(30)는 예를 들어, CVD 프로세스에 의해 증착될 수 있다. 단계(S14)에서, 제 1 도체(30)는 예를 들어, 포토리소그래피 및 폴리실리콘 건조 에칭에 의해 패터닝된다. 제 1 도체(30)는 예를 들어, 폴리실리콘 또는 비정질 실리콘일 수 있다. 대안으로, 제 1 도체(30)는 기판(40)내의 확산층으로서 형성될 수 있다.
- <63> 단계(S16)에서, P 도핑의 비정질 실리콘 층은 전체 기판(40) 상에 증착된다. 또한, P- 층은 예를 들어, 폴리실리콘일 수 있다. P- 층은 예를 들어, 저압력의 화학 기상 증착(LPCVD)에 의해 증착될 수 있다.
- <64> 단계(S18)에서, 박막의 베리어 층(82)은 P- 층 위에 증착된다. 베리어 층(82)은 베리어 층을 통해 산소의 확산을 금지 또는 방지하는 물질을 포함하여야 한다. 베리어 층(82)은 예를 들어, 실리콘 질화물(Si_3N_4)일 수 있다.
- <65> 단계(S20)에서, 베리어 층(82)은 예를 들어, 포토리소그래피에 의해 패터닝된다. 패터닝은 예를 들어, 제 1 도체(30) 상의 메모리 셀 위치 위에 정렬된 정사각형을 포함하여, 각각의 실리콘 기둥 형상부(84)를 커버하는 베리어 층(82)의 패턴 영역을 형성한다.
- <66> 단계(S21)에서, 베리어 층(82)과 P- 실리콘 층이 에칭된다. 에칭 프로세스는 기판(40) 상에 실리콘의 기둥 형상부(84)가 남는다. 실리콘의 기둥 형상부(84) 각각은 베리어 층(82)으로 캡핑(capping)된다.
- <67> 단계(S22)에서, N^+ 도우펀트는 실리콘의 기둥 형상부(84)의 측면으로 확산된다. 도핑 프로세스는 도우펀트 가스에서 풍부한 대기 가스에 기둥 형상부(84)를 배치함으로써 형성될 수 있다. 도우펀트 가스는 예를 들어, 비소 가스, 인 가스, 및 다른 도우펀트 가스일 수 있다. 확산 프로세스는 P- 코어(86)를 둘러싸는 N^+ 영역(88)을 형성한다. 기둥 형상부(84)는, 접촉 전위를 인가함으로써 이동 캐리어 모두가 기둥 형상부(84)로부터 빠져나오도록, 충분히 작은 단면을 가진 것이 선택된다. 접촉 전위로 인해, 이동 정공과 전자는 서로 삭제하게 되어, 완전히 고갈된 기둥 형상부(84)를 형성한다.
- <68> 기둥 형상부(84)의 최상부 상의 베리어 층의 캡(cap)(82)은 기둥 형상부(84)의 최상부에 PN 접합부가 형성되는 것을 방지하는 N^+ 증착 및 확산 프로세스에 대한 베리어이다. 도 5a는 도핑 단계 후의 기둥 형상부(84)를 도시하고 있다.
- <69> 도 5b를 참조하면, 단계(S24)에서, 기둥 형상부(84)간의 기판(40) 상의 영역은, 예를 들어, 이산화 실리콘(SiO_2)일 수 있는 절연체(90)로 충전된다. 절연체(90)는 예를 들어, LPCVD에 의해 증착될 수 있다. 단계(S26)에서, 절연체(90)는 베리어 층(82) 레벨의 약간 바로 아래의 레벨에서 에칭 백(etch back)되어서, 베리어 층(82)의 에지와 N^+ 영역의 일부가 노출된다. 도 5b는 절연체(90)의 에칭 후의 프로세스를 도시하고 있다.
- <70> 도 5c를 참조하면, 단계(S28)에서, 열 산화가 실행된다. 열 산화 동안에, 산소는 상응 온도에서 대기 가스내에 배치된다. 산화 프로세스 동안에, 산소는 절연체(90)를 통해 기둥 형상부(84)의 실리콘 표면으로 확산한다. 기둥 형상부(84)가 노출된 기둥 형상부(84)의 에지에서, 산화 프로세스가 신속하게 일어난다. 기둥 형상부(84)에서의 산화는 기둥 형상부(84)의 실리콘을 이산화 실리콘으로 변화시킨다. 실리콘의 기둥 형상부(84)의 최상부 상의 베리어 층(82)의 캡은 산소에 대한 베리어이며, 기둥 형상부(84)의 최상부에서의 산화를 방지한다. 기둥 형상부(84)의 최상부 에지에서, 산소는 베리어 층(82) 아래로 확산하여 기둥 형상부(84)의 최상부면에서 실리콘과 반응한다. 이러한 측면 확산과 산화 프로세스는 확산 프로세스에 의해 제한되며, 기둥 형상부(84) 내부로 깊게 진행되는 것처럼 느리게 하강한다. 이산화 실리콘이 형성될 때, 베리어 층(82)을 위 방향으로 밀게 된다. 열 산화 프로세스의 결과는 기둥 형상부(84)의 최상부에서의 비균일의 이산화 실리콘 산화 영역(92)이다.
- <71> 비균일의 산화 영역(92)의 단면은 에지에서 두껍고, 중앙에서 상당히 얇아서, 그 단면을 "버드 비크"라고 한다.
- <72> 그 실리콘의 산화는 베리어 층(82)의 에지를 위 방향으로 또한 올린다. 도 5c는 열 산화 후의 제조 프로세스를 도시하고 있다.
- <73> 단계(S30)에서, 산화 영역(92)을 형성하는데 사용되는 베리어 층(82)은 예를 들어, 핫 인산(hot phosphoric

acid)내의 습식 딥(wet dip)에 의해 제거된다. 습식 딥은 노출된 산화 영역(92)의 초과량을 제거하지 않고 실행될 수 있다.

<74> 도 5d를 참조하면, 단계(S32)에서, 터널 게이트 산화물(94)은 산화 영역(92)의 최상부 위에 증착된다. 터널 게이트 산화물(94)은 예를 들어, SiO_2 , Al_2O_3 , 또는 다른 터널 산화 물질일 수 있다. 터널 게이트 산화물(94)은 예를 들어, LPCVD 프로세스를 이용하여 박막의 알루미늄 층을 증착하고, 다음에, 산소에 간단하게 노출하여 알루미늄과 반응하여 Al_2O_3 를 형성함으로써 증착될 수 있다. 터널 게이트 산화물(94)은 산소가 풍부한 대기에서의 짧은 열 산화에 의해 성장되어 SiO_2 를 형성할 수 있다. 터널 게이트 산화물(94)은 산화 영역(92)과 동일한 물질, 즉, 이산화 실리콘으로 구성되어 있는 경우에, 2개의 영역은 연속의 이산화 실리콘 층이 될 것이다.

<75> 단계(S34)에서, 산화 영역(92)과 터널 게이트 산화물(94) 상에 이온이 주입된다. 이온 주입은 NMOS 트랜지스터 제어 게이트(63)에 대해 소망의 임계 전압(V_{th})을 형성하기 위해 실행된다. 이온 주입은 바람직하게 비소 종(arsenic species)을 이용하여 실행된다. 0.5V의 임계 전압(V_{th})은 예를 들어, 임계 전압(V_{th})으로서 이용될 수 있다.

<76> NMOS 트랜지스터(62)의 제어 영역은, 산화 영역(92)이 기둥 형상부(84)의 에지에서는 두꺼운 것에서부터 기둥 형상부(84)의 중앙에서는 매우 얇은 것까지 변하는 영역 아래에서, N+ 영역(88)과 P- 코어(86)간의 PN 접합에 가장 근접한 기둥 형상부(84)의 영역이다. 이온 주입은 예를 들어, 비소의 임계값 조정층(threshold adjust layer)을 기둥 형상부(84)에서 대략 0.05 μm 의 깊이까지 형성한다.

<77> 단계(S36)에서, 제 2 도체(50)는 터널 게이트 산화물 위에 증착된다. 단계(S38)에서, 제 2 도체(50)는 패터닝된다. 제 2 도체(50)는 예를 들어, 알루미늄, 구리, 또는 다른 도체일 수 있다. 폴리실리콘 층은 또한, 제 2 도체(50)를 형성하는데 사용될 수 있다. 예를 들어, 화학 기상 증착에 의해 증착이 실행될 수 있다.

<78> 제 2 도체(50)가 패터닝된 후에, 도 3에 도시된 바와 같이, 도 1 및 도 2에 도시된 메모리 셀(10)을 포함한 메모리 어레이(100)가 완성된다.

<79> 상술한 제조 프로세스는 고온의 프로세싱을 이용하여 N 도핑을 기둥 형상부(84)의 측벽으로 확산하고, 비균일의 게이트 산화물 표면 구조물을 성장시킨다. 그러나, 저온의 프로세스가 또한 사용될 수 있다. 예를 들어, NP 측벽 접합은 저온의 쇼트키 접합(Schottky junction)일 수 있다. 이 경우에, 비균일의 게이트 산화물 표면 구조물은 이온 밀링(ion milling), 저온 증착, 및 CMP 평탄화의 조합을 이용하여 만들어질 수 있다.

<80> 도 3에 도시된 메모리 어레이(100)는 다면(multi-plane)의 메모리 구조물과 공존할 수 있다. 예를 들어, 다수의 메모리 어레이(100)가 적층될 수 있다. 다면의 메모리 구조물은 도 6에 도시된 제조 단계를 실행한 후에, 최종 메모리 어레이(100) 위에 절연체 층을 형성함으로써 형성될 수 있다. 그 다음, 후속의 메모리 어레이(100)는 절연체 층 위에 형성될 수 있다. 이러한 프로세스는 원하는 수의 메모리 어레이가 메모리 구조물 내에 포함될 때까지 반복된다.

<81> 본 발명은 본 명세서의 실시예를 기준으로 설명되었지만, 당업자는 본 발명의 사상과 범위를 벗어나지 않는 범위에서 상술한 실시예에 대해 여러 수정을 행할 수 있다. 본 명세서에 사용된 용어와 설명은 제한적인 의미가 아니라 예시용으로만 설명되어 있다.

발명의 효과

<82> 본 발명에 따르면, 데이터를 저장하고, 누설 경로 전류로부터 메모리 셀을 차단할 수 있는 다기능 구조(compound structure)인 메모리 셀을 제공할 수 있다.

도면의 간단한 설명

<1> 도 1은 제 1 및 제 2 도체의 교차점에 배치된 메모리 셀의 실시예에 대한 정면도,

<2> 도 2는 교차점 메모리 어레이내의 메모리 셀을 둘러싸는 구조를 포함하는, 도 1에 도시된 메모리 셀의 측면 사시도,

<3> 도 3은 도 1에 도시된 다수의 메모리 셀을 포함하는 교차점 메모리 어레이의 사시도,

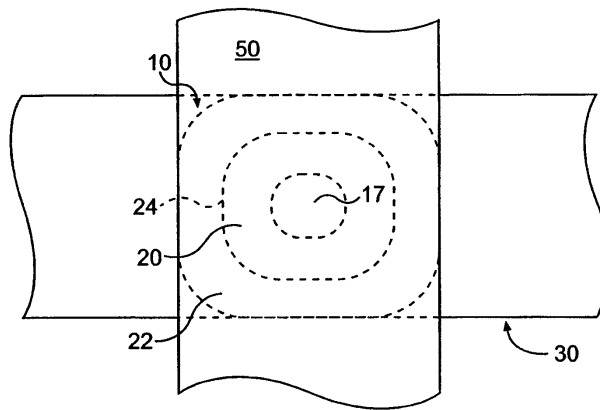
- <4> 도 4는 메모리 셀 상에 부가된 등가 회로를 가진, 도 1에 도시된 메모리 셀의 측면 사시도,
 <5> 도 5a 내지 도 5d는 도 3에 도시된 교차점 메모리 어레이의 제조 방법을 예시하는 도면, 및
 <6> 도 6은 메모리 어레이의 제조 방법을 예시하는 흐름도.

<7> 도면의 주요 부분에 대한 부호의 설명

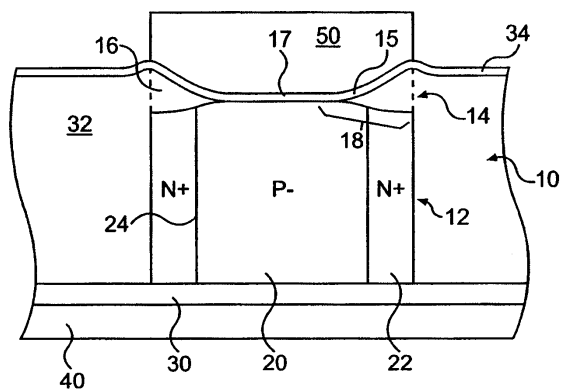
- | | |
|------------------|---------------|
| <8> 10 : 메모리 셀 | 12 : 기둥 형상부 |
| <9> 14 : 게이트 산화물 | 17 : 터널 접합부 |
| <10> 30 : 제 1 도체 | 40 : 기판 |
| <11> 50 : 제 2 도체 | 62 : 트랜지스터 |
| <12> 63 : 제어 게이트 | 100 : 메모리 어레이 |

도면

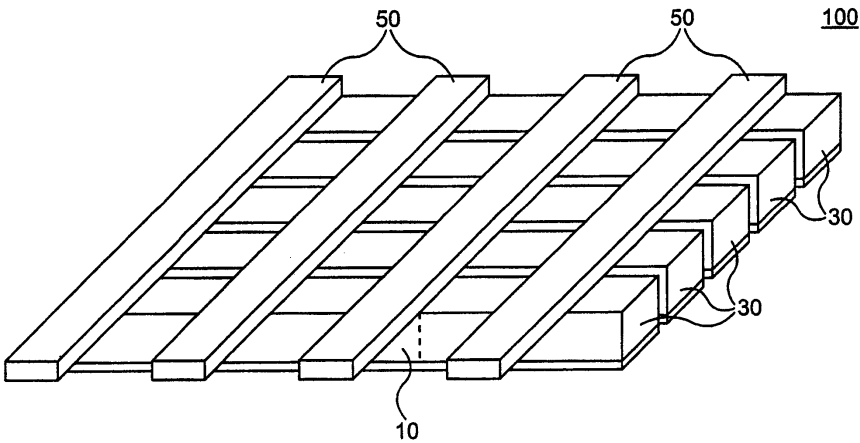
도면1



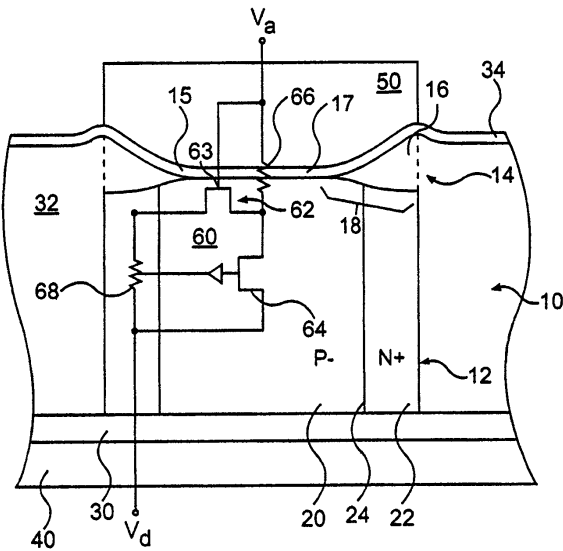
도면2



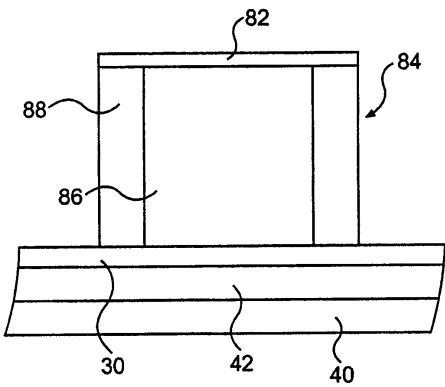
도면3



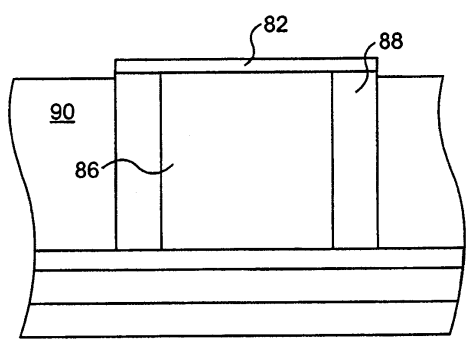
도면4



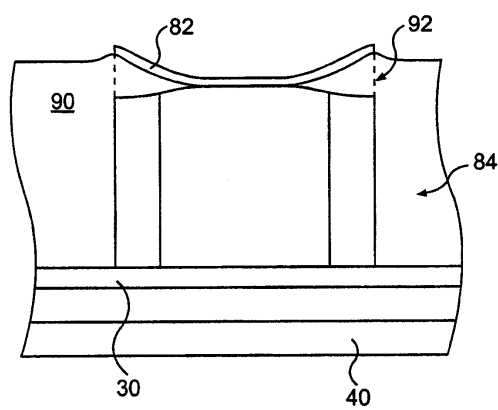
도면5a



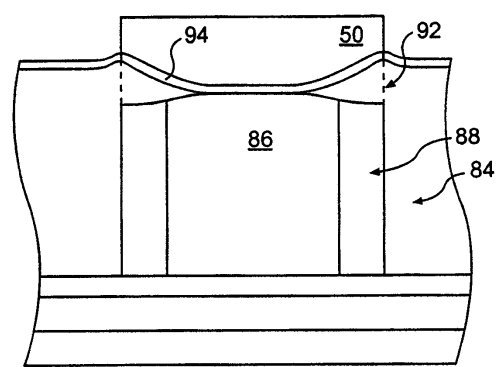
도면5b



도면5c



도면5d



도면6

