

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7657070号
(P7657070)

(45)発行日 令和7年4月4日(2025.4.4)

(24)登録日 令和7年3月27日(2025.3.27)

(51)国際特許分類

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 2 0

請求項の数 1 (全136頁)

(21)出願番号	特願2021-28457(P2021-28457)	(73)特許権者	391010943
(22)出願日	令和3年2月25日(2021.2.25)		株式会社藤商事
(65)公開番号	特開2022-129681(P2022-129681 A)		大阪府大阪市中央区内本町一丁目1番4号
(43)公開日	令和4年9月6日(2022.9.6)	(74)代理人	100100376
審査請求日	令和6年2月19日(2024.2.19)		弁理士 野中 誠一
		(74)代理人	100142077
			弁理士 板谷 真之
		(74)代理人	100143199
			弁理士 磯邊 毅
		(72)発明者	井上 孝司
			大阪府大阪市中央区内本町一丁目1番4号 株式会社藤商事内
		審査官	篠崎 正

最終頁に続く

(54)【発明の名称】 遊技機

(57)【特許請求の範囲】

【請求項1】

画像演出に必要な画像信号を生成するVDP（Video Display Processor）、及び、前記VDPの動作を規定する設定値が設定されるVDPレジスタを有するVDP回路と、前記画像信号の基礎データを不揮発的に記憶するCGROMと、

プログラム処理を実行するCPU、前記CPUに制御されて動作する内部回路、及び、前記内部回路の動作を規定する設定値が設定される動作制御レジスタを有するCPU回路とを有し、

前記CPU回路が前記VDP回路に発行するディスプレイリストと、前記CPU回路による前記VDPレジスタへの設定動作に基づいて所定の画像演出動作が実行される遊技機であって、

前記VDPがアクセス可能なVDPメモリ空間には、前記基礎データを展開する展開空間として使用可能な複数の領域が確保可能に構成される一方、

前記CPUがアクセス可能なCPUメモリ空間には、前記CPU回路の外部に位置して、データバス幅を各々規定可能な複数のアドレス空間が含まれ、

前記CPUのプログラム処理が開始されるまでに、前記VDPレジスタの初期値を設定する自動設定手段と、

前記CPUのリセット後、前記CPUのプログラム処理として、前記アドレス空間へのアクセス動作について、必要な設定値を前記動作制御レジスタに設定するプログラム第1手段（SP1～SP2，SP6）と、

その後、前記VDPによる前記CGROMへのアクセス動作について、必要な設定値を前記VDPレジスタに設定するプログラム第2手段（SP20）と、を設け、

前記プログラム第2手段による前記VDPレジスタへの設定値には、前記CGROMを構成するメモリデバイスの種別や特性に対応する動作パラメータが含まれており、前記内部回路には、並行動作が可能で、優先順位が規定された複数のチャンネル回路に区分されると共に、複数のチャンネル回路が並行動作する場合のDMA転送条件として、転送動作中の所定タイミング毎に優先順位に基づくチャンネル調停する一又は複数態様の調停モードと、転送動作中はチャンネル調停をしないノンストップモードと、が選択可能に構成されたDMAC回路が含まれ、

前記画像演出動作を実現する制御プログラムは、前記DMAC回路によって、前記CPUメモリ空間に含まれる第1空間から第2空間に転送されて機能するよう構成されている遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技動作に起因する抽選処理を行い、その抽選結果に対応する画像演出を実行する遊技機に関し、特に、迫力ある役物演出や画像演出を安定して実行できる遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を20秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することになる。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

【0004】

図柄変動動作は、通常、液晶表示部において実行されるが（特許文献1～4）、液晶表示部を構成するH×Vドットの画素は、動作クロックCK（＝ドットクロックDCK）に同期して駆動されることで表示更新される。そして、表示更新動作（フレーム更新）を円滑に実行するために、水平同期信号HS及び垂直同期信号VSのパルス幅や、各同期信号HS、VSと画像信号の送信タイミングとの間には、例えば、図42（g）のような所定の条件が要求される。

【0005】

図示の駆動条件では、まず、水平同期信号HSのパルス幅PWhは、動作クロックCKの96個分であり、水平同期信号PWhの前後に要求されるフロントポーチFP hと、バックポートBP hは、各々、動作クロックCKの16個分と、48個分と規定されている。一方、垂直同期信号VSのパルス幅PWvは、2ライン分であり、垂直同期信号VSの前後に要求されるフロントポーチFP vと、バックポートBP vは、各々、19ライン分と、33ライン分と規定されている。

【0006】

10

20

30

40

50

そして、液晶表示部を制御する外部制御機器は、上記の水平条件（PWh, FPh, BPh）を満たす水平同期信号HSと、上記の垂直条件（PWvh, FPh, BPvh）を満たす水平同期信号HSと共に、表示画面の画素数に対応した画像信号を、繰り返し、液晶表示部に供給している。

【0007】

ところで、液晶表示部を使用した図柄変動動作に加えて、役物と呼ばれる可動物が適宜に移動することで、抽選結果を不確定に予告する予告演出も実行されることがある。また、大当たり状態が招来した後も、遊技者を効果的に盛り上げるために、役物演出が実行される場合もある。

【0008】

役物は、通常、ステッピングモータによって駆動制御されるが、モータ制御が容易であることから専らバイポーラ駆動モータが使用される（特許文献5～6）。

【先行技術文献】

【特許文献】

【0009】

【文献】特開2017-093633号公報

【文献】特開2017-093632号公報

【文献】特開2016-159030号公報

【文献】特開2016-159029号公報

【文献】特開2016-007258号公報

【文献】特開2018-153304号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

ところで、この種の遊技機では、各種の演出を複雑化かつ豊富化したいところ、特に、液晶ディスプレイを使用する画像演出については、その要請が高い。

【0011】

本発明は、上記の課題に鑑みてなされたものであり、画像演出制御を中心とした各種の演出制御動作が更に改善された遊技機を提供することを目的とする。

【課題を解決するための手段】

【0012】

上記の目的を達成するため、画像演出に必要な画像信号を生成するVDP（Video Display Processor）、及び、前記VDPの動作を規定する設定値が設定されるVDPレジスタを有するVDP回路と、前記画像信号の基礎データを不揮発的に記憶するCGROMと、プログラム処理を実行するCPU、前記CPUに制御されて動作する内部回路、及び、前記内部回路の動作を規定する設定値が設定される動作制御レジスタを有するCPU回路とを有し、前記CPU回路が前記VDP回路に発行するディスプレイリストと、前記CPU回路による前記VDPレジスタへの設定動作に基づいて所定の画像演出動作が実行される遊技機であって、前記VDPがアクセス可能なVDPメモリ空間には、前記基礎データを展開する展開空間として使用可能な複数の領域が確保可能に構成される一方、前記CPUがアクセス可能なCPUメモリ空間には、前記CPU回路の外部に位置して、データバス幅を各々規定可能な複数のアドレス空間が含まれ、前記CPUのプログラム処理が開始されるまでに、前記VDPレジスタの初期値を設定する自動設定手段と、前記CPUのリセット後、前記CPUのプログラム処理として、前記アドレス空間へのアクセス動作について、必要な設定値を前記動作制御レジスタに設定するプログラム第1手段（SP1～SP2, SP6）と、その後、前記VDPによる前記CGROMへのアクセス動作について、必要な設定値を前記VDPレジスタに設定するプログラム第2手段（SP20）と、を設け、前記プログラム第2手段による前記VDPレジスタへの設定値には、前記CGROMを構成するメモリデバイスの種別や特性に対応する動作パラメータが含まれており、前記内部回路には、並行動作が可能で、優先順位が規定された複数のチャンネル回路に区分さ

10

20

30

40

50

れると共に、複数のチャンネル回路が並行動作する場合のDMA転送条件として、転送動作中の所定タイミング毎に優先順位に基づくチャンネル調停する一又は複数態様の調停モードと、転送動作中はチャンネル調停をしないノンストップモードと、が選択可能に構成されたDMAC回路が含まれ、前記画像演出動作を実現する制御プログラムは、前記DMAC回路によって、前記CPUメモリ空間に含まれる第1空間から第2空間に転送されて機能するように構成されている。

【発明の効果】

【0013】

上記した本発明によれば、画像演出制御を中心とした各種の演出制御動作が更に改善される。

【図面の簡単な説明】

【0014】

【図1】本実施例のパチンコ機を示す斜視図である。

【図2】図1の遊技機の遊技領域を示す正面図である。

【図3】図1の遊技機の全体回路構成を示すブロック図である。

【図4】表示装置の仕様を説明する図面である。

【図5】表示装置の内部構成を説明するブロック図である。

【図6】給電制御回路の回路構成と動作を説明する図面である。

【図7】図1の遊技機について、演出制御部の回路構成をやや詳細に示すブロック図である。

【図8】演出制御部を構成する複合チップを説明する図面である。

【図9】図4に示すCPU回路の内部構成を示すブロック図である。

【図10】CPU回路の内蔵CPU（演出制御CPU）のメモリマップを図示したものである。

【図11】DMACについて、各種の転送動作モード（a）～（b）と、転送動作手順（c）～（e）を説明する図面である。

【図12】インデックス空間、インデックステーブル、仮想描画空間、及び、描画領域について説明する図面である。

【図13】データ転送回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図14】表示回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図15】VDP回路から出力されるデータ有効信号ENABを説明する図面である。

【図16】CPUリセット後のパワーリセット動作を説明するフローチャートである。

【図17】図16の一部であるメモリセクション初期化処理を説明するフローチャートである。

【図18】図16の一部であるメイン導入処理と、割込み処理を説明するフローチャートである。

【図19】メイン導入処理の一部であるCGROMの初期化処理を説明するフローチャートである。

【図20】割込み処理を使用する他の実施例の動作を説明するフローチャートである。

【図21】図18に続くメイン導入処理であって、定常処理に至るまでの処理を説明するフローチャートである。

【図22】図21に続く定常処理を説明するフローチャートである。

【図23】ディスプレイリストの構成を説明する図面である。

【図24】ディスプレイリストDLを発行するDL発行処理を示すフローチャートである。

【図25】図24の動作にDMACが関与する場合の動作を説明するフローチャートである。

【図26】図25の処理に続く動作を説明するフローチャートである。

【図27】プリローダを使用する場合について、定常処理を説明するフローチャートである。

10

20

30

40

50

- 【図 28】図 27 の一部を説明するフローチャートである。
- 【図 29】図 27 の別の一部を説明するフローチャートである。
- 【図 30】プリローダを使用しない実施例について、VDP 各部の動作を示すタイムチャートである。
- 【図 31】プリローダを使用する実施例について、VDP 各部の動作を示すタイムチャートである。
- 【図 32】別の実施例について全体回路構成を示すブロック図である。
- 【図 33】図 32 の一部をやや詳細に示すブロック図である。
- 【図 34】別の実施例について、動作内容を説明するタイムチャートである。
- 【図 35】更に別の実施例を説明する図面である。 10
- 【図 36】設定値を繰り返し設定する実施例を説明する図面である。
- 【図 37】内蔵された音声回路を使用する実施例の回路構成を説明する図面である。
- 【図 38】音声回路の初期設定動作を説明するフローチャートである。
- 【図 39】CPUリセット後のパワーリセット動作について別の実施例を説明する図面である。
- 【図 40】メモリREAD動作とメモリWRITE 動作の一例を示すタイムチャートである。
- 【図 41】別の実施例を説明する図面である。
- 【図 42】一般の表示装置の駆動方法を説明する図面である。
- 【図 43】ディスプレイリストを説明する図面である。
- 【図 44】ズーム予告を説明する図面である。 20
- 【図 45】回転動作を実現するためのCPUの処理を説明する図面である。
- 【図 46】計算式の根拠を示す図面である。
- 【図 47】電源投入時のバックライト部と液晶表示部の変形動作を示すタイムチャートである。
- 【図 48】電源投入時のバックライト部と液晶表示部の別の変形動作を示すタイムチャートである。
- 【図 49】役物演出を実現する回路構成を説明するブロック図である。
- 【図 50】シリアルポートの内部構成と、モータドライバ及びセンサ基板との接続関係を図示したものである。
- 【図 51】センサ基板の内部構成を説明する図面である。 30
- 【図 52】モータドライバを説明する図面である。
- 【図 53】ブリッジ駆動回路の動作を説明する図面である。
- 【図 54】定電流制御動作を説明するタイムチャートである。
- 【図 55】モータドライバの一部を詳細に図示したものである。
- 【図 56】モータドライバが受ける駆動データと、A相とB相の駆動電流との関係を図示したものである。
- 【図 57】モータドライバの内部構成を示すブロック図である。
- 【図 58】歩進クロックと、定電流制御される駆動電流との関係を図示したものである。
- 【図 59】モータコントローラの内部構成を示すブロック図である。
- 【図 60】各種の駆動方法を説明する図面である。 40
- 【図 61】タイマ割込みの処理内容を示すものであり、図 22 (b) の内容を詳細化したものである。
- 【図 62】モータコントローラの動作を説明するタイムチャートである。
- 【図 63】シリアルポートの動作を説明するタイムチャートである。
- 【図 64】スパイラルシャフトと、役物演出の一例を説明する図面である。
- 【発明を実施するための形態】
- 【0015】

以下、実施例に基づいて本発明を詳細に説明する。図 1 は、本実施例のパチンコ機 GM を示す斜視図である。このパチンコ機 GM は、島構造体に着脱可能に装着される矩形枠状の木製外枠 1 と、外枠 1 に固着されたヒンジ 2 を介して開閉可能に枢着される内枠 3 とで

構成されている。この内枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。なお、本明細書では、ガラス扉6と前面板7を総称して前扉部材と称する。そして、前扉部材（ガラス扉6や前面板7）が枢着された状態の内枠3を遊技枠と称することがある。

【0016】

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャンネルR、Lの音声を出力し、下側のスピーカは低音を出力するよう構成されている。

【0017】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、内枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回動角度に応じて動作する打撃槌によって遊技球が発射される。

【0018】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0019】

また、チャンスボタン11の下方には、ロータリースイッチ型の音量スイッチVLSWが配置されており、遊技者が音量スイッチVLSWを操作することで、無音レベル（＝0）から最高レベル（＝7）まで、スピーカ音量を8段階に調整できるようになっている。なお、スピーカの音量は、係員だけが操作可能な設定スイッチ（不図示）によって初期設定されており、遊技者が音量スイッチVLSWを操作しない限り、初期設定音量が維持される。また、異常事態が発生したことを報知する異常報知音は、係員による初期設定音量や、遊技者の設定音量に拘らず最高音量で放音される。

【0020】

上皿8の右部には、カード式球貸し機に対する球貸し操作用の操作パネル12が設けられ、カード残額を3桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【0021】

図2に示すように、遊技盤5の表面には、金属製の外レールと内レールとからなるガイドレール13が環状に設けられ、その略中央には、中央開口HOが設けられている。そして、中央開口HOの下方には、不図示の可動演出体が隠蔽状態で収納されており、可動予告演出時には、その可動演出体が上昇して露出状態となることで、所定の信頼度の予告演出を実現している。ここで、予告演出とは、遊技者に有利な大当たり状態が招来することを不確定に報知する演出であり、予告演出の信頼度とは、大当たり状態が招来する確率を意味している。

【0022】

中央開口HOには、大型（例えば、横1280×縦1024ピクセル）の液晶カラーディスプレイで構成されたメイン表示装置DS1が配置され、メイン表示装置DS1の右側には、小型（例えば、横480×縦800ピクセル）の液晶カラーディスプレイで構成された可動式のサブ表示装置DS2が配置されている。メイン表示装置DS1は、メイン液晶表示部MONIと、LEDバックライト部BLとで構成され、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置DS1は、中央部に特別図柄表示部Da～Dcと右上部に普

10

20

30

40

50

通図柄表示部 19 とを有している。そして、特別図柄表示部 D a ~ D c では、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部 D a ~ D c 及びその周りでは、適宜な予告演出などが実行される。

【0023】

サブ表示装置 D S 2 は、通常時には、その表示画面が遊技者に見やすい角度に傾斜した静止状態で画像情報を表示している。但し、所定の予告演出時には、遊技者に見やすい角度に傾斜角度を変えながら、図示の左側に移動する共に、所定の予告画像を表示するようになっている。

【0024】

すなわち、実施例のサブ表示装置 D S 2 は、単なる表示装置ではなく、予告演出を実行する可動演出体としても機能している。ここで、サブ表示装置 D S 2 による予告演出は、その信頼度が高く設定されており、遊技者は、大きな期待感をもってサブ表示装置 D S 2 の移動動作に注目することになる。なお、サブ表示装置 D S 2 も、サブ液晶表示部 M O N I と、L E D バックライト部 B L とで構成されている。

【0025】

ところで、遊技球が落下移動する遊技領域には、第1図柄始動口 15 a、第2図柄始動口 15 b、第1大入賞口 16 a、第2大入賞口 16 b、普通入賞口 17、及び、ゲート 18 が配設されている。これらの入賞口 15 ~ 18 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【0026】

第1図柄始動口 15 a の上部には、導入口 I N から進入した遊技球がシーソー状又はルーレット状に移動した後に、第1図柄始動口 15 に入賞可能に構成された演出ステージ 14 が配置されている。そして、第1図柄始動口 15 に遊技球が入賞すると、特別図柄表示部 D a ~ D c の変動動作が開始されるよう構成されている。

【0027】

第2図柄始動口 15 b は、左右一対の開閉爪を備えた電動式チューリップで開閉されるように構成され、普通図柄表示部 19 の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪が開放されるようになっている。

【0028】

なお、普通図柄表示部 19 は、普通図柄を表示するものであり、ゲート 18 を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート 18 の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

【0029】

第1大入賞口 16 a は、前後方向に進退するスライド盤を有して構成され、第2大入賞口 16 b は、下端が軸支されて前方に開放する開閉板を有して構成されている。第1大入賞口 16 a や第2大入賞口 16 b の動作は、特に限定されないが、この実施例では、第1大入賞口 16 a は、第1図柄始動口 15 a に対応し、第2大入賞口 16 b は、第1図柄始動口 15 b に対応するよう構成されている。

【0030】

すなわち、第1図柄始動口 15 a に遊技球が入賞すると、特別図柄表示部 D a ~ D c の変動動作が開始され、その後、所定の大当たり図柄が特別図柄表示部 D a ~ D c に整列すると、第1大当たりたる特別遊技が開始され、第1大入賞口 16 a のスライド盤が、前方に開放されて遊技球の入賞が容易化される。

【0031】

一方、第2図柄始動口 15 b への遊技球の入賞によって開始された変動動作の結果、所定の大当たり図柄が特別図柄表示部 D a ~ D c に整列すると、第2大当たりたる特別遊技が開始され、第2大入賞口 16 b の開閉板が開放されて遊技球の入賞が容易化される。特別遊技（大当たり状態）の遊技価値は、整列する大当たり図柄などに対応して種々相違するが、何れの遊技価値が付与されるかは、遊技球の入賞タイミングに応じた抽選結果に基づいて予

10

20

30

40

50

め決定される。

【0032】

典型的な大当たり状態では、大入賞口16の開閉板が開放された後、所定時間が経過し、又は所定数（例えば10個）の遊技球が入賞すると開閉板が閉じる。このような動作は、最大で例えば15回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部Da～Dcの変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

【0033】

図3（a）は、上記した各動作を実現するパチンコ機GMの全体回路構成を示すブロック図である。また、図3（b）は、払出制御基板25に配置された電源モニタ部MNIの回路構成を示す回路図であり、図3（c）は、本実施例で使用するメイン表示装置DS1の仕様を説明する図面である。

【0034】

最初に、図3（c）に基づいて、実施例で使用するメイン表示装置DS1の仕様から説明する。先に説明した通り、この表示装置DS1は、横1280×縦1024ピクセルの液晶カラーディスプレイであるが、左右方向に隣接する奇数ピクセル（ODD）と偶数ピクセル（EVEN）を、別々のLVDS（Low Voltage Differential Signaling）伝送路を通して、受信部RV（RVa+RVb）で受ける構成となっている。そこで、本実施例では、このデュアルリンク仕様に対応して、第1の伝送路LVDS1を経由してODD信号を伝送し、第2の伝送路LVDS2を経由してEVEN信号を伝送している（図3（a）の右下部）。

【0035】

また、この表示装置DS1では、表示装置DS1の内部動作を規定する動作クロックCK（図42参照）は、その周波数が40MHz～70MHzの範囲とすべく規定されている（典型値＝54MHz）。この動作クロックCKは、後述するLVDSクロックCLKに対応するが、以下では、説明の便宜上、動作クロックCKの周波数は、典型値の54MHzであるとする。また、54MHzの動作クロックCKにおいて、一フレームの画像更新に要する更新時間FR（Frame Rate）を、ほぼ1/60秒に一致させる構成について説明する。

【0036】

この表示装置DS1は、その仕様として、第1の伝送路LVDS1から受けたODD信号と、第2の伝送路LVDS2から受けたEVEN信号に基づき、表示画面の左右方向に隣接する2画素を、一の動作クロックCKで同時に処理するよう構成されている。この結果、水平方向一ラインの1280画素の画素データは、 $640 / 54 \text{ MHz} = 11.85 \mu\text{s}$ の動作時間で更新され、この動作が1024ライン分だけ繰り返されることで、一フレーム分1280×1024ピクセルの画像表示が更新されることになる。なお、第1ライン→第2ライン・・・→第1024ラインのように、一ラインごとにノンインタレース方式で画像が更新される。

【0037】

但し、図3（c）に示す通り、表示装置DS1の仕様として、水平方向に、典型値としては、204クロック分の待機時間（ブランク期間）を設けること、及び、垂直方向に、典型値としては、42行分の待機時間（ブランク期間）を設けることが規定されている。したがって、これらのブランク期間を考慮した実際の画面更新周期FRは、上記した典型値に基づく計算において、 $(204 + 640) \times (42 + 1024) / 54 \text{ MHz} = 16.66 \text{ ms}$ となるので、フレームレートFRは約1/60Hzとなる。

【0038】

なお、水平方向の待機時間WThと、垂直方向の待機時間WTVには、各々、典型値に対する許容幅が規定されており、実際には、上記した典型値とは異なる値が選択可能である。但し、フレームレートFR＝1/60秒とするため、 $(WTh + 640) \times (WTV + 1024) / 54 \text{ MHz} = 1 / 60 \text{ 秒}$ となるよう、水平／垂直方向の待機時間WTh／

10

20

30

40

50

W T v を正確に設定する必要がある。

【0039】

一方、この表示装置 D S 1 では、水平同期信号 H S と、垂直同期信号 V S の受信が特に不要である一方、O D D 信号と E V E N 信号の伝送時には、H レベルのデータ有効信号 E N A B の伝送が要求される。すなわち、伝送路 L V D S 1, L V D S 2 に対して、有意な信号 (O D D / E V E N 信号) を伝送しているタイミングでは、データ有効信号 E N A B がアクティブレベル (H) である必要がある。

【0040】

そこで、本実施例では、上記したメイン表示装置 D S 1 の仕様に基づき、演出制御基板 2 3 とメイン表示装置 D S 1 とを、周波数 5 4 M H z (= ドットクロック D C K の 1 / 2) の L V D S クロック C L K のデュアルリンク伝送路で L V D S 接続している (図 5、図 1 4 (a))。また、本実施例の V D P 回路 5 2 では、メイン表示装置 D S 1 の仕様を満たす水平方向ブランク期間 W T h と、垂直ブランク期間 W T v を設けるとともに、画像データ (O D D / E V E N 信号) の出力時は、データ有効信号 E N A B がアクティブレベル (H レベル) になるようにしている。

【0041】

すなわち、データ有効信号 E N A B は、図 4 (b) に示すように、水平同期周期 T H のうち、水平表示期間 T H d だけが H レベルとなるよう構成されている。したがって、データ有効信号 E N A B は、垂直同期周期 T V のうち、垂直表示期間 T V d 以外は、必ず L レベルとなる。なお、水平方向ブランク期間 W T h と、垂直ブランク期間 W T v は、各々の典型値 (W T h = 2 0 4 / W T v = 4 2) とは異なる値を採用しているが、具体的な設計値は、図 1 5 に基づいて後述する。

【0042】

何れにしても、データ有効信号 E N A B は、差動信号ライン R A 2 / R B 2 を経由して、L V D S クロック C L K の各動作サイクルにおいて、離散的な D E 信号として繰り返し伝送される。図 4 (b) や図 4 (c) に示すデータ有効信号 E N A B は、L V D S 伝送された離散データである D E 信号を復調したものであり、離散的な D E 信号を時間軸上に連続させたものである。なお、差動信号ライン R A 2 / R B 2 では、垂直同期信号 V S と、水平同期信号 H S についても、D E 信号 (データ有効信号 E N A B) に続いて、繰り返し伝送されているが、実施例で使用するメイン表示装置 D S 1 では、この同期信号 V S, H S を活用していない。

【0043】

もっとも、表示装置 D S 1 では、水平同期信号 H S や、垂直同期信号 V S の伝送を何ら禁止していない。但し、これらの同期信号に規定された内部動作が実行されることはない。すなわち、表示ラインの水平改行タイミングは、受信した水平同期信号 H S とは無関係に、データ有効信号 E N A B の立下りタイミングや、データ有効信号 E N A B の立上りタイミング後の動作クロック C K (L V D S クロック C L K に対応) の個数 (実施例では 6 4 0 個 = 1 2 8 0 / 2) などに基づいて、表示装置 D S 1 の内部回路にとって最適なタイミングに規定される (図 4 (b) の下向き矢印)。

【0044】

この点は、一フレーム分の画像表示後の垂直改行タイミングについても同様であり、所定パルス幅のデータ有効信号 E N A B の連続個数 (実施例では 1 0 2 4 個) などに基づいて、表示装置 D S 1 の内部回路にとっての最適タイミングに規定され (図 4 (c) の下向き矢印)、受信した垂直同期信号 V S には影響されない。このように、本実施例では、表示装置 D S 1 に水平同期信号 H S や垂直同期信号 V S を伝送する必要がないので、同期信号 H S, V S のパルス幅 P W h / P W v や、フロントポート F P h / F P v や、バックポート B P h / B P v を最適に設定する必要がなくなり、演出制御部 2 3 や V D P 回路 5 2 の制御負担が大きく軽減される。

【0045】

また、表示装置 D S 1 の内部動作としても、自らの内部構成に基づいた最適タイミング

10

20

30

40

50

で、水平改行や垂直改行の動作が実行されるので、不自然な表示動作のおそれが解消される。因みに、外部から受ける水平同期信号HSや、垂直同期信号VSに基づいて動作する表示装置の場合には、同期信号HS、VSのパルス幅や、同期信号HS、VSに前後するフロントポーチ期間や、バックポーチ期間が不適切な場合には、正常な表示動作が損なわれるおそれがある。

【0046】

ところで、図4(a)において、差動信号ラインRA0~RA3、RACLKを使用する第1の差動信号LVDS1は、奇数番目の画素を伝送しており(AサイドのODD信号)、差動信号ラインRB0~RB3、RBLCKを使用する第2の差動信号LVDS2は、偶数番目の画素を伝送している(BサイドのEVEN信号)。このように、本実施例では、二種類のODD信号とEVEN信号を、デュアルリンク伝送路で伝送することで、ドットクロックDCKの周波数を1/2に低下させることができ、その分だけ耐ノイズ性に優れ、また、伝送距離を上げることできる。

10

【0047】

一方、メイン表示装置DS1には、デュアルリンク伝送路で伝送されたODD信号と、EVEN信号の変換受信部RVが内蔵されており、二つのLVDS信号(ODD信号とEVEN信号)からRGB信号を復元して、一フレーム分(1280×1024ドット)の画像を表示している。先に説明した通り、RGB信号は、各々、8bitで構成されているので、メイン表示装置DS1には、諧調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示される。

20

【0048】

図5は、メイン液晶表示部MONIとLEDバックライト部BLで構成された表示装置DS1について、特に、液晶表示部MONIの内部構成を、VDP回路52の関連部分と共に図示したブロック図である。図示の通り、ODD信号は、第1のLVDSライン(Aサイド)を経由してLVDS-パラレル変換部RVaに伝送され、EVEN信号は、第2のLVDSライン(Bサイド)を経由してLVDS-パラレル変換部RVbに伝送される。そして、差動ラインRA0/RB0で伝送される各8ビット長のRGBデータのうち、画像データR0~R5、G0が注出され、差動ラインRA1/RB1からは、画像データG1~G5、B0~B1が注出される。

【0049】

また、差動ラインRA2/RB2から、画像データB2~B5とDE信号とVS信号とHS信号が注出され、差動ラインRA3/RB3からは、画像データG6~G7、R6~R7、B6~B7が注出される。ここで、DE信号は、データ有効信号ENABに他ならない。また、注出されたVS信号と、HS信号が利用されないことは前記した通りである。

30

【0050】

次に、差動ラインRACK/RBCKのLVDSクロックCLKは、PLL回路に供給されることで、LVDSクロックCLKと同一の周波数54MHzの動作クロックCKが生成される。この動作クロックCKは、液晶コントローラLCD_CTLの内部動作を規定するもので、液晶コントローラLCD_CTLは、液晶パネルLCDの左右方向に隣接する2個のRGB画素(8ビット×3×2)に対応する画像データを、一の動作クロックCKに同期してまとめて処理している。

40

【0051】

そのため、横方向1280(=640×2)ドットの画素は、動作クロックCK640個分の処理時間11.85μs(=640/54MHz)で処理を完了することになる。なお、一の画素は、RGB三色の基本画素で構成されて、RGB三色の基本画素の画像データは、各々1バイト長であって諧調度 $2^8 \times 2^8 \times 2^8$ であるので、一ラインの全画素(1280ドット)の画像データは、全体として、3×1280バイト長となる。

【0052】

図5に示す通り、液晶コントローラLCD_CNTは、1280本のソース信号ラインを、各々、 2^8 (=256)諧調の駆動信号で駆動するソースドライバSDVと、1024本

50

のゲート信号ラインをON/OFF制御するゲートドライバG D Vを適宜に制御している。具体的には、液晶コントローラLCD_CNTは、L V D S伝送路から注出したD E信号と、動作クロックC Kとに基づいて、各部を適宜に動作させることで、フレームレートF R = 1 / 6 0 H zの画像更新動作を実現している。先に確認した通り、D E信号は、V D P回路5 2が出力したデータ有効信号E N A Bに対応する。

【0053】

本実施例の場合、ソースドライバS D Vは、3 8 4本の出力端子を有するドライバ素子を10個配置して構成されている。先に説明した通り、液晶パネルL C Dの一ライン全画素(1 2 8 0ドット)は、R G B三色の基本画素で構成されて合計3 × 1 2 8 0個であるので、これらを駆動するドライバ素子が10個必要となる。なお、これら10個のドライバ素子には、液晶コントローラLCD_CNTから画像データD A Tが順番に供給され、これがスタート信号S Pや転送クロックD C L Kに基づいて適宜に転送される。そして、ラッチ信号L Tに同期して、アナログ変換された駆動信号が3 8 4 0本のソース信号ラインに供給される。先に説明した通り、液晶パネルL C Dの一ラインの全画素(1 2 8 0ドット)が更新されるに要する時間は、1 1 . 8 5 μ S (= 6 4 0 / 5 4 M H z)である。

【0054】

一方、液晶コントローラLCD_CNTは、ゲートドライバG D Vに対して、ゲートスタート信号G Sや、ゲートクロック信号G C L Kを供給することで、駆動対象となるゲート信号ラインを更新している。ここで、ゲートドライバG D Vは、2 5 6本の出力端子を有するドライバ素子を4個配置して構成されている。

【0055】

なお、ゲート信号ラインの更新タイミングは、D E信号の立下りタイミングと、動作クロックC Kに基づいて規定され、ゲート信号ラインの水平改行周期は、動作クロックC Kでカウントして、典型値計算では、6 4 0 + 2 0 4クロックとされる(図3(c)参照)。また、D E信号の個数(1 0 2 4)に基づいて、駆動対象のゲート信号ラインが初期状態にリセットされ、最適なタイミングで、ゲートスタート信号G Sが出力され、ゲートクロック信号G C L Kの出力が再開される。ゲート信号ラインの垂直改行周期は、動作クロックC Kでカウントして、典型値計算では、4 2 + 1 0 2 4クロックである(図3(c)参照)。但し、先に説明した通り、本実施例では、典型値とは異なる設計で表示装置D S 1を動作させている(図15参照)。

【0056】

ところで、上記の表示動作は、L E Dバックライト部B Lの点灯状態において、メイン液晶表示部M O N Iに電源電圧5 Vが供給されていることが条件となる。そこで、本実施例では、液晶表示部M O N Iと、バックライト部B Lを、整合的に動作させるべく、給電制御回路S P Yを設けている。給電制御回路S P Yは、演出インタフェース基板2 2から三種類の直流電圧(3 . 3 V, 5 V, 1 2 V)を受けると共に、複合チップ5 0の演出制御C P U 6 3から、各種の給電制御信号(S T B Y, P W M, P S 1, P S 2)を受けている(図7(a)参照)。

【0057】

そして、給電制御回路S P Yは、最適なタイミングで、メイン液晶表示部M O N Iの電源電圧として、直流電圧5 Vを給電している(図6(c)、図6(g)参照)。また、給電制御回路S P Yは、バックライト部B Lの電源電圧として、直流電圧1 2 Vを給電制御すると共に、L E Dバックライト部B LのB L _ E N端子と、P W M端子を、適切なH / Lレベルに制御して、最適な点灯動作を実現している。

【0058】

図6(a)は、給電制御回路S P Yの回路構成と、バックライト部B L及び液晶表示部M O N Iとの関係を示す回路図である。図示の通り、この給電制御回路S P Yは、トランジスタT r 1とM O SトランジスタQ 1を有する第1スイッチ回路と、トランジスタT r 2とM O SトランジスタQ 2を有する第2スイッチ回路と、トランジスタT r 3とM O SトランジスタQ 3を有する第3スイッチ回路と、トランジスタT r 4とM O Sトランジスタ

10

20

30

40

50

タQ 4を有する第4スイッチ回路と、各種の制御信号を受けるバッファ回路S B U Fと、を中心に構成されている。

【0059】

バッファ回路S B U Fは、演出インタフェイス基板22から給電される直流電圧3.3Vを電源電圧とする高速シュミットバッファ（例えばT C 7 4 V H C 9 1 2 5）であり、非反転状態の入出力関係で動作している。すなわち、複合チップ50の演出制御C P U 63は、電源電圧3.3Vに基づいて、理論上のH/L幅が、3.3Vの給電制御信号（S T B Y, PWM, P S 1, P S 2）を出力しており、これを受けたバッファ回路S B U Fは、同一論理の制御信号（S T B Y, PWM, P S 1, P S 2）を出力している（図7（a）参照）。

10

【0060】

図6（a）に示す通り、バッファ回路S B U Fの4本の入力端子（S T B Y, PWM, P S 1, P S 2）は、全てプルダウン抵抗R p dを経由してグラウンドに接続されており、接続コネクタの分離状態や、電源投入時など、各制御信号がH i Z（high impedance）状態の場合には、全ての制御信号がLレベルとなるよう構成されている。

【0061】

次に、第1～第4スイッチ回路において、トランジスタT r 1～T r 4は、全てN P N型のバイポーラトランジスタであって、スイッチング動作をするよう駆動される。すなわち、各トランジスタT r 1/T r 2/T r 3/T r 4は、対応する制御信号P S 1/S T B Y/PWM/P S 2がHレベルの場合に、バイアス抵抗の分圧比に基づいてO N動作する一方、制御信号P S 1/S T B Y/PWM/P S 2がLレベルの場合には、バイアス抵抗に電流が流れないことでO F F動作する。

20

【0062】

ここで、トランジスタT r 1/T r 4のO F F動作時には、各トランジスタT r 1/T r 4のコレクタ出力が、いずれも3.3Vより高レベル（12V/5V）となる。また、M O SトランジスタQ 1がO N状態において、トランジスタT r 2/T r 3のO F F動作時には、各トランジスタT r 2/T r 3のコレクタ出力は、約12Vとなる。これらの意味において、各トランジスタT r 1～T r 4は、バイアス抵抗と共に、給電制御信号（S T B Y, PWM, P S 1, P S 2）の論理Hレベルを増加させるレベルシフト回路を構成している。

30

【0063】

なお、トランジスタT r 1～T r 4に対するバイアス抵抗は、各々、R 1 1+R 1 2、R 2 1+R 2 2、R 3 1+R 3 2、R 4 1+R 4 2であり、各バイアス抵抗の分圧比で規定される電圧が、トランジスタT r 1～T r 4のベース端子に供給されている。

【0064】

本実施例では、上記したレベルシフト回路（T r 1～T r 4）を設けるので、バックライトの発光輝度を上げる一方で、演出制御部23の消費電力を大きく抑制することができる。すなわち、バックライト部B Lの電源電圧（12V）を可能な限り高レベルにする一方で、給電制御信号（S T B Y, PWM, P S 1, P S 2）の論理Hレベルを、任意の低レベル（3.3V）に設定することができる。

40

【0065】

一方、M O SトランジスタQ 1～Q 4は、全てP c h型であって、トランジスタT r 1～T r 4のO N/O F F状態に応じたスイッチング動作をして、O N動作時には、ソース端子Sとドレイン端子Dがほぼ導通状態となる。

【0066】

具体的に確認すると、まず、M O SトランジスタQ 1は、そのソース端子Sに、演出インタフェイス基板22が給電する直流電圧12Vを受けており、Hレベルの制御信号P S 1に基づいてトランジスタT r 1がO N動作すると、これに呼応して通電状態に移行するバイアス抵抗R b 1の両端電圧に基づいて、M O SトランジスタQ 1もO N動作して、ドレイン端子Dに直流電圧12Vを出力する。

50

【0067】

この直流電圧12Vは、RCフィルタ回路とツェナーダイオードを経由して、バックライト部BLに給電される。RCフィルタ回路は、3.3kΩの抵抗と、47μFの導電性高分子コンデンサ（アルミ電解コンデンサの電解液の代わりに、導電性高分子と電解液とを融合させた電解質を配置したハイブリッドコンデンサ）で構成されている。

【0068】

このハイブリッドコンデンサは、定格電圧（Rated Voltage）25Vであって、直径6.3mm高さ5.8mmの円筒形状の表面実装品SMD（Surface Mount Device）である。そして、5V給電時における静電容量は、公称値の（47μF）の-10%未満に維持される。また、等価直列抵抗ESRは、公称値で50mΩである。

10

【0069】

通常の回路構成では、47μFの電解コンデンサに、MLCC（Multilayer Ceramic Capacitor）などセラミックコンデンサ（0.1μF）を並列接続するが、本実施例では、単一のハイブリッドコンデンサで、所望の平滑動作とデカップリング動作を実現しており、他の回路素子の配置スペースを消費しない。

【0070】

因みに、導電性高分子コンデンサから、少なくとも半径20mmの範囲内に、他の平滑コンデンサやデカップリングコンデンサが配置されることはない。また、本実施例では、デカップリングコンデンサを表面実装し、通常の電解コンデンサのように、スルーホール実装法を採らないので、配置スペースを抑制できる利点もある。

20

【0071】

また、表面実装された円筒形の頂面には、静電容量を示す数値「47」と、定格電圧25Vを示すランク記号「E」が記載され、また、マイナス極性の方向が、黒塗り記号で特定されているので、目視確認で、容易に基板上の部品チェックができる。

【0072】

また、本実施例では、特に、MOSトランジスタQ1として、ソースSドレインD間のON抵抗が、25mΩ以上、35mΩ以下となる素子を使用している。そのため、例えば、駆動電流（ドレイン電流ID）2.5Aを定常的に流しても、MOSトランジスタQ1における電圧降下は、0.1V以下であり、また、損失電力も0.22W（=2.5*2.5*35/1000）程度に抑制される。なお、ON抵抗は、VGS=-10V，ID=-4.5Aにおけるパルス駆動での測定結果である。

30

【0073】

また、トランジスタQ2とトランジスタQ3は、各々のソース端子SにトランジスタQ1のドレイン端子Dの電圧を受けている。したがって、MOSトランジスタQ1がON状態において、Hレベルの制御信号STBY/PWMに基づいてトランジスタTr2/Tr3がON動作すると、これに呼応して通電状態に移行するバイアス抵抗Rb2/Rb3の両端電圧に基づいて、MOSトランジスタQ2，Q3もON動作する。そのため、MOSトランジスタQ2，Q3のドレイン端子Dには、ON状態のトランジスタQ1を経由して、各々、直流電圧12Vが出力されることになる。

【0074】

この直流電圧12Vは、MOSトランジスタQ2のドレイン端子Dから、制御信号STBYとして出力され、また、MOSトランジスタQ3のドレイン端子Dからは、制御信号PWMとして出力される。そして、制御信号STBYは、プルダウン抵抗Rpdによるプルダウン状態で、バックライト部BLのBL_EN端子（back light enable）に供給され、制御信号PWMは、プルダウン抵抗Rpdによるプルダウン状態で、バックライト部BLのPWM端子（pulse width modulation）に供給されている。

40

【0075】

本実施例では、プルダウン抵抗Rpdを、何れも33kΩ程度に設定することで、直流電圧12V（STBY/PWM）に起因してプルダウン抵抗Rpdに流れる電流を、0.36mA程度に抑制している。そのため、MOSトランジスタQ2，Q3として高価な素

50

子を選択する必要がなくなり、本実施例では、ソースSドレインD間のON抵抗が、 2.5Ω 以上、 3.8Ω 以下となる素子を使用している。なお、ON抵抗は、 $VGS = -4.5V$ 、 $ID = -100mA$ におけるパルス駆動での測定結果である。

【0076】

次に、バックライト部BLについて説明すると、バックライト部BLは、縦横に整列配置された $N \times M$ 個の発光ダイオード(LED)と、負論理の駆動パルスを出力して、 $N \times M$ 個の発光ダイオードを同期的に点灯駆動するドライバDVLと、を有して構成されている。このドライバDVLは、内部動作を動作可能(enable)にするか否かを規定するBL_EN端子と、負論理の駆動パルスのデューティ比を、 $10\% \sim 100\%$ の範囲の正論理で規定するPWM端子と、駆動パルスを出力する出力端子LED1~LEDnと、を有して構成されている。

10

【0077】

先に説明した通り、BL_EN端子には、給電制御回路SPYから制御信号STBYが供給され、PWM端子には、制御信号PWMが供給されている。そして、制御信号STBYがHレベル($12V$)の場合には、ドライバDVLの内部回路が動作して、出力端子LED1~LEDnから駆動パルスが出力可能となる。この駆動パルスは、制御信号PWMを論理反転させた負論理パルスとなる。

【0078】

このように、実施例の駆動パルスは、PWM端子に供給される制御信号PWMを論理反転させた負論理パルスであるので、制御信号PWMのデューティ比が 100% に近いほど、出力端子LED1~LEDnのLレベル期間が長くなり、発光ダイオードに流れる平均電流が上がることで、バックライト光が明るくなる。一方、デューティ比が 10% に近いほど、発光ダイオードの平均電流が下がることで、バックライト光が暗くなる。

20

【0079】

したがって、制御信号(制御パルス)PWMのデューティ比を適宜に変更することで、バックライト光の発光強度を変更することもできる。例えば、遊技者が不在のデモ状態では、バックライト光を暗くすることもできる。但し、本実施例では、このような発光制御の煩雑さを回避するため、制御信号のデューティ比を 100% に維持しており、制御信号PWMは、パルス状に変化することなく、動作状態では定常的にHレベル($12V$)を維持している。そのため、ドライバDVLの出力端子LED1~LEDnは、バックライト部BLの動作状態では、定常的にLレベルを維持することになる。

30

【0080】

ところで、BL_EN端子と、PWM端子は、何れも、プルダウン抵抗Rpdを経由してグラウンドに接続されている。したがって、MOSトランジスタQ2がOFF状態であって、制御信号STBYがHiZ状態の場合には、ドライバDVLが非動作状態となって、出力端子LED1~LEDnがHiZ状態となるので、全ての発光ダイオードは消灯状態となる。

【0081】

また、MOSトランジスタQ3がOFF状態であって、制御信号PWMがHiZ状態の場合には、例えば、制御信号STBYがHレベルであっても、デューティ比が 0% に維持されることで、出力端子LED1~LEDnがHレベル($12V$)を維持して全ての発光ダイオードは消灯状態となる。したがって、有意な画像データが転送されない電源投入時や、給電制御回路SPYの動作異常時には、バックライトが消灯することになり、その結果、不自然な画像表示が未然に回避される。バッファ回路SBUFの4本の入力端子とグラウンドの間に、プルダウン抵抗Rpdを接続するのも同じ意図に基づく。

40

【0082】

続いて、トランジスタTr4とMOSトランジスタQ4を有する第4スイッチ回路と、メイン液晶表示部MONIとの関係について説明する。先に説明した通り、第4スイッチ回路のトランジスタTr4は、制御信号PS2のH/Lレベルに基づいてON/OFF動作する。

【0083】

50

一方、M O S トランジスタ Q 4 は、そのソース端子 S に、演出インタフェース基板 2 2 が給電する直流電圧 5 V を受けており、トランジスタ T r 1 が O N 動作すると、これに呼応して通電状態に移行するバイアス抵抗 R b 4 の両端電圧に基づいて、M O S トランジスタ Q 4 も O N 動作して、ドレイン端子 D に直流電圧 5 V を出力する。

【0084】

この直流電圧 5 V は、R C フィルタ回路とツェナーダイオードを経由して、図 5 に示す液晶表示部 M O N I に給電され、液晶表示部 M O N I の電源電圧として活用される。本実施例では、特に、M O S トランジスタ Q 4 として、ソース S ドレイン D 間の O N 抵抗が、 $48\text{ m}\Omega$ 以上、 $65\text{ m}\Omega$ 以下となる素子を使用している。そのため、例えば、駆動電流（ドレイン電流 I_D ） $= 1.5\text{ A}$ を定常的に流しても、M O S トランジスタ Q 1 における電圧降下は、 0.1 V 以下であり、また、損失電力も 0.15 W ($= 1.5 \times 1.5 \times 65 / 1000$) 程度に抑制される。なお、O N 抵抗は、 $V_{GS} = -4.5$ 、 $I_D = -2.5\text{ A}$ におけるパルス駆動での測定結果である。

【0085】

続いて、図 6 (b) ~ 図 6 (j) に基づいて、給電制御回路 S P Y の回路動作について説明する。複合チップ 5 0 は、電源投入後、システムリセット信号 S Y S が L レベルを維持するアサート期間を経て、制御動作を開始する（図 6 (d) のタイミング T 1）。そして、複合チップ 5 0 の演出制御 C P U 6 3 は、タイミング T 1 から 1000 mS 後に、制御信号 P S 1、P S 2 を H レベルに遷移させる（タイミング T 2）。

【0086】

すると、H レベルの制御信号 P S 1 に基づいて、M O S トランジスタ Q 1 が O N 動作して、バックライト部 B L への直流 12 V の給電が開始される。また、H レベルの制御信号 P S 2 に基づいて、M O S トランジスタ Q 4 が O N 動作して、液晶表示部 M O N I への直流 5 V の給電が開始される。但し、このタイミング T 2 の時点では、制御信号 S T B Y、PWM が共に、L レベルのままであるので、バックライト部 B L が発光することはない。したがって、液晶表示部 M O N I が如何に動作しても、不自然な画像が表示されるおそれはない。

【0087】

次に、演出制御 C P U 6 3 は、タイミング T 2 から 5 mS 程度経過した後に、表示クロックと表示回路 7 4 の初期化動作を開始する。この制御内容については、後で詳述するが、これらの動作は、V D P 回路 5 2 の動作を開始するまでの初期化動作の一つであり、この段階では、表示装置 D S 1 に有意な画像信号が出力されることはない。

【0088】

その後、演出制御 C P U 6 3 は、表示レジスタを適宜に初期設定した後、表示回路 7 4 と L V D S 回路 8 0 の動作を開始させる（タイミング T 4）。そのため、タイミング T 4 以降は、有意な画像信号としての L V D S 信号が、表示装置 D S 1 に $1/60$ 秒毎に繰り返し出力されることになる（図 6 (f) 参照）。

【0089】

但し、タイミング T 4 の時点では、制御信号 PWM が L レベルを維持しているので、バックライト光が発光することはない。すなわち、演出制御 C P U 6 3 は、タイミング T 3 で、制御信号 S T B Y を H レベルに遷移させて、ドライバ D V L を動作可能状態に制御するが、タイミング T 4 の時点は、まだ制御信号 PWM = L であって、駆動パルスのデューティ比が 0% であることから、バックライト部 B L の消灯状態が維持される。

【0090】

一方、演出制御 C P U 6 3 は、表示回路 7 4 と L V D S 回路 8 0 の動作を開始させた後（図 21 の S S 4）、 300 mS 以上経過したタイミング T 5 の時点で、制御信号 PWM を H レベルに遷移させ（図 21 の S S 6）、バックライト部 B L を、デューティ比 100% の発光状態に遷移させる。そして、タイミング T 5 の動作を、例えば、タイマ割込み処理で実行する場合には、タイミング T 5 の時点では、液晶表示部 M O N I は、既に、有意な画像信号としての L V D S 信号を $1/60$ 秒毎に繰り返し受け取っているため、その画像信

10

20

30

40

50

号に基づいた画像が表示されることになる。すなわち、図 21 のステップ S S 6 の処理の後、直ちに定常処理（図 22 の S T 4 ~ S T 14）が開始されるので、タイミング T 5 の時点では、ディスプレイリスト D L に基づく初期画面が表示される。

【0091】

但し、図 21 に示すように、演出制御 C P U 63 が、300mS の待機処理（図 21 のステップ S S 5）を実行する場合には、タイミング T 5 では、未だ、ディスプレイリスト D L が発行されていないので、表示内容は、電源投入後の V R A M（フレームバッファ F B a）に基づく画面となる。したがって、かかる点を考慮すると、電源投入後、V R A M（特にフレームバッファ F B a，F B b）をゼロクリアするのが好適であるが、仮に、ゼロクリアしなくても、ランダムな画像が表示されるのは、遊技ホールの営業開始時のせいぜい一瞬であるので、何ら問題がない。すなわち、図 21 のステップ S S 6 の処理の後、直ちに定常処理（図 22 の S T 4 ~ S T 14）が開始され、ディスプレイリスト D L に基づく初期画面が表示される。

【0092】

ところで、本実施例では、タイミング T 2 からタイミング T 4 までのプログラム実行時間が、20mS 以内となるようプログラム設計されている。これは、実施例で使用する表示装置 D S 1 は、液晶表示部 M O N I への電源投入から、所定時間 τ （例えば 20mS）以内に画像信号（L V D S 信号）の送信を開始すべきことを推奨しているからである。

【0093】

本実施例において、制御信号 P S 2 を使用して、液晶表示部 M O N I への給電タイミングを、1 秒程度遅らせるのも、上記の要請に基づくものであり、もし、電源投入と同時に液晶表示部 M O N I への給電を開始すると、その後、所定時間 τ （例えば 20mS）以内に L V D S 信号の送信を開始することは、アサート期間やプログラム実行時間（S P 1 ~ S P 10 の処理時間）から、とても無理である（タイミング T 4 参照）。

【0094】

以上、メイン表示装置 D S 1 について、詳細に説明したが、サブ表示装置 D S 2 についても、動作内容は、実質的に同様であり、図 6（b）の動作をすることで、サブ液晶表示部 M O N I とバックライト部 B L が整合的に動作して不適切な表示が生じないよう構成されている。

【0095】

また、サブ表示装置 D S 2 は、V D P 回路 52 から受ける水平同期信号 H S と垂直同期信号 V S に基づいて、図 42 に示すと同様の動作をしている。但し、サブ制御装置 D S 2 も、水平同期信号 H S や垂直同期信号 V S に基づくことなく、データ有効信号 E N A B に基づいて動作する構成を採るのも好適である。なお、データ有効信号 E N A B は、サブ表示装置 D S 2 に対しては、離散的な D E 信号の形式ではなく、連続信号 E N A B として伝送される（図 14（a）右下部参照）。

【0096】

次に、図 3（a）に戻って、パチンコ機 G M の全体回路構成を説明する。図 3（a）に示す通り、このパチンコ機 G M は、A C 24V を受けて各種の直流電圧（35V，12V，5V）を A C 24V と共に出力する電源基板 20 と、遊技制御動作を中心統括的に担う主制御基板 21 と、音声演出用の回路素子 S N D を搭載した演出インタフェース基板 22 と、主制御基板 21 から受けた制御コマンド C M D に基づいてランプ演出、音声演出、及び画像演出を統一的に実行する演出制御基板 23 と、演出制御基板 23 と表示装置 D S 1，D S 2 の間に位置する液晶インタフェース基板 24 と、主制御基板 21 から受けた制御コマンド C M D ' に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 25 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 26 と、を中心に構成されている。

【0097】

なお、演出インタフェース基板 22 と、演出制御基板 23 と、液晶インタフェース基板 24 とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結され

10

20

30

40

50

ている。そのため、各電子回路の回路構成を複雑高度化しても基板全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

【0098】

図示の通り、主制御基板21が出力する制御コマンドCMD'は、払出制御基板25に伝送される。一方、主制御基板21が出力する制御コマンドCMDは、演出インタフェース基板22を経由して演出制御基板23に伝送される。ここで、制御コマンドCMD、CMD'は、何れも16bit長であるが、8bit長毎に2回に分けて平行送信される。

【0099】

主制御基板21と払出制御基板25には、ワンチップマイコンを含むコンピュータ回路が搭載されている。また、演出制御基板23には、VDP回路（Video Display Processor）52や内蔵CPU回路51などのコンピュータ回路が内蔵された複合チップ50が搭載されている。そこで、これらの制御基板21、25、23と、演出インタフェース基板22や液晶インタフェース基板24に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部21、演出制御部23、及び払出制御部25と言うことがある。なお、主制御部21に対して、演出制御部23と、払出制御部25がサブ制御部となる。

【0100】

また、このパチンコ機GMは、図3（a）の破線で囲む枠側部材GM1と、遊技盤5の背面に固定された盤側部材GM2とに大別されている。枠側部材GM1には、ガラス扉6や前面板7が枢着された内枠3と、その外側の木製外枠1とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材GM2は、機種変更に対応して交換され、新たな盤側部材GM2が、元の盤側部材の代わりに枠側部材GM1に取り付けられる。なお、枠側部材1を除く全てが、盤側部材GM2である。

【0101】

図3（a）の破線枠に示す通り、枠側部材GM1には、電源基板20と、バックアップ電源基板33と、払出制御基板25と、発射制御基板26と、枠中継基板36と、モータ／ランプ駆動基板37と、が含まれており、これらの回路基板が、内枠3の適所に各々固定されている。一方、遊技盤5の背面には、主制御基板21、演出制御基板23が、表示装置DS1、DS2やその他の回路基板と共に固定されている。そして、枠側部材GM1と盤側部材GM2とは、一箇所に集中配置された集中接続コネクタC1～C3によって電気的に接続されている。

【0102】

電源基板20は、遊技ホールから配電される交流電圧AC24Vに基づいて、三種類の直流電圧（35V、12V、5V）を生成し、各直流電圧を、集中接続コネクタC2を経由して、演出インタフェース基板22に配電している。また、三種類の直流電圧（35V、12V、5V）は、交流電圧AC24Vと共に、払出制御基板25に配電される。そして、払出制御基板25に配電された直流電圧（35V、12V、5V）は、バックアップ電源BAKと共に、集中接続コネクタC1を経由して、主制御基板21に配電されるよう構成されている。

【0103】

直流35Vは、遊技球の発射動作に関し、球送りソレノイドや発射ソレノイドの駆動電源、及び、電動式チューリップ（可変入賞装置）や大入賞口16を開閉駆動する電磁ソレノイドの駆動電源として使用される。また、直流12Vは、各制御基板から制御されるLEDランプやモータの駆動電源、及びデジタルアンプの電源電圧として使用され、一方、直流5Vは、払出制御基板25や主制御基板21のワンチップマイコンの電源電圧、及び、各制御基板に搭載された論理素子の電源電圧として使用される。また、直流5Vは、演出インタフェース基板22のDC／DCコンバータでレベル降下された後、レベル降下された各種レベルの電圧が、各種コンピュータ回路（複合チップ50や音声プロセッサ27など）の電源電圧として使用される。

【0104】

バックアップ電源 B A K は、電源遮断後、主制御部 2 1 と払出制御部 2 5 のワンチップマイコンの内蔵 R A M のデータを保持するための D C 5 V の直流電源であり、例えば、電気二重層コンデンサで実現される。この実施例では、専用のバックアップ電源基板 3 3 が設けられており、バックアップ電源基板 3 3 に配置された電気二重層コンデンサは、払出制御基板 2 5 から受ける直流電圧 5 V によって遊技動作中に充電されるよう構成されている。

【0105】

一方、電源遮断後は、バックアップ電源 B A K が、主制御部 2 1 と払出制御部 2 5 のワンチップマイコンの内蔵 R A M のデータを保持するので、主制御部 2 1 と払出制御部 2 5 は、電源遮断前の遊技動作を電源投入後に再開できることになる。なお、バックアップ電源基板 3 3 には、少なくとも数日は、各ワンチップマイコンの内蔵 R A M の記憶内容を保持可能な電気二重層コンデンサが配置されている。

【0106】

ところで、本実施例では、従来の機器構成とは異なり、交流電圧 A C 2 4 V の異常低下を示す電源異常信号 A B N は、電源基板 2 0 ではなく、払出制御基板 2 5 の電源モニタ部 M N T において生成されるよう構成されている。電源モニタ部 M N T は、図 3 (b) に示す通り、電源基板 2 0 から受ける A C 2 4 V を整流する全波整流回路と、全波整流回路の出力を受けて通電発光するフォトダイオード D と、電源基板 2 0 から受ける直流電圧 5 V を電源とし、フォトダイオード D の発光に基づいて O N 動作するフォトトランジスタ T R と、フォトトランジスタ T R の O N 動作に基づいて H レベルの検出信号 A B N (電源異常信号) を出力する出力部と、を有して構成されている。なお、フォトダイオード D と、フォトトランジスタ T R とで、フォトカプラ P H を構成している。

【0107】

上記の構成において、電源投入後、フォトカプラ P H が速やかに O N 状態になることで、電源異常信号 A B N が正常レベル (H) となる。しかし、その後、交流電源が何らかの理由 (正常には電源遮断) で異常降下すると、フォトカプラ P H が O F F 状態に変化することで、電源異常信号 A B N が異常レベル (L) に変化する。この電源異常信号 A B N は、払出制御基板 2 5 のワンチップマイコンに伝送されると共に、集中接続コネクタ C 1 を経由して、主制御基板 2 1 のワンチップマイコンにも伝送されるよう構成されている。したがって、異常レベルの電源異常信号 A B N を受けた各ワンチップマイコンは、必要な情報を、各々の内蔵 R A M に記憶するバックアップ処理を実行することになる。先に説明した通り、内蔵 R A M の情報は、バックアップ電源 B A K によって維持されるので、電源遮断前の遊技動作が電源投入後に再開可能となる。

【0108】

図 3 (a) に示す通り、演出インタフェース基板 2 2 には、音声プロセッサ 2 7 などの音声回路 S N D が搭載され、演出制御基板 2 3 には、V D P 回路 5 2 や内蔵 C P U 回路 5 1 などのコンピュータ回路が内蔵された複合チップ 5 0 が搭載されている。以下、内蔵 C P U 回路を C P U 回路と略称することがある。

【0109】

演出インタフェース基板 2 2 には、電源投入時に、電源電圧の上昇を検知して各種のリセット信号 R T 3 , R T 4 を生成するリセット回路 R S T 3 , R S T 4 が搭載されている。まず、リセット回路 R S T 3 は、電源基板 2 0 から配電された直流電圧 1 2 V と 5 V に基づいて、リセット信号 R T 3 を生成している。そして、リセット信号 R T 3 は、音声メモリ 2 8 だけを電源リセットして、そのまま演出制御基板 2 3 に伝送される。

【0110】

演出制御基板 2 3 に伝送されたリセット信号 R T 3 は、図 7 (a) に示す通り、A N D ゲート G 1 において、W D T (Watch Dog Timer) 回路 5 8 の出力と A N D 演算され、システムリセット信号 S Y S として、C P U 回路 5 1 や V D P 回路 5 2 を電源リセットしている (図 7 (a) 及び図 7 (d) 参照) 。

【0111】

リセット回路 RST3 が生成するリセット信号 RT3 は、電源投入後、電源リセット信号として所定時間 L レベルを維持した後、H レベルに上昇する。しかし、その後、直流電圧 12 V 又は直流電圧 5 V の何れか一以上が降下した場合（通常は電源遮断時）には、リセット信号 RT3 のレベル降下に対応して、システムリセット信号 SYS も L レベルに降下するので、演出制御基板 23 の CPU 回路 51 と VDP 回路 52 は動作停止状態となる。
【0112】

このシステムリセット信号 SYS は、WDT 回路 58 の出力（正常時には H レベル）に基づいても変化するので、リセット信号 RT3 = H の状態で、プログラム暴走時などに起因して、WDT 回路 58 の出力が L レベルに降下することに対応して、システムリセット信号 SYS も L レベルに変化して、CPU 回路 51 や VDP 回路 52 を異常リセットする（図 7（d）参照）。
【0113】

一方、リセット回路 RST4 は、電源基板 20 から配電された 5 V を降下して生成された 3.3 V に基づいて、リセット信号 RT4 を生成している。このリセット信号 RT4 は、電源投入時の電源リセット信号として、音声プロセッサ 27 を電源リセットしている。
【0114】

図示の通り、リセット回路 RST4 には、演出制御基板 23 から返送されたシステムリセット信号 SYS も供給されているので、CPU 回路 51 や VDP 回路 52 の異常リセット時には、これらの回路の異常リセットに同期して、音声プロセッサ 27 も異常リセットされる。この結果、音声演出は、画像演出やランプ演出と共に初期状態に戻ることであり、不自然な音声演出が継続するおそれがない。
【0115】

次に、枠側部材 GM1 たる払出制御基板 25 と、盤側部材 GM2 たる主制御部 21 には、各々、リセット回路 RST1, RST2 が搭載されており、電源投入時に電源リセット信号が生成され、各コンピュータ回路が電源リセットされるよう構成されている。
【0116】

このように、本実施例では、主制御部 21 と、払出制御部 25 と、演出インタフェース基板 22 に、各々、リセット回路 RST1 ~ RST4 を配置しており、システムリセット信号 SYS が回路基板間で伝送されることがない。すなわち、システムリセット信号 SYS を伝送する配線ケーブルが存在しないので、配線ケーブルに重畳するノイズによって、コンピュータ回路が異常リセットされるおそれが解消される。
【0117】

但し、主制御部 21 や払出制御部 25 に設けられたリセット回路 RST1, RST2 は、各々ウォッチドッグタイマを内蔵しており、各制御部 21, 25 の CPU から、定期的なクリアパルスを受けない場合には、各 CPU は強制的にリセットされる。
【0118】

また、主制御部 21 には、係員が操作可能な初期化スイッチ SW が配置されており、電源投入時、初期化スイッチ SW が ON 操作されたか否かを示す RAM クリア信号 CLR が出力されるよう構成されている。この RAM クリア信号 CLR は、主制御部 21 と払出制御部 25 のワンチップマイコンに伝送され、各制御部 21, 25 のワンチップマイコンの内蔵 RAM の全領域を初期設定するか否かを決定している。
【0119】

また、先に説明した通り、主制御部 21 及び払出制御部 25 のワンチップマイコンは、払出制御部 25 に配置された電源モニタ MNT から電源異常信号 ABN を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。
【0120】

図 3（a）に示す通り、主制御部 21 は、払出制御部 25 から、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステイタス信号 CON や、動作開始信号 BGN を受信している。ステイタス信号 CON には、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号 BGN は、電源投入後、払出制御部 25 の

10

20

30

40

50

初期動作が完了したことを主制御部 2 1 に通知する信号である。

【0121】

また、主制御部 2 1 は、遊技盤上の各入賞口 1 6 ～ 1 8 に内蔵された検出スイッチのスイッチ信号を受ける一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部 2 1 から配電された電源電圧 V B (1 2 V) で動作するように構成されている。また、図柄始動口 1 5 への入賞状態などを示す各スイッチ信号は、電源電圧 V B (1 2 V) と電源電圧 V c c (5 V) とで動作するインタフェイス IC で、T T L レベル又は C M O S レベルのスイッチ信号に変換された上で、主制御部 2 1 に伝送される。

【0122】

先に説明した通り、演出インタフェイス基板 2 2 は、集中接続コネクタ C 2 を経由して、電源基板 2 0 から各レベルの直流電圧 (5 V , 1 2 V , 3 5 V) を受けている (図 3 (a) 及び 図 7 (a) 参照) 。直流電圧 1 2 V は、デジタルアンプ 2 9 の電源電圧であると共に、L E D ランプなどの駆動電圧として使用される。また、直流電圧 3 5 V は、遊技枠の適所に配電されて可動物を往復移動させるソレノイドの駆動電圧として使用される。

【0123】

一方、直流電圧 5 V は、演出インタフェイス基板 2 2 各所の回路素子の電源電圧として供給されると共に、2 つの D C / D C コンバータ D C 1 , D C 2 に供給されて 3 . 3 V と 1 . 0 V が生成される (図 7 (a) 参照) 。生成された直流電圧 3 . 3 V と 1 . 0 V は、各々、I / O (入出力) 用と、チップコア用の電源電圧として音声プロセッサ 2 7 に供給される。また、直流電圧 3 . 3 V は、リセット回路 R S T 4 が生成する電源リセット信号 R T 4 の基礎電圧となる。

【0124】

演出インタフェイス基板 2 2 に配電された直流電圧 5 V は、D C / D C コンバータ D C 1 で生成された 3 . 3 V と共に、演出制御基板 2 3 に配電される。そして、演出制御基板 2 3 に配電された直流電圧 3 . 3 V は、電源電圧として、複合チップ 5 0 や、P R O M 5 3 及び C G R O M 5 5 に供給される。

【0125】

図 7 (a) に示す通り、演出制御基板 2 3 には、2 つの D C / D C コンバータ D C 3 , D C 4 が配置されており、各々に供給される直流電圧 5 V に基づいて、1 . 5 V と 1 . 0 5 V を生成している。ここで、直流電圧 1 . 0 5 V は、複合チップ 5 0 のチップコア用の電源電圧であり、直流電圧 1 . 5 V は、D R A M 5 4 との I / O (入出力) 用の電源電圧である。したがって、直流電圧 1 . 5 V は、電源電圧として、D R A M 5 4 にも供給される。

【0126】

図 3 (a) に示す通り、演出インタフェイス基板 2 2 は、主制御部 2 1 から制御コマンド C M D とストローク信号 S T B とを受けて、演出制御基板 2 3 に転送している。より詳細には、図 7 (a) に示す通りであり、制御コマンド C M D とストローク信号 S T B は、入力バッファ 4 0 を経由して、演出制御基板 2 3 の複合チップ 5 0 (C P U 回路 5 1) に転送される。ここで、ストローク信号 S T B は、受信割込み信号 I R Q _ C M D であり、演出制御 C P U 6 3 は、受信割込み信号 I R Q _ C M D を受けて起動される割込み処理プログラム (割込みハンドラ) に基づいて、制御コマンド C M D を取得している。

【0127】

図 7 (a) に示す通り、演出インタフェイス基板 2 2 の入力バッファ 4 4 は、枠中継基板 3 5 , 3 6 からチャンスボタン 1 1 や音量スイッチ V L S W のスイッチ信号を受け、各スイッチ信号を演出制御基板 2 3 の C P U 回路 5 1 に伝送している。具体的には、音量スイッチ V L S W の接点位置 (0 ～ 7) を示すエンコーダ出力の 3 b i t 長と、チャンスボタン 1 1 の O N / O F F 状態を示す 1 b i t 長を C P U 回路 5 1 に伝送している。

【0128】

また、演出インタフェイス基板 2 2 には、ランプ駆動基板 3 0 やモータランプ駆動基板

10

20

30

40

50

31が接続されると共に、枠中継基板35, 36を経由して、ランプ駆動基板37にも接続されている。図示の通り、ランプ駆動基板30に対応して、出力バッファ42が配置され、モータランプ駆動基板31に対応して、入力バッファ43aと出力バッファ43bが配置されている。なお、図7(a)では、便宜上、入力バッファ43aと出力バッファ43bを総称して、入出力バッファ43と記載している。入力バッファ43aは、可動演出体たる役物の現在位置(演出モータM1~Mnの回転位置)を把握する原点センサの出力SN0~SNnを受けて、演出制御基板23のCPU回路51に伝送している。

【0129】

ランプ駆動基板30、モータランプ駆動基板31、及び、ランプ駆動基板37には、同種のドライバICが搭載されており、演出インタフェース基板22は、演出制御基板23から受けるシリアル信号を、各ドライバICに転送している。シリアル信号は、具体的には、ランプ(モータ)駆動信号SDATAとクロック信号CKであり、駆動信号SDATAがクロック同期方式で各ドライバICに伝送され、多数のLEDランプや電飾ランプによるランプ演出や、演出モータM1~Mnによる役物演出が実行される。

【0130】

本実施例の場合、ランプ演出は、三系統のランプ群CH0~CH2によって実行されており、ランプ駆動基板37は、枠中継基板35, 36を経由して、CH0のランプ駆動信号SDATA0を、クロック信号CK0に同期して受けている。なお、シリアル信号として伝送される一連のランプ駆動信号SDATA0は、動作制御信号ENABLE0がアクティブレベルに変化したタイミングで、ドライバICからランプ群CH0に出力されることで一斉に点灯状態が更新される。

【0131】

以上の点は、ランプ駆動基板30についても同様であり、ランプ駆動基板30のドライバICは、ランプ群CH1のランプ駆動信号SDATA1を、クロック信号CK1に同期して受け、動作制御信号ENABLE1がアクティブレベルに変化したタイミングで、ランプ群CH1の点灯状態を一斉に更新している。

【0132】

一方、モータランプ駆動基板31に搭載されたドライバICは、クロック同期式で伝送されるランプ駆動信号を受けてランプ群CH2を駆動すると共に、クロック同期式で伝送されるモータ駆動信号を受けて、複数のステッピングモータで構成された演出モータ群M1~Mnを駆動している。なお、ランプ駆動信号とモータ駆動信号は、一連のシリアル信号SDATA2であって、クロック信号CK1に同期してシリアル伝送され、これを受けたドライバICは、動作制御信号ENABLE2がアクティブレベルに変化するタイミングで、ランプ群CH2やモータ群M1~Mnの駆動状態を更新する。

【0133】

続いて、音声回路SNDについて説明する。図7(a)に示す通り、演出インタフェース基板22には、演出制御基板23のCPU回路51(演出制御CPU63)から受ける指示に基づいて音声信号を再生する音声プロセッサ(音声合成回路)27と、再生される音声信号の元データである圧縮音声データなどを記憶する音声メモリ28と、音声プロセッサ27から出力される音声信号を受けるデジタルアンプ29と、が搭載されている。

【0134】

音声プロセッサ27は、内部回路の異常動作時に、内部回路の設定値を自動的にデフォルト値(初期値)にリセットするWDT回路と、音声制御レジスタSRGとを内蔵して構成されている。そして、音声プロセッサ27は、演出制御CPU63から音声制御レジスタSRGに受ける動作パラメータ(音声コマンドによる設定値)に基づいて、音声メモリ28をアクセスして、必要な音声信号を再生して出力している。

【0135】

図7(a)に示す通り、音声プロセッサ27と、音声メモリ28とは、26bit長の音声アドレスバスと、16bit長の音声データバスで接続されている。そのため、音声メモリ28には、1Gbit(=2²⁶×16)のデータが記憶可能となる。

【0136】

音声制御レジスタSRGは、レジスタバンク1～レジスタバンク6に区分され、各々、00H～FFHのレジスタ番号で特定される。したがって、所定の設定動作は、レジスタバンクを特定した上で、演出制御CPU63が、所定のレジスタ番号（1バイト長）の音声制御レジスタSRGに、1バイト長の動作パラメータを書込むことで実現される。

【0137】

本実施例の場合、音声制御レジスタSRGのレジスタ番号（00H～FFH）は、演出制御CPU63のアドレス空間CS3に対応しており、例えば、レジスタ番号XXHの音声制御レジスタSRGに、動作パラメータYYHを設定する場合には、演出制御CPU63は、アドレス空間CS3のゼロ番地にXXHを書込み、次に、1番地にYYHを書込むことになる。すなわち、演出制御CPU63は、そのデータバスにXXHとYYHを、この順番に書き出すことになる。なお、本明細書において、添え字Hや、0X/0xの接頭記号は、数値が16進数表示であることを示している。

10

【0138】

また、本明細書において、アドレス空間CS0～CS7とは、揮発性の有無を含むメモリ種別や、データバス幅（8/16/32ビット）を、各々、規定可能なCPU回路51にとって外部メモリを意味する（内蔵メモリを除く）。このアドレス空間CS0～CS7は、異なるチップセレクト信号CS0～CS7で選択され、READ/WRITEアクセス時に機能するREAD/WRITE制御信号がメモリ種別に対応して最適化できるよう設定可能に構成されている。なお、この設定動作は、バスステートコントローラ66に対して実行される。

20

【0139】

図7（e）は、演出制御CPU63による音声レジスタSRGへの設定動作を図示したものであり、2ビット長のアドレスバスA1-A0と、1バイト長のデータバスD7-D0の内容が示されている。なお、本実施例では、チップセレクト信号CS3は、アドレス空間CS3をアクセスする場合に、自動的にアクティブになるよう、電源投入時に設定されるが、この点は図9や図16に関して後述する。

【0140】

何れにしても、本実施例の場合、音声メモリ28に記憶された圧縮音声データは、13ビット長のフレーズ番号NUM（000H～1FFFH）で特定されるフレーズ（phrase）圧縮データであり、一連の背景音楽の一曲分（BGM）や、ひと纏まりの演出音（予告音）などが、最高8192種類（ $=2^{13}$ ）、各々、フレーズ番号NUMに対応して記憶されている。そして、このフレーズ番号NUMは、演出制御CPU63から音声プロセッサ27の音声制御レジスタSRGに伝送される音声コマンドの設定値（動作パラメータ）によって特定される。

30

【0141】

前記の通り、上記の構成を有する音声メモリ28は、リセット信号RT3で電源リセットされ、音声プロセッサ27は、リセット信号RT4で電源リセットされる。図7（c）に示す通り、リセット信号RT4は、電源投入後、所定のアサート期間ASRT（Lレベル区間）を経て、Hレベルに立ち上がるが、本実施例では、その後、音声プロセッサ27の内部回路が自動的に機能して、初期化シーケンス処理が実行されるよう構成されている。なお、この初期化シーケンス処理は、所定の手順で実行される内部動作であり、初期化シーケンス処理の動作中は、演出制御CPU63が音声レジスタSRGをアクセスすることはできない。

40

【0142】

そして、内部動作たる初期化シーケンス処理が完了すると、CPU回路51に対する割込み信号IRQ_SNDがLレベルに変化し、CPU回路51（演出制御CPU63）は、割込み信号IRQ_SNDに基づき割込み処理プログラムを実行する。そして、所定の命令に基づいて割込み信号IRQ_SNDがHレベルに戻されるが、その詳細については、図18（c）を参照して更に後述する。

50

【0143】

図7(a)に示す通り、演出制御部23のCPU回路51のデータバスとアドレスバスは、液晶インタフェース基板24に搭載された時計回路(real time clock)38と演出データメモリ39にも及んでいる。時計回路38は、CPU回路51のアドレスバスの下位4bitと、データバスの下位4bitに接続されており、チップセレクト信号CS4で時計回路38が選択された状態では、CPU回路51が、(4bit長アドレス値を有する)内部レジスタを任意にアクセスできるよう構成されている。

【0144】

また、演出データメモリ39は、高速アクセス可能なメモリ素子SRAM(Static Random Access Memory)であって、CPU回路51のアドレスバスの16bitと、データバスの下位16bitに接続されており、チップセレクト信号CS4でチップ選択された状態では、SRAM(演出データメモリ)39に記憶されている遊技実績情報その他が、CPU回路51から適宜にR/Wアクセスされるようになっている。なお、チップセレクト信号CS4で選択されるアドレス空間CS4において、0番地から15番地までは時計回路38に付番されているので、SRAM39では使用しない。

【0145】

時計回路38と演出データメモリ39は、不図示の二次電池で駆動されており、この二次電池は、遊技動作中、電源基板20からの給電電圧によって適宜に充電される。そのため、電源遮断後も、時計回路38の計時動作が継続され、また、演出データメモリ39に記憶された遊技実績情報が、永続的に記憶保持されることになる(不揮発性を付与)。なお、時計回路(RTC)38は、CPU回路51に対して、割込み信号IRQ_RTCを出力可能に構成されている(RTC割込み)。このRTC割込みには、日、曜日、時、分、秒が特定可能なアラーム割込みと、所定時間経過後に起動されるタイマ割込みが存在するが、本実施例では、毎日の営業終了時に、日々の遊技実績情報を更新するアラーム割込みを活用している。

【0146】

図7(a)の右側に示す通り、演出制御基板23には、CPU回路51やVDP回路52を内蔵する複合チップ50と、CPU回路51の制御プログラムを記憶する制御メモリ(PROM)53と、大量のデータを高速にアクセス可能なDRAM(Dynamic Random Access Memory)54と、演出制御に必要な大量のCGデータを記憶するCGROM55と、が搭載されている。

【0147】

図10に関して後述するように、制御メモリ(PROM)53は、本実施例では、チップセレクト信号CS0で選択されるアドレス空間CS0に位置付けされている。また、DDR(Double-Data-Rate 3)で構成されるDRAM(Dynamic Random Access Memory)54は、チップセレクト信号CS5で選択されるアドレス空間CS5に位置付けされている。

【0148】

図8(a)は、演出制御部23を構成する複合チップ50について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、実施例の複合チップ50には、所定時間毎にディスプレイリストDLを発行するCPU回路51と、発行されたディスプレイリストDLに基づいて画像データを生成して表示装置DS1, DS2を駆動するVDP回路52とが内蔵されている。そして、CPU回路51とVDP回路52とは、互いの送受信データを中継するCPUIF回路56を通して接続されている。

【0149】

なお、VDP回路52には、音声プロセッサ27と同等の機能を発揮する音声回路SNDが内蔵されているが、これから説明する最初の実施例では、音声回路SNDを活用していない。但し、最後に説明する実施例のように、VDP回路52に内蔵された音声回路SNDを活用すれば、音声メモリ28や音声プロセッサ27の配置が不要となる。

【0150】

まず、CPU回路51は、発振器OSC1の発振出力（例えば100／3MHz）をHCLKI端子に受けて、これを周波数逡倍（例えば8逡倍）して、266.7MHz程度のCPU動作クロックとしている（図14（b）参照）。ここで、発振器OSC1は、スペクトラムス拡散波を出力するよう構成されることで、電波障害／電磁妨害を防止するEMI（Electromagnetic Interference）対策を図っている。

【0151】

ところで、本実施例の場合、CPU動作クロックを、発振器OSC1ではなく、後述する発振器OSC2の出力に基づいて生成することも可能であり、発振器OSC1を不要にすることもできる。しかし、発振器を単一化する構成では、PLL回路の周波数逡倍比が、以下に説明するシステムクロックの場合と同じ固定値（例えば5）となるので、CPU動作クロックの周波数は、VDP回路52のシステムクロックと同一の200MHz（＝40MHz×5）となる。

【0152】

このような構成を採ると、内蔵CPU回路51とVDP回路52の動作周期が共通化される利点がある一方で、CPUの動作を可能な限り高速化したい要請に反する。すなわち、VDPの動作は、ある程度以上には高速化できないので、CPU動作の高速化の要請に確実に応えることはできない。そこで、本実施例では、VDP回路52とCPU回路51の各動作周期を各々最適化するべく、2つの発振器を設けている。また、別個の発振器OSC1を設けることで、上記したEMI対策の向上を図ることもできる。

【0153】

以上を踏まえてVDP回路52について説明すると、VDP回路52は、発振器OSC1とは別の発振器OSC2の発振出力（40MHz）をPLLREF端子に受け、PLL（Phase Locked Loop）回路で、周波数逡倍した上で、VDP回路52のシステムクロックとしている。PLL回路の周波数逡倍比は、所定の設定端子への設定値で固定的に規定され、この実施例では、設定端子（3bitのPLLMD端子）への設定値が固定値5であることから、VDP回路52のシステムクロックは、200MHz（＝40MHz×5）となる（図14（b）参照）。

【0154】

また、本実施例では、表示回路74A～74Cの動作を規定するドットクロックDCKA～DCKC、及び、外付けDRAM54のDDRクロックについても、発振器OSC2の発振出力（40MHz）に基づいて生成している。すなわち、発振器OSC2の出力（40MHz）は、VDP回路52全体のリファレンスクロックとして機能している。

【0155】

図14や図15に関して後述するように、表示回路74A～74Cは、通常、仕様の異なる表示装置を各々駆動しているので、各表示回路74A～74Cの動作を規定するドットクロックDCKA～DCKCは、駆動対象となる表示装置の仕様に対応させる必要がある。かかる必要に基づき、本実施例では、表示回路74A～74Cは、専用発振回路DCLKA～DCLKCの出力クロック（DCLKAI～DCLKCI）の何れかを受けて、それをドットクロックDCKA～DCKCとすることもできるよう構成されている。

【0156】

この構成を活用した場合には、後述する逡倍比や分周比の設計や、VDPレジスタRGijへの設定処理が不要となり、ドットクロックDCKA～DCKCの周波数を簡単に最適化することができる。すなわち、メイン表示装置DS1のドットクロック周波数F_{DOT1}に対応して発振周波数F_{DOT1}の専用発振回路DCLKAを設け、また、サブ表示装置DS2のドットクロック周波数F_{DOT2}に対応して発振周波数F_{DOT2}の専用発振回路DCLKBを設けることも可能である。

【0157】

しかし、このような構成を採る場合には、表示装置の個数に対応して、専用発振回路が必要となり、機器構成が複雑化する。そこで、本実施例では、機器構成を簡素化するため、発振器OSC2の発振出力（40MHz）に基づいて、表示回路74A／74Bのドッ

10

20

30

40

50

トクロック DCK_A / DCK_B を生成している。具体的には、図 14 (b) に示す通り、メイン表示装置 $DS1$ を駆動する表示回路 74A について、発振器 $OSC2$ の発振出力 ($40MHz$) に、所定の通倍処理 ($\times 108$) と分周処理 ($1 / 40$) を施すことで、周波数 $108MHz$ のドットクロック DCK_A を生成している。

【0158】

同様に、サブ表示装置 $DS2$ を駆動する表示回路 74B についても、発振器 $OSC2$ の発振出力 ($40MHz$) に、所定の通倍処理 ($\times 108$) と分周処理 ($1 / 160$) を施すことで、周波数 $F_{dot} = 27MHz$ のドットクロック DCK_B を生成している。これら通倍比や分周比を設計することは、それなりに煩雑であり、専用の発振回路を設ける方が容易であるが、本実施例では、機器構成の簡素化を重視して、専用発振回路を設けていない。

10

【0159】

何れにしても、ドットクロック $DCK_A \sim DCK_C$ は、表示回路 74A $\sim$ 74C 毎に個々の設定されるが、これらドットクロック $DCK_A \sim DCK_C$ を総称する場合、本明細書では、「表示クロック DCK 」と称する場合がある。また、以下の説明では、ドットクロック DCK_A や DCK_B を、便宜上、「ドットクロック DCK 」と略称することがある。

【0160】

なお、本実施例では、低速 LVD S 出力の構成を採らないので、表示回路 74A を経由して出力される LVD S 信号の LVD S クロック CLK についても、ドットクロック DCK_A と同一の生成過程を経て、周波数 $108MHz$ としている。但し、本実施例では、デュアルリンク伝送路を採るので、実際の LVD S クロック CLK の周波数は、図 4 に関して説明した通り $54MHz$ となる。なお、シングルリンク伝送路を採用する場合、 LVD S クロック CLK の周波数は、 $108MHz$ である。

20

【0161】

上記のように、本実施例では、発振器 $OSC2$ の発振出力 ($40MHz$) が、システムクロック、ドットクロック DCK 、及び、 DDR クロックのリファレンスクロックとして活用される。そこで、この重要性を考慮して、発振器 $OSC2$ を VDP 回路 52 と同じ電源電圧 $3.3V$ で動作させると共に、出力イネーブル端子 OE が H レベル ($= 3.3V$) であることを条件に、リファレンスクロックを発振出力するよう構成されている。そして、万一、電源電圧 $3.3V$ が所定レベル以下に低下した場合には、その後、正常な演出動作は望めないもので、マスク不能の割込み (NMI) が生じるよう構成されている。

30

【0162】

また、複合チップ 50 には、 $HBTSL$ 端子が設けられ、 $HBTSL$ 端子の論理レベルに基づいて、電源投入 (CPU リセット) 後に実行されるブートプログラム (初期設定プログラム) が、 $CGROM55$ に記憶されているか ($HBTSL = H$)、それ以外のメモリに記憶されているか ($HBTSL = L$) を特定している。図示の通り、この実施例では、 $HBTSL = L$ レベルに設定されており、演出制御 $CPU63$ のアドレス空間 $CS0$ のゼロ番地が、 $CGROM$ 以外に割り当てられ、具体的には、アドレス空間 $CS0$ は、制御メモリ 53 に割り当てられている。

【0163】

一方、 $HBTSL$ 端子 $= H$ レベルに設定されている場合 (破線参照) は、演出制御 $CPU63$ のアドレス空間 $CS0$ のゼロ番地が、 $CGROM55$ に割り当てられる。この場合は、 $CGROM55$ のメモリ種別と、バス幅 ($64 / 32 / 16bit$) とが、 $2bit$ 長の $HBTBWD$ 端子と、 $4bit$ 長の $HBTMSL$ 端子への入力値に基づいて各々特定されるようになっている。なお、これらの点は、図 39 に基づいて更に後述する。

40

【0164】

続いて、 CPU 回路 51 と VDP 回路 52 について、互いの送受信データを中継する $CPUIF$ 回路 56 について説明する。図 8 (a) に示す通り、 $CPUIF$ 回路 56 には、制御プログラムや必要な制御データを不揮発的に記憶する制御メモリ ($PROM$) 53 と、 $2M$ バイト程度の記憶容量を有するワークメモリ (RAM) 57 とが接続され、各々、

50

CPU回路51からアクセス可能に構成されている。先に説明した通り、制御メモリ（PROM）53は、チップセレクト信号CS0で選択されるアドレス空間CS0に位置付けられ、ワークメモリ（RAM）57は、チップセレクト信号CS6で選択されるアドレス空間CS6に位置付けられている。

【0165】

このワークメモリ（RAM）57には、表示装置DS1，DS2の各一フレームを特定する一連の指示コマンドが記載されたディスプレイリストDLを、一次的に記憶するDLバッファBUFが確保されている。本実施例の場合、一連の指示コマンドには、CGROM55から画像素材（テクスチャ）を読み出してデコード（展開）するためのTXLOADコマンドなどのテクスチャロード系コマンドと、デコード（展開）先のVRAM領域（インデックス空間）を予め特定するなどの機能を有するSETINDEXコマンドなどのテクスチャ設定系コマンドと、デコード（展開）後の画像素材を仮想描画空間の所定位置に配置するためのSPRITEコマンドなどのプリミティブ描画系コマンドと、描画系コマンドによって仮想描画空間に描画された画像のうち、実際に表示装置に描画する描画領域を特定するためのSETDAVR コマンドやSETDAVF コマンドなどの環境設定コマンドと、インデックス空間を管理するインデックステーブルIDXTBLに関するインデックステーブル制御系コマンド（WRIDXTBL）が含まれる。

【0166】

なお、図12（c）には、仮想描画空間（水平X方向±8192：垂直Y方向±8192）と、仮想描画空間の中で任意に設定可能な描画領域と、表示装置DS1，DS2に出力する画像データを一次保存するフレームバッファFBa，FBbにおける実描画領域と、の関係が図示されている。

【0167】

次に、CPU回路51は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御メモリ53の制御プログラムに基づき画像演出を統括的に制御する演出制御CPU63と、プログラムが暴走状態になるとCPUを強制リセットするウォッチドッグタイマ（WDT）と、16kバイト程度の記憶容量を有してCPUの作業領域として使用される内蔵RAM59と、CPU63を経由しないでデータ転送を実現するDMAC（Direct Memory Access Controller）60と、複数の入力ポートSi及び出力ポートSoを有するシリアル入出力ポート（SIO）61と、複数の入力ポートPi及び出力ポートPoを有するパラレル入出力ポート（PIO）62と、前記各部の動作を制御するべく設定値が設定される動作制御レジスタREGなどを有して構成されている。但し、外付けのWDT回路58を設けた本実施例では、CPU回路51に内蔵されたウォッチドッグタイマ（WDT）を活用していない。

【0168】

なお、本明細書では、便宜上、入出力ポートとの表現を使用するが、演出制御部23において、入出力ポートには、独立して動作する入力ポートと出力ポートとが含まれている。この点は、以下に説明する入出力回路64pや入出力回路64sについても同様である。

【0169】

パラレル入出力ポート62は、入出力回路64pを通して外部機器（演出インタフェース基板22）に接続されており、演出制御CPU63は、入力回路64pを経由して、音量スイッチVLSWのエンコーダ出力3bitと、チャンスボタン11のスイッチ信号と、制御コマンドCMDと、割込み信号STBと、を受信するようになっている。エンコーダ出力3bitと、スイッチ信号1bitは、入出力回路64pを経由して、パラレル入出力ポート（PIO）62に供給されている。

【0170】

同様に、受信した制御コマンドCMDは、入出力回路64pを経由して、パラレル入出力ポート（PIO）62に供給されている。また、ストローブ信号STBは、入出力回路64pを経由して、演出制御CPU63の割込み端子に供給されることで、受信割込み処理を起動させている。したがって、受信割込み処理に基づいて、制御コマンドCMDを把

10

20

30

40

50

握した演出制御CPU63は、演出抽選などを経て、この制御コマンドCMDに対応する音声演出、ランプ演出、モータ演出、及び画像演出を統一的に制御することになる。

【0171】

特に限定されないが、本実施例では、ランプ演出とモータ演出のために、VDP回路52のSMC回路（Serial Management Controller）78を使用している。SMC回路78は、LEDコントローラとMotorコントローラと、を内蔵した複合コントローラであり、クロック同期方式でシリアル信号を出力できるよう構成されている。また、Motorコントローラは、所定の制御レジスタ70への設定値に基づき、任意のタイミングでラッチパルスを出力可能に構成され、また、クロック同期方式でシリアル信号を入力可能に構成されている。

10

【0172】

そこで、本実施例では、クロック信号に同期してモータ駆動信号やLED駆動信号を、SMC回路78から出力させる一方、適宜なタイミングで、ラッチパルスを、動作制御信号ENABLEとして出力するようにしている。また、演出モータ群M1～Mnからの原点センサ信号SN0～SNnをクロック同期方式でシリアル入力するよう構成されている。

【0173】

図7（a）に関して説明した通り、クロック信号CK0～CK2、駆動信号SDATA0～SDATA2、及び、動作制御信号ENABLE0～ENABLE2は、出力バッファ41～43を経由して、所定の駆動基板30、31、37に伝送される。また、原点センサ信号SN0～SNnは、モータランプ駆動基板31から入出力バッファ43を経由して、SMC回路78にシリアル入力される。

20

【0174】

但し、本実施例において、SMC回路78を使用することは必須ではない。すなわち、CPU回路51には、汎用のシリアル入出力ポートSIO61が内蔵されているので、これらを使用して、ランプ演出とモータ演出を実行することもできる。

【0175】

具体的には、図8（a）の破線に示す通りであり、破線で示す構成では、シリアル入出力ポートSIO61に内部接続されている入出力回路64sを経由して、クロック信号CK0～CK2、駆動信号SDATA0～SDATA2が出力され、入出力回路64pを経由して動作制御信号ENABLE0～ENABLE2が出力される。なお、便宜上、入出力ポートや入出力回路と表現するが、実際に機能するのは、出力ポートや出力回路である。

30

【0176】

ここで、シリアル出力ポートSOは、16段のFIFOレジスタを内蔵して構成されている（図50（a）参照）。そして、DMAC回路60は、演出制御CPU63から動作開始指示（図22（b）ST18参照）を受けて起動し、ランプ／モータ駆動テーブル（図22（b）参照）から、必要な駆動データを順番に読み出し、シリアル出力ポートSOのFIFOレジスタにDMA転送するよう構成されている。FIFOレジスタに蓄積された駆動データは、クロック同期方式でシリアル出力ポートSOからシリアル出力される。なお、DMAC回路には、複数（例えば7）のDMAチャンネルが存在するが、優先度に劣る第3のDMAチャンネルでランプ駆動データをDMA転送し、最優先度の第1のDMAチャンネルでモータ駆動データをDMA転送するよう構成されている。

40

【0177】

CPU回路51に内蔵された動作制御レジスタREGは、レジスタ番号（アドレス値）が0xFF400000以降に付番された8bit、16bit、又は32bit長のレジスタであり、演出制御CPU63から適宜にWRITE/READアクセス可能に構成されている（図10参照）。そのためノイズなどの影響で、動作制御レジスタREGに、不合理な値に設定される可能性がある。

【0178】

但し、例えば、意図的に無限ループ処理を実行させて外付けのWDT回路58を起動させることで、複合チップ50を異常リセットすることができる。この場合、動作制御レジ

50

スタREGの値が、電源投入後と同じデフォルト値（初期値）に戻され、且つ、VDP回路52についても、VDPレジスタRGijの値が、デフォルト値（初期値）に戻されることで異常状態が解消される。

【0179】

図7（b）は、このリセット動作に関連する回路構成であって、本実施例に特徴的なリセット機構を説明する図面である。なお、本明細書において、RGijと表記するVDPレジスタは、CPU回路51に内蔵された動作制御レジスタREGではなく、VDP回路52の内部動作を制御する制御レジスタ群70（図10参照）の何れかを意味する。また、図7（b）に示すシステム制御回路520とは、VDPレジスタRGij（図10の制御レジスタ群70の何れか）への設定値に基づいて機能するVDP回路52の内部制御回路を意味する（図7（a）参照）。なお、VDPレジスタRGijは、演出制御CPU63のアドレスマップにおいて、チップセレクト信号CS7で選択されるアドレス空間CS7に位置付けられる。

10

【0180】

以上を踏まえてリセット機構について説明すると、図7（b）に示す通り、複合チップ50は、論理反転されたシステムリセット信号SYSバーを受ける3個のORゲートG2～G4を経由して、内部回路がリセット可能に構成されている。但し、本実施例では、破線で示すように、内蔵WDTを有効化しないので、ORゲートG2の入端子と出力端子は、直結状態となる。

【0181】

何れにしても、CPU回路51とVDP回路52の間に、パターンチェック回路CHKが設けられ、パターンチェック回路CHKは、パラレル入出力ポート（PIO）62から、所定のキーワード列（リセット用の暗号列）を受けることを条件に、リセット信号RSTを出力するよう構成されている。

20

【0182】

そして、複合チップ50の内部回路は、（1）CPU回路51と、（2）VDP回路52の表示回路74と、（3）VDP回路52における表示回路以外とに三分されて、各々、ORゲートG2～G4から第1リセット経路～第3リセット経路のリセット信号を受けよう構成されている。

【0183】

まず、入出力端子が直結状態のORゲートG2は、第1リセット経路に関連しており、システムリセット信号SYSバーに基づき、CPU回路51の全体をシステムリセットされるように構成されている。また、ORゲートG3は、第2リセット経路に関連しており、システムリセット信号SYSバーと、パターンチェック回路CHKからのリセット信号RSTとを受けて、OR論理に基づき、VDP回路52全体をリセット可能に構成されている。

30

【0184】

この第2リセット経路は、電源投入時の電源リセット動作だけでなく、所定の異常を検出した演出制御CPU63が、VDP回路52の全体を異常リセットして初期状態に戻す用途で使用される。具体的には、VDP回路52の内部動作を示す所定のステータスレジスタRGijに基づき、重大な異常が発生していると判断される場合には、パターンチェック回路CHKからリセット信号RSTを発生させることで、VDP回路52の全体を異常リセットしている。なお、表示回路74は、ORゲートG4を経由して、第2リセット経路→第3リセット経路で異常リセットされる。

40

【0185】

一方、VDP回路52に内蔵された内部回路は、第4リセット経路で、必要時に個々のリセットすることも可能に構成されている。個々のリセット可能な内部回路には、図8（a）に示すインデックステーブルIDXTBL、データ転送回路72、プリローダ73、表示回路74、描画回路76、SMC回路78、及び、音声回路SNDや、図13に示すICM回路が含まれている。

50

【0186】

個別的なリセット動作を実現する手法は、図7(b)の下部に記載の通りであり、例えば、表示回路74は、所定のVDPレジスタRGij(システムコマンドレジスタ)に、第1リセット値を書き込むことで、第4リセット経路4A→第3リセット経路を経てリセットされる。

【0187】

また、VDP回路52の各内部回路(72, 73, 74, 76, SND, ...)は、(1)第1のVDPレジスタRGij(リセットRQレジスタ)に、対象回路を特定する設定値を書き込んだ後、(2)所定のVDPレジスタRGij(システムコマンドレジスタ)に、第2リセット値を書き込むことで、個々にリセットされる(第4リセット経路4B)。なお、この実施例では使用しないが、音声回路SNDは、第4リセット経路4Bによるリセットだけでなく、所定のVDPレジスタ(回路設定コマンドレジスタ)に、リセット値を書き込むことでもリセット可能である(第4リセット経路4C)。

【0188】

本実施例は、上記の構成を有するので、電源投入時やプログラム暴走時に、VDP回路52全体が自動的に初期状態に戻るだけでなく、必要に応じて、各部を初期状態に戻して異常事態の回復を図ることができる。例えば、一定期間、内蔵VRAM71に対してREAD/WRITEアクセスがない描画回路76のフリーズ時には、第4リセット経路4Bを経由して描画回路76が個別的に初期化される(図22(d)のST16a参照)。プリローダ73やデータ転送回路72についても、ほぼ同様であり、所定の異常時には、第4リセット経路4Bを経由してプリローダ73が初期化され(図29のST27参照)、第4リセット経路4Bを経由してデータ転送回路72が初期化される(図24や図29のST27参照)。

【0189】

また、表示回路74については、1/60秒毎の表示タイミングに、表示データの生成が間に合わないアンダーラン(Underrun)異常が続くような場合に、第4リセット経路4A又は第4リセット経路4Bを経由して、表示回路74が個別的に初期化される(図22のST10c参照)。なお、これら個別的なリセット動作については、図22以降に記載したプログラム処理に関して更に後述する。

【0190】

以上、本実施例に特徴的なリセット機構について説明したが、何れかのリセット経路1~4が機能して、複合チップ50の内部回路がリセットされると、その内部回路に対応するVDPレジスタRGijの設定値は、電源投入後と同じデフォルト値に戻る。

【0191】

続いて、CPU回路51の内部構成に戻って、特徴的な回路構成の説明を続ける。図9は、CPU回路51の内部構成をやや詳細に示すブロック図である。CPU回路51は、先に説明した内蔵RAM59、DMAC回路60、SIO61、PIO62、WDT以外にも、多くの特徴的な回路を含んで構成されている。

【0192】

まず第1に、CPU回路51は、命令用のCPUフェッチバスと、データ用のCPUメモリアクセスバスとを別々に有してハーバード・アーキテクチャを実現している。そのため、CPUコア(演出制御CPU)63が命令をメモリから読むフェッチ動作と、メモリアクセス動作とが競合せず、フェッチ動作を連続させることで高速処理を実現している。

【0193】

また、CPUコア63は、複数個(例えば15個)のレジスタバンクRB0~RB14を有して構成されており、その使用の有無を選択できるよう構成されている。そして、レジスタバンクRBiの使用を許可した動作状態では、割込み処理の開始時に、CPUの内蔵レジスタ(例えば19個)のレジスタ値(各32bit長)が、空き状態のレジスタバンクRBiに自動的に退避される。

【0194】

また、割込み処理の終了時に所定の復帰命令を実行すると、例えば19個の退避データが、対応する内蔵レジスタに自動的に復帰される。したがって、通常の構成のように、割込み処理の開始時にPUSH命令を19回実行し、割込み処理の終了時にPOP命令を19回実行する手間が不要となり、高速処理が実現される。

【0195】

また、実施例のCPU回路51は、命令キャッシュメモリ67と、オペランドキャッシュメモリ89と、キャッシュコントローラ69とを設けることで、ハーバードキャッシュ動作を実現しており、同一アドレスをアクセスする場合に、キャッシュ済みのデータを活用することでプログラム処理の更なる高速化を図っている。なお、バスブリッジ65と、周辺バス(1)用のコントローラ、周辺バス(2)用のコントローラ、及び、周辺バス(3)用のコントローラとが設けられることで、内部バスと、周辺バス(1)、周辺バス(2)、及び周辺バス(3)とを適宜に接続している。

【0196】

次に、図9の回路構成において、バスステートコントローラ66は、動作制御レジスタREGへの適宜な設定値に基づいて動作して、CPU回路51に接続された各種メモリデバイスとのメモリREAD動作やメモリWRITE動作を最適化する部分である。メモリREAD動作やメモリWRITE動作は、例えば、図40に例示した動作タイミングで実行されるが、アドレスバス(28Bit)から出力されるアドレスデータと、READデータバス(32Bit)に読み出されるREADデータと、WRITEデータバス(32Bit)に書き出されるWRITEデータと、チップセレクト信号CS0～CS7などの制御信号との動作タイミングが、動作制御レジスタREGへの設定値に基づいて、各メモリデバイスの特性に対応して適宜に規定される。

【0197】

READデータバスとWRITEデータバスが別々に設けられているので、上記したハーバード・アーキテクチャによる高速動作が実現される。なお、本明細書では、アドレスバス(28Bit)、READデータバス(32Bit)、及び、WRITEデータバス(32Bit)について、図9に示す内部バスや、周辺バス(1)～周辺バス(3)などと区別する意味で、外部バスと総称することがある。

【0198】

図10は、チップセレクト信号CS0～CS7によって選択されるアドレス空間CS0～CS7を図示したものであり、バスステートコントローラ66を経由してアクセスされる演出制御CPU63にとってのアドレスマップを図示したものである。先ず、各アドレス空間CS0～CS7は、何れも、最大64Mバイトに(=0x4000000H=67108864)に規定されている。

【0199】

先に説明した通り、アドレス空間CS0～CS7とは、揮発性の有無を含むメモリ種別や、データバス幅(8/16/32ビット)を、各々、規定可能なCPU回路51にとって外部メモリを意味する。そして、本実施例では、図9(b)や図10に示す通り、制御メモリ(PROM)53がアドレス空間CS0、音声プロセッサ27の音声制御レジスタSRGがアドレス空間CS3、時計回路38の内部レジスタやSRAM39がアドレス空間CS4、外付けDRAM(DDR)54がアドレス空間CS5、ワークメモリ57がアドレス空間CS6、VDPLレジスタRGijがアドレス空間CS7に位置付けられている。なお、アドレス空間CS1、CS2についての説明は省略する。

【0200】

ところで、図10から確認される通り、アドレス空間CS0～CS7は、アドレス値0x00000000～0x1FFFFFFF(キャッシュ有効空間)だけでなく、アドレス値0x20000000～0x3FFFFFFF(キャッシュ無効空間)にも確保されている。これは、アドレスビットA29=1のときには、CPU回路51の内部動作に基づいて、キャッシュ無効とする一方、アドレスビットA29=0のときにキャッシュ有効とすることで、キャッシュ機能の活用を任意選択できるようにしたものである。

【0201】

そのため、本実施例では、全32bitのアドレス情報（ビットA31～A0）のうち、ビットA29の値が1又は0の何れであっても、残り31bit（ビットA31～A30とビットA28～A0）の値が同じであれば、同一のメモリの同一番地を指示することになる。例えば、0x18000000番地をREADアクセスしても、0x38000000番地をREADアクセスしても、ワークメモリ57のゼロ番地から同一データが読み出されることになる。なお、0x18000000番地をREADアクセスした場合には、読み出したデータがキャッシュに保存されるが、図9（b）は、キャッシュ有効／無効のアクセス動作を図示している。

【0202】

もっとも、所定の動作制御レジスタREGへの設定値に基づいて、命令キャッシュ及び／又はオペランドキャッシュについて、キャッシュ動作を無効化することもできる。但し、本実施例では、電源投入後、命令キャッシュ及びオペランドキャッシュについて、キャッシュ動作を有効化した上で、必要に応じて、キャッシュ無効空間をアクセスすることで、キャッシュ動作を無効化している。

【0203】

図10のメモリマップについて説明を続けると、0x40000000番地以降は、バスステートコントローラ66が機能しない内部メモリ空間であって、0xF0000000番地～0xFF3FFFFF番地は、キャッシュのアドレスレイ空間に割り当てられている。また、0xFF400000番地～0xFFF7FFFF番地と、0xFFFC0000番地～0xFFFFFFFF番地は、内蔵周辺モジュールに割り当てられ、具体的には、CPU回路の動作制御レジスタREGに割り当てられている。なお、内蔵RAM59のアドレス範囲は、0xFFFF80000～0xFFFFBFFFFである。

【0204】

CPU回路51の内部構成について説明を続けると、コンペアマッチタイマCMTと、マルチファンクションタイマユニットMTUは、CPU回路51に供給される外部信号をカウントしたり、或いは、内部クロックを逡倍又は分周した計数クロックをカウントして、カウント結果が所定値に達すると、割込み信号などを発生する回路である。特に限定されないが、本実施例では、マルチファンクションタイマユニットMTUを活用して、1mS割込み信号と、20μS割込み信号を発生させている。また、マルチファンクションタイマユニットMTUを活用して、CPUリセット後の経過時間を計測する計時タイマTMを実現している。

【0205】

次に、割込みコントローラINTCは、VDP回路52やDMAC回路60やマルチファンクションタイマユニットMTUなどからの内部割込みと、IRQ_CMD、IRQ_SND、IRQ_RCTなどの外部割込みを受けて、予め規定されている優先順位に基づいて、割込み処理（割込みハンドラ）を起動させる回路である。ここで、IRQ_CMDは、制御コマンドCMDを受信すべきコマンド受信割込み信号、IRQ_SNDは、音声プロセッサ27が初期化シーケンスを終えたことを示す終了割込み信号、IRQ_RCTは、アラーム割込み信号である。

【0206】

そして、本実施例では、割込み優先度は、コマンド受信割込みIRQ_CMDが最高レベルであり、以下、20μS割込み→1mS割込み→VDP回路からの割込み（IRQ0，IRQ1，IRQ2，IRQ3）→DMAC割込み→IRQ_SND→IRQ_RCTの順になっている（図18（d）参照）。なお、これらは何れも、マスク可能な割込みであり、マスク不能な割込みNMIは、先に説明した通り、発振器OSC2からリファレンスクロックが出力されていない場合に演出制御CPU63に出力される。

【0207】

そして、何れの割込み処理でも、CPUの複数の内蔵レジスタのレジスタ値（各32bit長）は、空き状態の何れかのレジスタバンクRBiに、自動的に退避される。そして

10

20

30

40

50

、割込み処理の最後に所定の復帰命令を実行すると、退避データが、対応する内蔵レジスタに自動的に復帰される。

【0208】

続いて、DMAC回路60について説明する。実施例のDMAC回路60は、所定の動作制御レジスタREGへの設定値に基づいて、転送元（Source）から転送先（Destination）に対して、所定のDMA転送モードで、所定のデータ転送単位毎に、所定回数、データ転送を繰り返す回路である。なお、同一の内部構成を有する複数チャンネルのDMAC0～DMACnが用意されており、並列的に動作可能となっている。但し、優先度が決まっており（チャンネル0＞・・・＞チャンネルn）、チャンネル調停動作モードの並列動作時には、所定タイミングでのチャンネル調停によって優先度の高いDMACiの動作が優先される。

10

【0209】

DMAC回路60の活用としては、例えば、シリアル出力ポートSOが機能する実施例（図10（a）破線部参照）では、CPU回路51の動作制御レジスタREGには、ランブ／モータ駆動テーブルの先頭アドレス（転送元アドレスの先頭値）と、シリアル出力ポートSOの入力レジスタのアドレス（転送先アドレスの固定値）と、データ転送単位（8bit）と、転送回数と、が指定される。そして、所定の動作制御レジスタREGに動作開始指示を受けたDMAC回路60は、転送元アドレスを更新しつつ、所定の転送先アドレスに駆動データをDMA転送する。そして、全てのDMA転送が終われば、DMAC割込み（動作終了割込み）が生じるよう構成されている。

20

【0210】

この点は、ディスプレイリストDLをDMAC回路60が発行する実施例（図25、図29（c））の場合もほぼ同様である。すなわち、演出制御CPU63は、CPU回路51の所定の動作制御レジスタREGに、転送元（DLバッファBUF）の先頭アドレスと、転送先（転送ポートTR_PORT）のアドレスと、DMA転送モードと、データ転送単位と、転送回数、その他の条件を設定することになる。なお、これらの点は、図25に関して更に後述する。

【0211】

ところで、一般に、DMA転送モードには、DMA転送の単位動作（R動作／W動作）の途中でバス制御権を開放するなど、DMA動作がメモリバスを占有しないサイクルスチール転送モードと、複数のR動作やW動作を連続させるなど、指定された転送回数が完了するまでバス制御権を解放しないバースト転送（パイプライン転送）モードと、他のデバイスから受けるDMA転送要求（デマンド）がアクティブの間はDMA動作を継続するデマンド転送モードなどが考えられる。しかし、本実施例のDMAC回路60は、DMA転送時のリードアクセス起動（R動作）とライトアクセス起動（W動作）の間に、少なくとも1サイクルのメモリ開放期間を設けたサイクルスチール転送モードで機能することで、演出制御CPU63の動作に支障が出ないようにしている。

30

【0212】

図11は、サイクルスチール転送動作（a1）と、パイプライン転送（a2）とを説明する図面である。図11（a1）に示す通り、サイクルスチール転送モードで機能するDMAC回路60は、1データ転送のリードアクセス起動（R）とライトアクセス起動（W）の間に、少なくとも1サイクル空けて動作しており、この空いたサイクルでは、演出制御CPU63のバス使用が可能となる。図11（a1）と図11（a2）の対比関係から明らかなように、パイプライン転送では、一サイクル（一オペランド転送）が終わるまでは、バスがCPUに開放されないのに対して、サイクルスチール転送モードでは、リードアクセス毎に、バスがCPUに開放されるので、CPUの動作が大きく遅れることがない。

40

【0213】

そして、例えば、ディスプレイリストDLのVDP回路52への発行時に、DMAC回路60を使用する実施態様では、一サイクルのデータ転送単位（1オペランド）を、32×2bitに設定し、ディスプレイリストDLが格納されている内蔵RAM59のソース

50

アドレスを適宜に増加しつつ（１オペランド転送毎に＋８）、固定アドレスで特定されるデータ転送回路７２の転送ポートレジスタTR_PORT（図１３参照）に対して、DMA転送動作を実行している。

【０２１４】

後述するように、実施例では、ディスプレイリストDLに、必要個数のNOP（no operation）コマンドを付加することで、全体のデータサイズを、固定値（例えば、 $4 \times 64 = 256$ バイト、又はその整数倍）に調整しており、 $32 \text{ bit} \times 2$ 回の１オペランド転送を３２回（又はその整数倍）繰り返すことで、ディスプレイリストDLの発行を完了させている。なお、描画回路７６がNOP コマンドを実行しても、no operation状態であって、事実上、何の変化も生じない。

【０２１５】

また、DMA転送条件に関して動作モードを分類すると、一般に、単一オペランド転送（図１１（b１）参照）と、連続オペランド転送（図１１（b２）参照）と、ノンストップ転送（図１１（b３）参照）とが考えられる。

【０２１６】

ここで、単一オペランド転送とは、図１１（b１）に示すように、DMA転送要求が与えられるたびに、１オペランドの転送を繰り返し、転送バイト数をカウントするバイトカウンタがゼロになった時点で、DMA割込み要求が生じる動作モードを意味する。次に、連続オペランド転送とは、図１１（b２）に示すように、１回のDMA要求で、バイトカウンタがゼロになるまでDMA転送を繰り返す動作モードを意味する。

【０２１７】

これら、連続オペランド転送（b２）や単一オペランド転送（b１）では、１オペランド転送が終了するごとにチャンネル調停が行われ、優先順位の高いチャンネルのDMA要求がないことを条件に、現在のチャンネルの転送が継続される（チャンネル調停動作モード）。そこで、本実施例では、ディスプレイリストDLのVDP回路への発行や、ランプ駆動データやモータ駆動データのDMA転送は、単一オペランド転送方式を採っている。そして、並列動作時には、例えば、モータデータ＞ディスプレイリストDL＞ランプデータの優先度のチャンネル調停となるよう、最適チャンネルのDMACiを使用している。

【０２１８】

一方、ノンストップ転送とは、チャンネル調停が実行されない動作モードであって、図１１（b３）に記載の通り、１回のDMA要求で、バイトカウンタがゼロになるまで連続的にDMA転送が繰り返される。本実施例では、電源投入時のメモリセクション初期化処理（図１６のSP８）では、ノンストップ転送でプログラムやデータをDMA転送している。

【０２１９】

以上、CPU回路５１について説明したので、次に、VDP回路５２について説明すると、VDP回路５２には、画像演出を構成する静止画や動画の構成要素となる圧縮データを記憶するCGROM５５と、 4 Gbit 程度の記憶容量を有する外付けDRAM（Dynamic Random Access Memory）５４と、メイン表示装置DS１と、サブ表示装置DS２とが接続されている。なお、DRAM５４は、好適にはDDR３（Double-Data-Rate3 SDRAM）で構成される。

【０２２０】

ここで、DRAM５４が、発振器OSC２の発振出力（ 40 MHz ）に基づいて生成されたDDRクロックを受けることは、図１４（b）に示す通りである。また、実施例のDRAM５４は、リフレッシュカウンタ（Refresh Counter）を内蔵しており、初期設定時（図１６のSP４）に、自己リフレッシュ機能（Self-Refresh Operation）が有効化されるので、演出制御CPU６３によるリフレッシュ制御動作は不要である。

【０２２１】

特に限定するものではないが、この実施例では、CGROM５５は、 62 Gbit 程度の記憶容量のNAND型フラッシュメモリで構成されたフラッシュSSD（solid state drive）で構成されており、シリアル伝送によって必要な圧縮データを取得するよう構成さ

10

20

30

40

50

れている。そのため、パラレル伝送において不可避免的に生じるスキュー（ビットデータ毎の伝送速度の差）の問題が解消され、極限的な高速伝送動作が可能となる。特に限定されないが、本実施例では、Serial A T Aに準拠したH S S（High Speed Serial）方式で、C G R O M 5 5を高速アクセスしている。

【0222】

なお、Serial A T Aに準拠したH S S方式を採用するか否かに拘らず、N A N D型のフラッシュメモリは、ハードディスクより機械的に安定であり、且つ高速アクセスが可能である一方で、シーケンシャルアクセスメモリであるため、D R A MやS R A M（Static Random Access Memory）に比較すると、ランダムアクセス性に問題がある。そこで、本実施例では、一群の圧縮データ（C Gデータ）を、描画動作に先行してD R A M 5 4に読み出しておくプリロード動作を実行することで、描画動作時におけるC Gデータの円滑なランダムアクセスを実現している。ちなみに、アクセス速度は、内蔵V R A M>外付けD R A M>C G R O Mの順番に遅くなる。

【0223】

V D P回路52は、詳細には、V D P（Video Display Processor）の動作を規定する各種の動作パラメータが演出制御C P U 63によって設定可能な制御レジスタ群70と、表示装置D S 1，D S 2に表示すべき画像データの生成時に使用される48Mバイト程度の内蔵V R A M（video RAM）71と、チップ内部の各部間のデータ送受信及びチップ外部とのデータ送受信を実行するデータ転送回路72と、内蔵V R A M 71に関して、S o u r c eやD e s t i n a t i o nのアドレス情報を特定可能なインデックステーブルI D X T B Lと、描画動作に先行してC G R O M 5 5をR E A Dアクセスするプリロード動作が実行可能なプリローダ73と、C G R O M 5 5から読み出した圧縮データをデコード（復号伸長／展開）するグラフィックスデコーダ（G D E C）75と、デコード（展開）後の静止画データや動画データを適宜に組み合わせて表示装置D S 1，D S 2の各一フレーム分の画像データを生成する描画回路76と、描画回路76の動作の一部として、適宜な座標変換によって立体画像を生成するジオメトリエンジン77と、描画回路76が生成したフレームバッファF B a，F B bの画像データを読み出して、適宜な画像処理を並列的に実行可能な3系統（A／B／C）の表示回路74A～74Cと、3系統（A／B／C）の表示回路74の出力を適宜に選択出力する出力選択部79と、出力選択部79が出力する画像データをL V D S信号に変換するL V D S部80と、シリアルデータ送受信可能なS M C回路78と、C P U I F回路56とのデータ送受信を中継するC P U I F部81と、C G R O M 5 5からのデータ受信を中継するC GバスI F部82と、外付けD R A M 5 4とのデータ送受信を中継するD R A M I F部83と、内蔵V R A M 71とのデータ送受信を中継するV R A M I F部84と、を有して構成されている（図8（a）参照）。なお、音声回路S N Dも内蔵されている。

【0224】

図8（b）には、C P U I F部81、C GバスI F部82、D R A M I F部83、及び、V R A M I F部84と、制御レジスタ群70、C G R O M 5 5、D R A M 5 4、及び内蔵V R A M 71との関係が図示されている。図示の通り、C G R O M 5 5から取得したC Gデータは、例えば、プリロードデータとして、データ転送回路72及びD R A M I F部83を経由して、外付けD R A M 5 4のプリロード領域に転送される。

【0225】

但し、上記したプリロード動作は、何ら必須動作ではなく、また、データ転送先も、外付けD R A M 5 4に限定されず、内蔵V R A M 71であっても良い。したがって、例えば、プリロード動作を実行しない実施例では、C Gデータは、データ転送回路72及びV R A M I F部84を経由して、内蔵V R A M 71に転送される（図8（b））。

【0226】

ところで、本実施例では、内蔵V R A M 71には、C G R O M 5 5から読み出した圧縮データの展開領域、表示装置のW×H個の表示ピクセルの各A R G B情報（32bit＝8×4）を特定する画像データを格納するフレームバッファ領域、及び、各表示ピクセル

の深度情報を記憶するZバッファ領域などが必要となる。なお、A R G B情報において、Aは、8 b i tのαプレーンデータ、R G Bは三原色の8 b i tデータを意味する。

【0227】

ここで、内蔵V R A M 7 1の上記した各領域は、演出制御C P U 6 3がディスプレイリストD Lに記載した各種の指示コマンド（前記したテクスチャやSPRITEなど）に基づいて間接的にアクセスされるが、そのREAD/WRITEアクセスにおいて、一々、内蔵V R A M 7 1のDestination アドレスや、Sourceアドレスを特定するのでは煩雑である。そこで、本実施例では、C P Uリセット後の初期処理において、描画動作で必要となる一次元または二次元の論理アドレス空間（以下、インデックス空間という）を確保して、各インデックス空間にインデックス番号を付与することで、インデックス番号に基づくアクセスを可能にしている。

10

【0228】

具体的には、C P Uリセット後、内蔵V R A M 7 1を3種類のメモリ領域に大別すると共に、各メモリ領域に、必要数のインデックス空間を確保している。そして、インデックス空間とインデックス番号とを紐付けて記憶するインデックステーブルIDXTBL（図12（a）参照）を構築することで、その後のインデックス番号に基づく動作を実現している。

【0229】

このインデックス空間は、(1) 初期処理後に追加することや、逆に、(2) 開放することとも必要となる。そこで、これら追加／開放の演出制御C P U 6 3の動作時に、追加／開放の処理が可能なタイミングか否か、また、追加／開放などの処理が実際に完了したか否か、などを判定可能なフラグ領域F GをインデックステーブルIDXTBLに設けている。なお、内蔵V R A M 7 1は、以下に説明する2つのA A C領域(a1,a2)と、ページ領域(b)と、任意領域(c)の3種類のメモリ領域に大別され、この3種類のメモリ領域(a1,a2)(b)(c)に対応して、インデックステーブルIDXTBLが3区分されている（図12（a））。図示の通り、この実施例では、A A C領域(a)として、第一A A C領域(a1)と第二A A C領域(a2)が確保されているが、特に限定されるものではなく、何れか一方だけでも良い。なお、以下の説明では、第一と第二のA A C領域(a1,a2)を総称する場合には、A A C領域(a)と称する場合がある。

20

【0230】

本実施例の場合、内蔵V R A M 7 1は、(a) インデックス空間とそのインデックス番号が内部処理によって自動付与され、且つメモリキャッシュ機能を有するA A C領域と、(b) 例えば4 0 9 6 b i t×1 2 8ラインの二次元空間を単位空間として、その整数倍の範囲でインデックス空間が確保可能なページ領域と、(c) 先頭アドレス（空間先頭アドレス）S T xと水平サイズH xが任意に設定できる任意領域と、に区分可能に構成されている（図12（b）参照）。但し、V D P回路5 2の内部動作を円滑化するため、任意領域(c)において任意設定されるインデックス空間の空間先頭アドレスS T xは、その下位1 1 b i tが0であって、所定ビット（2 0 4 8 b i t＝2 5 6 バイト）単位とする必要がある。

30

【0231】

そして、C P Uリセット後、各々に必要なアドレス空間の最大値と、領域先頭アドレス（下位1 1 b i t＝0）を規定して、A A C領域(a1)と、第二A A C領域(a2)と、ページ領域(b)とが確保され、その残りのメモリ領域が任意領域(c)となる。V D P回路5 2の内部動作を円滑化するため、A A C領域のアドレス空間の最大値は、2 0 4 8 b i t単位で規定され、ページ領域のアドレス空間の最大値は、上記した4 0 9 6 b i t×1 2 8ラインの単位空間の整数倍とされる。

40

【0232】

次に、このように確保された各領域(a1,a2)(b)(c)に必要な個数のインデックス空間が設定される。なお、任意領域(c)を使用する場合、V D P回路5 2の内部動作を円滑化するため、二次元データを扱うインデックス空間の水平サイズH xは、2 5 6 b i tの倍数として、任意に設定可能である一方、その垂直サイズは固定値（例えば、2 0 4 8ライン）となっている。

50

【0233】

何れにしても、第一と第二のAAC領域(a1,a2)は、VDP回路52によって、インデックス空間とインデックス番号が自動的に付与されるので、例えば、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先をAAC領域(a)に指定すれば、CGROM55からCGデータを読み出すTXLOAD(テクスチャロード)コマンドでは、CGROM55のSourceアドレスと、展開(デコード)後の水平・垂直サイズなどを指定するだけで足りることになる。そこで、本実施例では、予告演出時などに一時的に出現するキャラクタなどの静止画(テクスチャ)や、エストリーム動画については、そのデコード先をAAC領域(a)にしている。

【0234】

このAAC領域(a)は、いずれも、メモリキャッシュ機能が付与されているので、例えば、CGROM55の同一のテクスチャを複数回、AAC領域(a)に読み出すような場合には、二度目以降は、AAC領域(a)にキャッシュされているデコードデータが活用可能となり、余分なREADアクセスとデコード処理が抑制可能となる。もっとも、AAC領域(a)を使い切った場合には、古いデータが自動的に破壊されるので、本実施例では、AAC領域(a)を使用する場合、原則として第一AAC領域(a1)を使用することとし、繰り返し使用する特定のテクスチャだけを第二AAC領域(a2)に取得するようにしている。

【0235】

繰り返し使用するテクスチャとして、例えば、所定の予告演出時に繰り返し出現するキャラクタや、背景画面を静止画で構築する場合の背景画などを例示することができる。このような場合、テクスチャ設定系コマンドのSETINDEXコマンドによって、デコード先を第二AAC領域(a2)に設定し、TXLOADコマンドによって、キャラクタや背景画などのテクスチャを第二AAC領域(a2)にデコードした後は、第二AAC領域(a2)を使用しないことで、デコード結果を保護する。

【0236】

そして、その後、SETINDEXコマンドによって、デコード先を第二AAC領域(a2)に指定した上で、取得済みのテクスチャを再取得する同一のTXLOADコマンドを実行させると、取得済みのテクスチャがキャッシュヒットするので、CGROM55へのREADアクセスと、デコード処理に要する時間を削除することができる。後述するように、このようなキャッシュヒット機能は、プリロード領域に先読みされたプリロードデータでも発揮されるが、プリロード領域でキャッシュヒットするプリロードデータは、デコード前の圧縮データであるのに対して、AAC領域でキャッシュヒットするのはデコード後の展開データである点に意義がある。

【0237】

ところで、テクスチャ(texture)とは、一般に、物の表面の質感・手触りなどを指す概念であるが、本明細書では、静止画を構成するスプライト画像データや、動画一フレームを構成する画像データや、三角形や四角形などの描画プリミティブ(primitive)に貼り付ける画像データだけでなく、デコード後の画像データも含む概念として使用している。そして、内蔵VRAM71の内部で、画像データをコピーする(以下、便宜上、移動と称する)場合には、テクスチャ設定系コマンドのSETINDEXコマンドによって、移動元の画像データをテクスチャとして設定した上で、SPRITEコマンドを実行することになる。

【0238】

なお、SPRITEコマンドの実行により、移動元のSource画像データが、形式上は、図12(c)に示す仮想描画空間に描画されるが、表示装置に実際に描画される仮想描画空間内の描画領域と、フレームバッファとなるインデックス空間との対応関係を、予め環境設定コマンド(SETDAVR, SETDAVF)や、テクスチャ設定系コマンド(SETINDEX)によって設定しておけば、例えば、SPRITEコマンドによる仮想描画空間への描画により、所定のインデックス空間(フレームバッファ)には、移動元のSource画像データが描画されることになる(図12(c)参照)。

【0239】

何れにしても、本実施例では、内蔵VRAM71が、AAC領域(a1,a2)とページ領域(b)と任意領域(c)に大別され、各々に、適当数のインデックス空間を確保することができ、各インデックス空間は、各領域(a)(b)(c)ごとに独立のインデックス番号によって特定される。インデックス番号は、例えば、1バイト長であり、(内部回路によって自動付与されるAAC領域(a)を除いた)ページ領域(b)と任意領域(c)については、0~255の範囲で演出制御CPU63が、インデックス番号を自由に付与することができる。

【0240】

そこで、本実施例では、図12(a)に示す通り、表示装置DS1用として、任意領域(c)に、一対のフレームバッファF Baを確保して、ダブルバッファ構造の双方に、インデックス番号255, 254を付与している。すなわち、メイン表示装置DS1用のフレームバッファF Baとして、トグル的に切り換えて使用されるインデックス空間255と、インデックス空間254を確保している。特に限定されないが、このインデックス空間255, 254は、表示装置DS1の横方向ピクセル数に対応して、水平サイズ1280としている。なお、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ1280は、 $32 \times 1280 = 40960 \text{ bit}$ (256bitの倍数)を意味する。

【0241】

また、表示装置DS2用として、任意領域(c)に、別の一対のフレームバッファF Bbを確保して、ダブルバッファ構造の双方にインデックス番号252, 251を付与している。すなわち、サブ表示装置DS2用のフレームバッファF Bbとして、インデックス空間252と、インデックス空間251を確保している。このインデックス空間252, 251は、表示装置DS2の横方向ピクセル数に対応して、水平サイズ480としている。この場合も、各ピクセルは、ARGB情報32bitで特定されるので、水平サイズ480は、 $32 \times 480 = 15360 \text{ bit}$ (256bitの倍数)を意味する。

【0242】

なお、フレームバッファF Ba, F Bbを任意領域(c)に確保するのは、任意領域(c)には、32バイト (= 256bit = 8ピクセル分)の倍数として、任意の水平サイズに設定することができ、上記のように、表示装置DS1, DS2の水平ピクセル数に一致させれば、確保領域に無駄が生じないからである。一方、ページ領域(b)には、128ピクセル×128ラインの単位空間の整数倍の水平／垂直サイズしか設定できない。

【0243】

但し、任意領域(c)に確保される二次元のインデックス空間は、その垂直サイズが固定値(例えば、2048ライン)となっている。そのため、フレームバッファF Baにおいて、水平サイズ1280×垂直サイズ1024の領域だけが、メイン表示装置DS1にとって有効データ領域となる。この点は、サブ表示装置DS2についても同様であり、フレームバッファF Bbにおいて、水平サイズ480×垂直サイズ800の領域だけが、サブ表示装置DS2にとって有効データ領域となる(図12(c), 図22(e)参照)。

【0244】

上記の点は更に後述するが、何れにしても、フレームバッファF Ba, F Bbは、描画回路76にとっての描画領域として、各ダブルバッファ(255/254, 252/251)が交互に使用され、また、表示回路74A, 74Bにとっての表示領域として、各ダブルバッファ(255/254, 252/251)が交互に使用される。なお、本実施例では、表示ピクセルの深度情報を記憶するZバッファを使用しないので欠番(253)が生じるが、Zバッファを使用する場合には、任意領域(c)におけるインデックス番号253, 250のインデックス空間253, 250が、表示装置DS1と表示装置DS2のためのZバッファとなる。

【0245】

また、本実施例では、フレームバッファF Ba, F Bbが確保された任意領域(c)に、追加のインデックス空間(メモリ領域)を確保する場合には、0から始まるインデックス番号を付与するようにしている。何ら限定されないが、本実施例では、キャラクタやその他の静止画で構成された演出画像を、必要に応じて、適宜な回転姿勢で表示画面の一部に出

10

20

30

40

50

現させる予告演出用の作業領域として、任意領域(c) に、インデックス空間 (0) を確保している。

【0246】

但し、作業領域の使用は必須ではなく、また、任意領域(c) に代えて、ページ領域(b) に作業領域としてのインデックス空間を確保しても良い。ページ領域(b) を使用すれば、水平サイズ $12^8 (= 4096 \text{ bit}) \times$ 垂直サイズ 128 の正方形の単位空間の倍数寸法のインデックス空間を確保できるので、小型の演出画像を扱うには好適である。

【0247】

ところで、本実施例では、背景画も含め動画で構成されており、画像演出は、ほぼ動画のみで実現されている。特に、変動演出時には、多数 (通常10個以上) の動画が同時に描画されている。これらの動画は、何れも、一連の動画フレームとして、圧縮状態でCGROM55に格納されているが、Iフレームのみで構成されたIストリーム動画と、IフレームとPフレームとで構成されたIPストリーム動画とに区分される。ここで、Iフレーム (Intra coded frame) とは、他画面とは独立して、入力画像をそのまま圧縮するフレームを意味する。一方、Pフレーム (Predictive coded frame) とは、前方向予測符号化を行うフレームを意味し、時間的に過去に位置するIフレームまたはPフレームが必要となる。

【0248】

そこで、本実施例では、IPストリーム動画については、旧データの破壊が懸念されるAAC領域(a) ではなく、ページ領域(b) に展開している。すなわち、水平サイズ $12^8 \times$ 垂直サイズ 128 の倍数寸法のインデックス空間を確保可能なページ領域(b) に、多数のインデックス空間 ($IDX_0 \sim IDX_N$) を確保して、一連の動画フレームは、各動画 MV_i に対応する、常に同一のインデックス空間 IDX_i を使用してデコードするようにしている。すなわち、動画 MV_1 はインデックス空間 IDX_1 に展開され、動画 MV_2 はインデックス空間 IDX_2 に展開され、以下同様に、動画 MV_i はインデックス空間 IDX_i に展開されるよう構成されている。

【0249】

動画 MV_i について、更に具体的に説明すると、SETINDEXコマンドによって、「IPストリーム動画 MV_i のデコード先は、ページ領域(b) におけるインデックス番号 i のインデックス空間 (i) である」と予め指定した上で、IPストリーム動画 MV_i の動画一フレームを取得するTXLOADコマンドを実行させている。

【0250】

すると、TXLOADコマンドが特定するCGROM55上の動画一フレーム (一連の動画フレームの何れか) が、先ず、AAC領域(a) に取得され、その後、自動的に起動するGDEC (グラフィックスデコーダ) 75によって、ページ領域(b) のインデックス空間 (i) に、取得した動画一フレームがデコードされて展開されることになる。

【0251】

一方、本実施例では、Iストリーム動画については、静止画と同一扱いとしており、SETINDEXコマンドによって、「Iストリーム動画 MV_j のデコード先は、第一AAC領域(a1)である」と指定して、TXLOADコマンドを実行させる。その結果、動画フレームは第一AAC領域(a1)に取得され、その後、自動的に起動するGDEC75が、第一AAC領域(a1)にデコードデータを展開している。先に説明した通り、AAC領域(a) のインデックス空間は、自動的に生成されるので、インデックス番号を指定する必要はない。なお、インデックス空間に必要な展開ボリューム、つまり、デコードされたテクスチャ (動画フレーム) の水平サイズと垂直サイズは、展開先がAAC領域(a) か、ページ領域(b) かに拘らず、TXLOADコマンドによって特定される。

【0252】

ところで、IPストリーム動画 MV_i やIストリーム動画 MV_j は、一般に N 枚の動画フレーム (IフレームやPフレーム) で構成されている。そのため、TXLOADコマンドでは、例えば、 k 枚目 ($1 \leq k \leq N$) の動画フレームが記憶されているCGROM55のSo

10

20

30

40

50

urceアドレスと、展開後の水平・垂直サイズなどを指定することになる。何ら限定されないが、静止画を殆ど使用しない実施例では、内蔵VRAM71のアドレス空間48Mバイトの大部分(30Mバイト程度)をページ領域(b)に割り当てている。そして、静止画を殆ど使用しない実施例では、AAC領域として、第一AAC領域(a1)だけを確保し、第二AAC領域(a2)を確保せず、また、前記したAAC領域のキャッシュヒット機能も活用しない。

【0253】

なお、圧縮動画データのデコード処理を高速化するため、専用のGDEC(グラフィックスデコーダ)回路を設けることも考えられる。そして、専用のGDEC回路をVDP回路52に内蔵させれば、N枚の圧縮動画フレームで構成された圧縮動画データのデコード処理において、動画圧縮データの先頭アドレスをGDEC回路に指示すれば足りるので、N枚の圧縮動画フレームについて、1枚ごとに先頭アドレスを指定する必要がなくなる。

【0254】

しかし、このような専用のGDEC回路を、圧縮アルゴリズム毎に複数個内蔵させるのでは、VDP回路52の内部構成が更に複雑化する。そこで、本実施例では、ソフトウェアGDECとし、IPストリーム動画、Iストリーム動画、静止画、その他α値などのデータについて、各圧縮アルゴリズムに対応するソフトウェア処理によってデコード処理を実現している。なお、ハードウェア処理とソフトウェア処理の処理時間差は、あまり問題にならず、処理時間が問題になるのは、もっぱら、CGROM55からのアクセス(READ)タイムである。

【0255】

続いて、図8(a)に戻って説明を続けると、データ転送回路72は、VDP回路内部のリソース(記憶媒体)と外部記憶媒体を、転送元ポート又は転送先ポートとして、これらの間でDMA(Direct Memory Access)的にデータ転送動作を実行する回路である。図13は、このデータ転送回路72の内部構成を、関連する回路構成と共に記載したブロック図である。

【0256】

図13に示す通り、データ転送回路72は、ルータ機能を有する統合接続バスICMを経由して、CGROM55、DRAM54、及び、内蔵VRAM71とデータを送受信するよう構成されている。なお、CGROM55とDRAM54は、CGバスIF部82や、DMAMIF部83を経由してアクセスされる。

【0257】

一方、CPU回路51は、データ転送回路72に内蔵された転送ポートレジスタTR_PORTを経由して、描画回路76やプリローダ73にディスプレイリストDLを発行している。なお、CPU回路51とデータ転送回路72は、双方向に接続されているが、ディスプレイリストDLの発行時には、転送ポートレジスタTR_PORTは、ディスプレイリストDLを構成する一単位 of データを受け入れるデータ書き込みポートとして機能する。なお、転送ポートレジスタTR_PORTの書き込み単位(一単位データ長)は、CPUバス制御部72dのFIFO構造に対応して32bitとなる。

【0258】

図示の通り、演出制御CPU63は、CPUIF部81を経由して、転送ポートレジスタTR_PORTをWRITEアクセスできる一方、DMAC回路60を活用する場合には、DMAC回路60が、転送ポートレジスタTR_PORTを直接的にWRITEアクセスすることになる。そして、転送ポートレジスタTR_PORTに書込まれた一連の指示コマンド(つまり、ディスプレイリストDLを構成する指示コマンド列)は、32bit単位で、FIFO構造(32bit×130段)のFIFOバッファを内蔵したCPUバス制御部72dに、自動蓄積されるよう構成されている。

【0259】

また、このデータ転送回路72は、3チャンネルChA~ChCの伝送経路で、データの送受信動作を実行しており、FIFO構造(64bit×N段)のFIFOバッファを

10

20

30

40

50

有するChA制御回路72a(N=130段)と、ChB制御回路72b(N=1026段)と、ChC制御回路72c(N=130段)と、を有している。

【0260】

そして、CPUバス制御部72dに蓄積された指示コマンド列(ディスプレイリストDL)は、演出制御CPU63によるデータ転送レジスタRGij(各種制御レジスタ70の一種)への設定値に基づき、描画回路76か、又はプリローダ73に転送される。矢印で示す通り、ディスプレイリストDLは、CPUバス制御部72dから、ChB制御回路72bのFIFOバッファを経由して描画回路76に転送され、ChC制御回路72cのFIFOバッファを経由してプリローダ73に転送されるよう構成されている。

【0261】

なお、本実施例では、ChB制御回路72bと、ChC制御回路72cは、ディスプレイリストDLの転送動作に特化されており、CPUバス制御部72dのFIFOバッファに蓄積されたデータは、ChB制御回路72bか、ChC制御回路72cのFIFOバッファを経由して、各々、ディスプレイリストDLの一部として、描画回路76かプリローダ73のディスプレイリストアナライザ(Display List Analyzer)に転送される。

【0262】

そして、描画回路76は、転送されたディスプレイリストDLに基づいた描画動作を開始する。一方、プリローダ73は、転送されたディスプレイリストDLに基づき、必要なプリロード動作を実行する。プリロード動作によってCGROM55のCGデータが、DRAM54に確保されたプリロード領域に先読みされ、TXLOADコマンドなどに関して、テクスチャのSourceアドレスを変更したディスプレイリストDL(以下、書換えリストDL'という)が、DRAM54に確保されたDLバッファ領域BUF'に保存される。

【0263】

一方、CGROM55、DRAM54、及び、内蔵VRAM71などの記憶媒体の間のデータ転送には、ChA制御回路72aと、接続バスアクセス調停回路72eとが機能する。また、インデックステーブルIDXTBLのアドレス情報が必要になる内蔵VRAM71のアクセス時には、IDXTBLアクセス調停回路72fが機能する。具体的に確認すると、ChA制御回路72aは、例えば、(a)CGROM55の圧縮データを内蔵VRAM71に転送する場合や、(b)CGROM55の圧縮データをプリロード(先読み)して外付けDRAM54に転送する場合や、(c)プリロード領域の先読みデータを、内蔵VRAM71に転送する場合に機能する。

【0264】

ここで、ChA制御回路72aは、ChB制御回路72bやChC制御回路72cと並行して動作可能に構成されており、上記した(a)~(c)の動作は、ディスプレイリストDLの発行動作(図22のST8,図27のPT11)や、書換えリストDL'の転送動作(図27のPT10)と並行して実行可能となる。また、ChB制御回路72bとChC制御回路72cも、同時実行可能であり、例えば、ChB制御回路72bが機能する図27のステップPT10の処理と、ChC制御回路72cが機能するステップPT11の処理は並行して実行可能である。但し、転送ポートレジスタTR_PORTは単一であるので、何れか一方(72b/72c)が転送ポートレジスタTR_PORTを使用しているタイミングでは、他方(72c/72b)は、転送ポートレジスタTR_PORTをアクセスすることはできない。

【0265】

なお、ChA制御回路72aの動作時に、接続バスアクセス調停回路72eは、統合接続バスICMを経由する各記憶素子(CGROM55、DRAM54)とのデータ伝送を調停(Arbitration)している。一方、IDXTBLアクセス調停回路72fは、インデックステーブルIDXTBLに基づいてChA制御回路72aを制御することで、内蔵VRAM71とのデータ交信を調停している。なお、プリローダ73が機能する実施例の場合、DRAM54のDLバッファ領域BUF'に保存された書換えリストDL'は、接続バスアクセス調停回路72eと、ChB制御回路72bを経由して描画回路76に転送されることに

10

20

30

40

50

なる（図 28（b）参照）。

【0266】

上記の通り、本実施例のデータ転送回路 72 は、各種の記憶リソース（Resource）から任意に選択されたデータ転送元と、各種の記憶リソース（Resource）から任意に選択されたデータ転送先との間で、高速のデータ転送を実現している。図 13 から確認される通り、データ転送回路 72 が機能する記憶リソースには、内蔵 V R A M 71 だけでなく、C P U I F 部 56、C G バス I F 部 82、D R A M I F 部 83 を経由する外部デバイスも含まれる。

【0267】

そして、C G R O M 55 から 1 回に取得すべきデータ量（メモリシーケンシャル R E A D）のように、C h A 制御回路 72 a が機能する外部デバイスとのデータ転送量は、C h B 制御回路 72 b や C h C 制御回路 72 c が機能するディスプレイリスト D L の場合と比較して膨大であり、互いに、データ転送量が大きく相違する。

【0268】

ここで、これら各種のデータ転送について、単位データ量や総転送データ量を、細かく設定可能に構成することも考えられるが、これでは、V D P 内部の制御動作が煩雑化し、円滑な転送動作が阻害される。そこで、本実施例では、データ転送の最低データ量 D m i n を一意に規定すると共に、総転送データ量を、最低データ量 D T m i n の整数倍となるよう制限することで、高速で円滑なデータ転送動作を実現している。特に限定されないが、実施例のデータ転送回路 72 では、最低データ量 D m i n（単位データ量）を、256 バイトとし、総転送データ量を、この整数倍に制限することになっている。

【0269】

したがって、32 b i t 毎に C P U バス制御部 72 d の F I F O バッファに蓄積されたディスプレイリスト D L の指示コマンド列は、その総量が最低データ量 D m i n に達したタイミングで、C h B 制御回路 72 b や C h C 制御回路 72 c に転送され、各々の F I F O バッファに蓄積されることになる。

【0270】

ディスプレイリスト D L は、一連の指示コマンドで構成されているが、本実施例では、転送ポートレジスタ T R _ P O R T の書込み単位（32 b i t）に対応して、ディスプレイリスト D L は、コマンド長が、32 b i t の整数 N 倍（ $N > 0$ ）の指示コマンドのみで構成されている。したがって、データ転送回路 72 を経由して、ディスプレイリスト D L の指示コマンドを受ける描画回路 76 やプリローダ 73 は、素早く円滑にコマンド解析処理（D L a n a l y z e）を開始することができる。なお、32 b i t の整数 N 倍のコマンド長は、その全てが有意ビットとは限らず、無意ビット（Don't care bit）も含んで、32 b i t の整数 N 倍という意味である。

【0271】

次に、プリローダ 73 について説明する。先に概略説明した通り、プリローダ 73 は、データ転送回路 72（C h C 制御回路 72 c）から転送されたディスプレイリスト D L を解釈して、T X L O A D コマンドが参照している C G R O M 55 上の C G データを、予め、D R A M 54 のプリロード領域に転送する回路である。また、プリローダ 73 は、この T X L O A D コマンドに関し、C G データの参照先を、転送後のアドレスに書換えた書換えリスト D L ' を、D R A M 54 の D L バッファ B U F ' に記憶する。なお、D L バッファ B U F ' や、プリロード領域は、C P U リセット後の初期処理時（図 21 の S S 3）に、予め確保されている。

【0272】

そして、書換えリスト D L ' は、描画回路 76 の描画動作の開始時に、データ転送回路 72 の接続バスアクセス調停回路 72 e や、C h B 制御回路 72 b を経由して、描画回路 76 のディスプレイリストアナライザ（D L A n a l y z e r）に転送される。そして、描画回路 76 は、書換えリスト D L ' に基づいて、描画動作を実行する。したがって、T X L O A D コマンドなどに基づき、本来は、C G R O M 55 から取得すべき C G データが、プリロード領域

10

20

30

40

50

に先読みされているプリロードデータとして、DRAM 54のプリロード領域から取得される。この場合、プリロードデータは、上書き消去されない限り、繰り返し使用可能であり、プリロード領域にキャッシュヒットしたプリロードデータは、繰り返し再利用される。

【0273】

本実施例では、十分な記憶容量を有する外付けDRAM 54にプリロード領域を設定しているので、上記のキャッシュヒット機能が有効に機能する。また、外付けDRAM 54の記憶容量が大きいので、例えば、複数フレーム分のCGデータを一気にプリロードする多重プリロードも可能である。すなわち、プリローダ73の動作期間に関し、CGデータの先読み動作を含んだ一連のプリロード動作の動作期間を、VDP回路52の間欠動作時の動作周期 δ の整数倍の範囲内で、適宜に設定することで多重プリロードが実現される。

10

【0274】

但し、以下の説明では、便宜上、多重プリロードのない実施例について説明するので、実施例のプリローダ73は、一動作周期(δ)の間に、一フレーム分のプリロード動作を完了することにする。なお、図22に関し後述するように、本実施例では、VDP回路52の間欠動作時の動作周期 δ は、表示装置DS1の垂直同期信号の2倍周期である1/30秒である。

【0275】

次に、描画回路76は、データ転送回路72を経由して転送されたディスプレイリストDLや書換えリストDL'の指示コマンド列を順番に解析して、グラフィックスデコーダ75やジオメトリエンジン77などと協働して、VRAM 71に形成されたフレームバッファに、各表示装置DS1、DS2の一フレーム分の画像を描画する回路である。

20

【0276】

上記の通り、プリローダ73を機能させる実施例では、書換えリストDL'のCGデータの参照先は、CGROM 55ではなく、DRAM 54に設定されたプリロード領域である。そのため、描画回路76による描画の実行中に生じるCGデータへのシーケンシャルアクセスを迅速に実行することができ、動きの激しい高解像度の動画についても問題なく描画することができる。すなわち、本実施例によれば、CGROM 55として、安価なSATAモジュールを活用しつつ、複雑高度な画像演出を実行することができる。

【0277】

ところで、プリローダ73を機能させるか否かに拘らず、ディスプレイリストDLや書換えリストDL'の転送時に、仮にデータ化けが発生しても、描画回路76は、これを検出することはできない。また、ノイズなどの影響で、描画回路76がフリーズして、内蔵VRAM 71のREAD/WRITEアクセスが異常停止することもあり得る。そこで、本実施例では、描画回路76が不合理な指示コマンド(analyze 不能のビット並び)を検出した場合や、一定期間、内蔵VRAM 71に対してREAD/WRITEアクセスがない場合には、描画異常割込みを発生させるよう構成されている(描画異常割込みが許可状態)。なお、この点は、図22(d)に関して後述する。

30

【0278】

次に、図12に関して説明した通り、VRAM 71の任意領域(c)に確保されたフレームバッファFBは、描画領域と読出領域に区分されたダブルバッファであり、2つの領域を、交互に用途を切り替えて使用する。また、本実施例では、2つの表示装置DS1、DS2が接続されているので、図12に示す通り、2区画のフレームバッファFBa/FBbが確保されている。したがって、描画回路76は、表示装置DS1用のフレームバッファFBaの描画領域(書込み領域)に、一フレーム分の画像データを描画すると共に、表示装置DS2用のフレームバッファFBaの描画領域(書込み領域)に、一フレーム分の画像データを描画することになる。なお、描画領域に、画像データが書込まれているとき、表示回路74は、他方の読出領域(表示領域)の画像データを読み出して、各表示装置DS1、DS2に出力する。

40

【0279】

表示回路74は、フレームバッファFBa、FBbの画像データを読み出して、最終的

50

な画像処理を施した上で出力する回路である（図14（a）参照）。最終的な画像処理には、例えば、画像を拡大／縮小するスケーラのスケーリング処理、微妙なカラー補正処理、画像全体の量子化誤差が最小化するディザリング処理が含まれている。そして、これらの画像処理を経たデジタルRGB信号（合計24bit）が、通常は、水平同期信号HSや垂直同期信号VSなどと共に出力される。

【0280】

図14（a）に示す通り、本実施例では、上記の動作を並列的に実行する3系統の表示回路A／B／Cが設けられており、各表示回路74A～74Cは、各々に対応するフレームバッファFBa／FBb／FBcの画像データを読み出して、上記の最終画像処理を実行する。但し、本実施例では、表示装置は2個であるので、フレームバッファFBcは確保されておらず、表示回路74Cが機能することもない。

10

【0281】

ここで、メイン表示装置DS1の仕様を確認すると、メイン表示装置DS1は、左右方向に隣接する奇数ピクセル（ODD）と偶数ピクセル（EVEN）を、別々のLVDS（Low Voltage Differential Signaling）伝送路を通して、受信部RV（RVa＋RVb）で受ける必要がある。また、メイン表示装置DS1の動作クロックCKの周波数は、40～70MHz程度（典型値54MHz）にする必要がある、 $(WTh + 640) \times (Wtv + 1024) / 54MHz$ 1/60秒となるよう、水平／垂直方向の待機時間WTh／Wtvを設定する必要がある。更に、メイン表示装置DS1に対して画像データ（ODD／EVEN信号）を出力するタイミングでは、アクティブレベルのデータ有効信号ENABを出力する必要がある。

20

【0282】

そこで、表示回路74Aは、上記した全ての仕様を満たす信号を出力する必要がある。図15（a）～図15（e）は、表示回路74Aから出力される各種の信号を図示したものである。まず、ドットクロック（LVDSクロック）DCKの周波数を決定する必要があるが、本実施例では、メイン表示装置DS1を、典型値54MHzの動作クロックCKで動作させるので、これに対応して、（VDP回路52における）設計上のドットクロックDCKを、108MHz（＝54×2）としている。

【0283】

それは、横1280ドット×縦1024ラインの表示パネルLCD（図15（f）参照）において、左右に隣接する2つの画素が、54MHzの動作クロックCKに同期して一気に処理されるので、実質的には、108MHzのドットクロックDCKで動作するのと等価だからである。

30

【0284】

そして、表示回路74Aの動作を規定する各種の動作パラメータは、周波数108MHzのドットクロックDCKに基づいて規定される。まず、 $(WTh + 640) \times (Wtv + 1024) / 54MHz$ 1/60秒となるよう、水平／垂直方向の待機時間WTh／Wtvを設定する必要があるが、表示回路74Aについての動作パラメータWTh，Wtvとしては、 $(WTh + 1280) \times (Wtv + 1024) / 108MHz$ 1/60秒を満たす必要がある。

40

【0285】

また、水平／垂直方向の待機時間WTh／Wtvについて、表示装置DS1の仕様上の許容範囲も考慮する必要がある。そこで、本実施例では、水平待機時間WThを、108MHzのドットクロックDCKでカウントして、382クロックとし、垂直待機時間Wtvを、59ラインとしている。したがって、一フレームの画像更新に要する時間は、 $(382 + 1280) \times (59 + 1024) / 108MHz = 16.666mS$ となり、フレームレートFR（Frame Rate）が1/60秒となる。

【0286】

この関係は、表示装置DS1の更新周期FR［秒］を規定するものであり、後述するドットクロックDCKの周波数Fdot、水平同期のサイクル数THc、及び、垂直同期のラ

50

イン数 TVL を使用すると、 $FR = THc \times TVL / Fdot$ となる。ここで更新周期 FR が長すぎると、フリッカなどの異常が生じるおそれがあり、一方、更新周期 FR が短すぎると、表示装置が正常な更新処理を実行できないので、 $0.95/60 < FR [\text{秒}] < 1.05/60$ の範囲に規定すべきである。

【0287】

この設定に対応して、データ有効信号 $ENAB$ は、各ラインの画像更新動作において、382クロックに対応する待機時間 WTh ($= 382 / 108 \text{MHz}$) は、Lレベルであり、その後、1280クロックに対応するアクティブ区間 ($= 1280 / 108 \text{MHz}$) は、アクティブレベル (H) となる (図15 (c))。なお、図15 (d) と、図15 (e) に示す通り、データ有効信号 $ENAB$ のアクティブ区間では、一ライン1280ドットの画素について、所定の時間 ($11.85 \mu\text{s} = 1280 / 108 \text{MHz}$) で画像更新動作が完了するよう、画像データが出力される。すなわち、1280個のドットクロック DCk に同期して、1280個の画素データ (Pixel Data) が出力される。なお、表示装置 $DS1$ には、諧調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示されるので、1画素の画素データは、 3×8 ビット長である。

【0288】

ところで、本実施例では、メイン表示装置 $DS1$ では必要とはされないものの、垂直同期信号 VS と水平同期信号 HS を出力している。垂直同期信号 VS は、垂直待機時間 WTV の時間内に出力され、水平同期信号 HS は、水平待機時間 WTh の時間内に出力される。なお、図15 (a) と図15 (b) には、理解の便宜上、各々の動作周期が示されている。また、図15 (f) には、 $TH \times TV$ ($= 1083 \times 1662$ クロック) で特定される矩形枠の左上と右下の頂点に、○印を示して「表示動作の開始」「表示動作の終了」と記載されているが、この○印は、 $1/60$ 秒ごとに開始される表示回路74Aの動作周期を規定する「Vブランク開始」を意味する。表示動作を規定する 1083×1662 クロックが、 $1/60$ 秒に一致するので、「表示動作の開始」から「表示動作の終了」までの経過時間 (表示回路74Aの動作周期) は $1/60$ 秒である。なお、「Vブランク開始」については、図22に基づいて後述する。

【0289】

図14に戻って説明を続けると、実施例の出力選択部79は、表示回路74Aの出力信号を、 108MHz のドットクロック DCk を2分周するデュアルリンクに分割して、各々、 $LVDs$ 部80aと、 $LVDs$ 部80bに伝送している (図14 (a)、図5参照)。そして、各 $LVDs$ 部80a、80bは、画像データ (合計24bitのデジタルRGB信号) を、第1と第2の $LVDs$ 信号に変換し、これにクロック信号 ($54 \text{MHz} = 108/2$) を伝送する一対を加えて、全五対の差動信号 $LVDs1$ 、 $LVDs2$ として、2つの経路を経由して、メイン表示装置 $DS1$ に出力している (図14 (a) 図4参照)。

【0290】

先に説明した通り、メイン表示装置 $DS1$ では、一画素分の ODD 信号と、隣接する一画素分の $EVEN$ 信号とが、同じタイミングで処理されるので、実質的な動作クロック CK の周波数は、表示回路74Aが出力する 108MHz のドットクロック DCk に一致する。

【0291】

以上、メイン表示装置 $DS1$ に伝送すべき画像を生成する表示回路74Aについて説明したが、表示回路74Bは、サブ表示装置 $DS2$ に伝送すべき画像データを生成している。表示回路74Bが出力するデジタルRGB信号は、出力選択部79を経由してデジタルRGB部80cに供給され、垂直同期信号 VS や水平同期信号 HS と共に、サブ表示装置 $DS2$ に伝送される。

【0292】

なお、同期信号 VS 、 HS と共に、データ有効信号 $ENAB$ もデジタルRGB部80cを経由して伝送されるが、これら各信号は、 $LVDs$ 伝送路の場合のような離散値ではなく、連続信号として伝送されるのは勿論である (図14 (a) 参照)。

【0293】

ところで、本実施例の場合、各表示回路74A～74Bには、表示タイミングに対して、表示データの生成が間に合わなかったUnderrun異常をカウントするアンダーランカウンタURCNTa～URCNTcが設けられている(図15参照)。そして、このアンダーランカウンタURCNTa～URCNTcのカウント値は、アンダーラン異常が発生するとVBLANK毎に自動的に加算されるよう構成されている。

【0294】

次に、SMC回路78(Serial Management Controller)は、LEDコントローラとMotorコントローラとを内蔵した複合コントローラである。そして、外部基板に搭載したLED/Motorドライバ(シフトレジスタを内蔵するドライバIC)に対して、クロック信号に同期してLED駆動信号やモータ駆動信号を出力する一方、適宜なタイミングで、ラッチパルスを出力可能に構成されている。

【0295】

上記したVDP回路52の内部回路及びその動作に関し、内部回路が実行すべき動作内容は、演出制御CPU63が、制御レジスタ群70に設定する動作パラメータ(設定値)で規定され、VDP回路52の実行状態は、制御レジスタ群70の動作ステータス値をREADすることで特定できるようになっている。制御レジスタ群70は、演出制御CPU63のメモリマップ上、1Mバイト程度のアドレス空間(0～FFFFFFH)にマッピングされた多数のVDPレジスタRGijを意味し、演出制御CPU63は、CPUIF部81を経由して動作パラメータのWRITE(設定)動作と、動作ステータス値のREAD動作を実行するようになっている(図8(b)参照)。

【0296】

制御レジスタ群70(VDPレジスタRGij)には、割り込み動作などシステム動作に関する初期設定値が書込まれる「システム制御レジスタ」と、内蔵VRAMにAAC領域(a)やページ領域(b)を確定する共に、インデックステーブルIDXTBLを構築又は変更などに関する「インデックステーブルレジスタ」と、演出制御CPU63とVDP回路52の内部回路との間のデータ転送回路72によるデータ転送処理に関する設定値などが書込まれる「データ転送レジスタ」と、グラフィックスデコーダ75の実行状況を特定する「GDECレジスタ」と、指示コマンドや描画回路76に関する設定値が書込まれる「描画レジスタ」と、プリローダ73の動作に関する設定値が書込まれる「プリローダレジスタ」と、表示回路74の動作に関する設定値が書込まれる「表示レジスタ」と、LEDコントローラ(SMC回路78)に関する設定値が書込まれる「LED制御レジスタ」と、Motorコントローラ(SMC回路78)に関する設定値が書込まれる「モータ制御レジスタ」と、音声回路SNDに関する設定値が書込まれる「音声制御レジスタSRG」と、が含まれている。但し、本実施例では、音声回路SNDを活用していない。

【0297】

何れにしても、以下の説明では、制御レジスタ群70に含まれる一又は複数のレジスタRGijを、上記した個別名称で呼ぶ場合と、VDPレジスタRGijと総称することがあるが、何れにしても、演出制御CPU63は、所定のVDPレジスタRGijに、適宜な設定値を書込むことで、VDP回路52の内部動作を制御している。具体的には、演出制御CPU63は、適宜な時間間隔で更新するディスプレイリストDLと、所定のVDPレジスタRGijへの設定値に基づいて、所定の画像演出を実現している。なお、この実施例では、ランプ演出やモータ演出も含め、演出制御CPU63が担当するので、VDPレジスタRGijには、LED制御レジスタやモータ制御レジスタも含まれる。

【0298】

続いて、上記したCPU回路51とVDP回路52とを内蔵した複合チップ50によって実現される、画像演出、音声演出、モータ演出、及び、ランプ演出の統一的な演出制御動作について説明する。

【0299】

本実施例の場合、複合チップ50の動作は、電源投入や異常リセットによるパワーオン

10

20

30

40

50

リセット動作（図16（a）参照）によって開始され、初期設定プログラム（ブートプログラム）`P i n i t`による初期設定処理（`S P 1`～`S P 9`）を経て、演出制御プログラム `M a i n`及び割込み処理プログラム（ベクタハンドラ）`V o p t`によるメイン制御処理（`S P 10`）に移行するよう構成されている。メイン制御処理については、図18（a）に、その導入部の処理内容が記載されており、本体部の処理内容が図22（a）に記載されている。なお、図18のステップ`S P 27`の処理は、図21（a）のステップ`S S 1`～`S S 3`の処理を含んでいない。

【0300】

以上を踏まえて、パワーオンリセット動作について図16（a）に基づいて説明する。電源投入時など、システムリセット信号`S Y S`が所定の期間（アサート期間）`L`レベルを維持すると、全ての動作制御レジスタ`R E G`や、全ての`V D P`レジスタ`R G i j`は、所定のデフォルト値に自動設定される。

【0301】

そして、その後、システムリセット信号`S Y S`が`H`レベル（ネゲートレベル）に変化すると（図6（d）のタイミング`T 1`参照）、本実施例では、`C P U`リセット後の経過時間を計測するべく、計時タイマ`T M`（図9（a））の動作を開始させる（`S P 1`）。また、アドレス空間`C S 0`の先頭番地からの`32 b i t`データが、演出制御`C P U 63`のプログラムカウンタ`P C`に設定され、これに続く`32 b i t`データが、スタックポインタ`S P`に設定されるよう構成されている（`S P 1`）。なお、図10や図17（c）では、プログラムカウンタ`P C`やスタックポインタ`S P`の初期値を記憶するメモリの先頭領域をベクタテーブル`V E C T`と称している。

【0302】

図16（b）に示す通り、このベクタテーブル`V E C T`には、優先度と割込み要因などを特定するベクタ番号と、アドレス情報とが対応して記憶されている。ベクタ番号は、その番号が小さいほど優先度が高いが、例えば、ベクタ番号11は、マスク不能割込み（`N M I`）であって、アドレス情報として、`N M I`割込み時に実行される割込み処理プログラムの先頭アドレスが記憶されている。また、ベクタ番号64は、`V D P`からの内部割込み（`V D P _ I R Q 0`）であって、アドレス情報として、`V D P _ I R Q 0`割込み時に実行される割込み処理プログラムの先頭アドレスが記憶されている。

【0303】

割込み優先度は、図18（d）に示す通りであるので、ベクタ番号64より小さいベクタ番号の欄には、制御コマンド受信割込み`I R Q _ C M D`と、`20 μ S`タイマ割込みと、`1 m S`タイマ割込みについて、割込み処理プログラムの先頭アドレスが各々記憶されていることになる。一方、ベクタ番号64より大きいベクタ番号の欄には、`V D P _ I R Q 1`より優先度が低い割込み処理プログラム（`I R Q _ S N D`，`I R Q _ R T C`など）の先頭アドレスが各々記憶されている。

【0304】

また、ベクタテーブル`V E C T`において、ベクタ番号0とベクタ番号1は、パワーオンリセット時に`C P U`のプログラムカウンタと、スタックポインタに自動設定されるべき、設定値が規定されている。図16（b）に示す通り、この実施例では、パワーオンリセット時（リセットアサート期間）の内部動作として、4バイトデータ「****」が、プログラムカウンタ`P C`に設定され、4バイトデータ「++++」がスタックポインタ`S P`に設定される。なお、「****」は、アドレス空間`C S 0`に不揮発的に記憶されている初期設定プログラム`P i n i t`（図16の`S P 1`～`S P 9`）の先頭アドレス値であり、「++++」は、内蔵`R A M 59`に確保された、`L I F O`（Last-In First-Out）方式で機能するスタック領域の先端又は終端のアドレス値である。

【0305】

なお、本実施例では、レジスタバンク`R B i`を有効活用するので、割込み処理時に、スタック領域が消費されることなく、それほどのメモリ容量は必要とされない。すなわち、本実施例では、スタック領域は、専ら、関数処理や、サブルーチン処理において活用され

10

20

30

40

50

る。

【0306】

以上の動作の結果、その後、演出制御CPU63は、アドレス値「****」以降に記載された初期設定プログラムPinitを実行することになる。但し、アドレス空間CS0のメモリREAD動作は、バスステートコントローラ66（図9）の動作を規定する動作制御レジスタREGのデフォルト値（初期値）に基づいて実行される。この動作制御レジスタREGの初期値は、リセットアサート期間（システムリセット信号SYSがLレベルを維持する図7（d）に示す期間）に自動的に設定される値であり、アドレス空間CS0を、如何なるメモリデバイスで構成しても、問題なくREADアクセスできるよう、最遅READアクセス動作（デフォルトアクセス動作）に設定されている。

10

【0307】

そこで、このデフォルトアクセス動作を、最適なアクセス動作に変更するべく、最初に、アドレス空間CS0に対するバスステートコントローラ66（図9）の動作を規定する所定の動作制御レジスタREGに最適値を設定する（SP1）。すなわち、初期設定プログラムPinit（SP1～SP9）、演出制御プログラムMainB（SP10以下）、定数データなどを格納したPROM53をアクセスする場合のメモリREAD動作を、メモリデバイスに合わせて最適化するべく、バス幅やページアクセスの有無を設定すると共に、チップセレクト信号CS0や、READ制御信号や、WRITE 制御信号その他の動作タイミングを最適設定する（図40参照）。

【0308】

以上の設定の結果、ステップSP2以降の処理は、アドレス空間CS0に記憶されているプログラムを、最適にメモリREADして実行されることになる。そこで、次に、演出制御CPU63が、VDPレジスタRGijをアクセスする場合のREAD／WRITE アクセス動作を最適化するべく、VDPレジスタRGijに対するバスステートコントローラ66（図9）の動作を規定する所定の動作制御レジスタREGに最適値を設定する（SP2）。

20

【0309】

先に説明した通り、本実施例では、VDPレジスタRGijは、演出制御CPU63のアドレス空間CS7に位置付けられているので、チップセレクト信号CS7や、その他の制御信号の動作タイミングを最適設定するべく所定の動作制御レジスタREGに所定値を書込むことになる。

30

【0310】

続いて、特定のVDPレジスタRGijのレジスタ値を読み出して、その値が所定値（デバイスコード）か否かを判定する（SP3）。これは、VDP回路52のシステムクロックが安定化したことの確認判定である。すなわち、VDP回路52は、PLLREF端子に供給される発振器OSC2の発振出力に基づいて動作するが、このVDP回路52が、CPU回路51からの指令（つまり、VDPレジスタRGijへの設定など）を正常に受け付け可能か否かの判定である。

【0311】

そして、デバイスコードの読出し処理（SP3）によって、システムクロックが安定化したことが確認できれば、その後は、VDP回路52の正常動作を期待できるので、所定のVDPレジスタRGijに対する設定処理を実行する（SP4～SP6）。ステップSP4の処理では、まず、演出制御CPU63からVDPレジスタRGijをアクセスする場合のエンディアン設定（ビッグ／リトル）や、データバス幅を設定し（SP40）、また、VDP回路からCPU回路への内部割込み（VDP_IRQ0, VDP_IRQ1, VDP_IRQ2, VDP_IRQ3）について、割込み有意レベル（H／L）を設定する（SP41）。

40

【0312】

なお、本実施例では、設定値の最上位ビット(Most significant Bit)を、VDPレジスタRGijの最上位ビットに格納するビックエンディアンに設定し、データ32バス幅を32bitに設定するが、これらの設定値が、仮に、デフォルト値と同じであれば、これらの設定処理を省略することもできる（以下の処理も同様）。

50

【0313】

また、ステップSP4の処理では、所定のシステム制御レジスタRG_{ij}への設定値に基づいて、表示クロックの周波数が設定される（SP42～SP44）。具体的には、表示回路74Aと表示回路74Bについて、40MHzのリファレンスクロック（発振器OSC2の出力）を基礎にして、ドットクロックDCKAやDCKBを生成することを、各々、所定のシステム制御レジスタRG_{ij}に設定し（SP42）、このリファレンスクロックに対する逡倍比と分周比を表示回路毎に適宜に規定する（SP43）。また、表示回路74Bの動作開始を、表示回路74Aの動作開始に同期させるべく所定のシステム制御レジスタRG_{ij}に設定する（SP44）。更にまた、LVDSのサンプリングクロックを表示回路AのドットクロックDCKAと同一に設定する（SP43）。

10

【0314】

これらの処理において、ドットクロックDCKは、表示回路74Aと表示回路74Bについて別々に設定され、表示回路74Aに適用されるメイン表示装置DS1用のドットクロックDCKAの周波数は、先に説明した通り、108MHzに設定される。一方、表示回路74Bに適用されるサブ表示装置DS2用のドットクロックDCKBの周波数は、横480×縦800ピクセルに対応して、27MHzに設定される。

【0315】

また、ステップSP4の処理では、LVDS部80をデュアルリンク（一対のLVDS伝送路）として使用すると設定し（SP45）、また、所定のシステム制御レジスタRG_{ij}への設定値に基づいて、LVDS部80の動作状態を、ゼロを出力するマスク状態（Default状態）から、表示回路74の出力にしたがうマスク解除状態に切り替える（SP45）。なお、LVDS部80をシングルリンク（単一のLVDS伝送路）として使用する場合には、ステップSP45の処理において、その旨の設定をすることになる。

20

【0316】

図6（f）に示すように、ステップSP45の処理の結果、LVDS部80の動作がdefault状態から非マスク状態に切り替わることで、その後、表示回路74が動作を開始したタイミングT4の後には（図21のSS4参照）、LVDS部80a、80bには、出力選択部79を経由して、ODD信号とEVEN信号が供給され、デュアルリンクを経由して、表示装置DS1にLVDS信号（LVDS1／LVDS2）が伝送されることになる（図14（a）参照）。なお、LVDSのサンプリングクロックは、表示回路AのドットクロックDCKAと同一の108MHzであると設定されるが、本実施例では、デュアルリンク構成を採るので、各デュアルリンクにおけるLVDSサンプリングクロックは、54MHzである（図4参照）。

30

【0317】

また、ステップSP4の処理では、PLLREF端子（図8（a）参照）へのクロック信号（リファレンスクロック）に基づいてDDR（DRAM54）を機能させる旨を設定する（SP46）。なお、PLLREF端子に、発振器OSC2のリファレンスクロックが供給されることは、図8（a）に関して説明した通りである。また、DDR（DRAM54）に内蔵されたレジスタに、適宜な値を設定することで、DRAM54の自己リフレッシュ機能（Self-Refresh Operation）を有効化し、DRAM54が正常動作するためのその他の設定をする（SP47）。以上の処理によって、DRAM54は、正常に動作可能な状態になり、その後のPROM53からDRAM54へのデータ転送動作（SP8）や、DRAM54に転送された制御プログラムの実行（SP10）が、何ら問題なく実現されることになる。

40

【0318】

続いて、図10に示すメモリマップを実現するべく、アドレス空間CS1～CS6を定義する（SP5）。先に説明した通り、アドレス空間CS3は、音声プロセッサ27の内部レジスタに付与され、アドレス空間CS4は、RTC38の内部レジスタやSRAM39のアドレス空間に付与され、アドレス空間CS5は、外付けDRAM（DDR）54に付与され、アドレス空間CS6は、内蔵CPUのワークメモリ57に付与される。

50

【0319】

なお、VDPレジスタRG_ijが、アドレス空間CS₇に割り当てられることは固定的に規定されているので、アドレス空間CS₇の定義処理は不要である。また、アドレス空間CS₀は、CPU回路51のメモリマップ0x00000000番地以降であることは予め固定的に規定されており、この規定を前提として、アドレス空間CS₀が、CGROM55に確保されているか、その他のメモリデバイスに付与されるかは、HBTS_L端子のH/Lレベルで規定される。

【0320】

先に説明した通り、本実施例では、HBTS_L端子=Lとなっており、CGROM55以外にアドレス空間CS₀が定義されていることが示されている。そして、CGROM55以外である制御メモリ53の具体的なバス幅や、最適なアクセス動作については、ステップSP1において設定済みであるので、アドレス空間CS₀についても、ステップSP5の処理は不要である。

10

【0321】

続いて、ステップSP5の処理で定義されたアドレス空間CS₁～CS₆について、各アドレス空間CS_iをアクセスする場合のバス幅やページアクセスの有無について、所定の動作制御レジスタREGに所定値を書込む（SP6）。また、チップセレクト信号CS_iその他を最適設定するべく、所定の動作制御レジスタREGに所定値を書込む（SP6）。これらの処理は、ステップSP1やSP2の処理と同様の内容であり、バスステートコントローラ66（図9）の動作を規定する動作制御レジスタへの書き込み処理によって、チップセレクト信号CS_i、READ制御信号、WRITE制御信号、その他の動作タイミングが最適に設定される。

20

【0322】

続いて、既に動作を開始しているWDT回路58に関し、WDT回路58にクリア信号を出力することで、異常リセットを回避する（SP7）。これは、電源投入後、WDT回路58が自動的に動作を開始することを考慮したものであり、この後も、繰り返し同様の処理が実行される。なお、ステップSP9の処理は、サブルーチンSP7として制御メモリ53に格納されているが、ステップSP9の終了時までには、制御メモリ53のサブルーチンSP7が呼び出され、ステップSP9の終了後は、外付けDRAM54に転送された別のサブルーチンSP7'が呼び出されて実行される。

30

【0323】

続いて、アドレス空間CS₀に格納されているプログラムやデータのうち、図16（b）や図17（c）に示すベクタハンドラVopt（割込み処理プログラム）、エラー復帰処理プログラムPiram、演出制御プログラムMainB、初期値有り変数D、及び、定数データCを、外付けDRAM54や、内蔵RAM59に転送する（SP8）。なお、初期値有り変数Dとは、所定の変数領域に記憶されている初期値データを意味する。このメモリセクションの初期化処理（SP8）は、演出制御処理の高速化を図るため、プログラムやデータを転送する処理であり、アクセス速度に劣るROMへのアクセスを回避するための処理である。

【0324】

そして、次に、レジスタバンクRB_iを使用する旨の設定をする（SP9）。そのため、その後は、割込み処理時に、レジスタバンクRB₀～RB₁₄が機能することになり、割込み処理が迅速化されると共に、スタック領域の消費が緩和される。

40

【0325】

以上の処理は、アドレス空間CS₀である制御メモリ53に格納されている「初期設定プログラムPin_it」の実行によって実現される（図17（c）参照）。そして、この初期設定プログラムPin_itの実行が終われば、続いて、演出制御プログラムMainによるメイン制御処理を実行する（SP10）。ここで、メイン制御処理の実行とは、ステップSP8の転送処理によって、制御メモリ53から外付けDRAM54に転送された「演出制御プログラムMain」の実行を意味する（図16（b）参照）。

50

【0326】

「演出制御プログラムMain」の処理は、図18(a)と図21の上部に示すメイン導入処理と、図21下部と図22(a)に示すメイン本体処理とに区分される。具体的な内容については、図18(a)、及び、図21～図22に基づいて説明するが、それに先行して、メモリセクションの初期化処理(SP8)について説明する。図17(a)に示す通り、メモリセクションの初期化処理(SP8)では、最初に複数チャンネルのDMACを動作停止状態に初期設定する。なお、この処理は、念のための形式的な処理に過ぎない。

【0327】

以上の処理が終われば、所定チャンネルのDMAC_iを起動させて、制御メモリ53の記憶されているベクタハンドラVopt(割込み処理プログラム)を、内蔵RAM59に、
10 ノンストップ転送方式(図11(b3)参照)でDMA転送する。本実施例では、割込み処理プログラムVoptを内蔵RAM59に転送するので、外付けDRAM54の異常時においても、適切な異常対応処理が可能となる。

【0328】

その後の処理も同じであり、所定チャンネルのDMAC_iを使用して、ノンストップ転送方式で実行され、エラー復帰処理プログラムPiramを内蔵RAM59にDMA転送する(SP62)。本実施例では、エラー復帰処理プログラムPiramを内蔵RAM59に転送するので、エラー復帰処理において、周辺回路を確実にリセット状態にすることができる。例えば、エラー復帰処理プログラムPiramを、内蔵RAM59以外の例えば
20 外付けDRAM54に転送すると、エラー復帰処理時に、外付けDRAM54をリセット処理できないことになる。

【0329】

次に、演出制御プログラムMainを、外付けDRAM54にDMA転送し(SP63)、定数データCを、外付けDRAM54にDMA転送する(SP64)。定数データには、演出抽選に使用する抽選データや、図22(b)に示す各種の駆動データテーブルにおける、ランプ駆動データやモータ駆動データが含まれる。また、初期値の有る変数Dを、外付けDRAM54にDMA転送するが(SP65)、これら何れも、所定チャンネルのDMAC_iを使用したノンストップ転送方式で実行される。

【0330】

最後に、外付けDRAMの変数領域Bの先頭にクリアデータを書込む(SP66)。この先頭アドレスを、仮にADbとすると、その後のDMA転送処理では、転送元アドレスをADbとし、転送先アドレスをADb+1と初期設定した後、各アドレス値ADb、ADb+1をインクリメント処理しつつ、このクリアデータを拡散させることで、変数領域Bのクリア処理を実行することになる(SP67)。
30

【0331】

以上説明したステップSP61～SP66、及びステップSP67の処理は、何れも、類似の動作であり図17(b)に示す通りである。すなわち、先ず、所定チャンネルのDMAC_iに関し、DMA転送条件として、(1)サイクルスチール転送モード、(2)ノンストップ転送方式を採り、(3)SourceとDestinationのアドレス値をincrement更新すると、設定する(SP68)。
40

【0332】

次に、転送元Sourceアドレスと、転送先Destinationアドレスの初期値を設定し(SP69)、転送サイズを設定し、割込み禁止などに設定した上で(SP70)、DMA転送の動作を開始させる(SP71)。なお、ステップSP68～SP71の設定は、何れも所定の動作制御レジスタREGへの設定動作によって実現される。

【0333】

このメモリセクションの初期化処理では、DMA転送終了の割込みを禁止設定しているので(SP70)、DMA転送の動作を開始させた後は、所定の動作制御レジスタREGのステータスフラグを、繰り返しREADアクセスして、DMA転送の終了を待つ(SP72)。但し、動作終了までの処理時間を考慮して、WDT回路58に対して、クリア信号
50

を繰り返し出力する（SP73）。そして、DMA転送の終了時には、所定の動作制御レジスタREGへの設定動作に基づいてDMACiを停止設定する。

【0334】

続いて、メイン制御処理の動作内容（メイン導入処理＋メイン本体処理）について、図18（a）～図22に基づいて説明する。メイン制御処理（メイン導入処理＋メイン本体処理）については、図18（a）と図21の上部に、メイン導入処理（SP20～SP27）が記載されており、メイン本体処理の一部である初期設定処理（SS1～SS6）が、図21の下部に記載されている。また、メイン本体処理の残部である定常処理（ST4～ST14）の内容は、図22に記載されている。

【0335】

図18（a）に示す通り、メイン導入処理では、最初に、CGROM55について、そのバス幅やROMデバイスの種別を特定する（SP20）。具体的には、図19（a）に示す通りであり、CGROM55とのインタフェースを司るCGバスの動作状態を特定する所定のVDPレジスタRGij（例えばCGバスStatusレジスタ）をREADアクセスして（SP80）、CGバスについて動作設定が可能か否かを判定する（SP81）。

【0336】

ここで、CGバスStatusレジスタの値が1であれば、CGバスの内部回路がリセット動作中であることを意味し、VDPレジスタRGijへの設定値を受け付けることができないことを意味する。そこで、CGバスStatusレジスタの値が1から0に変化していることを確認した上で（SP81）、CGROMを構成するメモリデバイスに対応して規定可能なデバイス区間（SPA0～SPAN）毎に（1）各デバイス区間SPAiの有効／無効、（2）ROMデバイスの種別、（3）データバス幅などの動作パラメータを、所定のVDPレジスタRGijに設定する（SP82）。

【0337】

図18（a）に示す通り、この実施例では、CGROM55を複数領域（デバイス区間）に区分できるようになっており、例えば、デバイス区間（SPA0～SPAN）毎に、メモリデバイスや、データバス幅を選択可能に構成されている。メモリデバイスとしては、例えば、（1）本実施例で採用するSATAモジュール（AHSE／F）、（2）パラレルI／F（Interface）形式を採るメモリ素子、（3）シーケンシャルI／F形式を採るメモリ素子などに大別されるが、大別されたメモリデバイスごとに、メモリデバイスを具体的に選択可能であり、且つ、データバス幅などを任意に規定できるようになっている。

【0338】

次に、デバイス区間（SPA0～SPAN）毎に選択されたメモリデバイスとのメモリREAD動作を最適化するべく、所定の動作パラメータを、所定のVDPレジスタRGijに設定する（SP83）。動作パラメータには、チップセレクト信号と、その他の制御信号（READ制御信号など）との動作タイミングを規定する設定値が含まれている。また、シーケンシャルI／F形式を採るメモリ素子が選択された場合には、図19（b）も示す動作を実現するべく、アドレスラッチの出力タイミングや、読出しクロック数なども特定される。

【0339】

したがって、種類の異なるメモリデバイスを組合せてCGROM55を構成することもできる。但し、本実施例では、SATAモジュールだけを使用してCGROM55を構成し、デバイス区間（SPA0）だけを有効化し、他のデバイス区間（SPA1～SPAN）を無効化している。

【0340】

何れにしても、ステップSP82～SP83の設定処理が終われば、その設定処理の実効化を図るべく、所定のVDPレジスタRGijに所定値を書込む（SP84）。これは、CGバスの内部回路がステップSP82～SP83の設定処理に対応して動作できるまでに所定の時間を要することを考慮したものであり、内部回路の動作中は、前記したCGバスStatusレジスタ（SP80参照）の値が0となる。

10

20

30

40

50

【0341】

したがって、その後は、CGバスStatusレジスタを繰り返しREADアクセスして（SP85）、Statusレジスタの値が1から0に戻ることを確認して処理を終える（SP86）。なお、所定回数の判定に拘らず、Statusレジスタの値が1から0に戻らない場合に、ステップSP66の処理を終えても良い。但し、その場合CGROMが正常にアクセスできない状態で遊技処理が始まるので、その後、何れかのタイミングでWDT回路58が起動して複合チップ50が異常リセット状態になる。そして、この場合は、再度、パワーオンリセット動作が実行されることになる。

【0342】

一方、図18のステップSP20の処理が、正常に実行された後は、割込みコントローラINTCや、DMAC回路60や、マルチファンクションタイマユニットMTUなど、CPU回路51の内蔵回路をソフトウェア処理によって個々の初期化する（SP21）。

【0343】

次に、マルチファンクションタイマユニットMTUについて、所定のタイマ計測動作を開始させた後（SP22）、内部割込み及び内部割込みについて、所定の動作制御レジスタREGに許可設定値を書込んで割込み許可状態に設定する（SP23）。

【0344】

その結果、その後は、図18（d）に示す各種の割込みが生じ得ることになる。通常、このタイミングでは、音声プロセッサ27は、その初期化シーケンスを終えているので、図7（c）に示す通り、終了割込み信号IRQ_SNDはLレベルに降下している筈である。そのため、図18（c）に示す割込み処理が起動され、演出制御CPU63は、エラーフラグERRを1に初期設定すると共に、アドレス空間CS3をREADアクセスして（SP30）、音声プロセッサ27の所定の音声レジスタSRGの値を取得して、初期化シーケンスが正常に終了しているか否かを判定する（SP31）。

【0345】

そして、万一、初期化シーケンスが正常に終了していない場合には、演出制御CPU63は、音声プロセッサ27の所定の音声レジスタSRGにリセットコマンドを書込むと共に（SP32）、1に初期設定されているエラーフラグERRを2にセットする（SP33）。このエラーフラグERRは、音声プロセッサ初期化処理（SP26）を実行するか否かを規定しており、エラーフラグERR=1がステップSP26の実行条件となっている。

【0346】

一方、音声プロセッサ27は、リセットコマンドを受けたことに対応して、終了割込み信号IRQ_SND=Hレベルの状態、再度、初期化シーケンスを開始し、初期化シーケンスが終われば、終了割込み信号IRQ_SNDはLレベルに降下させる。この結果、図18（c）の処理が再実行されることになる。

【0347】

以上、初期化シーケンスが正常に終了していない例外的な場合について説明したが、通常は、ステップSP31に続いて、ステップSP32の処理が実行され、演出制御CPU63は、所定の音声レジスタSRGに、所定値を書込むことで終了割込み信号IRQ_SNDを、LレベルからHレベルに復帰させる（SP34）。

【0348】

そして、最後に、所定の音声レジスタSRGに所定値を書込むことで、全ての音声レジスタSRGへのREAD／WRITEアクセスを許可する（SP35）。この処理の結果、その後の音声プロセッサ初期化処理（SP26）では、必要な設定処理を実行できることになる。

【0349】

以上、ステップSP23の割込み許可設定に対応するMaskable Interruptの一例について説明したが、発振器OSC2の発振停止に基づくマスク不能割込み（Non Maskable Interrupt）は、任意のタイミングで起動可能である。先に説明した通り、内蔵CPU（

10

20

30

40

50

演出制御CPU63)以外の回路の動作クロック(CPUシステムクロック)は、発振器OSC2の出力クロックをPLL(Phase Locked Loop)で周波数逡倍して生成されており、発振器OSC2の発振が停止されれば、その後のVDP回路52の正常動作は不可能である。

【0350】

一方、演出制御CPU63の動作クロックは、発振器OSC1の出力クロックをPLLで逡倍して生成されており、プログラム処理は継続可能である。しかも、割込み処理プログラムは、内蔵RAM59に格納されている。そこで、演出制御CPU63は、異常事態の発生を音声やランプによって異常報知すると共に(SP28)、WDT回路58にクリア信号を出力し続ける(SP29)。異常報知は、例えば「異常事態が発生しました。至急、係員に連絡して下さい」との音声報知となる。なお、WDT回路58にクリア信号を出力し続けるのは、異常リセット動作を回避するためである。すなわち、発振器OSC1が動作を停止する重大な異常時には、仮に、異常リセット処理を繰り返しても、機器の正常復帰が望めないと考えられるからである。

【0351】

以上、図18(b)と、図18(c)について説明したので、図18(a)に戻って説明を続ける。ステップSP24では、外付けDRAM54のプログラム領域を保護するため、必要領域を書込み禁止に設定する。次に、電源遮断時に電池で駆動されている時計回路38について、電源遮断時の正常動作を確認すると共に、念のためアラーム割込みについて再設定する(SP25)。

【0352】

そして、エラーフラグERR=1であることを条件に、音声プロセッサ27の内蔵レジスタ(音声レジスタSRG)に、必要な設定値を書込んで初期化処理を実行する(SP26)。なお、エラーフラグERR=0の場合は、所定時間、エラーフラグERR=1となるまで待機するが、限界時間を超える場合には、WDT回路58を起動させるべく無限ループ処理に移行する。

【0353】

次に、給電制御回路SPYを制御して、表示装置DS1の起動を準備し、また、VDPレジスタRGijに必要な設定値を書込んで、表示クロックCLK及び表示回路74を初期化する(SP27)。なお、ステップSP27の処理は、詳細には、図21のステップSP50~SP57の処理として示されている。

【0354】

以上、音声プロセッサから終了割込み信号IRQ_SNDを受ける実施例について説明したが、図18(c)の割込み処理を省略するのも好適である。図20は、変形実施例を示しており、終了割込み信号IRQ_SNDに代えて、マルチファンクションタイマユニットMTUが生成する1msタイマ割込信号を活用している。

【0355】

図20は、1msタイマ割込処理の一部を図示したものであり、初期状態がゼロである動作管理フラグFLGの値(0/1/2/3)に基づいて、4段階の動作を実現している。なお、音声プロセッサ27のIRQ_SND出力端子は、開放状態とし、CPU回路51のIRQ_SND入力端子は、Hレベルに固定されている。

【0356】

1msタイマ割込み処理において、先ず、ステップSP42の処理で、動作管理フラグFLG=0と判定される場合には、音声プロセッサ27の初期化シーケンスが正常終了していることを確認する(SP43)。そして、正常終了している場合には、所定の音声レジスタSRGに所定値を書込むことで割込み信号(IRQ_SND)をクリアさせ(SP46)、動作管理フラグFLGを1にする(SP47)。なお、ステップSP43とSP46の処理は、図18(c)のステップSP31とSP34の処理と同じである。

【0357】

一方、初期化シーケンスが正常終了していない場合には、所定の音声レジスタSRGに

10

20

30

40

50

リセットコマンドを書込むことで、音声プロセッサ27に初期化シーケンスを起動させ（SP44）、動作管理フラグFLGをゼロに戻す（SP45）。なお、ステップSP44の処理は、図18（c）のステップSP32の処理に対応している。

【0358】

通常は、ステップSP47の処理を経て動作管理フラグFLG=1となるので、次の1msタイマ割込みでは、所定の音声レジスタに所定値を書込むことで全ての音声レジスタへのアクセスを許可し（SP48）、動作管理フラグFLG=2に設定する（SP49）。ステップSP48の処理は、図18（c）のステップSP35の処理に対応している。

【0359】

次に、動作管理フラグFLG=2の1msタイマ割込みでは、図18（a）のステップSP26の場合と同様に、音声プロセッサ27の内蔵レジスタ（音声レジスタSRG）に、必要な設定値を書込んで初期化処理を実行し（SP50）、動作管理フラグFLG=3に設定する。

【0360】

動作管理フラグFLG=3は、通常の音声制御状態を意味し、必要な音声レジスタSRGに、必要な動作パラメータを設定することで、音声制御を進行させる（SP52）。

【0361】

以上、音声プロセッサ27の初期化シーケンスの正常終了を、割込み信号（IRQ_SND）に起因する割込み処理で確認する方法（図18（c）のSP31）と、1msタイマ割込み処理で確認する方法（図20のSP43）について説明したが、これらの方法に、何ら限定されるものではない。例えば、図18のステップSP26の処理の一部として、音声プロセッサ27の初期化シーケンスが正常に終了したか否かを判定するのも好適である。

【0362】

以上、メイン導入処理の概要（図18のSP20～SP26）について説明したので、以下、図21～22に基づいて、ステップSP27の処理（起動準備処理+初期化処理）の詳細と、メイン本体処理処理（SS1～SS6、及び、ST4～ST14）の動作を説明する。

【0363】

図21に示す通り、演出制御CPU63は、ステップSP27の処理として、先ず、計時タイマTMを判定して、演出制御CPU63の動作開始（図6（d）のタイミングT1）から1秒経過したことを、WDT回路58にクリア信号を出力しつつ確認する（SP50）。これは、VDP回路52が実質的な動作を開始するまでは、表示装置DS1を非動作状態に維持するためである。また、WDT回路58にクリア信号を出力するので、WDT回路58の起動が確実に防止され、複合チップ50が異常リセットされるなど、ここまでの初期化処理が無駄になるおそれはない（この意義は、以下の待機処理においても同じである）。

【0364】

次に、演出制御CPU63は、給電制御回路SPYへの制御信号PS1，PS2をLレベルからHレベルに遷移させる（SP51）。この処理は、図6（g）や、図6（h）に示すタイミングT2の動作であり、制御信号PS1，PS2は、その後もHレベルに維持される。

【0365】

制御信号PS1がHレベルになると、MOSトランジスタQ1がON状態となり、バックライト部BLに電源電圧12Vが給電される。但し、このタイミングT2では、バックライト部BLのドライバDVLのBL_EN端子とPWM端子が、共にLレベルであるので、バックライト部BLが発光することはない。

【0366】

また、制御信号PS2がHレベルになると、MOSトランジスタQ4がON状態となり、液晶表示部MONIに電源電圧5Vが給電される。但し、このタイミングT2では、バックライト部BLが消灯状態であるので、不自然な画像が表示されるおそれはない。

10

20

30

40

50

【0367】

ステップSP51の処理が終われば、次に、演出制御CPU63は、所定のVDPレジスタRGijへの設定値に基づいて、リフレッシュモードを規定すると共に、内蔵VRAM71のリフレッシュ周期や、行アドレス（リフレッシュアドレス）の初期値を設定して、内蔵VRAM71の初期化処理を実行する（SP52）。

【0368】

実施例のVRAM71は、DRAM（Dynamic Random Access Memory）で構成されており、メモリセルに蓄えられた電荷は、素子内部の漏れ電流によって徐々に失われる。そこで、本実施例では、例えば、一行ずつリフレッシュする分散リフレッシュ方式を採用して、ステップSP52の処理で規定されたリフレッシュ周期で、素子内の全ての行（ROW）をリフレッシュしてメモリセルの電荷消失を未然防止している。したがって、VRAM71において、長時間アクセスされないメモリセルが存在しても、そのデータが消失するおそれはない。なお、リフレッシュモードは、分散リフレッシュ方式に限定されず、集中リフレッシュ方式を採用することもできる。

10

【0369】

次に、VDPレジスタRGijに必要な設定値を書込んで、表示クロックDCKを初期化すると共に、表示回路74を初期化する（SP54）。なお、この処理は、該当する内部回路をハードウェアリセットする動作に他ならない。

【0370】

続いて、給電制御回路SPYへの制御信号STBYをLレベルからHレベルに遷移させる（SP56）。この処理は、図6（i）に示すタイミングT3の動作であり、制御信号STBYのHレベルはその後も維持される。なお、このタイミングT3では、バックライト部BLのドライバDVLに、電源電圧12Vが給電済みであるので（タイミングT2）、ドライバDVLは、動作可能状態となる。但し、制御信号PWMは、依然としてLレベルを維持しているので、バックライト部BLが発光することはない。

20

【0371】

次に、図16のステップSP4の処理の実効化や、図21のステップSP54の処理の実効化を、所定のVDPレジスタ（ステータスレジスタSTS）RGijを、Readアクセスすることで確認する（SP57）。具体的には、先ず、ステータスレジスタSTS（1）によって、図16のステップSP4の処理で設定された表示クロックが安定化していることを確認する。

30

【0372】

次に、ステータスレジスタSTS（2）によって、ステップSP54の処理に対応して、表示回路の初期化が正常に完了していることを確認する。続いて、ステップSP45の処理でデュアルリンク設定されているLVDS回路80について、各部LVDS1／LVDS2の初期化が正常に完了していることを、ステータスレジスタSTS（3）によって確認する。そして、全ての初期化が正常に完了していることが確認されると、メイン導入処理が終わる（SP57）。

【0373】

続いて、その後の処理について、プリローダが機能しない実施例に関して説明する。図21～図22（a）に示す通り、メイン本体処理は、CPUリセット後に実行されるVDP初期設定処理（SS1～SS6）と、その後、1／30秒毎に繰り返し実行される定常処理（ST4～ST14）とに区分される。

40

【0374】

そして、定常処理（ST4～ST14）は、割込みカウンタVCNTが、 $VCNT \geq 2$ となったタイミングで開始されるので（ST4）、定常処理の動作周期 δ は、1／30秒となる。この動作周期 δ は、演出制御CPU63の制御に基づいて間欠動作するVDP回路52について、その実質的な動作周期 δ に他ならない。なお、判定条件を、 $VCNT \geq 2$ とするのは、定常処理（ST4～ST14）が異常に長引いて、 $VCNT = 2$ のタイミングを見逃す可能性を考慮したものであるが、 $VCNT = 3$ となる事態が発生しないよう

50

設計されている。

【0375】

以上を踏まえてVDP初期設定処理について説明する。図21に示す通り、本実施例では、VDP初期設定処理において、記憶容量48Mバイトの内蔵VRAM71を、適切な記憶容量を有するACC領域(a)と、ページ領域(b)と、任意領域(c)と、に適宜に切り分ける(SS1)。具体的には、ACC領域(a1,a2)と、ページ領域(b)について、各々の領域先頭アドレスと必要な総データサイズを、所定のインデックステーブルレジスタRGijに設定する(SS1)。すると、確保されたACC領域(a1,a2)と、ページ領域(b)には含まれない残余領域が任意領域(c)となる。

【0376】

ここで、第一と第二のACC領域(a1,a2)と、ページ領域(b)の領域先頭アドレスは、各々の下位11bitが0でなくてはならないが、2048bit単位で任意に選択可能である(1番地=1バイトとして、256番地ごとの選択)。また、総データサイズも、単位サイズの整数倍の範囲で任意に選択される。特に限定されないが、ACC領域(a)の単位サイズは、2048bit、ページ領域(b)の単位サイズは、512kbitである。

【0377】

このように本実施例では、ACC領域(a1,a2)と、ページ領域(b)の領域設定に一定の条件を設けるが、それは、メモリ容量が限られている内蔵VRAM71について、可能な限り無駄領域を排除する一方で、VDP回路52の内部動作の円滑化を図るためである。すなわち、内蔵VRAM71の記憶容量を無闇に増加させると、製造コストの高騰やチップ面積の大型化が懸念される一方、無駄領域を完全に排除するような自由な領域設定を認めると、内部処理が煩雑化して、VRAMアクセスの処理時間を短縮化できないためである。なお、以下に説明するインデックス空間の確保に、一定の制約を設けるのも同じ理由による。

【0378】

以上を踏まえて説明を続けると、ステップSS1の処理に続いて、ページ領域(b)と、任意領域(c)について、必要なインデックス空間IDXiを確保する(SS2)。具体的には、所定のインデックステーブルレジスタRGijに、必要な情報を設定することで、各領域(b)(c)のインデックス空間IDXiを確保する。

【0379】

例えば、ページ領域(b)にインデックス空間IDXiを設ける場合には、任意のインデックス番号iに対応して、任意の水平サイズHxと、任意の垂直サイズWxの倍数情報(単位空間に対する縦横の倍数情報)が、所定のインデックステーブルレジスタRGijに設定される(SS2)。

【0380】

先に説明した通り、ページ領域(b)のインデックス空間IDXiは、水平サイズ128×垂直サイズ128ラインを単位空間としており、また、1ピクセルは32bitの情報で特定されるので、水平サイズHxと垂直サイズWxの設定に基づいて、データサイズ(bit長)=32×128×Hx×128×Wxのインデックス空間IDXiが確保されたことになる。なお、ページ領域(b)のインデックス空間IDXiの先頭アドレス(空間先頭アドレス)は、内部的に自動付与される。

【0381】

また、任意領域(c)にインデックス空間IDXiを設ける場合には、任意のインデックス番号iに対応して、任意の先頭アドレス(空間先頭アドレス)STxと、任意の水平サイズHxの倍数情報が、所定のインデックステーブルレジスタRGijに設定される(SS2)。ここで、任意とは、所定条件を前提とするもので、水平サイズHxは256bit単位で任意決定され、先頭アドレスSTxの下位11bitは0であって、2048bit単位で任意決定される。先に説明した通り、任意領域の垂直サイズは、2048ラインに固定化されるので、水平サイズHxの設定に基づいて、先頭アドレスSTx以降には、データサイズ(bit長)=2048×Hxのインデックス空間が確保されたことにな

10

20

30

40

50

る。

【0382】

具体的には、メイン表示装置DS1のフレームバッファF B aとして、水平サイズ1280×垂直ライン2048の一对のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタRG i jに設定され、サブ表示装置DS2のフレームバッファF B bとして、水平サイズ480×垂直ライン2048の一对のインデックス空間が、各々インデックス番号を特定して、一又は複数の所定のインデックステーブルレジスタRG i jに設定される。なお、もし、表示装置の水平ピクセル数が、 $256\text{ bit} / 32\text{ bit}$ の整数倍に一致しない場合には、各インデックス空間の水平サイズを、その表示装置の水平ピクセル数より大きく、且つ、 $256 / 32 = 8$ の整数倍となる値に設定して、無駄なメモリ領域の発生を最小限に抑制する。

10

【0383】

以上のように、ページ領域(b)と、任意領域(c)について、必要なサイズ情報やアドレス情報を所定のインデックステーブルレジスタRG i jに各々設定することで、必要個数のインデックス空間IDX iが生成される(SS2)。そして、この設定処理(SS2)に対応して、各インデックス空間IDX iのアドレス情報やサイズ情報を特定するインデックステーブルIDXTBLが自動的に構築される。図12(a)に示す通り、インデックステーブルIDXTBLには、各インデックス空間IDX iの先頭アドレスが、その他の必要情報と共に記憶されており、VDP回路52内部でのデータ転送時や、外部記憶リソース(Resource)からのデータ取得時に参照される(図13参照)。なお、AAC領域(a)のインデックス空間IDX iは、必要時に自動生成され、自動消滅するので、ステップSS2の設定処理は不要である。

20

【0384】

図12(a)(b)に示す通り、任意領域(c)には、各一对のフレームバッファF B aとF B bが確保され、各々、インデックス番号が付与されている。Zバッファを使用しない実施例では、フレームバッファF B aとして、インデックス番号255, 254が付与された、一对のインデックス空間255, 254が確保される。また、フレームバッファF B bとして、インデックス番号252, 251が付与された、一对のインデックス空間252, 251が確保される。なお、本実施例では、任意領域(c)に、インデックス番号0の作業領域(インデックス空間0)も確保されている。

30

【0385】

また、本実施例では、ページ領域(a)に、IPストリーム動画のデコード領域となる必要個数のインデックス空間IDX iを確保し、インデックス番号iを付与することになっている。但し、初期的には、背景動画(IPストリーム動画)のためのインデックス空間IDX 0だけを確保している。そして、画像演出(変動演出や予告演出)における必要性に応じて、インデックステーブルレジスタRG i jへの設定処理や、ディスプレイリストDLの指示コマンドに基づいて、ページ領域(a)のインデックス空間IDX jを増やし、その後、不要になれば、そのインデックス空間IDX jを開放するようにしている。すなわち、図12(a)は、定常動作時のインデックステーブルIDXTBLを示している。

【0386】

なお、ACC領域(a)のインデックス空間は、ディスプレイリストDLに記載されている指示コマンドに基づいて、必要時に自動的に生成され、インデックステーブルIDXTBLには、自動生成されたインデックス空間IDX jの先頭アドレスや、その他の必要情報が自動設定される。本実施例では、このAAC領域(a)を、静止画その他のテクスチャのデコード領域として使用している。

40

【0387】

インデックス空間を確保する上記の動作は、もっぱら、制御レジスタ群70に含まれるインデックステーブルレジスタRG i jへの設定動作によって実現されるが、ステップSS1~SS2の処理に続いて、他のVDPレジスタRG i jに、必要な設定動作(SS3)を実行することで、図30~図31に示すVDP回路52の定常動作(間欠動作)を可

50

能にしている。

【0388】

本実施例において、必要な設定処理（SS3）には、少なくともSS30～SS39が含まれている。なお、ステップSS30～SS37は、何ら処理の順番を限定せず、以下の説明順序に拘わらず、任意の順番で実行することができる。

【0389】

本実施例では、まず、表示回路74の動作を規定する所定の表示レジスタRGijに、所定の動作パラメータ（ライン数と画素数）を書込むことで、各表示装置DS1、SD2について表示ライン数と水平画素数を設定する（SS30）。本実施例の場合、メイン表示装置DS1の水平画素数は、1280ドットであり、表示ライン数は1024行である。また、サブ表示装置DS2の水平画素数は、480ドットであり、表示ライン数は80行である。ステップSS34の設定処理の結果、各フレームバッファFba、Fbbにおいて、表示回路74A、74BがREADアクセスすべき有効データ領域（図22（e）の破線部）の縦横寸法が、特定されることになる。

【0390】

次に、表示回路74の動作を規定する所定の表示レジスタRGijに、所定の動作パラメータ（THc、WTh）を書込むことで、各表示装置DS1、SD2について、水平周期THのサイクル数THcと、水平待機時間WThを設定する（SS31）。また、所定の表示レジスタRGijに、所定の動作パラメータ（TVl、WTV）を書込むことで、各表示装置DS1、SD2について、垂直周期TVのライン数TVlと、垂直待機時間WTVを設定する（SS32）。

【0391】

図15に関して説明した通り、メイン表示装置DS1については、水平周期THのサイクル数THc=1662、垂直周期TVのライン数TVl=1083と設定される。また、水平待機時間WTh=382、垂直待機時間WTV=59ラインと設定される。一方、サブ表示装置DS2については、例えば、水平周期THのサイクル数THc=519、垂直周期TVのライン数TVl=867と設定され、水平待機時間WTh=39、垂直待機時間WTV=67ラインと設定される。なお、THc-WTh=519-39=480、TVl-WTV=867-67=800であり、サブ表示装置のピクセル数（横480×縦800）に整合する。

【0392】

何れにしても、図16のステップSP4の処理によってドットクロックDCKの周波数Fdot（=108MHz）が決定され、また、ステップSS30～SS32の処理によって、メイン表示装置DS1について、水平周期THのサイクル数THc（=1662）と、垂直周期TVのライン数TVl（=1083）が規定された結果、一フレームの表示期間が、 $THc \times TVl / Fdot$ と確定されることになる。具体的には、一フレームの表示期間は、 $1083 \times 1662 / 108MHz = 16.667ms$ であり、フレームレートFRが1/60秒であると確定される。

【0393】

なお、サブ表示装置DS2についても、例えば、ドットクロックDCKの周波数Fdot=27MHz、水平周期THのサイクル数THc=519、及び、垂直周期TVのライン数TVl=867に基づいて、 $519 \times 867 / 27MHz = 16.66ms$ と確定される。

【0394】

次に、本実施例では、サブ表示装置DS2に関して、所定の表示レジスタRGijに、水平周期信号HSのパルス幅と、パルス立上りエッジのVブランク開始タイミングからのサイクル数の設定する（SS33）。また、サブ表示装置DS2に関して、垂直周期信号VSのパルス幅と、パルス立上りエッジのVブランク開始タイミングからのサイクル数の設定する（SS34）。

【0395】

先に説明した通り、メイン表示装置 D S 1 は、水平同期信号 H S や垂直同期信号 V S を必要としないので、メイン表示装置 D S 1 に対する上記の処理 (S S 3 3 ~ S S 3 4) は不要である。但し、ステップ S S 3 3 ~ S S 3 4 の設定処理を省略した場合には、電源リセット時に設定されたデフォルト値が機能するので、実際には、表示装置 7 4 A も、水平同期信号 H S や垂直同期信号 V S を出力することになる。

【 0 3 9 6 】

デフォルト値によれば、例えば、V ブランク開始タイミングから 1 6 クロック後にアクティブレベルとなる、パルス幅 4 0 クロック分の水平同期信号 H S が出力され、V ブランク開始タイミングに同期してアクティブレベルとなる、パルス幅 3 ライン分の垂直同期信号 V S が出力される。

【 0 3 9 7 】

この動作は、メイン表示装置 D S 1 に対して、水平待機時間 W T h = 3 8 2 クロックの間に、水平フロントポーチ H P v = 1 6 、パルス幅 P W h = 4 0 、水平バックポーチ B P v = 3 2 6 の水平同期信号 H S が出力され、また、垂直待機時間 W T v = 5 9 ラインの間に、垂直フロントポーチ H P v = 0 、パルス幅 P W v = 3 、垂直バックポーチ B P v = 5 6 の垂直同期信号 V S が出力されることを意味する。但し、メイン表示装置において、これらの同期信号が無視されることは前記した通りである。

【 0 3 9 8 】

なお、デフォルト値に基づく同期信号 H S , V S が出力されるのを防ぐため、水平同期信号 H S や垂直同期信号 V S を出力しないよう、所定のシステム制御レジスタ R G i j に設定する構成を採っても良い。このようなマスク設定を設けた場合には、V D P 回路 5 2 の水平同期信号 H S の出力端子や、垂直同期信号 V S の出力端子は、H レベル又は L レベルの固定値を維持することができる。

【 0 3 9 9 】

続いて、所定のシステム制御レジスタ R G i j に、V ブランク割込みを許可すると設定する (S S 3 5) 。この結果、本実施例では、 $16.667\text{ms} = 1/60$ 秒ごとに生じる V ブランク開始タイミングに対応して、図 2 2 (c) に示す VBLANK 開始割込みが生じることとなる。この V ブランク割込みタイミングは、演出制御 C P U 6 3 の定常処理 (S T 5 ~ S T 1 4) の開始タイミングを規定するとともに、表示回路 7 4 A , 7 4 B にとっての表示期間の開始タイミング (直前の表示期間の終了タイミング) を意味する。

【 0 4 0 0 】

次に、所定の表示レジスタ R G i j に、所定の動作パラメータ (アドレス値) を書込んで、各フレームバッファ F B a , F B b について、垂直表示開始位置と水平表示開始位置を特定する (S S 3 6) 。その結果、ステップ S S 3 4 の処理で縦横寸法が特定された有効データ領域が、フレームバッファ F B a , F B b 上に確定されることになる。ここで、垂直表示開始位置と水平表示開始位置は、各インデックス空間における相対アドレス値であって、図 2 2 (e) に示す実施例では、表示開始位置は (0 , 0) となっている。

【 0 4 0 1 】

ここで、「表示領域」とは、表示回路 7 4 A , 7 4 B が、表示装置 D S 1 , D S 2 を駆動するために、画像データを読み出すべきインデックス空間 (フレームバッファ F B a , F B b) を意味し、各々ダブルバッファ構造であるフレームバッファ F B a , F B b におけるダブルバッファの何れか一方を意味する。もっとも、表示回路 7 4 A , 7 4 B が、実際に画像データを読み出すのは、表示領域 (0) 又は表示領域 (1) における、ステップ S S 3 0 とステップ S S 3 6 で特定された「有効データ領域」に限定される。

【 0 4 0 2 】

次に、メイン表示装置 D S 1 を駆動する表示回路 7 4 A に関する表示レジスタ R G i j (D S P A I N D E X) と、サブ表示装置 D S 2 を駆動する表示回路 7 4 B に関する表示レジスタ R G i j (D S P B I N D E X) に、各々、「表示領域 (0) 」と「表示領域 (1) 」を設定して、各表示領域を定義する (S S 3 7) 。

【 0 4 0 3 】

10

20

30

40

50

何ら限定されないが、本実施例では、フレームバッファF B aについて、V R A M任意領域(c)におけるインデックス番号2 5 4のインデックス空間2 5 4を「表示領域(0)」と定義し、V R A M任意領域(c)におけるインデックス番号2 5 5のインデックス空間2 5 5を、「表示領域(1)」と定義している(S S 3 7)。

【0 4 0 4】

また、フレームバッファF B bについて、V R A M任意領域(c)におけるインデックス番号2 5 1のインデックス空間2 5 1を「表示領域(0)」とし、V R A M任意領域(c)におけるインデックス番号2 5 2のインデックス空間2 5 2を「表示領域(1)」としている(S S 3 7)。なお、「表示領域」を初期処理(S S 3)において定義することは、特に限定されず、動作周期 δ 毎に、表示回路7 4が画像データをREADアクセスすべきインデックス空間(表示領域)をトグル的に切替えても良い。なお、フレームバッファF B aと、フレームバッファF B bについて、各々の表示領域(0)と表示領域(1)を、このタイミングでゼロクリアするのも好適であり、この場合には、表示装置に不自然な画像が表示されることがない。

【0 4 0 5】

本実施例では、以上の処理(S S 3 0～S S 3 7)を含んだ初期設定が終われば、次に、所定のシステム制御レジスタR G i jへの設定値が、その後、ノイズなどの影響で変更されないよう、第1種の禁止設定レジスタR G i jに、所定の禁止値を設定している(第1の禁止設定S S 3 8)。

【0 4 0 6】

ここで、今後の書込みが禁止される設定値には、(1)表示装置D S 1, D S 2の表示クロックD C Kに関する設定値、(2)L V D Sのサンプリングクロックに関する設定値、(3)出力選択回路7 9の選択動作に関する設定値、(4)複数の表示装置D S 1, D S 2の同期関係(表示回路7 4 Bが表示回路7 4 Aの動作周期に従属すること)などが含まれている。なお、第1の禁止設定を解除するソフトウェア処理は存在するが、本実施例では使用していない。但し、必要に応じて使用するのも好適である。

【0 4 0 7】

次に、第2種の禁止設定レジスタR G i jに、所定の禁止値を設定することで、初期設定系のV D PレジスタR G i jについて書込み禁止設定をしている(第2の禁止設定S S 3 9)。ここで、禁止設定されるレジスタには、ステップS P 4や、ステップS S 3 0～S S 3 7に係るV D PレジスタR G i jが含まれている。

【0 4 0 8】

一方、第3種の禁止設定レジスタR G i jに、所定の禁止値を設定することで、ステップS S 1～S S 3の設定処理に関するV D Pレジスタを含んだ、多数のV D Pレジスタへの禁止設定も可能である(第3の禁止設定)。但し、本実施例では原則として使用しない。何れにしても、第2の禁止設定や、第3の禁止設定は、所定の解除レジスタR G i jに、解除値を書込むことで任意に解除可能であり、定常動作中に設定値を変更することも可能となる。

【0 4 0 9】

以上の処理が終われば、次に、図2 1のステップS P 5 2の処理で、リフレッシュ周期を規定した内蔵V R A M 7 1の初期化終了について、ステータスレジスタ(4)を参照して、動作が安定していること(初期化の正常終了)を確認する(S S 4 0)。

【0 4 1 0】

以上の処理によって、内蔵V R A M 7 1と、表示回路7 4と、L V D S回路3 0の全てが、正常に初期化処理を終えたことが、ステータスレジスタ(1)～(4)の値に基づいて確認されるので、次に、所定の表示レジスタR G i j(D S P A C T L/D S P B C T L)に規定値を書込むことで、表示回路7 4 A, 7 4 Bの動作を開始させ(S S 4 a)、また、所定のシステム制御レジスタR G i j(S Y S D S P L V D S 1 M D/S Y S D S P L V D S 2 M D)に規定値を書込むことで、表示回路7 4 Aからの出力データをL V D S回路8 0(L V D S 1/L V D S 2)から出力させる(S S 4 b)。

10

20

30

40

50

【0411】

この動作は、図6(e)のタイミングT4の処理に他ならず、本実施例では、タイミングT2から所定時間 τ (例えば20mS)以内に、ステップSS4a~SS4bの処理が実行されるようプログラム設計されている。そして、表示回路74A、74BとLVDS回路80の動作開始(タイミングT4)に対応して、計時タイマTMをゼロから再始動させる(SS4c)。なお、ステップSS4a~SS4bの処理手順は、必ずしも、限定されない。仮に、ステップSS4a~SS4bの処理を逆順に実行しても、LVDS回路80から、せいぜい一瞬だけ無為な画像データが出力されるに過ぎず、しかも、バックライト部BLが消灯しているので何の問題もない。

【0412】

何れにしても、本実施例では、上記のステップSS4a~SS4bの処理に対応して、表示回路74は、1/60秒ごとVブランク開始状態となり、また、LVDS回路(LVDS1/LVDS2)80が動作することで、図15に示す表示動作が繰り返されることになる。なお、図15において、○印で示す表示動作の開始タイミング、及び表示動作の終了タイミングは、Vブランク開始タイミングを示している。

【0413】

そして、このVブランク開始タイミングに基づいて、表示回路74の動作における水平基準点TH0(=水平基準時刻)と、垂直基準点(=垂直基準時刻)TV0が規定されることになり、表示回路74は、水平基準点TH0から水平待機時間WThを経過するまで、表示装置の各ピクセルに対応する画像データを出力しないで待機する。同様に、表示回路74は、垂直基準点TV0から、垂直待機時間WTVを経過するまで、表示装置の各ピクセルに対応する画像データを出力しないで待機するよう構成されている。

【0414】

また、表示回路74Bは、表示装置74Aに同期して動作するので(図16のSP4)、サブ表示装置DS2についての表示動作の開始と終了タイミングも、メイン表示装置DS1のタイミングと同じである。したがって、サブ表示装置DS2に対するフレーム周期(519×867/27)は、サブ表示装置DS2に対するフレーム周期(1083×1662/108)より短く設定されることで、Vブランク開始時には、サブ表示装置DS2の更新処理が完了しているよう設定される。

【0415】

以上の意義を有するステップSS4の処理が終われば、次に、計時タイマTMに基づいて300mS経過するのを待ち(SS5)、その後、給電制御回路SPYへの制御信号PWMをLレベルからHレベルに遷移させる(SS6)。その結果、バックライト部BLは、発光状態となり、これ以前に動作を開始している液晶表示部MONIは、表示回路74Aから受ける画像データに基づいて表示動作を開始する。なお、このタイミングでは、ディスプレイリストが発行されていないので、VRAMの内容がそのまま表示されることは先に説明した通りである。そこで、ステップSS5~SS6の処理を、タイマ割込み処理に委ねるのも好適であり(破線参照)、このような構成を採ると、タイミングT5の時点では、ディスプレイリストDLが発行済みとなるので、表示装置DS1には、所定の初期画面が表示されることになる。

【0416】

続いて、メイン本体処理の残部であって、所定時間毎に繰り返し実行される定常処理について図22に基づいて説明する。図22に示す通り、演出制御CPU63の動作は、メイン制御処理(a)と、1mS毎に起動するタイマ割込み処理(b)と、制御コマンドCMDを受けて起動する受信割込み処理(不図示)と、表示装置DS1のVブランク(垂直帰線期間)の開始タイミングに生じるVBLANK信号を受けて起動するVBLANK割込み処理(c)と、動作フリーズ時や不合理な指示コマンド検出時に生じる描画異常割込み処理(d)と、を含んで構成されている。なお、20 μ S割込み処理については説明を省略する。

【0417】

受信割込み処理では、主制御部21から受けた制御コマンドCMDを、メイン制御処理

10

20

30

40

50

(S T 1 3) において参照できるよう、所定の受信バッファに記憶して処理を終える。また、VBLANK割込み処理(図22(b))では、VBLANK割込み毎に、割込みカウンタV C N Tをインクリメントし(S T 1 5)、メイン制御処理の開始タイミングでは、割込みカウンタV C N Tの値に基づいて、1 / 3 0 秒の動作開始タイミングを把握した上で、割込みカウンタV C N Tをゼロクリアしている(S T 4)。

【0418】

一方、タイマ割込み処理には、図22(b)に示す通り、原点センサ信号など取得を取得してモータ演出を進行させる処理(S T 1 8)と、ランプ演出の進行処理(S T 1 9)と、が含まれている。ランプ演出やモータ演出は、全ての演出動作を一元管理する演出シナリオに基づいて制御されており、演出カウンタE Nが管理する演出開始時に達すれば、演出シナリオ更新処理(S T 1 1)において、モータ駆動テーブルやランプ駆動テーブルが特定されるようになっている。

【0419】

そして、その後は、特定されたモータ駆動テーブルに基づいてモータ演出が進行し、特定されたモータ駆動テーブルに基づいてランプ演出が進行することになる。先に説明した通り、ステップS T 1 8の動作時に、D M A C回路(第1と第2のD M Aチャンネル)6 0が機能する実施例もある。なお、モータ演出は、1 m S 毎に進行するが、ランプ演出は、1 m S より長い適宜なタイミングで進行する。

【0420】

一方、図22(d)に示す通り、描画異常割込み処理では、描画回路7 6の動作状態を示すステータスレジスタR G i jをREADアクセスして、割込み原因を特定する。具体的には、(1)異常な指示コマンドの検出(ビット化け)による描画異常割込みか、(2)描画回路7 6の動作異常(フリーズ)による描画異常割込みかを特定する(S T 1 6 a)。そして、異常な指示コマンドの検出に基づく描画異常割込みである場合には、所定のシステム制御レジスタR G i jに、所定値を書き込むことで、描画回路7 6を初期化する(S T 1 6 b)。この動作は、図7(b)に示すリセット経路4 Bの個別リセット動作に他ならない。

【0421】

次に、個別リセット動作の正常終了を、所定のステータスレジスタR G i jで確認した後、描画回路7 6の動作を規定する一群の動作パラメータを所定の描画レジスタR G i jに再設定して処理を終える(S T 1 6 c)。そして、戻り先アドレスを記憶するスタック領域を調整した後(割込み処理後の戻り先アドレスを消去する開放処理)、ステップS T 1 3の処理に移行させる(S T 1 6 c)。

【0422】

一方、描画回路7 6の動作異常に基づく描画異常割込みの場合には、無限ループ処理に移行させることで(S T 1 6 d)、W D T回路5 8を起動させ、複合チップ5 0全体をリセットする。なお、C P U回路5 1をリセットしたくない場合には、所定のキーワード列をパターンチェック回路C H Kに出力して、リセット信号R S TによってV D P回路5 2だけをリセットしても良い(図7(b)参照)。この場合には、V D P回路5 2のリセット動作の正常終了を確認した後、ステップS T 4やS T 1 3の処理に移行させる。なお、可能な限り制御コマンドC M Dの読み落しを回避するためには、他の場合も含め、ステップS T 4より、ステップS T 1 3に移行される方が良い。

【0423】

複合チップ5 0全体をリセットすると、それまでの演出が消滅して、演出制御が完全に初期状態(電源投入状態)に戻るが、V D P回路5 2だけをリセットする場合には、V D P回路5 2のリセット動作が完了するまで、所定の待機時間は生じるものの、一連の演出制御を継続させることができる。なお、演出制御C P U 6 3は、画像演出、ランプ演出、及び、音声演出を統一的に制御しているので、各演出に不自然なズレが生じることもない。

【0424】

なお、以上説明したステップS S 1 ~ S S 3の初期設定処理は、V D PレジスタR G i

10

20

30

40

50

j のレジスタアドレス値と、そのレジスタ RG_{ij} への設定値とを対応させた初期値設定テーブル $SETTABLE$ (図 3 6 参照) に基づいて実行される。以上、初期設定処理について説明したので、次に、定常処理 ($ST4 \sim ST14$) を説明する前に、演出制御 CPU 63 によって制御される VDP 回路 52 の定常動作 (間欠動作) について図 3 0 (a) 及び図 3 1 (b) に基づいて概略的に説明しておく。

【0425】

VDP 回路 52 の間欠動作は、図 3 0 や図 3 1 に示す通りであり、プリローダ 73 を使用しない実施例では、図 3 0 (a) に示すように、演出制御 CPU 63 が完成させたディスプレイリスト DL_i は、その動作周期 (T_1) で、描画回路 76 に発行され、描画回路 76 はディスプレイリスト DL_i に基づく描画動作によって、フレームバッファ FB_a , FB_b に、画像データを完成させる。そして、フレームバッファ FB_a , FB_b に完成された画像データは、次の動作周期 $T_1 + \delta$ に、表示回路 74 が表示装置 DS_1 , DS_2 に出力することで、その後の、表示装置 DS_1 , DS_2 の描画動作に基づき、遊技者が感知する表示画面となる。

10

【0426】

一方、プリローダ 73 を使用する実施例では、図 3 1 (a) に示すように、演出制御 CPU 63 が完成させたディスプレイリスト DL_i は、その動作周期 (T_1) で、プリローダ 73 に発行され、プリローダ 73 は、ディスプレイリスト DL_i を解釈して、必要な先読み動作を実行すると共に、ディスプレイリスト DL_i の一部を書き換えて、書換えリスト DL' を完成させる。なお、先読みされた CG データと書換えリスト DL' は、DRAM 54 の適所に格納される。

20

【0427】

次に、描画回路 76 は、その次の動作周期 ($T_1 + \delta$) で、DRAM 54 から書換えリスト DL' を取得し、書換えリスト DL' に基づく描画動作によって、フレームバッファ FB_a , FB_b に、画像データを完成させる。そして、フレームバッファ FB_a , FB_b に完成された画像データは、更にその次の動作周期 ($T_1 + 2\delta$) で、表示回路 74 が表示装置 DS_1 , DS_2 に出力することで、その後の表示装置 DS_1 , DS_2 の描画動作に基づき、遊技者が感知する表示画面となる。

【0428】

以上、VDP 回路 52 の間欠動作について概略的に説明したが、上記した図 3 0 ~ 図 3 1 の動作を実現するため、演出制御 CPU 63 は、初期処理 ($SS1 \sim SS3$) の後、割込みカウンタ $VCNT$ の値を繰り返し参照して、動作開始タイミングに達するのを待ち、動作開始タイミング (一つ飛びの V ブランク開始タイミング) に達すれば、割込みカウンタ $VCNT$ をゼロクリアする ($ST4$) 。

30

【0429】

その後、定常動作を開始するが、本実施例では、最初に、定常動作を開始すべき動作開始条件を満たしているか否かを判定する ($ST5$) 。なお、この判定タイミングは、図 3 0 ~ 図 3 1 に記載の T_1 , $T_1 + \delta$, $T_1 + 2\delta$, $\dots$ のタイミング、つまり、表示装置 DS_1 の垂直帰線期間 (VBLANK) の開始タイミングである。なお、表示装置 DS_2 の表示タイミングは、表示装置 DS_1 の表示タイミングに従属するよう、初期設定 ($ST3$) 時に設定されている。

40

【0430】

垂直帰線期間 (VBLANK) の開始タイミングで判定される動作開始条件は、プリローダ 73 を活用するか否かで異なるので、先ず、プリローダ 73 を活用しない実施例 (図 2 2) について説明する。この場合は、本来、図 3 0 (a) のタイムチャートに示す通りに VDP の内部動作が進行するよう、回路構成やプログラムが設計されている。すなわち、動作周期 (T_1) で完成されたディスプレイリスト DL_1 に基づき、描画回路 76 は、その動作周期中 ($T_1 \sim T_1 + \delta$) に、描画動作を終える筈である。しかし、例えば、図 3 0 (a) の動作周期 ($T_1 + 2\delta$) で完成されたディスプレイリスト DL_3 のように、その動作周期中 ($T_1 + 2\delta \sim T_1 + 3\delta$) に、描画動作を終わらない場合も無いとは言えな

50

い。また、表示回路 7 4 に関して、表示タイミングに対して、表示データの生成が間に合わないUnderrun異常が生じている可能性も無くはない。

【0 4 3 1】

ステップ S T 5 の判定処理は、かかる事態を考慮したのであり、演出制御 C P U 6 3 は、描画回路 7 6 の動作状態を示すステイタスレジスタ R G i j (制御レジスタ群 7 0 の一種) をアクセスして、ステップ S T 5 のタイミングで、描画回路 7 6 が、必要な動作を終えているか否かと、Underrun異常の有無を判定する。なお、Underrun異常の有無は、アンダーランカウンタ U R C N T a ~ U R C N T c に基づいて判定される。また、プリローダ 7 3 を活用しない実施例では、例えば、図 3 0 (a) のタイミング T 1 + δ では、描画回路 7 6 に関する描画レジスタのステイタス情報を READ アクセスして、ディスプレイリスト D L 1 に基づく描画動作が終わっていることを確認する。

10

【0 4 3 2】

そして、動作開始条件を満たさない場合 (異常 / 不適合) には、異常回数をカウントする異常フラグ E R をインクリメントして、ステップ S T 6 ~ S T 8 処理をスキップする。異常フラグ E R は、その他の重大異常フラグ A B N と共に、ステップ S T 9 や S T 1 0 の処理で判定され、重大異常フラグ A B N がリセット状態である前提において、連続異常回数が多くない場合 ($E R \leq 2$) には、正常時と同様に、演出コマンド解析処理を実行する (S T 1 3) 。

【0 4 3 3】

Underrun異常時の場合も、同様に、ステップ S T 6 ~ S T 8 処理をスキップする。そして、所定のシステム制御レジスタ R G i j に、所定のクリア値を書込むことで、表示クロック D C K (周波数) と表示回路 7 4 を初期化する (S T 1 0 c) 。そして、この初期化処理の正常終了を確認した後、表示クロック D C K の周波数や、表示回路 7 4 の動作を規定する一群のシステム制御レジスタ R G i j の値を、規定値に再設定した上で (S T 1 0 c) 、演出コマンド解析処理を実行する (S T 1 3) 。

20

【0 4 3 4】

演出コマンド解析処理 (S T 1 3) では、主制御基板 2 1 から制御コマンド C M D を受けているか否かを判定し、制御コマンド C M D を受けた場合には、その制御コマンド C M D を解析して必要な処理を実行する (S T 1 3) 。ここで、必要な処理には、変動演出の開始を指示する制御コマンド C M D に基づく新規の変動演出の開始準備処理や、エラー発生を示す制御コマンド C M D に基づくエラー報知の開始処理が含まれる。続いて、W D T 回路にクリアパルスを出力して (S T 1 4) 、ステップ S T 4 の処理に戻る。

30

【0 4 3 5】

以上、軽微なUnderrun異常時や、動作開始条件が不適合の場合であって、異常フラグ E R が $E R \leq 2$ である場合について説明したが、このような場合には、その動作周期では、表示回路 7 4 が読み出す表示領域をトグル切換える処理 (S T 6) や、ディスプレイリストの作成処理 (S T 7) がスキップされ、且つ、演出シナリオが進行しないことになる (S T 8 ~ S T 1 2 参照) 。これは、不完全な状態のフレームバッファ F B a , F B b の画像データを出力させないためである。そのため、例えば、図 3 0 (a) の動作周期 (T 1 + 3 δ) では、画像演出が進行せず、元の画面 (D L 2 に基づく画面) が再表示されるフレーム落ちが生じる。

40

【0 4 3 6】

ここで、フレーム落ちを回避するため、動作開始条件が成立するまで待機する構成も考えられる。しかし、演出制御 C P U 6 3 が実行すべき制御処理 (S T 6 ~ S T 1 2) は数多く、各々の処理時間を確保する必要があるので、本実施例では、動作開始条件を満たさない場合にフレーム落ちを生じさせている。

【0 4 3 7】

但し、フレーム落ちが生じたとしても、割込み処理 (図 2 2 (b)) によって進行するランプ演出やモータ演出と比較して、1 / 3 0 ~ 2 / 3 0 秒程度、画像演出の進行が遅れるだけであり、これに遊技者が気付くことはない。しかも、フレーム落ち時には、演出力

50

ウンタ E N の更新処理を含んだ演出シナリオ処理 (S T 1 1) や、音声進行処理 (S T 1 2) も合わせてスキップされるので、その後に開始されるリーチ演出や予告演出や役物演出において、画像演出、音声演出、ランプ演出、及びモータ演出などの開始タイミングがずれるおそれはない。

【 0 4 3 8 】

すなわち、演出シナリオでは、画像演出、音声演出、ランプ演出、モータ演出の開始タイミングと、その後に実行すべき演出内容を一元的に管理しており、正常時に限り更新される演出カウンタ E N によって、開始タイミングを制御しているので、各種の演出の同期が外れることはない。例えば、爆発音と、爆発画像と、役物移動と、ランプフラッシュ動作を複合した演出動作がある場合、フレーム落ちが生じた後であっても、上記した各演出動作は正しく同期して開始される。

10

【 0 4 3 9 】

以上、比較的軽微な異常時について説明したが、重大異常フラグ A B N がセット状態である場合や、連続異常回数が多い場合 (E R > 2) や、繰り返し Underrun 異常が生じる場合には、ステップ S T 1 0 の判定の後、無限ループ状態としている (S T 1 0 b) 。その結果、W D T 回路 5 8 の計時動作が進行して、演出制御 C P U 6 3 を含んだ複合チップ 5 0 は、異常リセットされ、その後、初期処理 (S S 1 ~ S S 3) が再実行されることで、異常事態発生の根本原因の解消が期待される。

【 0 4 4 0 】

なお、このリセット動作は、W D T 回路 5 8 が起動して実行されるので、C P U 回路 5 1 も含め複合チップ 5 0 全体がリセット状態となる (図 7 (b)) 。そこで、C P U 回路 5 1 のリセットを回避するべく、演出制御 C P U 6 3 が、所定のキーワード列 (例えば 1 バイトデータ 3 個) をパターンチェック回路 C H K に出力して、リセット信号 R S T を V D P 回路 5 2 に出力するのも好適である (図 3 6 の S T 1 0 0 参照) 。この場合も、V D P 回路 5 2 のリセット動作の正常終了を確認した後 (S T 1 0 1) 、ステップ S T 4 や S T 1 3 の処理に移行させることになる。

20

【 0 4 4 1 】

何れにしても、この異常時には、音声回路 S N D も合わせ異常リセットされるので、画像演出、音声演出、ランプ演出、モータ演出は、全て初期状態に戻ることになる。但し、これらのリセット動作は、主制御部 2 1 や払出制御部 2 5 には、何の影響も与えなので、大当たり状態の消滅や、賞球の消滅のような事態が発生するおそれはない。

30

【 0 4 4 2 】

以上、異常事態について説明したが、実際には、軽微な場合も含め上記した異常が発生することは殆どなく、ステップ S T 5 の処理の後、所定の表示レジスタ R G i j (D S P A C T L / D S P B C T L) への設定に基づき、表示回路 7 4 A と表示回路 7 4 B が読み出すべき画像データを記憶するフレームバッファ F B a , F B b の「表示領域」をトグル的に切り換える (S T 6) 。先に説明した通り、「表示領域 (0) 」と「表示領域 (1) 」は、予め初期処理において定義されているので (S T 3) 、ステップ S T 6 の処理では、フレームバッファ F B a , F B b について、今回の「表示領域」が、表示領域 (0) / 表示領域 (1) の何れであるかを特定する。

40

【 0 4 4 3 】

このステップ S T 6 が実行されることで、表示回路 7 4 A は、インデックス空間 2 5 4 (表示領域 (0)) と、インデックス空間 2 5 5 (表示領域 (1)) から、動作周期 δ 毎に、交互に画像データを読み出して表示装置 D S 1 を駆動することになる。同様に、表示回路 7 4 B は、インデックス空間 2 5 1 (表示領域 (0)) と、インデックス空間 2 5 2 (表示領域 (1)) から、動作周期 δ 毎に、交互に画像データを読み出してサブ表示装置 D S 2 を駆動することになる。なお、表示回路 7 4 が実際に READ アクセスするのは、表示領域 (0) / 表示領域 (1) における有効データ領域に限定されるのは先に説明した通りである。

【 0 4 4 4 】

50

何れにしても、本実施例では、動作周期毎に「表示領域」が切り替わるので、表示回路 74A, 74B は、直前の動作周期で描画回路 76 が完成させた画像データについて、表示装置 DS1, DS2 への出力処理を開始することになる。但し、ステップ ST5 の処理は、メイン表示装置 DS1 の垂直帰線期間 (V ブランク) の開始時から開始されるので、実際には、垂直帰線期間が完了してから画像データの出力処理が開始されることになる。図 30 (a) において、表示回路の欄に示す矢印は、この出力処理の動作周期を示している。

【0445】

以上のような意義を有するステップ ST6 の処理が終われば、演出制御 CPU63 は、続いて、次の動作周期で、表示回路 74 が表示装置に出力すべき画像データを特定したディスプレイリスト DL を完成させる (ST7)。特に限定されないが、この実施例では、RAM59 のリストバッファ領域 (DL バッファ BUF) を確保し、そこにディスプレイリスト DL を完成させている (図 13 参照)。

【0446】

ディスプレイリスト DL は、一連の指示コマンドを、適宜な順番で列記して構成され、EODL (End Of DL) コマンドを記載して終わるよう構成されている。そして、本実施例では、データ転送回路 72、描画回路 76、プリローダ 73 の円滑な動作を実現するべく、EODL コマンドを含む全ての指示コマンドを、コマンド長が 32 bit の整数 N 倍 ($N > 0$) の指示コマンドだけに限定している。なお、32 bit の整数 N 倍で構成された指示コマンドに、無意ビット (Don't care bit) も含んで良いことは先に説明した通りである。

【0447】

このように、実施例のディスプレイリスト DL は、コマンド長が 32 bit の整数 N 倍 ($N > 0$) の指示コマンドだけで構成されているので、ディスプレイリスト DL 全体のデータボリューム値 (データ総量) は、必ず、コマンド長の最小単位 (32 bit = 4 バイト) の整数倍となる。更に、本実施例では、データ転送回路 72 の最低データ量 D_{min} を考慮して、ディスプレイリスト DL のデータボリューム値を、最低データ量 D_{min} の整数倍 (1 以上) であって、且つ、指示コマンドの最小単位 (4 バイト) の整数倍となるよう調整している。例えば、 $D_{min} = 256$ バイトであれば、ディスプレイリスト DL のデータボリューム値は、256 バイト、512 バイト・・・の何れかの値に調整される。

【0448】

ここで、演出内容の複雑さに応じて、適宜に、256 バイトか、又は 512 バイトに調整するのも好適であるが、本実施例では、表示装置が二個であり、サブ表示装置 DS2 はそれほど複雑な画像演出を実行させないことを考慮して、ディスプレイリスト DL のデータボリューム値を、常に、256 バイトに調整している。

【0449】

もっとも、この手法は、何ら限定されず、表示装置が三個以上になる場合や、サブ表示装置 DS2 も含め複雑な画像演出を実行する遊技機の場合には、512 バイト又は、768 バイトに調整される。また、通常の演出時は、ディスプレイリスト DL のデータボリューム値を 256 バイトに調整し、特別な演出を実行する場合に限り、ディスプレイリスト DL のデータボリューム値を、512 バイト又は、768 バイトに調整するのも好適である。

【0450】

但し、本実施例の場合には、ディスプレイリスト DL のデータボリューム値は、各動作周期 δ において、予め規定された所定バイト長 (256 バイト) に調整される。調整手法としては、32 bit 長の EODL コマンドの後に、不足領域を補填する 32 bit 長の NOP (No Operation) コマンドを埋める簡易手法 (A) か、或いは、不足領域を 32 bit 長の NOP コマンドで埋めた後、最後に 32 bit 長の EODL コマンドを記載する標準手法 (B) が考えられる。なお、ディスプレイリスト DL のデータボリューム値 (データ総量) を全く調整することなく EODL コマンドで終結させ、データ転送回路 72 の動作時に、ダミーデータを付加的に転送して、最低データ量 D_{min} の整数倍の転送量を確保する

10

20

30

40

50

無調整手法（C）も考えられる。

【0451】

ここで、標準手法（B）を採る場合には、最初、コマンドカウンタCNTを規定値（256バイトに対応する64-1）に初期設定し、DLバッファ領域BUFに、有意な指示コマンドを書き込むごとに、コマンドカウンタCNTを適宜に減算し、一連の有意な指示コマンドの書き込みが終われば、コマンドカウンタCNTがゼロになるまで、NOP コマンドを記載し、最後にEODLコマンドを記載する手法が考えられる。本実施例の場合、指示コマンドは、そのコマンド長が32bitの整数N倍（N>0）のものに限定されているので、上記の処理は容易であり、コマンドカウンタCNTの減算処理は、整数Nに対応した減算処理となる。

10

【0452】

一方、簡易手法（A）を採る場合には、ディスプレイリストDLの作成時、最初に、リストバッファ領域（DLバッファBUF）の全てをNOP コマンドで埋めれば足りるので、一見、標準手法（B）より優れているように思われる。また、簡易性の観点では、無調整手法（C）も優れているように思われる。しかし、本実施例では、基本的に標準手法（B）を採っており、ディスプレイリストDLの先頭からEODLコマンドまでの実データ量、つまり、EODLコマンドまでのデータ量が、常に、データ転送回路72の最低データ量Dminの整数倍となるよう調整している。

【0453】

これは、プリローダ73を活用する実施例を考慮したものであり、もし、簡易手法（A）や無調整手法（C）を採用すると、EODLコマンドまでのディスプレイリストDLの実データ量が、ランダムな値となり、プリローダ73が書き換えた書換えリストDL'のDRAM54への転送時や、DRAM54から描画回路76への書換えリストDL'の転送時に支障が生じるからである。なお、書換えリストDL'のDRAM54への転送時には、データ転送回路72のChA制御回路72aが機能し、書換えリストDL'の描画回路76への転送時には、ChB制御回路72bが機能するが（図28参照）、何れの場合もEODLコマンドまでの書換えリストDL'しか転送しないことになる。

20

【0454】

以上、ディスプレイリストDLのデータボリューム値を調整する標準手法（B）の利点を説明したが、プリローダ73を使用しない実施例では、発行されたディスプレイリストDLは、描画回路76によって処理されるだけであるので、簡易手法（A）や無調整手法（C）の使用が何ら禁止されない。

30

【0455】

但し、以下の説明では、プリローダ73の使用の有無に拘らず、原則として標準手法（B）を採ることを前提に、図23に基づいて、ディスプレイリストDLの詳細について説明する。

【0456】

特に限定されないが、本実施例では、ディスプレイリストDLに、先ず、メイン表示装置DS1に関する指示コマンド列（L11～L16）を記載し、その後、サブ表示装置DS2に関する指示コマンド列（L17～L20）を記載するようにしている。また、標準手法（B）を採用して、ディスプレイリストDLのデータボリューム値を固定長（256バイト）に調整している。なお、図23は、事実上、演出制御CPU63が、RAM59のリストバッファ領域に、指示コマンドを書き込む手順や、ディスプレイリストDLに基づく描画回路76の動作を示したものともなっている。

40

【0457】

図23に示す通り、ディスプレイリストDLの先頭では、環境設定系の指示コマンド（SETDAVR）を記載して、表示装置DS1のフレームバッファFBaについて、インデックス空間IDX上の左上基点アドレス（X，Y）を規定する（L11）。図12（a）に関して説明した通り、本実施例では、表示装置DS1用として、任意領域(c)に、一対のフレームバッファFBaが確保されている。そして、通常は、表示回路74にとっての有効

50

データ領域に対応して、基点アドレス $(X, Y) = (0, 0)$ とすることで、フレームバッファ $F B a$ の先頭位置から描画回路 7 6 に活用される。

【0458】

図 1 2 (c) では、その下方左側の実描画領域に $L 1 1$ と付しているが、これは、指示コマンド $L 1 1$ によって、フレームバッファ $F B a$ 上の実描画領域が、フレームバッファ $F B a$ の基点アドレス $(0, 0)$ 位置から始まると特定されたことを意味している。ただし、実描画領域の縦横寸法や、その実描画領域を具体的に特定するインデックス番号は、未だ未確定であり、後述する指示コマンド (SETINDEX) $L 1 3$ によって確定する。なお、指示コマンド $L 1 1$ では Z バッファの使用の有無も指定される。

【0459】

次に、環境設定系の指示コマンド (SETDAVF) によって、仮想描画空間上に、左上基点座標 (X_s, Y_s) と、右下対角点座標 (X_e, Y_e) を設定して、 $W \times H$ 寸法の描画領域を定義する ($L 1 2$)。ここで、仮想描画空間とは、描画用の指示コマンド (SPRITE コマンドなど) によって描画可能な、 X 方向 ± 8192 、 Y 方向 ± 8192 の仮想的な二次元空間である (図 1 2 (c) 参照)。

【0460】

この指示コマンド $L 1 2$ (SETDAVF) によって、仮想描画空間は、描画内容が実際に表示装置 $D S 1$ に反映される描画領域と、その他の非描画領域に区分される。また、指示コマンド $L 1 2$ (SETDAVF) は、指示コマンド $L 1 1$ で開始位置 (基点アドレス) が規定された実描画領域と、仮想描画空間上の描画領域とを対応付けることになる。

【0461】

この点を言い換えると、指示コマンド $L 1 2$ によって、(インデックス空間は未定の) フレームバッファ $F B a$ には、仮想描画空間上の描画領域に対応する、基点アドレスから始まる $W \times H$ の実描画領域が定義されることになる。したがって、指示コマンド $L 1 2$ で指定する描画領域は、フレームバッファ $F B a$ の水平サイズと同一か、それ以下とする必要がある。通常、描画領域や実描画領域は、表示回路 7 4 にとっての有効データ領域 (図 2 2 (e)) と同寸法となるよう定義される。

【0462】

そして、描画回路 7 6 が指示コマンド $L 1 1$ 、 $L 1 2$ を実行した後は、仮想描画空間に描画された描画内容のうち、描画領域に含まれるものだけが、フレームバッファ $F B a$ の実描画領域に反映されることになる。したがって、描画領域からはみ出した部分や、図 1 2 (c) において作業領域と記載された部分の描画内容は、そのままでは、フレームバッファに反映されることはない。なお、仮想描画空間に作業領域を確保する場合には、仮想描画空間の非描画領域が使用される。

【0463】

次に、今回の動作周期において、描画回路 7 6 が、これから完成させるディスプレイリスト $D L$ に基づいて描画する描画内容を何処に描画すべきかを規定する ($L 1 3$)。具体的には、ダブルバッファ構成の表示装置 $D S 1$ のフレームバッファ $F B a$ について、今回のディスプレイリスト $D L$ に基づく描画内容の「書込み領域」となるインデックス空間 $I D X$ が特定される ($L 1 3$)。具体的には、テキストチャ設定系のコマンドである SETINDEX コマンドによって、(1) フレームバッファ $F B a$ は、任意領域に確保されていること、及び、(2) 「書込み領域」となるインデックス空間 $I D X_N$ の任意領域上のインデックス番号 N が特定される。

【0464】

この指示コマンド $L 1 3$ によって、例えば、 $N = 255$ と特定された場合には、仮想描画空間上に定義された描画領域に対応する実描画領域は、具体的には、ダブルバッファ構成のフレームバッファ $F B a$ におけるインデックス空間 $I D X_{255}$ であると定義されたことになる。

【0465】

本実施例の場合、フレームバッファ $F B a$ のインデックス番号は、255 又は 254 で

10

20

30

40

50

あり（図12（a））、トグル的に切り換えた何れかが指定される（L13）。なお、このインデックス番号は、メイン制御処理のステップST6で指定された表示領域（0）／（1）ではない方のインデックス番号である。例えば、ステップST6の処理において、表示回路74に対して、表示領域（0）が指定されている場合には、表示領域（1）が、描画回路76にとっての「書込み領域」となる。

【0466】

以上の通り、指示コマンドL11と指示コマンドL12とで、実描画領域（W×Hの論理空間）と描画領域（W×Hの仮想空間）との対応関係が、一般的に定義された後、インデックス空間IDXを具体的に特定する指示コマンドL13（SETINDEX）によって、W×Hの仮想空間が、特定のインデックス空間IDXにおけるW×Hの論理空間であることと対応付けられたことになる。

10

【0467】

この点を言い換えると、今後、一連の指示コマンドに基づいて、W×Hの仮想空間に仮想的に描画される内容は、仮想空間と内蔵VRAM71の実アドレスとの対応関係を規定するVDP内部の変換テーブルに基づいて、内蔵VRAM71（フレームバッファ）の画像データとなる。

【0468】

続いて、「書込み領域」として、特定されたインデックス空間IDXを、例えば、黒色で塗りつぶすフレームバッファ・クリア処理を実行する指示コマンドが記載される（L14，L15）。これは、二動作期間前にフレームバッファFBaに書き込まれた画像データの消去処理に他ならない。

20

【0469】

具体的には、環境設定コマンドの一種であるSETFCOLOR コマンドによって、例えば黒色を選択し、プリミティブ描画系コマンドであるRECTANGLE コマンドによって矩形領域を塗り潰すべく規定する。なお、RECTANGLE コマンドでは、仮想描画空間に設定された描画領域（フレームバッファFBaに対応する仮想空間）について、その左上端点と、右下端点のXY座標が指定される（図12（c）参照）。

【0470】

以上の処理によって、描画準備処理が完了するので、次に、静止画や動画一フレームなど、適宜なテクスチャを、仮想描画空間に描画するための指示コマンドを列記する。典型的には、まず、テクスチャの展開先となるインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで特定した上で、テクスチャロード系の指示コマンドであるTXLOADコマンドを記載して、CGROM55から読み出す所定のテクスチャを、所定のインデックス空間IDXに展開するようディスプレイリストDLに記載する。

30

【0471】

先に説明した通り、本実施例では、背景動画が、IPストリーム動画で構成されている。そこで、例えば、背景動画について、これを展開すべきインデックス空間IDXを、テクスチャ設定系のSETINDEXコマンドで、ページ領域(b)のインデックス空間IDX₀と特定した上で、テクスチャロード系のTXLOADコマンドを記載する。なお、TXLOADコマンドでは、今回LOADすべき動画フレームについて、CGROM55の先頭アドレス（テクスチャのSourceアドレス）と、展開後のデータサイズ（水平×垂直）を特定する必要がある。

40

【0472】

VDP回路52において、上記のTXLOADコマンドが実行されると、背景動画の一動画フレーム（テクスチャ）は、まず、AAC領域(a)に取得され、その後、自動的に起動するGDEC75によって、ページ領域(b)のインデックス空間IDX₀に展開される。次に、この一動画フレームを仮想描画空間に描画することになる。この場合に、SETINDEXコマンド（テクスチャ設定系）によって、「ページ領域(b)のインデックス空間IDX₀が、その後の処理対象のテクスチャである」と設定しても良いが、TXLOADコマンドに連続して処理する場合には、このSETINDEXコマンドの記載を省略することができる。

50

【0473】

何れにしても、「ページ領域(b)のインデックス空間ID_{X0}が、その後の処理対象のテクスチャである」と特定されている状態で、次に、αブレンド処理のためのパラメータを設定するなど、適宜な描画間演算系の指示コマンドを記載する。なお、αブレンド処理とは、既に描画領域(フレームバッファF_{Ba})に記載されている画像と、これから上書きする画像との透明化／半透明化処理に関するものがある。したがって、背景動画の動画フレームのように、第一枚目の描画動作では、描画間演算系の指示コマンドの使用は不要である。

【0474】

続いて、プリミティブ描画系の指示コマンドであるSPRITEコマンドによって、「ページ領域(b)のインデックス空間ID_{X0}のテクスチャ(背景動画の一動画フレーム)」を、仮想描画空間の適所(矩形のDestination領域)に描画するべくSPRITEコマンドを記載する。なお、SPRITEコマンドには、仮想描画空間のDestination領域について、その左上端点と、右下端点を特定する必要がある。

10

【0475】

このDestination領域は、予め、指示コマンドL₁₁、L₁₂によって、実描画領域(F_{Ba})に対応付けられた描画領域(仮想描画空間上に定義された仮想空間)の全体又はその一部である。但し、背景動画は、通常、表示画面全体に描画するので、このような場合のDestination領域は、描画領域の全体又はそれ以上となる。なお、Destination領域が、描画領域の全体より大きい場合とは、例えば、背景動画がズームアップされる場合である。

20

【0476】

以上の処理によって、背景動画の動画フレームの描画が終わったので、続いて、テクスチャロード系、テクスチャ設定系、描画間演算系、プリミティブ描画系コマンドなどの指示コマンドを適宜な順番で列記して、背景動画に重ねて、各種のテクスチャを描画するべくディスプレイリストDLを構成することになる。先に説明したように、変動演出時では、多数の動画が必要となるので、その場合には、内蔵VRAM71のページ領域(b)について、インデックス空間ID_Xを増加するべく、インデックステーブル制御系の指示コマンド(NEWPIX)を記載することになる。

【0477】

例えば、二つ目のIPストリーム動画に関し、NEWPIXコマンドによって、ページ領域(b)に、追加のインデックス空間ID_{X1}を確保した後、このインデックス空間ID_{X1}を特定して(SETINDEX)、二つ目の動画の一フレームの展開を指示し(TXLOAD)、展開したテクスチャを描画領域の適所に配置する(SPRITE)。通常、この場合のDestination領域は、描画領域の一部となる。

30

【0478】

以下、同様であり、NEWPIXコマンドによって、次々、インデックス空間ID_{X_k}を確保した後、適宜なαブレンド処理を実行しつつ、複数のIPストリームを描画領域に描画すれば、描画領域への描画内容は、実描画領域であるフレームバッファF_{Ba}に画像データとして順次蓄積されることになる。複数N個のIPストリーム動画が描画されている演出時には、ページ領域(b)において、複数N個のインデックス空間が機能している。

40

【0479】

そして、一連の変動演出が終了したような場合には、ページ領域(b)に確保した多数のインデックス空間ID_{X1}～ID_{X_k}のうち、不要と思われるインデックス空間ID_Xを開放するべく、DELPPIXコマンドによって不要なインデックス空間ID_Xを削除すれば良い。

【0480】

なお、静止画やIPストリーム動画を描画する場合には、SETINDEXコマンドによって、これらのテクスチャのデコード先が、AAC領域(a)であると指定した上で、TXLOADコマンドを実行させれば、AAC領域(a)に取得されたテクスチャは、その後、自動的に起

50

動するGDEC75によってACC領域(a)に展開される。そして、展開されたテクスチャは、SPRITEコマンドによって、描画領域の適所に描画すれば良い。なお、キャッシュヒット機能を活用するか否かに応じて、第一AAC領域(a1)か、第二AAC領域(a2)が使用される。

【0481】

ここまでの説明では、各テクスチャは、直接的に、メイン表示装置用DS1の描画領域に描画されるが、必ずしも、このような動作に限定されない。例えば、既に表示装置DS1用に確保されている描画領域に重複しない状態で、適宜な描画領域を設け(図12(c))、この描画領域を内蔵VRAM71の作業領域に対応付ければ、中間的な描画領域を構築して、適宜な演出画像を完成させることができる。ここで、表示装置DS1用の描画領域と重複しない状態とするのは、重複領域については、後の対応付け設定が優先され、その領域への描画内容がフレームバッファFBaに反映されないからである。

【0482】

図12(c)に示す通り、本実施例の作業領域は、任意領域(c)におけるインデックス空間IDX0である。そして、この作業領域を使用する演出タイミングでは、先行して、演出画像用の描画領域(図12(c)参照)を、作業領域(インデックス空間IDX0の実描画領域)に対応付けるための指示コマンド列(SETDAVR, SETDAVF, SETINDEX)を記載しておく。図12(c)に示す通り、演出画像用の描画領域は、メイン表示装置DS1用の描画領域に含まれない領域に確保される。

【0483】

そして、その後は、フレームバッファFBaに関する指示コマンド列L16と同様の指示コマンドを列記して、インデックス空間IDX0に、適宜な演出画像を完成させれば良い。本実施例の場合、演出画像は、静止画で構成されるので、デコードデータは第一AAC領域(a1)に展開されるよう指示コマンド(SETINDEX)が記載され、次に、インデックス空間IDX0の描画領域の適所をDestinationとするプリミティブ描画系の指示コマンド(SPRITE)が使用されることになる。なお、このような動作は、演出内容に応じて、一回又は複数回繰り返される。

【0484】

そして、演出画像を完成させたインデックス空間IDX0をテクスチャと位置付けた後(SETINDEX)、SPRITEコマンドによって、メイン表示装置用DS1の描画領域の適所に、インデックス空間IDX0の演出画像(テクスチャ)を描画すれば良い。このような場合、インデックス空間IDX0の演出画像を、三角形の描画プリミティブ(primitive)に分解し、適宜な角度に回転させた上で、描画領域に描画することが考えられる。なお、テクスチャの回転角度は、例えば、予告演出の信頼度などに対応付けられる。

【0485】

以上、メイン表示装置DS1の一フレームを完成させるための指示コマンド列(L11~L16)について説明したが、サブ表示装置DS2の一フレームを完成させるための指示コマンド列(L17~L12)についても、同様である。すなわち、フレームバッファFBbの開始XY座標を特定し(L17)を定義し(通常はX=0, Y=0)、図12(c)に示す仮想描画空間上に、サブ表示装置DS2のための描画領域を定義する(L18)。

【0486】

ところで、本実施例では、メイン表示装置DS1用の画像データの生成を終えた後、サブ表示装置DS2用の生成処理に移行するので、サブ表示装置DS2用の描画領域が、メイン表示装置DS1用の描画領域と重複しても何の問題もなく、描画領域を自由に設定することができる。そのため、ディスプレイリストDLの生成プログラムの開発時、例えば、SPRITEコマンドで、新規に設定された描画領域に適宜なテクスチャを貼り付けるような場合、SPRITEコマンドの動作パラメータ(Destination 領域)の設定その他を、ある程度、定型化することができる。

【0487】

このような任意の描画領域の定義が終われば（L 1 8）、次に、ダブルバッファ構成の表示装置D S 2のフレームバッファF B bについて、今回のディスプレイリストD Lに基づく描画内容の「書込み領域」となるインデックス空間I D Xを特定する（L 1 9）。このインデックス空間I D Xのインデックス番号は、フレームバッファF B bに関し、メイン制御処理のステップS T 6で指定された表示領域（0）／（1）に対応しない方のインデックス番号である。

【0 4 8 8】

そして、その後、サブ表示装置D S 2についての指示コマンド列L 2 0～L 2 2が、メイン表示装置D S 1に関する指示コマンド列L 1 4～L 1 6と同様に列記される。また、インデックス空間I D X₀に完成させた演出画像を使用することもできる。

【0 4 8 9】

以上、ディスプレイリストD Lを構成するL 1 1～L 2 2の指示コマンドは、本実施例では、全て、コマンド長が3 2ビットの整数倍のものに限定されている。そして、先に説明した通り、本実施例のディスプレイリストD Lのデータボリューム値（データ総量）を、固定長（2 5 6 バイト）に調整しており、ダミーコマンドたる必要数のNOP コマンド（L 2 3）を付加した上で、EODLコマンド（L 2 4）で終結させている。すなわち、図 2 3の実施例では、前記した標準手法（B）を採っている。

【0 4 9 0】

但し、標準手法（B）を採る場合でも、全ての動作周期において、ディスプレイリストD Lのデータ総量を2 5 6 バイトと固定化することは必ずしも必須ではない。すなわち、別の実施例では、NOP コマンドを除くディスプレイリストD Lのデータ総量が、2 5 6 バイトを超える場合（例えば、特別な演出期間）には、ディスプレイリストD Lのデータ総量は、NOP コマンドを付加することで、5 1 2 バイト又はそれ以上の $N \times 2 5 6$ バイトに調整される。なお、標準手法（B）を採る場合、 $N \times 2 5 6$ バイトの最後はEODLコマンドで終端されることは先に説明した通りである。

【0 4 9 1】

以上、ディスプレイリストD Lの構成について詳細に説明したが、演出制御C P U 6 3は、完成させた固定バイト長のディスプレイリストD LをV D P回路に発行することになる（S T 7～S T 8）。図 2 4は、演出制御C P U 6 3が、転送回路7 2の転送ポートレジスタTR_PORTを直接WRITE アクセスして、描画回路7 6にディスプレイリストD Lを発行するD L発行処理（図 2 2のS T 8）を説明するフローチャートである。なお、転送ポートレジスタTR_PORTは、データ転送回路7 2の動作内容を規定するデータ転送レジスタR G i jの一種である。

【0 4 9 2】

D L発行処理を実現するには、まず、データ転送回路7 2の動作内容を規定する複数のデータ転送レジスタR G i jに、必要な設定値を設定する必要がある。具体的には、データ転送回路7 2の転送動作態様と、データ転送回路7 2内部の伝送経由と、を所定のデータ転送レジスタR G i jに特定する。設定内容は、特に限定されないが、ここでは、C P U I F部5 6からC h B制御回路7 2 bを経由すること、及び、C P Uバス制御部7 2 dに関し、そのF I F Oバッファの残量をチェックしながらデータ転送動作を実行すると設定する（S T 2 0）。なお、以下の説明では、C h B制御回路7 2 bを、便宜上、「転送回路C h B」と略すことがある。

【0 4 9 3】

次に、転送総サイズを、所定のデータ転送レジスタR G i jに設定する。先に説明した通り、本実施例では、ディスプレイリストD Lのデータ総量を2 5 6 バイトの整数倍に調整しているので、その値を設定する。なお、データ総量 $= 2 5 6 \times N$ は、データ転送回路7 2の最低データ量D m i nの整数N倍にもなっている。通常、倍数Nは、1又は2であるが、以下の説明では、 $N = 1$ として説明することにする。

【0 4 9 4】

ここで、転送ポートレジスタTR_PORT（以下、転送ポートと略すことがある）は、3

10

20

30

40

50

2 b i t 長のレジスタであるので、演出制御 C P U 6 3 は、3 2 b i t 毎に、転送ポート TR_PORT に対して、レジスタ WRITE 動作を実行することになる。そこで、レジスタ WRITE 回数を管理する管理カウンタ C N の値を 6 4 の初期設定する (S T 2 1)。なお、無調整手法 (C) を採る場合は、このタイミングで、最低データ量 D m i n の整数倍のデータ転送量を決定して、管理カウンタ C N を設定することになる。

【0 4 9 5】

以上の処理で初期設定が完了するので、次に、転送回路 C h B を経由するデータ転送動作を開始状態に設定すると共に (S T 2 2)、描画回路 7 6 の動作を規定する所定の描画レジスタ R G i j への設定値に基づいて、描画動作を開始させる (S T 2 3)。この結果、その後、演出制御 C P U 6 3 が、転送ポート TR_PORT にレジスタ WRITE 動作する指示コマンド列について、描画回路 7 6 (ディスプレイリストアナライザ) による迅速かつ円滑な Analyze 処理が担保される。

10

【0 4 9 6】

なお、迅速かつ円滑な Analyze 処理には、ディスプレイリスト D L に列記する指示コマンドが、コマンド長 3 2 b i t 整数倍の指示コマンドに限定されている点も有効に寄与する。図 3 0 (a) におけるタイミング t 1, t 2, t 3, t 4 は、ステップ S T 2 3 の動作タイミングを示している。なお、ディスプレイリスト D L の発行処理 (S T 8) は、素早く終わるので、図 3 0 ~ 図 3 1 では発行処理の要する時間幅を記載していない。

【0 4 9 7】

続いて、ステップ S T 2 2 の設定が機能したか否かを確認する (S T 2 4)。これは、データ転送回路 7 2 の各部の初期設定は、演出制御 C P U 6 3 によるレジスタ WRITE 動作 (設定動作) より処理時間がかかるので、不完全な状態のデータ転送回路 7 2 に対して、その後の指示を与えないためである。そして、万一、所定時間、待機しても動作開始状態にならない場合には、重大異常フラグ A B N をセットして D L 発行処理を終える (S T 2 5)。その結果、その後、W D T 回路 5 8 が機能して、複合チップ 5 0 は異常リセットされる (S T 1 0)。

20

【0 4 9 8】

なお、演出制御 C P U 6 3 は、C P U 回路 5 1 のリセットを回避するべく、所定のキーワード列をパターンチェック回路 C H K に出力して、リセット信号 R S T に基づいて V D P 回路 5 2 だけを異常リセットしても良いのは前述した通りである。

30

【0 4 9 9】

但し、通常は、ステップ S T 2 2 の設定は、迅速に完了するので、続いて、C P U バス制御部 7 2 d の F I F O バッファ (3 2 b i t × 1 3 0 段) について、F I F O バッファが満杯でないことを確認した上で (S T 2 6)、ディスプレイリスト D L を構成する先頭行から順番に、一行ごとに転送ポート TR_PORT に指示コマンドを書込む (S T 2 8)。

【0 5 0 0】

そして、管理カウンタ C N をデクリメントしつつ (S T 2 9)、管理カウンタ C N がゼロになるまで、ステップ S T 2 6 ~ S T 2 9 の処理を繰り返す (S T 3 0)。この実施例の場合、データ転送回路 7 2 には、最低データ量 D m i n が規定されているので、F I F O バッファに最低データ量 D m i n が蓄積されたタイミングで、データ転送動作が実行されることになり、間欠的な転送動作となる。

40

【0 5 0 1】

何れにしても、本実施例では、迅速に D L 発行処理 (S T 2 8) が完了するが、万一、ノイズなどの影響で V D P レジスタ R G i j への設定内容が矛盾したような場合には、ステップ S T 2 6 の判定において、所定時間待機しても F I F O バッファ Full の状態が解消されない場合もあり得る。そして、そのような場合には、所定の V D P レジスタ R G i j に初期化データをセットして、描画回路 7 6 とデータ転送回路 7 2 を初期化した上で、重大異常フラグ A B N をセットして D L 発行処理を終える (S T 2 7)。

【0 5 0 2】

ところで、このタイミングでは、データ転送回路 7 2 や、描画回路 7 6 は、既に動作を

50

開始しており、ある程度の処理を終えているので、描画回路 7 6 の初期化処理には、描画レジスタ R G i j の内容を維持した状態で、(1) ディスプレイリスト D L によって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2) 全ての内部制御回路を初期状態に設定すること、(3) G D E C 7 5 を初期化すること、(4) A A C 領域のキャッシュ状態を初期化することが含まれている。同様に、データ転送回路 7 2 の初期化処理には、F I F O バッファのクリアなど、それまでのデータ転送全体の初期化処理が含まれている。この結果、データ転送回路 7 2 の動作状態を示すステータス情報が所定値（データ転送全体初期化中を示す値）に変化する。

【0503】

なお、上記したステップ S T 2 7 の初期化処理では、描画レジスタ R G i j の内容を維持したが、所定の描画レジスタについては、その内容を初期化しても良い。初期値にクリアされる所定の描画レジスタには、(a) 描画実行開始を設定する実行制御レジスタ（図 2 4 の S T 2 3 参照）、(b) 描画回路 7 6 の実行状況を示すステータスレジスタ、及び、(c) 現在処理しているディスプレイリストの位置を特定するステータスレジスタが含まれる。

【0504】

何れにしても、重大異常フラグ A B N をセットした結果、その後、W D T 回路 5 8 や演出制御 C P U 6 3 が機能して、複合チップ 5 0 か、又は V D P 回路 5 2 が異常リセットされるので（S T 1 0 a）、描画回路 7 6 やデータ転送回路 7 2 を初期化する処理は必ずしも必須ではない。一方、描画回路 7 6 やデータ転送回路 7 2 を初期化する場合には、その結果、異常回復が期待できるので、重大異常フラグ A B N をセットすることなく、ステップ S T 2 0 の処理に戻って D L 発行処理を再実行するのも好適である。

【0505】

この点は、ステップ S T 2 5 の処理においても同様であり、データ転送回路 7 2 や描画回路 7 6 を初期化した上で、重大異常フラグ A B N をセットすることなく、ステップ S T 2 0 の処理に戻るもの好適である。但し、このような場合には、D L 発行処理の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終えることになる。

【0506】

図 2 4 (b) は、正常な動作状態について、確認的に図示したものである。図示の通り、発行されたディスプレイリスト D L は、列記された指示コマンドの順番に、描画回路 7 6（ディスプレイリストアナライザ）によって解析され、各指示コマンドに基づく動作が実行される。この動作は、ディスプレイリスト D L の発行処理や、データ転送回路 7 2 のデータ転送動作（S T 2 6 ～ S T 3 0）に並行して実行される。

【0507】

例えば、指示コマンド（TXLOAD）が実行されることで、C G R O M 5 5 から必要なテクスチャが読み出されて A A C 領域(a) に取得され、その後、G D E C 7 5 が自動的に起動してデコード動作が実行され、デコード後のデータが所定のインデックス空間に展開される。また、指示コマンドによっては、ジオメトリエンジン 7 7 その他が機能するが、何れにしても、描画回路 7 6 の各部が協働することで、ディスプレイリスト D L に対応する画像データがフレームバッファ F B a , F B b に完成されることになる。

【0508】

続いて、D M A C 回路 6 0 を介在させてディスプレイリスト D L を発行する場合を、図 2 5 に基づいて説明する。何ら限定されないが、D M A C 回路 6 0 に内蔵された第 1 ～ 第 4 の D M A チャンネルのうち、第 3 の D M A チャンネルを使用することにする。

【0509】

図 2 5 の実施例では、まず、所定のデータ転送レジスタ R G i j と、所定の描画レジスタ R G i j に各々クリア値を設定して、データ転送回路 7 2 と、描画回路 7 6 を初期化する（S T 2 0）。この処理は、図 2 4 のステップ S T 2 7 のエラー処理と同じであり、F I F O バッファを含んだデータ転送回路 7 2 の内部回路が初期化され、データ転送の進行状態を示すデータ転送レジスタのステータスビットが初期値となり、データ転送全体を初

10

20

30

40

50

期化中であることを示すビットが所定値となる。

【0510】

描画回路76についても同様であり、上記した(1) 内部パラメータを初期値に設定すること、(2) 内部制御回路を初期状態に設定すること、(3) GDEC75を初期化すること、(4) AAC領域のキャッシュ状態を初期化する処理が含まれている。また、描画回路の初期化処理(図25のST20)においても、前記した所定の描画レジスタRGijを初期化しても良い。なお、図24の処理において、このような初期化処理を最初に実行しても良い。

【0511】

図25の処理では、次に、初期化処理が正常に完了したことを、データ転送回路72と描画回路76の動作状態を特定する所定のステータスレジスタRGijをREADして確認する(ST21)。そして、万一、初期化できない場合には、重大異常フラグABNをセットして処理を終える(ST22)。但し、このような事態は、実際にはほぼ発生しない。

【0512】

次に、データ転送回路72の転送動作態様と、データ転送回路72内部の伝送経由とを、所定のデータ転送レジスタRGijに設定する。設定内容は、特に限定されないが、ここでは、CPUIF部56からChB制御回路72bを経由すること、及び、CPUバス制御部72dへの転送プロトコルに関し、DMAC回路60への設定に従うと設定する(ST23)。

【0513】

次に、転送総サイズを、所定のデータ転送レジスタRGijに設定する。図24の場合と同様、データ総量=256となる。なお、無調整手法(C)を採る場合は、このタイミングで、最低データ量Dminの整数倍の転送総サイズを決定して設定することになる。次に、所定の描画レジスタRGijへの設定値に基づいて、描画回路76の描画動作を開始させる(ST25)。図30(a)におけるタイミングt1, t2, t3, t4は、ステップST25の動作タイミングでもある。そして次に、DMAC回路60の動作を開始させた上で(ST26)、データ転送回路72のデータ転送動作を開始させる(ST27)。

【0514】

DMAC回路60の動作を開始処理は、図25(b)に示す通りであり、先ず、DMAC転送を禁止した状態で、一サイクルのデータ転送単位(1オペランド)の転送が完了するのを待つ(ST40)。詳細な動作内容は、図26に示す処理と同じであり、DMAC転送を禁止設定する処理(ST53)と、その後の待機処理(ST54)に区分される。

【0515】

このような処理を設けるのは、(1) 他の実施例では、メイン制御処理やタイマ割込み処理(図22)で、DMAC回路60(第3のDMAチャンネル)を使用する可能性があること、及び、(2) 図22のステップST5の処理を設けない他の実施例において、ディスプレイリストDLの発行を開始したDMAC回路60が、その動作周期(δ)内ではDL発行動作を終了できない場合もあり得ることなどを考慮したものである。

【0516】

上記のような例外事態において、動作中のDMAC回路60に対して、新規の設定値(矛盾する設定値など)を追加的に設定すると、正常なDMA動作が全く担保されず、深刻なトラブルが懸念されるが、ステップST40の処理を設けることで、その後の設定値に基づく正常動作が担保される。すなわち、本実施例を一部変更した変更実施例でも、先行するトラブルに拘らず、その後の正常なDMA動作を実現することができる。

【0517】

以上のような意義を有するステップST40の処理を実行すれば、次に、DMAC回路60の動作条件を設定する(ST41)。具体的には、図9に示す通り、サイクルスチール転送モードを選択し、一オペランド転送を32bit転送×2回とする。また、Sourceアドレスは、RAM59のリストバッファ領域(DLバッファBUF)のアドレスである

10

20

30

40

50

ので順次増加と認識すべきこと、一方、Destination アドレスは、転送ポートTR_PORT であるため固定値とすべきことを規定する。

【0518】

次に、RAM 59のDLバッファBUFの先頭アドレスを、DMAC回路60の動作を規定する所定の動作制御レジスタREGに設定すると共に(ST42)、転送先アドレスである転送ポートTR_PORTのアドレスを設定する(ST43)。また、転送総サイズ、つまり、ディスプレイリストDLのデータ総量を256バイトに設定した上で(ST44)、DMAC回路60のDMA動作を開始させる(ST45)。

【0519】

ところで、ここまでの説明は、指示コマンドの実質ビット長が、全て32bitの整数倍であることを前提にした。しかし、ディスプレイリストDLや指示コマンドの構成は必ずしも限定されないので、以下、このような場合について説明する。

【0520】

例えば、前記した無調整手法(C)を採る場合も含め、ディスプレイリストDLのデータ総量Xが、32bitの整数倍ではない任意値Xである場合には、ステップST44の処理では、この任意値Xを、適切な転送量MODに調整した上で、転送総サイズの設定処理を実行する。ここで、適切な転送量MODは、一オペランド転送についての設定内容と、データ転送回路72の最低データ量Dmin(バイト)とに基づいて規定される。

【0521】

具体的には、一オペランド転送設定がNバイト×M回であれば、転送量MODは、N×M(バイト)の整数倍であって、且つ、Dmin(バイト)の整数倍の値に調整される。例えば、N×M=8×4、Dmin=256であれば、任意値X(=300)バイトは、転送量MOD(=512)バイトに調整される。

【0522】

以上、一般論も含め説明したが、DMAC回路60のDMA動作は、図9に示すようなサイクルスチール転送動作が開始され、CPUの動作を特に阻害することなく、ディスプレイリストDLが、実施例の場合には32ビット毎に、転送ポートTR_PORTに転送される。そして、転送されたデータは、転送回路ChBを経由して、描画回路76に転送される。

【0523】

このような動作を実現するため、本実施例では、ステップST45の処理に続いて、データ転送回路72の転送動作を開始させて処理を終える(ST27)。その後、データ転送回路72は、DMAC回路60から最低データ量Dminを一単位として、ディスプレイリストDLの指示コマンド列を受け、これを描画回路76に転送する。そして、描画回路76は、ディスプレイリストDLの指示コマンドに基づいて描画動作を実行する。したがって、ステップST27の処理の後、演出制御CPU63は、図22のステップST11の処理を開始することができ、VDP回路52による描画動作(DMAC回路60によるDL発行処理)と並行して、音声演出やランプ演出やモータ演出を制御することができる。

【0524】

図25(c)は、この動作内容を図示したものである。DMA転送に先行して、描画回路の動作を開始しており(ST25)、描画回路76のディスプレイリストアナライザは、迅速かつ円滑にAnalyze処理を実行し、その他、GDEC75やジオメトリエンジン77などの動作に基づき、フレームバッファFBa、FBbには、各表示装置DS1、DS2について、各一フレーム分の画像データが生成される。

【0525】

ところで、DL発行処理をステップST27の処理で終える図25の構成は、必ずしも、限定されない。例えば、図32～図33のように、音声演出、ランプ演出、及びモータ演出を、他のCPUが制御する場合には、ステップST27の処理の後、DMAC回路60やデータ転送回路72の正常動作を確認するのが好ましい。図26は、図25のステッ

10

20

30

40

50

プ S T 2 7 に続く動作であり、正常動作の確認処理を説明するフローチャートである。

【 0 5 2 6 】

まず、所定のステータスレジスタを参照して、DMA C 回路 6 0 の転送動作が正常に終了していることを確認する (S T 5 0)。また、データ転送回路 7 2 が転送動作を終了していることを確認する (S T 5 1)。通常、このような経路で、図 2 5 の D L 発行処理が完了する。

【 0 5 2 7 】

一方、所定時間待機しても、DMA C 回路 6 0 の動作が完了していない場合、或いは、データ転送回路 7 2 が転送動作を完了していない場合には、描画回路 7 6 とデータ転送回路 7 2 について、所定の V D P レジスタ R G i j にクリア値を設定して、D L 発行処理を初期化する (S T 5 2)。これは、ディスプレイリスト D L の発行処理が正常に終了していないことに基づく動作であり、具体的には、図 2 4 のステップ S T 2 7 のエラー処理や、図 2 5 のステップ S T 2 0 の初期処理と同じ内容である。

【 0 5 2 8 】

すなわち、この場合も、描画回路 7 6 は、既に動作を開始しており、ある程度の処理を終えているので、描画回路 7 6 の初期化処理には、(1) ディスプレイリスト D L によって設定される可能性のある全ての内部パラメータを初期値に設定すること、(2) 全ての内部制御回路を初期状態に設定すること、(3) G D E C 7 5 を初期化すること、(4) A A C 領域のキャッシュ状態を初期化することが含まれる。

【 0 5 2 9 】

次に、新規の DMA 転送動作を禁止した上で (S T 5 3)、実行中の一オペランドの転送動作が終わるのを待つ (S T 5 4)。先に説明した通り、本実施例では、3 2 b i t 転送 × 2 回を一オペランドとしており、動作中の DMA C 回路 6 0 をいきなり初期化することを避けるためである。

【 0 5 3 0 】

そして、この準備作業が終われば、DMA C 回路 6 0 の動作を規定する所定の動作制御レジスタ R E G にクリア値を設定して、DMA C 回路 6 0 を初期化する (S T 5 2)。そして、重大異常フラグ A B N をセットして D L 発行処理を終える。なお、この場合、ステップ S T 5 2 や S T 5 5 の処理によって、異常回復が期待できるので、重大異常フラグ A B N をセットすることなく、図 2 5 のステップ S T 2 0 に戻って、D L 発行処理を再実行するのも好適である。但し、D L 発行処理 (S T 2 3 ~ S T 2 7) の再実行回数をカウントし、再実行回数が限界値を越えれば、重大異常フラグ A B N をセットして D L 発行処理を終える必要がある。

【 0 5 3 1 】

続いて、プリローダ 7 3 を使用する場合のメイン制御処理について、図 2 7 に基づいて説明する。図 2 7 の処理は、図 2 2 の処理に類似しているが、まず、開始条件判定 (S T 5 ') の内容が相違する。すなわち、プリローダを使用する実施例では、各動作周期の開始時に、描画回路 7 6 とプリローダ 7 3 のステータス情報を READ アクセスして、ディスプレイリスト D L 1 に基づく描画動作が終わっていること、及び、ディスプレイリスト D L 2 に基づくプリロード動作が終わっていること確認する (S T 5 ')。

【 0 5 3 2 】

図 3 1 (a) のタイムチャートに示す通り、プリローダ 7 6 は、例えば、動作周期 (T 1) に発行されたディスプレイリスト D L 1 に基づき、その動作周期中 (T 1 ~ T 1 + δ) に、先読み動作 (プリロード動作) を終えている筈である。また、描画回路 7 6 は、例えば、動作周期 (T 1 + δ) で指示された動作開始指令に基づき、その動作周期中 (T 1 + δ ~ T 1 + 2 δ) に、ディスプレイリスト D L 1 に基づく描画動作を終えている筈である。

【 0 5 3 3 】

そこで、(S T 5 ') では、描画回路 7 6 とプリローダ 7 3 に関する V D P レジスタ R G i j のステータス情報を READ アクセスして、上記の正常動作を確認するのである。図 3

10

20

30

40

50

1 (a) には、動作周期 $T1$, $T1 + \delta$, $T1 + 2\delta$, $T1 + 4\delta$ の判定タイミングでは正常動作が確認されるが、動作周期 $T1 + 3\delta$ の判定タイミングでは、プリロード動作が終了していない状態が示されている。

【0534】

そして、このような異常時には、異常フラグ ER をインクリメントした上で ($ER = ER + 1$)、ステップ $ST9$ の処理に移行させている。そのため、図22の実施例の場合と同様に、フレーム落ちが生じる。すなわち、表示領域の切換え処理 ($ST6$) がスキップされるので、同じ画面が再表示される。図30 (a) に示す動作期間 ($T1 + 3\delta \sim T1 + 4\delta$) は、その動作状態を示している。

【0535】

また、ステップ $ST5'$ の判定において、開始条件を満たさない場合には、描画回路76に対して、書換えリスト DL' に基づく描画動作の開始指示 ($PT10$) が実行されないの
10
で、描画回路76は非動作状態であり、また、新規のディスプレイリストが生成されることもない。なお、図31 (a) において、タイミング $t0$, $t2$, $t4$ は、描画動作の開始指示 ($PT10$) の動作タイミング、より正確には、図28のステップ $ST26$ のタイミングを示している。

【0536】

以上、ステップ $ST5'$ の判定が不適合の場合を説明したが、通常の場合は、フレームバッファ FbA , FbB の表示領域をトグル的に切換えた後 ($ST6$)、描画回路76に対して、書換えリスト DL' に基づく描画動作を開始させる ($PT10$)。具体的な内容は、
20
図28に示す通りであり、描画回路76は、演出制御 $CPU63$ の制御に基づき、データ転送回路72 (転送回路 ChB) を経由して、外付け $DRAM54$ の DL バッファ BUF' から書換えリスト DL' を取得して描画動作を実行することになる。

【0537】

この動作を実現する図28のフローチャートを説明することに先行して、プリローダ73の動作を確認すると、プリローダ73は、一動作周期前に取得したディスプレイリスト DL に基づき、 $CGROM55$ の先読み動作 (プリロード) を完了しており、先読みされたデータは、外付け $DRAM54$ に確保されたプリロード領域に既に格納済みである。また、ディスプレイリスト DL に記載されているテクスチャロード系のコマンド ($TXLOAD$) については、その $Source$ アドレスがプリロード領域のアドレスに書換えられ、書換えリスト DL' として、外付け $DRAM54$ の DL バッファ BUF' に格納されている。
30

【0538】

なお、この書換え処理において、ディスプレイリスト DL のデータ総量に変化はなく、書換えリスト DL' のデータ総量は、ディスプレイリスト DL と同じである。また、ディスプレイリスト DL は、標準手法 (B) で作成されており、書換えリスト DL' の最後は、ディスプレイリスト DL の場合と同様に $EODL$ コマンドである。

【0539】

以上を踏まえて、図28について説明すると、演出制御 $CPU63$ は、先ず、所定のデータ転送レジスタ $RGij$ と、所定の描画レジスタ $RGij$ に各々クリア値を設定して、データ転送回路72と、描画回路76を初期化する ($ST20$)。この処理は、図25の $ST20$ の処理と同一内容である。次に、この初期化処理が正常に終了したことを確認し ($ST21$)、万一、所定時間経過しても初期化が完了しない場合には、重大異常フラグ ABN をセットして処理を終える ($ST22$)。
40

【0540】

通常は、データ転送回路72と描画回路76の初期化は正常に終了するので、続いて、データ転送回路72内部の伝送経由を、所定のデータ転送レジスタ $RGij$ に設定する ($ST23$)。具体的には、外付け $DRAM54$ から、 ChB 制御回路72bを経由して描画回路76にデータを転送すると設定する ($ST23$)。次に、書換えリスト DL' が格納されている外付け $DRAM54$ の DL バッファ BUF' について、その先頭アドレスを、所定のデータ転送レジスタ $RGij$ に設定する ($ST24$)。
50

【0541】

また、この書換えリストDL'について、転送総サイズを、所定のデータ転送レジスタRGijに設定する(ST25)。先に説明した通り、書換えリストDL'のデータ総量は、ディスプレイリストDLのデータ総量と同じであり、具体的には、例えば、256バイトである。

【0542】

次に、所定の描画レジスタRGijへの設定値に基づいて、描画回路76の描画動作を開始させる(ST26)。図30(a)におけるタイミングt1, t2, t3, t4は、ステップST26の動作タイミングでもある。そして、次に、所定のデータ転送レジスタRGijへの設定値に基づいて、データ転送回路60の動作を開始させて処理を終える(ST27)。その後、演出制御CPU63は、データ転送回路72や描画回路の動作に特に関与せず、次の動作周期で実効化されるディスプレイリストの生成処理(ST7)に移行する。

10

【0543】

一方、ステップST26のタイミングで動作を開始する描画回路76は、書換えリストDL'に基づいた描画動作を実行して、フレームバッファFba, Fbbに、書換えリストDL'に基づいた画像データを生成する。なお、この動作において、描画回路76は、CGROM55をREADアクセスすることなく、もっぱら、プリロード領域をREADアクセスするので、一連の描画動作を迅速に完了することができる。

【0544】

20

以上、ステップPT10の処理内容を説明したので、図27に戻って説明を続けると、ステップPT11の処理の後、プリローダ73を活用する実施例では、次サイクルで実効化されるディスプレイリストDLを、標準手法(B)に基づいて作成する(ST7)。例えば、図31(a)に示す動作周期(T1)では、次サイクルである動作周期(T1+δ)において、描画回路76に参照されるディスプレイリストDLを作成する。

【0545】

次に、演出制御CPU63は、作成後のディスプレイリストDLを、描画回路76ではなく、プリローダ73に発行する(PT11)。具体的な動作内容は、図29に示す通りである。先に、プリローダ73を使用しない実施例(図22)に関し、演出制御CPU63が、ディスプレイリストDLを、直接的に、描画回路76に発行する場合(図24)と、DMAC回路60を経由して発行する場合(図25)を示しているが、図29には、発行先がプリローダ73である点を除いて、ほぼ同じ動作が図29(b)と図29(c)に示されている。

30

【0546】

図29(a)は、図29(b)の動作を説明するフローチャートであり、図24のフローチャートとほぼ同じである。但し、CPUIF部56からChC制御回路72cを経由すること、及び、CPUバス制御部72dに関し、そのFIFOバッファの残量をチェックしながらデータ転送動作を実行すると設定する(ST20)。なお、以下の説明では、ChC制御回路72cを、便宜上、「転送回路ChC」と略すことがある。

【0547】

40

次に、転送総サイズ(標準手法(B)で調整された例えば256バイト)を、所定のデータ転送レジスタRGij設定し、管理カウンタCNを64に初期設定する(ST21)。次に、転送回路ChCを経由するデータ転送動作を開始状態に設定すると共に(ST22)、プリローダ73の動作を規定するプリロードレジスタRGijへの設定値に基づいて、プリロード動作を開始させる(ST23)。

【0548】

この結果、その後、プリローダ73は、演出制御CPU63が、転送ポートTR_PORTに書込む指示コマンド毎に、必要な解析(Analyze)処理を実行し、CGROM55をREADアクセスすべき指示コマンド(TXLOAD)を検出すると、そのテクスチャをプリロードして、DRAM54のプリロード領域に保存する。また、テクスチャのSourceアドレス

50

を変更した書き換えリストDL'をDRAM54のDLバッファ領域BUF'に保存する。

【0549】

なお、図31(a)におけるタイミング t_1 、 t_3 、 t_5 は、事実上、図29のステップST23の動作タイミングを示している。但し、この実施例においても、ディスプレイリストDLの発行処理の途中で、何らかの異常が発生すれば、ステップST25やステップST27の処理を実行する。具体的には、データ転送回路72や、プリローダ73の動作を初期化して、可能な範囲でディスプレイリストDLの発行処理(ST20~ST30)を再実行する。プリローダ73の初期化処理には、未完成状態の書き換えリストDL'の消去や、新規にプリロードデータを記憶したプリロード領域のクリア処理が含まれる。

【0550】

以上、プリローダ73を使用する場合と、使用しない場合について詳細に説明したが、具体的な動作内容は、特に限定されない。図30(b)は、演出制御CPU63が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期 δ 遅れて描画回路76に発行する実施例を示している。このような実施例の場合には、描画回路76は、一動作周期(δ)のほぼ全時間を使用できるので、フレーム落ちの可能性が低減される。

【0551】

また、図31(b)は、演出制御CPU63が生成したディスプレイリストを、生成したその動作周期ではなく、一動作周期遅れてプリローダ73に発行する実施例を示している。この場合は、プリローダ73は、一動作周期(δ)のほぼ全時間を使用してプリロード動作を実行することができるので、この場合も、フレーム落ちの可能性が低減される。

【0552】

なお、ここまでの説明では、複合チップ50を使用することになっているが、必ずしも、演出制御CPU63とVDP回路52を、一素子に集積化する必要はない。更にまた、上記の実施例では、演出制御全体を、単一のCPU(演出制御CPU63)で制御しているが、上流側のCPUと、下流側の演出制御CPU63が互いに協働して、演出制御動作を実行しても良い。

【0553】

図32~図33は、このような実施例を示すブロック図である。図示の通り、この実施例では、上流側の演出制御CPUが、音声演出と、ランプ演出と、モータ演出を制御している。一方、下流側のCPU回路51は、演出制御CPUから受ける制御コマンドCMD'に基づいて、画像演出だけを制御している。

【0554】

このような構成を採る場合には、CPU回路51は、図22(a)のステップST12の処理と、図22(b)の処理を実行する必要がなく、十分に時間をかけて複雑なディスプレイリストDLを生成することができ、より複雑で高度な3D(Dimension)などの画像演出を実現することができる。このような場合には、ディスプレイリストが大型化するが、その場合には、ディスプレイリストDLのデータ総量は、ダミーコマンドを付加することで、512バイト又はそれ以上の $N \times 256$ バイトに調整される。

【0555】

また、下流側のCPU回路51の動作は、画像演出制御に特化されるので、ディスプレイリストDLの発行後、描画動作が完了するのを確認することもできる。図24の下方は、この場合の動作制御例を示しており、限界時間を超えても描画動作が完了しない場合には、重大異常フラグABNをセットして処理を終える(ST32)。なお、下流側のCPU回路51の処理は、画像演出制御だけであるので、簡易的には、描画動作の完了を無限ループ状に待機するのでも良い。

【0556】

このような構成を採る場合、図22(a)の開始条件判定(ST5)を所定時間繰り返すことができる。このように構成しても、描画動作完了の遅れが、それほど長くなければ、表示領域(0)と表示領域(1)の切り換えが遅れるだけの問題しか生じない。すなわち、図34(a)に示す動作周期 $T_1 + 3\delta$ のように、表示動作が二回繰り返される一動

10

20

30

40

50

作周期の中で、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。

【0557】

この点は、プリローダを使用する場合も同様であり、図27(a)の開始条件判定(ST5')を所定時間繰り返すことができる。そして、多少の遅れであれば、図34(b)に示す動作周期 $T1 + 3\delta$ のように、前半だけ、フレーム落ち状態となり、後半は、正常なフレームが表示される。但し、描画動作の完了が大幅に遅れると、図30(a)の動作周期 $T1 + 3\delta$ と同様に、完全なフレーム落ちが生じることになり、万一、このような事態が継続すると、WD T回路58が起動することになる。この点は、プリローダを使用しない場合も同様である。

10

【0558】

また、CPU回路51の制御動作が画像演出制御に特化される場合、DMA転送を採用する実施例では、図26の下方に示す通り、描画回路76の描画動作の完了と、データ転送回路72の動作完了と、DMAC回路60の動作完了が判定される(ST50'~ST52')。そして、何れかの動作が正常に終了しない場合には、データ転送回路72と、描画回路76の動作を初期化し、ステップST53~ST55の処理と同様の処理(ST55'~ST57')が実行される。なお、この場合も、所定回数だけ、DL発行処理を再実行するのが好適である。

【0559】

以上、メイン表示装置DS1及びサブ表示装置DS2のフレームバッファFBa, FBbとして、各表示装置の水平ピクセル数に完全一致する水平サイズのインデックス空間を構築する実施例について説明した。図35(a)は、この関係を確認的に図示したものであり、仮想描画空間上の描画領域($W \times H$)と、インデックス空間上の有効データ領域(実描画領域 $W \times H$)とが、何れも、表示装置の水平/垂直ピクセル数に一致する場合を示している。

20

【0560】

このような対応関係において、ディスプレイリストDLによる仮想描画空間への描画動作は、必ずしも、描画領域($W \times H$)に限定されないもので、例えば、図35(a)上部の左傾斜線で示すように、描画領域($W \times H$)を超える描画画像($W' \times H'$)について、その描画位置を時間的に移動させることで、図35(a)下部の右傾斜線で示す実描画領域 $W \times H$ への描画内容を、縦/横/斜めに適宜に移動させることが可能となる。

30

【0561】

また、このような演出を実行するため、例えば、図35(b)に示すように、表示装置の水平ピクセル数より大きい水平サイズ W のインデックス空間を設けても良い。この場合には、ディスプレイリストDLの指示コマンドL12(SETDAVF)で定義される仮想描画空間上の描画領域 $W \times H$ は、表示装置の水平/垂直ピクセル数に対応する実描画領域 $w \times h$ より大きく設定される。なお、図35(b)の下部には、実描画領域 $w \times h$ が、右傾斜線で示されている。

【0562】

そして、実描画領域 $w \times h$ の縦横寸法は、図21のステップSS30の処理で、表示装置の表示ライン数と水平画素数として特定され、また、実描画領域 $w \times h$ の左上端点は、図21のステップSS36の処理で、垂直/水平表示開始位置として、所定の表示レジスタに設定される。

40

【0563】

一方、インデックス空間における基点アドレス(X, Y)は、ディスプレイリストの指示コマンドL11によって、所定の描画レジスタに設定される。先に説明した通り、具体的には、環境設定系の指示コマンドL11(SETDAVR)によって、インデックス空間IDX上の左上基点アドレスが、例えば(0, 0)と規定される。そして、実描画領域 $w \times h$ の左上端点を、定常処理において適宜に移動させれば、図35(b)下部の右傾斜線で示す実描画領域 $W \times H$ の描画内容は、縦/横/斜めに適宜に移動することになる。

50

【0564】

図21に関して説明した通り、ステップSS30～SS37に係るVDPレジスタRGijについては、初期設定後に、書込み禁止設定がされているが（第2の禁止設定SS39）、上記の演出を実行するタイミングでは、所定のVDPレジスタRGijに解除値を書込むことで、この禁止設定が解除される。

【0565】

ところで、上記の実施例では、第1種や第2種の禁止設定レジスタを活用して、所定のシステム制御レジスタRGijや初期設定系の所定のVDPレジスタRGijを、画一的に書込み禁止状態に設定して（図21のSS38，SS39参照）、これらのレジスタへの設定値が、その後、ノイズなどの影響で変更されないようにした。しかし、このような書込み禁止設定をすることなく、重要なシステム制御レジスタRGijの設定値については、所定時間毎に設定処理を繰り返すのも好適である。

【0566】

図36は、このような場合の処理を説明する図面であり、初期設定処理（SS1～SS3）において設定すべき設定値は、制御メモリ53（PROGMEM）に記憶された設定値テーブルSETTABLEに纏められている。なお、図21のステップSS1～SS3では、説明を省略しているが、(a) 初期値設定テーブルSETTABLEに基づいて初期設定処理を実行すること、及び、(b) 初期値設定テーブルSETTABLEの内容については、図21の実施例も、以下に説明する内容と実質的に同じである。

【0567】

そして、何れの実施例でも、設定値テーブルSETTABLEは、VDPレジスタRGijのレジスタアドレス値と、そのレジスタRGijへの設定値を一組みとした複数組（N組）で構成されている。特に限定されないが、レジスタアドレス値は16bit長、設定値は32bit長に固定化されており、各々が固定長であることで、初期値設定テーブルSETTABLEのデータ容量は、 $6 \times N$ バイト（ $= 48 \text{ t} \times N \text{ bit}$ ）長、VDPレジスタRGijはN個となっている。

【0568】

但し、図21の実施例では、初期値設定テーブルSETTABLEが一回だけREADアクセスされ、全N個のVDPレジスタRGijが一回だけ初期設定されるのに対して、図36の実施例では、全N個のVDPレジスタRGijは、一回だけ初期設定されるN1個のVDPレジスタRGijと、一回目の初期設定の後、 $1/30$ 秒毎に繰り返し初期設定されるN2個のVDPレジスタRGijとに区分される。但し、図36の実施例においても、ステップSS5～SS6の処理は、電源投入後に一回実行されるだけである。

【0569】

そして、図36の実施例では、繰り返し初期設定される設定値には、（1）DMA転送動作についての設定値、（2）VRAMに対する設定値、（3）割込みに関する設定値、（4）表示回路74に関する設定値、及び、（5）描画回路76に関する設定値が含まれている。

【0570】

（1）DMA転送動作に関する設定値は、例えば、ステップST41で規定する動作条件の前提条件となる設定値であり、図25（c）や図29（c）における動作条件の違いに拘わらず固定的に適用される基本設定値である。具体的には、(a) DAMC回路60に内蔵されたFIFOバッファ（N段）がどれだけ開放されると、転送元に転送要求をするかの閾値（例えば全体の $1/2$ 段）、(b) 転送先や転送元とハンドシェイク動作をするか否か（例えばNo）などの設定値が含まれる。

【0571】

また、（2）VRAMの設定値には、リフレッシュ動作のリフレッシュ周期が含まれている。内蔵VRAM71は、このリフレッシュ周期で動作することで、記憶データの自然放電が防止される。次に、（3）割込みに関する設定値には、割込み要求要因となるエラー種別や、割込み信号の出力端子（内蔵CPUの内部端子）を特定する値であり、例えば

10

20

30

40

50

、(a) 描画回路 7 6 がフリーズすれば CPU 回路 5 1 に対して描画異常割込みが発生すること（割込み許可状態、図 2 2（d）参照）、(b) 表示装置 D S 1 の VBLANK 開始時に、CPU 回路 5 1 に対して VBLANK 開始割込みが発生すること（図 2 2（c）参照）などの設定値が含まれている。

【0 5 7 2】

なお、本実施例は、CPU 回路 5 1 と VDP 回路 5 2 とが統合された複合チップ 5 0 を使用するが、別チップとする場合には、VDP 回路 5 2 が割込み信号を出力する出力端子は、CPU 回路 5 1 の外部割込み入力端子に接続される。

【0 5 7 3】

また、(4) 表示回路に関する設定値には、(a) 各フレームバッファの水平／垂直開始位置（S S 3 6 参照）、(b) 各表示装置の水平同期信号に関する設定値、(c) 各表示装置の垂直同期信号に関する設定値、(d) スケアラについての設定値、(e) 各表示装置の水平画素数と表示ライン数の設定値（S S 3 0）などが含まれている。

【0 5 7 4】

(5) 描画回路 7 6 に関する設定値には、描画異常割込みが発生するまでのフリーズ時間の設定値が含まれている。この設定値は、例えば、垂直同期信号の周期の整数倍として設定される。図 2 2（d）において説明した通り、ここで規定されたフリーズ期間、描画回路 7 6 が V R A M をアクセスしない場合には、描画回路 7 6 が個別的にリセットされ（S T 1 6 b）、描画回路 7 6 に対する動作パラメータが再設定される（S T 1 6 c）。

【0 5 7 5】

上記の通り、この実施例では、重要な設定値については、所定時間毎に繰り返し再設定されるので、ノイズなどの影響で、万一、設定値のビット化けが生じて、その異常が直ちに回復される。また、この実施例では、図 2 1 の実施例の場合のように、第 1 種や第 2 種の禁止設定レジスタ R G i j を書き込み禁止状態に禁止設定しないので、やや煩雑な禁止解除処理を経ることなく、自由に書換え処理を実行することができる。

【0 5 7 6】

以上、ここまで実施例では、(1a) 所定のフリーズ時間を経過する描画回路 7 6 の動作フリーズ状態か、(1b) 描画回路 7 6 が、ディスプレイリスト D L に不合理な指示コマンドを検出した場合には、VDP 回路 5 2 の描画回路 7 6 から CPU 回路 5 1 に対して、描画異常割込みが生じる構成について説明した（図 2 2（d）参照）。そして、描画異常割込み時には、割込み原因を判定した上で（図 2 2（d）の S T 1 6 a）、その判定結果に応じた処理を実行する構成（S T 1 6 c ～ S T 1 6 d）を採った。

【0 5 7 7】

しかし、本発明者の実験によれば、ノイズの多い過酷な動作条件下でも、描画異常割込みが生じることは殆ど無い。そこで、制御負担を軽減化するためには、割込み原因判定処理（S T 1 6 a）を設けることなく、画一的に無限ループ処理に移行させるか（図 2 7（b）参照）、パターンチェック回路 C H K（図 7（b）参照）を機能させるのも好適である（図 2 7（c）の S T 1 7 a 参照）。

【0 5 7 8】

この場合には、その後、所定時間後に W D T 回路 5 8 が起動して、複合チップ 5 0 全体がリセットされるか、或いは、その後、直ちに VDP 回路 5 2 だけがリセットされることになる（図 7（b）参照）。なお、リセットキーワードの出力処理（S T 1 7 a）に基づき、VDP 回路 5 2 がリセットされた場合には、そのリセット動作の正常終了を確認すると共に、戻り番地を記憶するスタック領域を整理した後（S T 1 7 b）、例えば、ステップ S T 4 か S T 1 3 の処理に移行させることになる。

【0 5 7 9】

また、本実施例では、異常判定処理（図 2 2 や図 2 7 の S T 5）を設けて描画回路 7 6 の動作完了を 1 / 3 0 秒毎に判定しているので、更に制御負担を軽減するべく、実質的に何も実行しない描画異常割込み処理（図 2 7（d））を設けても良い。図 2 7（d）に示す通り、この構成では、描画異常割込み時、直ちに I R E T（Interrupt Return）命令を

10

20

30

40

50

実行してメイン制御処理に戻るので、描画回路76のフリーズ状態などは、そのまま継続されることになる。しかし、本実施例では、図22や図27のステップST5の処理で、フレーム落ち回数を、異常フラグERでカウントしており、いずれWDT回路58か、パターンチェック回路CHKが起動するので、図27(d)の構成は、図27(b)や図27(c)の構成と実質的に同じである。

【0580】

また、制御負担を更に軽減化するため、初期設定時(図21のステップSS3参照)に、VDP回路52を描画異常割込み禁止状態に設定するのも好適である。なお、電源投入時のデフォルト状態が、描画異常割込み禁止状態である構成を採る場合には、(a)異常割込みの許可／禁止を規定する許否値を設定すべき所定のシステム制御レジスタRGijを書込み禁止状態に設定するか、或いは、(b)所定時間毎に、前記のシステム制御レジスタRGijに禁止値を繰り返し書込むことになる。

【0581】

この構成は、一見、図27(b)や図27(b)の構成より優れているようにも思われる。しかし、この種の遊技機的全機種について、(a)描画異常割込みを、画一的に禁止状態に設定する構成より、(b)画一的に許可状態に設定した上で、機種毎に図22(d)の構成を採るか、図27(b)～(d)の何れかの構成を採るかを選択する方が、制御プログラムの汎用化の観点からは優れている。なお、前者の構成(a)では、機種毎に、初期設定ルーチン(図21のステップSS3参照)などを変える必要性(煩雑さ)が生じる。

【0582】

なお、更なる変更実施例として、複合チップ50に内蔵された音声回路SNDを活用するのも好適である。図37は、このような実施例を示すブロック図である。図37を、図7と対比すれば明らかな通り、この実施例では、音声プロセッサ27と、音声メモリ28が不要となり、且つ、CPU回路51のデータバス(8bit分)とアドレスバス(2bit分)について、音声回路への外部配線が不要となる。また、アンダーフロー信号UFの伝送線も存在しないので、このUF伝送線に重畳するノイズによって、複合チップが誤って異常リセットされるおそれも回避される。

【0583】

また、この実施例では、音声メモリ28を排除することに対応して、音声メモリ28に記憶すべき音声データを、CGROM53に格納している。図38(d)は、CGROM53の記憶内容を図示したものであり、CGROM53には、サウンドROMヘッダ情報と、フレーズヘッダ情報HDと、一群の音声データを圧縮した多数のフレーズデータPHと、音声回路SNDの動作を規定する多数のサウンドコマンドSCMDと、が固定的に記憶されている。

【0584】

図示の通り、サウンドROMヘッダ情報は、先頭番地SNDstから記憶されており、これに続いて、データサイズHDvlのフレーズヘッダ情報HDが、先頭番地HDstから記憶されている。また、データサイズPHvlのフレーズデータPHが、先頭番地PHstから記憶され、データサイズSCMDvlのサウンドコマンドSCMDが、先頭番地SCMDstから記憶されている。

【0585】

ここで、サウンドROMヘッダ情報とは、具体的には、フレーズヘッダHD領域の先頭アドレスHDstと、フレーズヘッダHD領域のデータサイズHDvlと、フレーズデータ領域PHの先頭アドレスPHstと、フレーズデータ領域PHのデータサイズPHvlと、サウンドコマンド領域SCMDの先頭アドレスSCMDstと、サウンドコマンド領域SCMDのデータサイズSCMDvlと、を意味する。そして、これらの情報は、電源投入時に音声回路SNDの内部回路に取得されるようになっている(ステップSD4参照)。

【0586】

また、フレーズヘッダ情報HDとフレーズデータPHは、電源投入時に、外付けDRAM54に転送することで、その後のREADアクセスの迅速化を図っている(ステップSD

6)。このように、本実施例では、音声プロセッサ27と、音声メモリ28を排除して、小型化と製造コストの抑制を図ると共に、安価で大容量化が容易である一方、アクセス速度の遅いCGROM53の弱点を克服している。

【0587】

以上を踏まえて、電源投入時の初期設定処理について図38(a)に基づいて説明する。なお、これらの処理は、図21のステップSS3の処理の一部として実行される。

【0588】

図7(b)に関して説明した通り、電源投入時やWDT58が起動する異常リセット時には、リセット経路2の経路で音声回路SNDがハードウェアリセットされる(ステップSD1)。また、演出制御CPU63が、音声回路SNDの異常を検出した場合には、リセット経路4B又は4Cの経路で音声回路SNDがハードウェアリセットされる(ステップSD1)。なお、演出制御CPU63がパターンチェック回路CHKを機能させることで、音声回路SNDが、他の回路(72, 73, 74...)と共にハードウェアリセットされる場合もある(ステップSD1)。

【0589】

これら何れの場合でも、次に、演出制御CPU63は、リセット動作が正常に完了したことを確認した上で(ステップSD2)、最初に、サウンドデータ領域の先頭アドレスNDstを、音声回路SNDのシステム制御レジスタRGijに設定する(ステップSD3)。次に、所定のシステム制御レジスタに所定値を設定することで、サウンドROMヘッダ情報HDを内部回路に記憶させる。なお、サウンドROMヘッダ情報HDは、前記した6要素(HDst, HDvl, PHst, PHvl, SCMDst, SCMDvl)であり、図38(c)に記載の通りである。

【0590】

そして、ここまでの処理が正常に動作したことを確認し、万一、正常に終了できない場合には、リセット経路4B又は4Cの経路で、音声回路を個別的にリセットする。但し、通常は、正常終了を確認できるので、続いて、データ転送回路72を利用して、フレーズヘッダ情報HDと、フレーズデータPHを外付けDRAM54に転送する(ステップSD6)。なお、データ転送回路72には、転送先の先頭アドレスBGNと、転送元の先頭アドレスHDstと、転送データ総量HDvl+FDvlなどが適宜に指定される。

【0591】

次に、フレーズヘッダ情報HDとフレーズデータPHは、CGROM55ではなく、外付けDRAM54に存在することを、所定のシステム制御レジスタRGijに設定した上で(ステップSD7)、外付けDRAM54に転送した一群のデータの先頭アドレスBGN(サウンドRAM先頭アドレス)を、所定のシステム制御レジスタに設定する(ステップSD8)。その後、その他の初期設定処理を終えることで(ステップSD9)、音声制御動作が可能となる。

【0592】

先に説明した通り、サウンドROMヘッダ情報、つまり、6個の情報(HDst, HDvl, PHst, PHvl, SCMDst, SCMDvl)は、音声回路SNDの内部回路に保存されているので(ステップSD4)、その後、演出制御CPU63は、フレーズデータなどの必要な情報を、サウンドRAM先頭アドレスBGNとの相対値で指示することができ、この指示を受けた音声回路SNDは、相対アドレス値を絶対アドレス値に変換して、必要な音声処理を実行することになる。フレーズデータなどの音声データは、CGROM55ではなく、外付けDRAM54からREADアクセスされるので、複雑高度な音声演出であっても、これを円滑に実現することができる。

【0593】

以上、各種の実施例について詳細に説明したが、弾球遊技機や回胴遊技機などに限定されないだけでなく、具体的な記載内容についても、何ら本発明を限定しない。特に、バックライト部BLと液晶表示部MONIについて、給電制御回路の回路構成や動作タイミング(図6)、及び、これに対応する図21の制御処理は、一例を例示したに過ぎず、何ら

10

20

30

40

50

本発明を限定せず、適宜に変更可能である。

【0594】

例えば、実施例では、制御信号P S 1, P S 2を使用した、バックライト部B Lとして、BL_EN 端子と、PWM 端子を有するドライバD V Lを使用する場合には、制御信号P S 1は、特段必要とされない。また、制御信号S T B Y, PWMを使用するので、制御信号P S 2についても省略可能である。制御信号P S 1, P S 2を省略した場合には、電源電圧12 Vと5 Vは、電源投入時からバックライト部B Lと液晶表示部M O N Iに供給されることになる。

【0595】

但し、電源投入後、素早く（例えば20 m S以内）、有意な画像信号の伝送を要求する仕様の液晶表示部M O N Iに応えるには、制御信号P S 2を使用して電源電圧5 Vの給電開始タイミングを遅らせるのが好適である。図47は、このような実施例を説明するタイムチャートであり、制御信号P S 1を省略する一方、表示回路74からの出力を、L V D S回路80が出力し始めるタイミングT 4に同期して、液晶表示部M O N Iに電源電圧5 Vの給電を開始する実施例を示している。そして、この場合も、例えば、タイマ割込みを利用して、タイミングT 4から更に300 m S遅れてバックライト部B Lが点灯すれば、フレームバッファF B a, F B bをゼロクリアしなくても、不自然な画像が表示されるおそれなくなる。

【0596】

また、ここまでの実施例では、バックライト点灯までに、かなりの待機時間(>1000 + 300 m S)を設けているが、1000 m Sの待機時間を排除すると共に、表示回路74からの出力を、L V D S回路80が出力し始めるタイミングを、可能な限り早めるのも好適である。例えば、図48に示すように、L V D S回路のDual Link 設定や、その他の設定を行うステップS P 45の動作に続いて、表示回路74やL V D S回路80 (L V D S1/L V D S2) の動作を開始させるステップS S 4 (S S 4 a + S S 4 b) の処理を実行するのも好適である。なお、先に説明した通り、ステップS S 4 aとS S 4 bの実行順序は、任意である。

【0597】

この場合には、ステップS S 3の処理を実行することなく、ステップS S 4の処理を実行するので、無意味な画像信号が伝送されることになるが、バックライト部B Lが消灯している限り、特段の問題は生じない。すなわち、バックライト部B Lが消灯している状態では、ステップS P 41~S P 44の処理を先行させる限り、ステップS P 4~S P 10で実行される表示動作に関する各処理は、適宜な順番に入れ替えることができる。

【0598】

特に、L V D S回路80 (L V D S1/L V D S2) についてのデュアルリンク設定その他の設定処理(S P 41)については、図16のステップS P 4のタイミングではなく、図21のステップS P 54のタイミングでまとめて行うことが考えられる。まとめて行う設定処理には、デュアルリンク構成のL V D S回路80について、L V D S1回路/L V D S2回路から出力すべきデータが、表示回路74の出力(O D D / E V E N)であることの設定が含まれる。また、このステップS P 54の実行タイミングから、表示回路74とL V D S回路80の動作を開始すべきことを、所定の表示レジスタR G i j (D S P A C T R L) や、所定のシステム制御レジスタR G i j (S Y S D S P L V D S1 M D, S Y S D S P L V D S2 M D) に設定しても良い。

【0599】

また、ステップS P 54のレジスタ設定タイミングで、表示回路74のデータをL V D S出力する旨を、所定のシステム制御レジスタR G i j (S Y S D S P L V D S L N K, S Y S D S P L V D S1 C F G1, S Y S D S P L V D S2 C F G1) に設定し(S P 4参照)、その後、ステップS S 4のタイミングで表示回路74とL V D S回路80の動作を開始するよう構成するのも好適である。なお、図47のタイミングT 4の直前に、ステップS P 42~S P 44、及びステップS P 46の処理を実行した上でL V D S回路80の出力動作(S S 4)を開始し

ても良い。

【0600】

但し、外付けDRAM（DDR）54に関するステップSP46～SP47の処理は、必ず、ステップSP8の処理に先行させる必要があることは前記した通りである。

【0601】

また、パワーオンリセット動作に関し、図16に示すパワーオンリセット動作は、制御メモリ53の0x00000000番地以降に確保されたベクタテーブルVECTの情報に基づいて起動されたが、HBTS�端子＝Hレベルに設定すると共に、CGROM55の先頭領域にベクタテーブルVECTを配置するのも好適である。図39（a）や図39（b）は、このような場合のアドレスマップを図示したものであり、演出制御CPU63のアドレス空間CS0は、CGROM55の一部（先頭領域）に確保されている。

10

【0602】

なお、CGROM55の本体部は、演出制御CPU63からアクセスされることはなく（アクセス不可）、専らVDP回路52からアクセスされるので、アドレス空間CSiに位置付けられることない。先に説明した通り、CGROM55の本体部を、複数のメモリデバイスで構成することもでき、このような場合には、図18（a）のステップSP20の処理によって、SPA0～SPA1のデバイス区間に区分することで、メモリデバイスの特性に適合した最適なREADアクセスが可能となる。

【0603】

何れにしても、HBTS�端子＝Hレベルに設定されている場合には、これに対応して、CGROM55のメモリ種別と、バス幅（64／32／16bit）とが、2bit長のHBTBWD端子と、4bit長のHBTRMSL端子への固定的な入力値に基づいて予め特定されている必要がある。

20

【0604】

そして、この実施例では、ベクタテーブルVECTに続いて、CGROM55からのREADアクセスを最適化するためのバスパラメータをCGROM55の先頭領域に記憶しておく必要がある。なお、必須ではないが、演出制御プログラムの違法解析を困難にするため難読化した場合に、それを解読するための難読化パラメータを記憶させておくのも好適である。

【0605】

このような構成を採った場合には、電源リセット後、リセットアサート期間に、以下の動作1～動作4がプログラム処理を経ることなく自動的に実行される。先ず、HBTRMSL端子への入力値に基づいてアドレス空間CS0のバス幅が特定され、また、BTBWD端子への入力値に基づいてメモリ種別が自動的に特定され、所定のVDPレジスタRGijに各々設定される（動作1）。この場合のメモリ種別は、パラレルI／F（Interface）形式を採るメモリ素子、シーケンシャルI／F形式を採るメモリ素子に大別される。

30

【0606】

次に、CGROM55に記憶されている難読化パラメータをロードし、難読化を解除するために必要な情報が内部回路内に自動設定される（動作2）。また、CGROM55に記憶されているバスパラメータが自動的にVDPレジスタRGijに取得される（動作3）。なお、この動作3は、図19のステップSP63のプログラム処理に対応する動作であり、内部回路によって自動的に実行される。

40

【0607】

そして最後に、動作1～3で設定されたバスパラメータを実効化するべく、図19のステップSP64のプログラム処理に対応する動作が内部回路によって、自動的に実行される（動作4）。そして、バスパラメータの設定が実効化されたタイミングで、ベクタテーブルの情報に基づいてプログラムカウンタPCと、スタックポインタSPの値が自動的に設定され、ブートプログラム（初期設定プログラム）の実行が開始される。

【0608】

この図39（a）に示す構成によれば、図16（a）のステップSP1のプログラム処

50

理も不要となり、自動的に動作 1～動作 4 が実行されるので、プログラム処理負担が大きく軽減される。そして、この場合も、初期設定プログラム *Pin it* の動作に基づいて、ベクタハンドラ *V o p t* 以降のプログラムやデータが適宜な *R A M* 領域に転送される。

【0609】

なお、ベクタハンドラ *V o p t* 以降のプログラムやデータは、必ずしも *C G R O M 5 5* の先頭領域に記憶させておく必要はなく、例えば、制御メモリ 53 に記憶させておくのも良い（図 39（b））。また、ベクタハンドラ *V o p t* 以降のプログラムやデータは、必ずしも *R A M* 領域に転送する必要はなく、転送しない場合には、初期化設定プログラムにおけるメモリセクション初期化处理（図 16 の *S P 8*）が不要となる。

【0610】

また、*V* ブランクタイミングと、有意な画像データの送信終了タイミングとを必ずしも一致させる必要はない。すなわち、図 15（f）に示す表示領域の左下端点（○印）のタイミングで、画像データの送信を終了させることは何ら必要ない。要するに、表示装置側から要求される待機時間 *W T h* / *W R v* の仕様や、水平／垂直同期信号 *H S* / *V s* の仕様を満たせば、それで足りる。

【0611】

図 41（a）は、このような実施例を説明する図面であり、例えば、表示回路 74A の動作を示している。この実施例でも、メイン表示装置 *D S 1* の仕様に対応して、ドットクロック *D C K* の周波数 *F d o t* は、108MHz と規定される。また、フレームレート *F R* を 1 / 60 秒に一致させるために、 $T H c \times T V l / F d o t = 1 / 60$ とする必要がある。ここでも、図 15（f）の場合と同様に、水平同期のサイクル数 *T H c* を 1662 クロック、垂直同期のライン数 *T V l* を 1083 ラインとしている。

【0612】

また、図示の実施例では、一般の表示装置にも対応できるように、表示装置の仕様に対応して、水平同期信号 *H S* と垂直同期信号 *V S* を出力している。図示例では、水平同期信号 *H S* のパルス幅が 100 クロック分であり、水平フロントポーチ *F P h* は、110（= 10 + 100）クロック、水平バックポーチ *B P h* は 172 クロックに設計されている。また、垂直同期信号 *V S* のパルス幅は、10 ライン分であり、垂直フロントポーチ *F P v* は 20（= 10 + 10）ライン、垂直バックポーチ *B P v* は 291 ラインに設計されている。

【0613】

但し、図 41（a）（b）に示す実施例では、○印で示す *V* ブランク開始タイミングより先に出力動作を終えるため、垂直待機時間 *W T v* を 49 ライン、水平待機時間 *W T h* を 372 クロックとしている。したがって、この実施例によれば、一フレームの画像更新処理が終わった後、10 ライン分の時間（154 μ S）経過後に *V* ブランク開始タイミングが到来することになり、如何なる動作条件でも画像更新処理が確実化される（図 41（b）参照）。

【0614】

このような動作は、特に、他の表示回路に同期して付随的に動作する表示回路、例えば、表示回路 74A の動作に付随する表示回路 74B や表示回路 74C において、好適に機能する。図 41（c）～図 41（e）は、この点を説明する図面であり、表示回路 74B における *V* ブランク周期 *T 2* が、表示回路 74A における *V* ブランク周期 *T 1* より長い場合を図示している（ $T 1 < T 2$ ）。

【0615】

このような場合に、表示回路 74A における *V* ブランク周期 *T 1* を表示回路 74A に付随させて動作させると、表示回路 74B における画像データの出力の完了前に、*V* ブランクが開始されることになり、画像欠損や不自然な表示動作が生じるおそれがある（図 41（d））。一方、表示回路 74B を独立的に動作させたのでは、表示回路 74A の動作と同期する描画回路の動作タイミングと整合が取れなくなる。

【0616】

そこで、表示回路 74A の動作に付随する表示回路 74B の *V* ブランク周期 *T 2* が、表

10

20

30

40

50

示回路 74A の V ブランク周期 T_1 より長い場合には、図 41 (a) (b) の場合と同様に、表示装置 B において画像データの出力後に、十分な余裕時間が生じるよう、待機時間（垂直ブランク期間）を短く設定すればよい。この場合、待機時間を極端に短く設定しない限り、通常の液晶表示装置では、問題なく表示動作が実現される。

【0617】

なお、例えば、表示回路 74A の動作に付随する表示回路 74B の V ブランク周期 T_3 が、表示回路 74A の V ブランク周期 T_1 より短い場合にも、V ブランク周期 T_3 の後に余分の待機期間が生じるが、全体としての待機時間を極端に長くない限り、問題なく表示動作が実現される。

【0618】

以上、本発明の実施例について詳細に説明したが、具体的な記載内容は何ら本発明を限定しない。例えば、実施例では、もっぱらデュアルリンク伝送路（一对の LVDS 伝送路）について説明したが、機器構成を簡略化するには、シングルリンク伝送路（単一の LVDS 伝送路）を採用するのも好適である。

【0619】

シングルリンク伝送路の場合、ドットクロック DCK の周波数が、108 MHz であれば、LVDS クロック CLK の周波数も 108 MHz となる。なお、この場合も、ドットクロック DCK と LVDS クロック CLK は、発振器 OSC2 を共通の供給元とし、且つ、同一生成過程で生成するのが好適である。

【0620】

また、前記の実施例とは相違して、VDP 回路 52 のシステムクロックと、CPU 回路 51 の CPU 動作クロックの供給元を、単一の発振器 OSC2 に共通化するのも回路構成の簡素化する上で好適である。そして、共通の設定端子（3 bit の PLLMD 端子）の設定値に基づいて、PLL 回路の逡倍比を共通設定する構成を採れば、周波数設定処理が不要となり更に効果的である。

【0621】

この場合、CPU 動作クロックを高速化したい要請にはやや反するが、VDP 回路 52 の内部回路が許容する最高周波数のシステムクロックを採用し、これと同じ周波数の CPU 動作クロックとするのが好適である。

【0622】

例えば、発振器 OSC2 の発振周波数が 40 MHz の場合、設定端子（3 bit の PLLMD 端子）への設定値を 5 にすることで、システムクロックと CPU 動作クロックを共通的に 200 MHz ($= 40 \text{ MHz} \times 5$) に設定できる。この構成によれば、発振器 OSC1 が不要となり、回路構成を簡素化できだけでなく、やや煩雑な VDP レジスタへの設定処理も不要となる。なお、VDP 回路 52 と、CPU 回路 51 の動作周期が一致するメリットもある。

【0623】

最後に動画演出について整理しておく。先に説明した通り、本実施例では、変動演出の殆どは、静止画でなく、動画を使用して実現される。また、変動演出中は、暗転予告など特別な場合を除いて、複数の動画が並列的に動作している。

【0624】

<初期処理>

動画演出を実行するため、本実施例では、電源投入後の初期処理において、AAC 領域やページ領域が確保され（図 21 の SS1）、ページ領域内に、インデックス番号で特定される一又は複数のインデックス空間が確保される。

【0625】

具体的には、単位空間 4096 ビット $\times$ 128 ラインの基本サイズの整数 N 倍のページ領域が一又は複数個確保され、各々に、一意のインデックス番号が付与される（図 21 の SS2）。本実施例では、1 ピクセルを 32 ビット（ARGB8888）で表現するので、ページ領域の単位空間は、128 ピクセル $\times$ 128 ラインとなる。

10

20

30

40

50

【0626】

なお、先に説明した通り、ページ領域内のインデックス空間は、必要に応じて開放することも、追加することもできるので、変動演出の必要時に、ページ領域内に新規のインデックス空間を生成しても良い。

【0627】

ところで、本実施例では、初期処理で確保されるAAC領域は、静止画やIPストリーム動画のデコード領域として使用される。この場合、画像素材（テクスチャ）のメモリリードを指定するロードコマンドTXLOADで、テクスチャ（動画一フレームや静止画）の展開後のサイズを規定すると、デコード領域の先頭アドレスと、水平サイズが自動的にAAC領域に確保される。

10

【0628】

<定常動作時のIPストリーム動画の再生>

上記の初期処理の後、適宜なタイミングで一又は複数の動画演出が実行される。ここで、IPストリーム動画の再生を指示するディスプレイリストDLには、以下のコマンドCM1～CM5が、描画回路への指示コマンドとして必要となる。

【0629】

図43(a)は、ディスプレイリストDLの要部を図示したものであり、図23の指示コマンド列L16を再掲したものである。以下、デコード領域として、ページ領域を使用する実施例を説明するが、任意領域を使用することもでき、この場合は、ページ領域を任意領域と読み替えれば良い。但し、ページ領域のインデックス空間は、任意の水平サイズ×垂直サイズが2048ラインであり垂直方向に無駄が生じる。

20

【0630】

(1) テクスチャコマンドSETINDEX (CM1)

まず、テクスチャコマンドSETINDEX (CM1) によって、デコード領域として、任意領域を使用するか、ページ領域を使用するかを指定するが、IPストリーム動画の場合、実施例では、ページ領域のインデックス空間iを使用する。より具体的には、必要な動作パラメータを付加したテクスチャコマンドSETINDEXをディスプレイリストDLに記載して、「ページ領域」と、「テクスチャ」と、を選択し、使用するインデックス空間を特定するインデックス番号iを規定する。

【0631】

なお、任意領域を使用する場合には、テクスチャコマンドSETINDEXで、「任意領域」と、「テクスチャ」と、を選択し、任意領域のインデックス空間を特定するインデックス番号iを規定する。

30

【0632】

(2) ロードコマンドTXLOAD (CM2)

次に、素材のメモリリードを指定するロードコマンドTXLOAD (CM2) によって、必要なテクスチャ（動画を構成する単位フレーム）をCGROMからロードすることを指定する。具体的には、必要な動作パラメータを付加したロードコマンドTXLOADを、ディスプレイリストDLに記載する。すると、VDP回路52では、指定されたテクスチャを、CGROMの所定領域からロードし、これをデコードしたデコードデータを、ページ領域のインデックス空間iに展開することになる。

40

【0633】

ロードコマンドTXLOADに付加される動作パラメータには、(1) テクスチャ（動画を構成する単位フレーム）を、先頭フレームとしてデコードするか、継続フレームとしてデコードするかの区別、(2) テクスチャの展開後の水平サイズ、(3) テクスチャの展開後の垂直サイズ、(4) テクスチャのソースアドレス（テクスチャが記憶されているCGROMの先頭アドレス）、が含まれている。

【0634】

(3) 基本情報セットコマンドSETTXATR (CM3)

次に、ディスプレイリストDLに、必要な動作パラメータを付加した基本情報セットコ

50

マンドSETTXATR (CM3) を記載して、テクスチャのカラーモードが、ARGB8888モード (1ピクセルが32ビット長) であるなど、このテクスチャの基本情報を設定する。

【0635】

また、ピクセル間のブレンド処理についても必要な情報を設定する。ブレンド処理とは、各ピクセルの色を規定するRGB値や、透過度を規定する α 値について、フレームバッファなどへの描画済のピクセルとの混合演算を意味する。本実施例では、変動演出時、常に、複数の動画が並列動作しているので、透過度などに関する α ブレンド演算が必要となる。

【0636】

(4) 画素間ブレンド演算系のコマンド (CM4)

そのため、ディスプレイリストDLには、必要な動作パラメータを付加した画素間ブレンド演算系のコマンド (CM4) が記載され、必要な動作パラメータによって、 α ブレンド演算式、その他が特定される。

【0637】

(5) スプライトコマンドSPRITE (CM5)

続いて、インデックス空間*i*に展開されたテクスチャを、仮想描画空間 (図12 (c) 参照) の適所に貼り付けるべく、必要な動作パラメータを付加したスプライトコマンドSPRITE (CM5) を、ディスプレイリストDLに記載する。このスプライトコマンドSPRITEでは、テクスチャの貼り付け先を特定する仮想描画空間の左上頂点 (X0、Y0) と、右下頂点 (X1、Y1) と、が指定される。

【0638】

また、この左上頂点 (X0、Y0) と右下頂点 (X1、Y1) で特定される矩形領域に貼り付けるべきテクスチャについて、テクスチャUV座標空間でのUV値、つまり、(U0、V0) と (U1、V1) が指定される。なお、貼り付けるべきテクスチャは、既に、テクスチャコマンドSETINDEXで特定されているので、改めて、テクスチャそのものを特定する必要はない。

【0639】

また、スプライトコマンドSPRITEに代えて、三角ポリゴンコマンドTRIANGLEを使用して、テクスチャを傾斜して描画することもできる。但し、三角ポリゴンコマンドTRIANGLEについては、傾斜／回転予告演出に関して、後述する。

【0640】

<定常動作時のイストリーム動画の再生>

イストリーム動画の場合は、静止画の再生の場合と同様、AAC領域にデコード対象のテクスチャ (イストリーム動画を構成する単位フレーム) をロードすれば足りる。すなわち、テクスチャコマンドSETINDEX (CM1) は、不要であり、ディスプレイリストDLの構成は、以下の通りである。なお、通常、コマンドCM3やコマンドCM4も必要となるが、説明の冗長さを回避するため記載を省略している。

【0641】

(1) ロードコマンドTXLOAD (CM2)

ディスプレイリストDLに、動作パラメータを付加したロードコマンドTXLOADを記載して、テクスチャ (イストリーム動画を構成する単位フレーム) を、CGROMの所定領域からAAC領域にロードすると指定する。すると、VDP回路52は、ロードしたテクスチャを自動的にデコードして、デコードデータをAAC領域の自動確保空間に展開する。(2) スプライトコマンドSPRITE (CM5)

【0642】

続いて、AAC領域の自動確保空間に展開されたテクスチャを、仮想描画空間の適所に貼り付けるべく、必要な動作パラメータを付加したスプライトコマンドSPRITEを、ディスプレイリストDLに記載する。先に説明した通り、スプライトコマンドSPRITEでは、テクスチャの貼り付け先を特定する仮想描画空間の左上頂点と、右下頂点と、が指定され

10

20

30

40

50

る。

【0643】

なお、スプライトコマンドSPRITEに代えて、三角ポリゴンコマンドTRIANGLEを使用して、テクスチャを、傾斜姿勢で描画することもできる。

【0644】

また、テクスチャを拡大縮小したい場合には、スプライトコマンドSPRITEに先行して、補完コマンドSETTXSMPLNG を記載すれば良い。補完コマンドSETTXSMPLNG によって、テクスチャのサンプリング方法（ポイントサンプリング／バイリニアフィルタリング）を特定すれば、テクスチャを拡大／縮小時の補完処理が特定される。

【0645】

拡大処理や縮小処理は、スプライトコマンドSPRITEが指定する仮想描画空間の左上頂点と、右下頂点に基づいて自動的に実行される。すなわち、左上頂点と右下頂点で規定される矩形空間の大きさに基づいて、自動的に拡大又は縮小される。そして、ポイントサンプリングを選択した場合、拡大処理は、単純に、モザイク状に実行され、縮小処理は、画素の間引きによって実行される。一方、バイリニアフィルタリングを選択した場合には、不特定のピクセルの情報は、特定済みの周囲のピクセルの情報の加重平均値となる。

【0646】

＜保留画像の微少変動演出や拡大／縮小演出＞

ところで、本実施例の遊技機では、図柄始動口への入賞球が4個を超えると、変動演出が保留状態となり、保留個数を示す保留画像（静止画スプライトやエピソード又はIPエピソード動画）が表示装置に表示される。

【0647】

この場合、大当たりか否かの抽選結果を示唆するように、保留画像を上下左右に微妙に変動させたり、回転させたり、拡大／縮小することが演出上好ましい。このような構成を採用すると、一の静止画や動画を用意するだけで、多彩な演出が可能となり、CGデータ量を抑制することができる。

【0648】

保留画像（静止画スプライトやエピソード動画）の回転は、三角ポリゴンコマンドTRIANGLEによって実行される。一方、微少変動や拡大／縮小演出は、保留画像（静止画スプライトやエピソード動画）を、スプライトコマンドSPRITEによる貼り付け位置の指定や、貼り付け領域の指定によって実現される。そして、拡大／縮小時のディスプレイリストには、スプライトコマンドSPRITEに先行して、補完コマンドSETTXSMPLNG を記載される必要がある。

【0649】

＜セリフ予告＞

セリフ予告演出とは、セリフ文字の表示を開始した後、所定時間遅れてセリフ音の音声演出を開始する予告演出を意味する。音声演出をあえて遅らせることで、先行して表示される文字表示のインパクトを高めることができる。

【0650】

このセリフ動画演出において、一群のセリフ文字は、1文字ずつ、又は、一単位ずつ、順番に表示される。なお、一群のセリフ文字の表示開始に先行して、キャラクタ画像が表示される場合もある。また、セリフ文字の表示開始後、所定時間の無音期間を設けた上で、セリフ音の出力を開始するのも好適である。

【0651】

また、セリフ文字の表示後にキャラクタ画像を表示するようにしてもよく、その場合にはセリフ文字の表示を開始した後、所定時間遅れてセリフ音の音声演出を開始し、その後キャラクタ画像が表示されるという流れとなる。この場合、先行して行われるセリフ文字に対応する音声演出は、その後表示されるキャラクタ画像に対応したものとすることが好適である。また、音声演出の実行後、所定時間の無音期間を設けた上で、キャラクタ画像を表示するようにしてもよい。

【0652】

セリフ予告演出が、IPストリーム動画で実行される場合、音声演出に先行して発行されるディスプレイリストDLには、少なくとも、以下のコマンドが記載されている。

【0653】

まず、テクスチャコマンドSETINDEX (CM1) で、テクスチャ（例えば、IPストリーム動画の構成フレーム）のロード先を、例えば、ページ領域に設定する。

【0654】

次に、TXLOADコマンド (CM2) で、テクスチャ（動画を構成する単位フレーム）をCGROMからページ領域にロードし、αブレンド演算に関する必要な情報をセットし (CM3, CM4)、最後に、ページ領域にロードしたテクスチャを、スプライトコマンドSPRITE (CM5) で、仮想描画空間の所定矩形領域に貼り付ける。ここで、貼り付け先の矩形領域を適宜に移動させることで、動画再生位置を変化させるもの好適である。

【0655】

なお、セリフ予告演出が、IPストリーム動画で実行される場合は、ロードコマンドTXLOADと、補完コマンドSETTXSMPLNGと、スプライトコマンドSPRITEが使用される。なお、拡大／縮小の処理がない場合には、補完コマンドSETTXSMPLNGが省略される。

【0656】

<暗転予告>

暗転予告とは、一連の変動演出中に、表示画面全体が、突然それまでの表示態様から変化して、画面全体又はほぼ全体が真っ暗になる暗転画像が出現する演出を意味する。この予告演出には、先行する動画演出を終了させた後、所定時間、暗転画像を表示するディスプレイリストDLが発行された後、先行動画の発展予告として、後続する発展動画演出が開始される第1態様と、暗転画像を表示するディスプレイリストDLを使用することなく、発展動画演出の開始時に、その動画の一部として暗転画像が出現する第2態様とが含まれる。

【0657】

また、暗転画像の表示中に当選期待度を示唆する所定演出を実行するように構成してもよい。更にまた、暗転画像は表示画面のほぼ全体が真っ暗になるものに限らず、それまでの表示画面の視認性を低下させる視認性低下画像であってもよい。具体的には透過性を有する黒色画像である。

【0658】

図43 (b) は、第1態様の暗転画像を実現するディスプレイリストDLの構成を図示したものである。まず、任意領域に確保したフレームバッファFBAについて、インデックス空間上の端点アドレスを特定する (L11)。表示装置DS1の描画領域を仮想描画空間に定義する (L12)。具体的には、仮想描画空間の左上基点と、右下基点の座標を所定レジスタに設定する。

【0659】

次に、今サイクルで使用するフレームバッファFBAのインデックス番号をトグル的に切換えて特定する (L13)。また、SETFCOLOR コマンドにより黒色を設定し (L14)、矩形描画コマンド (RECTANGLE) を使用して、表示装置DS1の描画領域全体を黒色で塗りつぶすべく指定する (L15)。

【0660】

これは、図23に示すL11～L15までの指示コマンドと全く同じであり、通常なら、その後、図43 (a) のコマンドが列記されるが、暗転画像の場合には、その後、必要な個数のNOP コマンドを記載した後、EODLコマンドを記載して、EODLコマンドを含んだ全データ量を4×64バイトの整数倍に調整する。

【0661】

なお、暗転画像に重ねて一又は複数の動画演出をするのも好適であり、この場合には、図43 (a) に記載した指示コマンドCM1～CM5が追加的に記載される。

【0662】

なお、第2態様の暗転予告の場合には、先行する動画演出も、これに継続する発展動画演出も、各演出を実現する動画フレームは、図43(a)に記載した指示コマンドCM1～CM5によって特定される。

【0663】

＜ズームUP/DOWN 予告＞

ズーム予告とは、適当なキャラクタが、ズームアップ又はズームダウンされつつ、表示画面上を適宜に移動する演出を意味する(図44(a)参照)。このようなズーム予告は、キャラクタを描いた静止画でも実現できるが、本実施例では、顔の表情を変え、且つ、体全体に動きのあるキャラクタを使用するので、動画演出としている。

【0664】

なお、図44(a)では、ズーム予告に登場するキャラクタを、便宜上、静止画の如き「A」で表現しているが、実際には「A」の部分には、表情や手足に動きのある人物／動物キャラクタが描かれる。

【0665】

以上を踏まえて説明を続けると、例えば、30fps(frames per second)の3秒動画は、ズーム予告キャラクタが、ズームアップされ、その後、ズームダウンされる $30 \times 3 = 90$ 枚の動画フレームFR1～FR2n-1で構成される。

【0666】

そして、90枚の各動画フレームFRiを描画するディスプレイリストDLは、図23や図43(a)のように構成されるので、ロードされたテクスチャ(ズーム予告キャラクタを描いた動画フレーム)は、スプライトコマンドSPRITEによって、仮想描画空間の適所に貼り付けられる。そのため、貼り付け位置の指定を適宜に移動させるだけで、ズーム予告キャラクタを、表示画面で移動させることができる。なお、ズームアップ／ダウンの動作は、動画として実現されているので、拡大／縮小の制御は、ディスプレイリストにおいて不要である。

【0667】

一方、ズーム予告キャラクタを一枚の静止画で実現する場合には、スプライトコマンドSPRITEによって、仮想描画空間の左上頂点と右下頂点で規定される矩形空間を、適宜に拡大又は縮小すれば良い。

【0668】

＜傾斜／回転予告＞

傾斜／回転予告とは、例えば、図44(a)に示すような直立状態の元画像FR1～FR2n-1を、適宜に傾斜ないし回転させる演出を意味する。図44(b)では、例えば、ズームアップされるN枚の動画フレームFR1～FRnを、順次、時計方向に回転させている。

【0669】

このような傾斜／回転予告を実現するには、矩形形状の画像(静止画や動画フレームFRiを構成するテクスチャ)を三角形ポリゴンに分割し、各三角形ポリゴンを、三角ポリゴンコマンドTRIANGLE(CM5)で、仮想描画空間の適所に、直立状態又は傾斜状態で、貼り付ける必要がある。

【0670】

なお、以下の説明では、矩形画像(静止画や動画フレームFRi)について、便宜上、拡大／縮小を実行しない場合を説明するが、座標位置を適宜に設定することで、拡大や縮小も可能である。この場合には、CGデータ量を増加させることなく、更に多様な演出が可能となる。

【0671】

さて、図45(c)には、4頂点を有する水平W×垂直Hピクセルで構成された矩形画像(静止画や動画フレームFRi)が、第1ポリゴンと第2ポリゴンに分割された状態が示されている。そして、この実施例では、単一の三角ポリゴンコマンドTRIANGLEの実行によって、4頂点をまとめて直立状態又は傾斜状態で描画する。

10

20

30

40

50

【0672】

但し、そのような動作を実現するため、三角ポリゴンコマンドTRIANGLEに付加すべき動作パラメータには、一の三角ポリゴンコマンドで描画すべき多角形の頂点数（情報1）、形状だけかテクスチャを含むかの設定（情報2）、三角ポリゴンのポリゴン描画方法（情報3）、仮想描画空間上での各頂点のXY座標（情報4）、情報4に対応するテクスチャのUV座標空間でのUV値（情報5）、が含まれている。

【0673】

本実施例では、一の三角ポリゴンコマンドで、矩形状の4頂点を描画し、これにテクスチャ（動画フレーム）を貼り付けるので、頂点数=4と特定する情報1と、テクスチャを含むことを特定する情報2と、4頂点についてのXY座標値である情報4と、UV値である情報5とが規定されることになる。

【0674】

なお、描画方法には、（1）全ての三角ポリゴンに共通の頂点を設定する三角形ファン描画と、（2）最終描画辺と、これに続いて指定された頂点で囲まれた三角形を描画する三角形ストリップ描画と、（3）三角ポリゴンを独立的に描画する三角リスト描画とが選択可能である。

【0675】

図45（c）に示す通り、三角形ストリップ描画手法では、頂点0→頂点1→頂点3の順番で描画され、これに続いて、頂点3→頂点1→頂点2の順番で描画される。一方、三角形ファン描画手法では、共通頂点の頂点1が選択され、頂点1→頂点3→頂点0の順番で描画され、これに続いて、頂点1→頂点2→頂点3の順番で描画される。

【0676】

但し、ここで問題にする矩形画像は、立体的な3D画像でなく、二次元の2D画像であるので、不要部分を消去するカリング（culling）処理が問題にならず、何れを選択しても大差はないが、本実施例では、三角形ストリップ描画を選択している。なお、本明細書では、矩形画像との用語を使用するが、透明部分を含んで矩形であって、必ずしも、画像輪郭が矩形状となるとは限らないのは言うまでもない。

【0677】

以上を踏まえて、三角ポリゴンコマンドTRIANGLEの動作パラメータを算出する演出制御CPU63の動作を図45（a）に基づいて説明する。まず、水平W×垂直Hピクセルで構成された矩形画像の中心を、仮想描画空間の原点に配置した場合の4頂点を特定する（ST61）。

【0678】

図12（c）に示す通り、仮想描画空間において、X座標は原点から右方向が正であり、Y座標は、原点から下方向が正であるので、4頂点の座標（x，y）は、頂点0（ $-W/2$ ， $-H/2$ ）と、頂点1（ $W/2$ ， $-H/2$ ）と、頂点2（ $W/2$ ， $H/2$ ）と、頂点3（ $-W/2$ ， $H/2$ ）となる。

【0679】

次に、図45（b）の回転行列を使用する行列演算によって、原点位置にある矩形画像を時計方向に回転角度 θ だけ回転した後の4頂点を算出する（ST62）。なお、回転行列における時計方向は、仮想描画空間では、半時計方向になるので、回転角度は、実際には $-\theta$ である。この回転角度は、動画進行に拘わらず、常に直立状態のテクスチャからの回転角度となる。すなわち、例えば、テクスチャを回転角度 θ_1 で定速回転させる場合でも、回転角度は、一定値 θ_1 ではなく、例えば、 $\theta_1 \rightarrow 2 * \theta_1 \rightarrow 3 * \theta_1 \rightarrow 4 * \theta_1 \rightarrow 5 * \theta_1 \dots$ のように順次増加させる必要がある。

【0680】

次に、ステップST62の処理で算出した4頂点（X，Y）を、任意の移動先に移動させる（ST63）。具体的には、矩形画像の中心点の移動先の座標値が（X0，Y0）であれば、4頂点について、各々、 $X = X + X_0$ 、 $Y = Y + Y_0$ の演算を実行して、回転後の4頂点の座標を確定する。

10

20

30

40

50

【0681】

そして、最後に、三角ポリゴンコマンドTRIANGLEの動作パラメータ(4)を付加し、これに対応して、直立状態の矩形画像(テクスチャ)について、4頂点のUV座標系の座標値である動作パラメータ(5)を付加する。情報(1)～(4)についても同様である。

【0682】

なお、仮想描画空間上での各頂点のXY座標である動作パラメータ(4)は、動画進行に応じて適宜に変化し、矩形画像(テクスチャ)の表示内容も変化するが、本実施例では、直立状態のテクスチャの縦横寸法が、変わらないので、動作パラメータ(4)は、常に同じである。

【0683】

本実施例では、以上の演算が、傾斜／回転予告演出のディスプレイの発行毎に毎回実行される。この点は、演出制御CPU63にとって、やや煩雑であり、テクスチャの回転角度と配置位置だけをVDP回路52に指定することも考えられる。

【0684】

しかし、そのような構成を採ると、VDP回路52において、回転行列演算をする必要が生じ、計算負荷が増加する。そこで、他にも複雑な算術演算が必要であるVDP回路52の計算負担を軽減化するべく、本実施例では、演出制御CPU63が、座標位置を計算している。

【0685】

但し、演出制御CPU63が行列計算を実行するには、三角関数の演算ルーチン(三角関数用のライブラリ)をメモリ53に配置しておく必要があるだけでなく、それなりの処理時間を要するので、計算処理を高速化する工夫を設けるのが好ましい。

【0686】

図45(d)は、計算負荷を軽減した実施例であり、矩形画像の中心点から各頂点までの距離(半径 r)と、原点位置に配置した場合のテクスチャ4頂点の基準角度 α (図45(e)参照)と、に基づいて必要な計算を実行する実施例を示している。

【0687】

まず、水平 $W \times$ 垂直 H ピクセルで構成された矩形画像の中心を、仮想描画空間の原点に配置した場合のテクスチャ4頂点の半径 r と、基準角度 α を特定する(ST71)。

【0688】

次に、4頂点について、回転角度 θ だけ半時計方向に回転させた場合の座標値を図45(f)の変換式に基づいて算出する(ST72)。なお、図45(f)の変換式の算出過程は、図46に示されている。

【0689】

次に、ステップST72の処理で算出した4頂点(X , Y)の移動先の座標値が(X_0 , Y_0)であれば、4頂点について、各々、 $X = X + X_0$ 、 $Y = Y + Y_0$ の演算を実行して、回転後の4頂点の座標を確定する(ST73)。

【0690】

そして、最後に、動作パラメータ(1)～(5)を付加して、三角ポリゴンコマンドTRIANGLEを完成し、ディスプレイリストDLに追加記載する(ST74)。

【0691】

ところで、図45～図46では、直立状態で縦長の矩形画像(テクスチャ)を例示しているが、テクスチャを正方形に形成すれば、ルート記号 SQR を使用して、 $H = W = r * SQR(2)$ となり、図45(f)の変換式が簡素化される。また、 $\cos(\theta) = \sin(90 + \theta)$ の関係があるので、図45(f)の変換式を半径 r と回転角 θ と、 $\sin$ 関数値だけで表現することができる。

【0692】

そこで、回転角度 -180 度 ~ 0 度 ~ 180 度について、各々の $\sin$ 関数値を記憶する SIN テーブルAngle Table(図46(c)参照)を用意しておくのが好適であり、この場合には、三角関数の演算ルーチンをメモリ53に配置しておく必要がなくなり、且つ

10

20

30

40

50

、三角関数計算の処理速度を高速化することができる。

【0693】

なお、本発明は、具体的な記載内容に限定されないが、好適には、前記データ生成処理（SS4a）、及び前記データ出力処理（SS4b）に先行して、前記表示回路の動作を規定する表示クロックの周波数（ F_{dot} ）が規定されるべきである。また、前記データ出力処理（SS4b）に先行して、前記LVDS回路についての設定処理が実行されるのも好適である。また、前記LVDS信号は、単一のLVDS伝送路、又は、一对のLVDS伝送路を経由して、前記表示回路に伝送されるのが好適である。

【0694】

何れの構成でも、前記表示装置は、前記LVDS信号に基づいて、前記表示画面を構成する一群の表示素子を駆動する表示駆動回路（MONI）と、前記表示画面を照明する照明回路（BL）と、を有して構成され、前記データ生成処理（SS4a）と前記データ出力処理（SS4b）は、前記照明回路（BL）が照明動作を開始する以前に実行されるのが好適である。ここで、前記画像制御手段は、前記照明回路（BL）の動作を複数の制御信号で制御するのが好適である。

【0695】

また、前記画像制御手段は、前記照明動作の開始に先行して、前記表示駆動回路（MONI）が一ラインの表示素子の描画に要する水平周期（TH）を、前記表示回路の動作を規定する表示クロックの水平サイクル数（THc）に基づいて規定するのが好適である。前記水平周期（TH）は、画像データが伝送されるタイミングと、画像データが伝送されないタイミングとに区分されるのが好適であり、前記照明動作の開始に先行して、前記画像制御手段は、前記表示駆動回路（MONI）の動作に関する所定のライン数（TVL）を規定しており、前記ライン数（TVL）は、前記水平周期（TH）と、前記表示駆動回路（MONI）が一フレーム分の画像を更新するに要する更新周期（FR）と、前記表示回路の動作を規定する表示クロックの周波数（ F_{dot} ）とに基づいて、 $FR = THc \times TVL / F_{dot}$ と規定されるのが好適である。

【0696】

次に、図49は、モータ演出を実現する更に別の実施例を説明する図面であり、ここでは、SMC回路78や、入出力回路64sを使用することなくモータ演出を実行している。そして、このモータ演出は、4個のステッピングモータMO1～MO4を駆動する4個のモータドライバDV1～DV4と、原点センサなどのセンサ信号SENをCPU回路51にシリアル伝送するセンサ基板86などによって実現される。

【0697】

モータドライバDV1～DV4の動作内容は、演出制御プログラムを実行するCPU回路51の演出制御CPU63によって統括制御されるが、モータドライバDV3～DV4については、演出制御CPU63の指示に基づいて動作するモータコントローラ（Motor Controller）85によって駆動制御される。なお、本明細書において駆動制御とは、回転位置を進める回転駆動と、停止位置を維持する停止駆動を含む概念である。

【0698】

先に説明した通り、複合チップ50のVDP回路52には、SMC回路78（Serial Motor Controller）が内蔵されており、このSMC回路78を活用してモータドライバDV1～DV4を駆動するのも好適であるが、本実施例では、より高性能なモータコントローラ85を使用することで、演出制御CPU63の制御負担を大幅に軽減するだけでなく、高速で高度なモータ演出を実現している。

【0699】

すなわち、本実施例では、ステッピングモータMO3～MO4を、適宜に回転駆動して、役物を急発進又は急停止させる予告演出や、自然落下を超えるスピードで役物を移動させる予告演出を実行するが、これらの斬新なモータ演出を実行しても、脱調などのトラブルが生じない駆動制御を実現している。ここで、脱調とは、モータドライバDVが出力する歩進パルス（ステッピングモータが受ける入力パルス信号）に対応して、モータが正常

に回転しない現象を意味し、過負荷や速度変化の急変時に生じることがある。

【0700】

以下、上記の効果を実現する図49の回路構成について、詳細に説明する。まず、ステッピングモータMO1～MO4は、全てバイポーラ型のステッピングモータを採用しており、A相及びB相のモータ巻線に双方向の駆動電流を流している（バイポーラ駆動）。引用文献5や引用文献6では、専ら、駆動回路を簡素化することを目的として、ユニポーラ型のモータを使用しているが、本実施例では、同じ消費電力でもユニポーラ型より高い出力トルクが得られるバイポーラ型のモータを採用している。

【0701】

上記の構成に対応して、各モータを駆動するモータドライバDV1～DV4は、全て、バイポーラ駆動が可能な駆動回路を内蔵している。また、100%駆動モードにおいて、最大電流MAXと最小電流MAX- δ との間で、定電流制御を実行可能な内部回路を有している。そして、モータドライバDV1～DV2は、CPU回路51に内蔵されたSIOポート61（シリアルポート）と、PIOポート62（パラレルポート）によって制御され、モータドライバDV3～DV4は、モータコントローラ85によって制御されている。なお、モータコントローラ85は、CPU回路51に内蔵されたSIOポート61と、PIOポート62と、コンペアマッチタイマCMTとによって制御されている。

【0702】

図50(a)は、CPU回路51に内蔵されたSIOポート61の内部構成を図示したものである。ここで、SIOポート61は、SPI（Serial Peripheral Interface）方式、つまり、シフトクロックCLKに同期した三線式のシリアル送受信動作が実行可能に構成されている。そして、このSIOポート（シリアルポート）61は、合計6個の同一回路（CH0～CH5）で構成されており、CH0のシリアルポートSIO_0と、モータドライバDV1～DV2及びセンサ基板86とは、第1のSPI通信路で接続されている。一方、CH1のシリアルポートSIO_1と、モータコントローラ85とは、第2のSPI通信路で接続されている。

【0703】

まず、SIOポート61の内部構成について説明すると、図50(a)に示す通り、SIOポート61は、CH0～CH5とも、シリアルデータTXDを送信する8ビット長の送信シフトレジスタSCTSRと、シリアルデータRXDを受信する8ビット長の受信シフトレジスタSCRSRと、送信データを最高16バイト蓄積可能な16段のFIFOデータレジスタSCFTDRと、受信データを最高16バイト蓄積可能な16段のFIFOデータレジスタSCFRDRと、任意の周波数のシフトクロックCLKを生成可能なボーレートジェネレータBGNと、演出制御CPU63が設定した各種の制御パラメータに基づいて、SIOポート61の内部回路を動作させる送受信コントローラCTLと、演出制御CPU63が送受信コントローラCTLをアクセスするとき、各種データを中継するインタフェース回路BUSIFと、を有して構成されている。

【0704】

本実施例では、演出制御CPU63が、FIFOデータレジスタSCFTDRに格納したN×8ビットの送信データは、8ビット長のシリアル送信処理が終わるごとに、自動的に、送信シフトレジスタSCTSRに転送され、FIFOデータレジスタSCFTDRが空になるまでシリアル送信処理が継続されるよう初期的に動作設定されている。また、受信シフトレジスタSCRSRにシリアル受信される受信データは、8ビットに達する毎に、FIFOデータレジスタSCFRDRに蓄積されるよう初期的に動作設定されている。

【0705】

なお、送受信コントローラCTLは、オーバランエラーBRI、フレーミングエラーやパリティエラーを示す受信エラーERI、受信FIFOデータフルRXI、送信FIFOデータエンptyTXIなどを示す各種の割込み信号が、演出制御CPU63に対して出力可能に構成されている。

【0706】

以下、CH0のシリアルポート61を、SIO_0と表記し、CH1のシリアルポートをSIO_1と表記して説明を続ける。図50(b)は、シリアルポートSIO_0と、モータドライバDV1～DV2及びセンサ基板86と、の接続関係を図示したものである。

【0707】

シリアルポートSIO_0は、演出制御CPU63が送受信コントローラCTLに設定した動作パラメータに基づいて動作する。具体的には、送信シフトレジスタSCTSRは、演出制御CPU63がFIFOデータレジスタSCFTDRに格納した最高2×8ビット長の駆動データSDATAを、8ビット毎にシフトクロックSCKに同期してシリアル送信する。この実施例では、シリアルポートSIO_0のボーレートは、例えば、250kbp/sに設定されており、16ビット長の駆動データSDATAの送信時間は、 $16 / (250 * 10^3) = 0.064 \text{ mS}$ となる。

10

【0708】

モータMO1, MO2は、本実施例では、二相励磁されているが、各8ビットの駆動データSDATAは、各モータMO1, MO2のステップ分の歩進動作を指示する4ビットの励磁データ(PHASE指示)と、モータ巻線A/Bに流す駆動電流を規定する4ビットの設定値(電流指示値)と、で構成されている。

【0709】

そして、各モータドライバDV1, DV2は、シリアルポートSIO_0から受けた駆動データSDATA(8ビット)に含まれる励磁データ(4ビット)に対応する駆動信号を、PIOポート62から受ける歩進クロックLATCHに同期して、各モータMO1, MO2に出力して、駆動データSDATAで指示された電流指示値(4ビット)に対応する駆動電流で駆動する。電流指示値(4ビット長)によって、0%を含む16通りの電流指示が可能であり、電流指示値に基づく駆動電流に比例して出力トルクが増加する。この意味では、電流指示値は、トルク設定を意味する。

20

【0710】

本実施例では、駆動データSDATAと、歩進クロックLATCHとは、1mS毎に出力されるので、モータMO1, MO2は、最速で1mS毎にステップ回転することになる。そして、駆動データSDATAは、1mS毎に更新可能であるので、モータMO1, MO2は、最速で1秒間に1000ステップ歩進動作することになる。

【0711】

一方、各モータMO1, MO2をゆっくり回転させたい場合には、未更新の同一駆動データSDATAを複数回連続して出力するか、或いは、駆動データSDATAやシフトクロックSCKを出力しない待機期間を設ける。なお、同一の駆動データを複数N回連続して出力する場合には、2回目からN-1回目までの停止駆動時の電流指示値を、1回目の電流指示値より減少させるのが好適である。それは、駆動電流に比例して出力トルクが増加する一方で、駆動電流に対応して、消費電力も大きく増加するので、停止駆動時の無駄な消費電力を抑制するためである。

30

【0712】

ところで、本実施例では、1mS毎に16個のシフトクロックSCKが出力されるが、16個のシフトクロックSCKは、図49や図50(b)に示す通り、モータドライバDV1と、モータドライバDV2と、センサ基板86に共通的に供給される。

40

【0713】

図51(a)に示すように、センサ基板86には、図51(b)に内部構成を示すシフトレジスタ90が搭載されており、ラッチ信号LOADを受けた後、シフトレジスタ90は、シフトクロックSCKに同期して合計8ビットのセンサ信号SENをシリアル送信する。したがって、本実施例では、シリアルポートSIO_0が1mS毎に出力する合計16個のシフトクロックSCKのうち、先頭8個のシフトクロックSCKに基づいて、8ビット長のセンサ信号SENが、シリアルポートSIO_0に取得されることになる。センサ信号SENには、各モータMO1, MO2の回転軸上の基準点が、所定の原点位置を通過したことを示す原点センサ信号や、役物が所定位置に達したいことを示すセンサ信号CHKが含

50

まれている。

【0714】

次に、図50(c)は、シリアルポートSIO_1と、モータコントローラ85と、の接続関係を図示したものである。この実施例では、モータコントローラ85が、ドライバDV3とドライバDV4に、各々、歩進クロック(パルス信号)を出力しており、モータMO3, MO4は、受けた歩進クロックに同期してステップ回転している。また、各モータMO3, MO4の回転位置や、役物が目的位置に達したことを示すセンサ信号CHKが、モータドライバ85に取得されるよう構成されている。

【0715】

モータコントローラ85は、シリアルポートSIO_1から受けるシフトクロックSCKに同期して、各種の制御データMOSSIをシリアルポートSIO_1から受ける一方で、センサ信号MISOをシリアルポートSIO_1にシリアル送信している。また、このモータコントローラ85は、コンペアマッチタイマCMTが生成する動作中信号SSを受けている。この動作中信号SSは、モータコントローラ85とシリアルポートSIO_1とがシリアル送受信動作を実行中であることを示している。

【0716】

図49の左上部に記載の通り、コンペアマッチタイマCMTは、演出制御CPU63の制御に基づいて、基準クロックのカウント動作を開始し、その計数値が、所定の上限值MXに達すると、コンペアマッチ割込み信号を出力するよう構成され、割込み信号を受けた演出制御CPU63は、コンペアマッチタイマCMTのカウント動作を終了させている。

【0717】

上記の動作は、演出制御CPU63の制御に基づき、1mS毎に繰り返し実行され、カウント動作中であることを示す動作中信号SSは、論理反転されてモータコントローラ85に伝送されている。ここで、動作中信号SSのパルス幅は、CH1のシリアルポートSIO_1が、シリアル送受信処理に要する時間に対応して、1mS以内の最適値に決定されている。この意味において、動作中信号SSは、シリアルポートSIO_1の動作中信号でもあり、そのパルス幅は、基準クロックのパルス周期と、コンペアマッチ動作の上限值MXの積で決まる。

【0718】

特に限定されないが、シリアルポートSIO_1についても、シフトクロックSCKのボーレートが、250kbp/sに設定されている。そして、間欠的にシリアル送信される制御データMOSSIは、本実施例では、FIFOデータレジスタSCFTDRの蓄積容量に対応して、最高、16*8ビットに制限しており、駆動データMOSSIの送信時間は、最大でも、 $16 * 8 / (250 * 10^3) = 0.512 \text{ ms}$ となるよう制限されている。なお、原点センサ信号の取得に、32個のシフトクロックSCKを要するので、シリアル受信の動作時間は、 $32 / (250 * 10^3) = 0.128 \text{ ms}$ となる。なお、本実施例では、動作周期1mSを考慮して、一回のシリアル送信を16*8ビット長に制限としているが、ボーレートを高めることで、それ以上に設定することもできる。

【0719】

制御データMOSSIには、ステッピングモータMO3, MO4の一連の動作を規定する一連の指示データINS1と、駆動巻線に流す駆動電流の最大値MAXを規定する電流指示データINS2とが、含まれている。そして、電流指示データINS2に基づいて生成された2値信号SETx, SETyが設定回路LMTに供給され、設定回路LMTが出力する所定レベルのアナログ信号に基づいて、モータドライバDV3, DV4が、100%駆動モードにおいて、最小値MAX-δと、最大値MAXの範囲内で定電流制御動作を実行するようになっている。なお、100%未満の駆動モード(待機動作モード)を採用することもできるが、この点については後述する。

【0720】

一般に、ステッピングモータを高速回転させると、駆動電流の切り替え時の立ち上がりが遅れることで、出力トルクが低下するが、本実施例では、敢えて、モータの最大定格電

10

20

30

40

50

圧（24V）より10V以上も高いモータ駆動電圧（35V）を与える一方で、このモータ駆動電流をチョッピングする定電流制御を実行することで、安定した高速回転を実現している。

【0721】

図52（a）は、モータドライバDV1，DV2の内部構成を示すブロック図である。図示の通り、モータドライバDV1，DV2は、シリアルポートSIO_0からシフトクロックSCKを受けるSCK端子と、PIOポート62から歩進クロックLATCHを受けるRCK端子と、シリアルポートSIO_0から制御データSDATAを受けるSI端子と、PIOポート62からリセット信号RESETを受けるSCLR端子及びSTANDBY端子と、100%定電流制御における最大電流MAXを規定するアナログ信号を受けるVREF_A端子及びVREF_B端子と、定電流制御用の内部クロックの周波数を規定する信号を受けるOSCM端子と、モータ駆動電圧35Vを受けるVM端子と、VM端子から受けた直流電圧35Vを降圧させて生成した定電圧5Vを出力するVCC端子と、定電流制御用の電流検出抵抗RS_A/RS_B（例えば0.33Ω）が接続されるRS_A端子及びRS_B端子と、ステッピングモータのA相巻線に駆動電流を出力するOUT_A±端子と、ステッピングモータのB相巻線に駆動電流を出力するOUT_B±端子と、Lレベルの電圧を受けることで、内部回路が動作可能となるG-端子と、を有して構成されている。

10

【0722】

直流電圧35Vを受けるVM端子には、図示の通り、33μFの導電性高分子コンデンサが接続されている。先に説明した通り、本明細書において、導電性高分子コンデンサとは、アルミ電解コンデンサの電解液の代わりに、導電性高分子と電解液とを融合させた電解質を配置したハイブリッドコンデンサを意味する。そして、この導電性高分子コンデンサは、定格電圧（Rated Voltage）50Vであって、直径6.3mm、高さ7.7mmの円筒形状の表面実装品である。

20

【0723】

そして、5V給電時における静電容量は、公称値の（33μF）の-10%未満に維持される。また、等価直列抵抗ESRは、公称値で40mΩである。

【0724】

一般的な回路構成とは異なり、図52のドライバDV1，DV2では、電解コンデンサにセラミックコンデンサを並列接続することなく、モータドライバ（DV1，DV2）毎に、単一のコンデンサを配置することで、所望の平滑機能とデカップリング動作を実現しており、他の回路素子の配置スペースを消費しない。すなわち、導電性高分子コンデンサから、少なくとも半径20mmの範囲内に、追加して平滑コンデンサやデカップリングコンデンサが配置されることはない。

30

【0725】

また、表面実装された円筒形の頂面には、静電容量を示す数値「33」と、定格電圧50Vを示す記号「H」が記載され、また、マイナス極性の方向が、黒塗り記号で特定されているので、目視確認で、容易に基板上の部品チェックができる。

【0726】

図示の通り、モータドライバDV1，DV2は、RS_A端子やRS_B端子の電圧に基づいて出力トルクを制御するトルク制御部（torque control、VREF comp、Bridge ANF level set）と、8ビット長のシフトレジスタ（shift register）と、定電圧生成部（VCC_REG）と、中央制御部（Main control Logic）と、内部クロックなどの発振部（oscillator、Internal oscillator）と、ブリッジ駆動回路（Motor output stage Bridge A/B）と、過熱検出回路（TSD）と、過電流検出回路（ISD）と、35V電源のパワーオンリセット回路（POR）と、を内蔵して構成されている。

40

【0727】

上記の回路構成を有するモータドライバを駆動するため、SI端子に供給される制御データSDATA（8ビット）は、一ステップ分の歩進動作を指示する励磁データ（4ビットPHASE指示）と、モータ巻線A/Bに流す駆動電流を規定する電流指示値（4ビット

50

）と、で構成されている。

【0728】

また、SCLR端子とSTANDBY 端子には、電源投入時にLレベルのリセット信号RESETを受けた後は、Hレベルに維持されるので、内部回路は定常的に動作可能状態となる。図示の通り、G-端子は、定常的にLレベルであるので、前記のリセット動作が電源投入後に可能となる。

【0729】

また、VREF_A端子及びVREF_B端子には、VCC 端子から出力される定電圧5Vを分圧した指示電圧が供給されており、本実施例では、100%駆動モードにおいて、定電流制御における最大電流MAXが、例えば、545mAに規定されている。

10

【0730】

先に説明したように、制御データSDATAに含まれる電流指示値は、4ビット長であって、最大電流値は、0%を含んだ16段階に設定できる。そのため、この設定値に基づいて、実際の最大電流は、MAX値の100%以外にも、MAX値の94%、MAX値の86%、・・・MAX値の5%の電流値に設定可能となる。そのため、以下に説明する定電流制御の説明において、任意%駆動モードにおける最大電流を、特に、電流上限値NFと称することにする。例えば、N%駆動モードにおける電流上限値NFは、最大電流MAXに対して、 $MAX * N / 100$ の関係となる。

【0731】

先に説明した通り、本実施例では、1mSの動作周期において、同一の駆動データを複数N回連続して出力する低速回転時には、1回目とN回目の電流指示値を100%とし、2回目からN-1回目までの電流指示値を、例えば、25%に抑制して消費電力を抑制している。この場合、電流上限値NKが最大電流MAXに対して、 $NF = 0.25 * MAX$ となるので消費電力が大幅（6.2%程度）に抑制される。

20

【0732】

図52に示す通り、OSCM端子には、定電圧5Vを供給する抵抗2.7KΩと、グラウンドラインに連結されたコンデンサ330pFと、が接続されることで、定電流制御を管理する内部クロックの周波数が、1578kHz程度に設定されている。内部クロックの周波数は、駆動電流の検出周期を規定しており、モータ駆動電流を定電流制御するためには、後述する制御手法1では、1300kHz～1800kHzに設定するのが好適である。

30

【0733】

先に説明した通り、モータ駆動電流は、100%駆動モードにおける定電流制御として、最大値MAXと最小値MAX-δとの間で増減制御される。ここで、定電流制御周期（チョッピング周期T_{chop}）は、適宜に設定可能であるが、この種のモータ演出において、モータ駆動電流を定電流制御するためには、後述する制御手法1において、チョッピング周期T_{chop}=8～12μSとするのが好適であり、本実施例では、定電流制御のチョッピング周期T_{chop}を10μSにしている。

【0734】

図52（b）～（c）に示す通り、本実施例では、100%駆動モードでは、チョッピング周期の開始時から、モータ駆動電流が増加を始め、MAX値=545mAに至った後は、次のチョッピング周期の開始まで減少を続けることになる。なお、100%駆動モード未満の駆動モードにすれば、MAX値が適宜に低下することで、消費電力が抑制されることは先に説明した通りである。

40

【0735】

次に、図52（d）と図52（e）は、駆動巻線A/Bを駆動するBridgeA駆動回路と、BridgeB駆動回路を示す回路図であり、ブリッジ駆動回路（Motor output stage Bridge A/B）の内部構成と、電流検出抵抗RS_A/RS_Bと、モータ駆動電圧35Vと、を示している。図示の通り、何れの駆動回路も、高圧側のP型MOSトランジスタU1、U2と、低圧側のN型MOSトランジスタL1、L2とで、バイポーラ駆動を実現するHブリッジを構成している。

50

【0736】

実施例の場合、バイポーラ型ステッピングモータのA相巻線とB相巻線は、何れも、一相当たりの巻線インダクタンス値が、例えば4.2mH、その内部抵抗21Ωである。そのため、モータ駆動電圧を35Vとした場合、各巻線に流れる定常電流（飽和状態の直流電流）は、 $35 / 21 = 1.7$ Aとなり、このモータの定格電流（1A）を大幅に超える。しかし、本実施例では、最大電流を545mAに抑制する定電流制御を実行することで、トルク低下を回避して、ステッピングモータの高速回転を実現している。

【0737】

図53（a）は、ブリッジ駆動回路（Motor output stage Bridge A/B）の動作を説明する図面であり、一のチョッピング周期 T_{chop} における、コイル充電動作CHARGEと、コイルSLOW放電動作と、コイルFAST放電動作と、を示す図面である。図示の通り、SLOW放電は、低電圧側のトランジスタL1，L2を経由してコイル電流を放電させる動作であり、一方、FAST放電は、CHARGE動作時にOFF状態であったトランジスタをON遷移させる一方、ON状態であったトランジスタをOFF遷移させる動作である。

【0738】

電流リップルが小さく、且つ、平均電流が大きい点では、FAST放電よりSLOW放電の方が優れているが、SLOW放電を採ると、ある速度以上の高速動作では、これに追従した正常動作が担保されない。そこで、本実施例では、ステッピングモータを高速回転させる目的から、平均電流が高いSLOW放電と、高速動作に適したFAST放電と、を組み合わせることで、コイル放電電流を最適化している。

【0739】

なお、本実施例では、ステッピングモータをバイポーラ駆動するので、トランジスタの動作状態は、図52（a）の右向きの駆動電流を実現する図52（b）のON/OFF状態と、左向きの駆動電流を実現する図52（c）のON/OFF状態とに、適宜に切り替わることになる。

【0740】

以上を踏まえて、図53（a）に示す充電動作と放電動作について更に説明すると、CHARGE動作時には、Hブリッジの対角位置の高圧側と低圧側のトランジスタU1，L2がON動作し、逆対角位置のトランジスタU2，L1がOFF状態となる。仮に、コイル巻線のインダクタンスLが4.2mH、内部抵抗Rが21Ωであるとする、コイルの時定数の逆数 R/L は、5000となる（時定数は、0.2mS）。

【0741】

そのため、CHARGE動作開始時のコイル初期電流を I_0 とし、モータ駆動電圧35VをEとすると、CHARGE動作開始からの経過時間 t におけるコイル電流 I は、 $I = E/R + (I_0 - E/R) * \exp(-5000 * t)$ となり、仮に $I_0 = 0.5$ [A] なら、 $I = 1.67 - 1.17 * \exp(-5000 + t)$ [A] となる。なお、電流検出抵抗 RS_A/RS_B は、例えば0.33Ωであって、内部抵抗 $R = 21\Omega$ より格段に低いので無視できる。

【0742】

一方、SLOW放電開始時のコイル初期電流を I_0 とすると、SLOW放電動作開始からの経過時間 t におけるコイル電流 I は、 $I = I_0 * \exp(-5000 * t)$ となり、仮に $I_0 = 0.5$ [A] なら、 $I = 0.5 * \exp(-5000 + t)$ [A] となる。また、FAST放電開始時のコイル初期電流を I_0 とすると、FAST放電動作開始からの経過時間 t におけるコイル電流 I は、 $I = -E/R + (I_0 + E/R) * \exp(-5000 * t)$ となり、仮に $I_0 = 0.5$ [A] なら、 $I = -1.67 + 2.17 * \exp(-5000 + t)$ [A] となる。

【0743】

図53（c）は、SLOW放電とFAST放電について、各々の放電曲線を示しており、初期電流 $I_0 = 0.5$ [A] から急激に電流が減少するFAST放電と、破線に示すよ

うに、ゆっくり電流が減少するSLOW放電と、が示されている。因みに、この実施例では、ステッピングモータをバイポーラ駆動するので、FAST放電動作によって、コイル駆動電流の方向が切り替わるが、FAST放電では、その放電動作開始後、0.12mS程度で、0.5Aから-0.5Aにコイル駆動電流が移行することになる。

【0744】

なお、本実施例では、100%駆動モードにおける最大電流MAXを545mAに設定しているが、図53(c)では、大型矢印で示す最大電流の振幅幅を、作図の便宜上、±500mAとしている。また、500mAとこれに極めて近い最低電流との間で実行される定電流制御については、その振幅幅を小型矢印で図示している。

【0745】

図54(a)は、図53(a)で説明したCHARGE動作、SLOW動作、及びFAST動作を組み合わせた定電流制御動作を説明するタイムチャートであり、駆動電流Ioutの増減状態を示している。

【0746】

図54(a)は、図52のモータドライバDV1, DV2で採用した制御方法1を図示したものであり、一のチョッピング周期Tchopにおいて、CHARGE→SLOW→FASTの順番で制御を推移させている。図示の動作において、チョッピング周期Tchopは、図52(b)の場合と同様、周波数1.6MHz程度の内部クロックの16個分であって10μSとしている。先に説明した通り、制御方法1を採る場合には、チョッピング周期Tchopを8~12μS程度とするのが好適である。

【0747】

図示の制御手法1では、CHARGE動作において、駆動電流Ioutが電流上限値NFに達した後、SLOW動作に移行し、この実施例では、残りクロック数が6個に達したタイミングで、FAST動作に移行させている。この制御方法1は、FAST動作の動作時間を固定的に確保できるメリットがある。なお、図57に示すモータドライバDV3, DV4においても、この制御方法1を採用しても良いのは勿論である。

【0748】

次に、図54(b)は、一のチョッピング周期Tchopにおいて、CHARGE→FAST→SLOWの順番で制御を推移させる制御方法2を示している。図示の動作において、チョッピング周期Tchopは、周波数1.18MHz程度の内部クロックの16個分であって13.56μSとしている。特に限定されないが、制御手法2を採用する場合、この種のモータ制御では、定電流制御周期(チョッピング周期)を、6~25μS程度とするのが好適である。

【0749】

そして、CHARGE動作において、駆動電流Ioutが電流上限値NFに達した後、まず、FAST動作に移行し、所定の閾値THまで降下すると、その後は、SLOW動作に移行させている。この制御方法2は、SLOW動作の開始電流を、閾値THによって固定化することができ、必要な平均電流を確保できるメリットがある。但し、電流上限値や、閾値の検出遅れを避けるため、内部クロックは、640kHz~2400kHzとすべきである。

【0750】

なお、この制御方法2では、必ずしも、閾値THを固定的に設定する必要はなく、所定の平均電流が維持されるよう、電流減衰状況などに対応して、適宜に閾値THを変更させるのが好適である。この制御方法2は、図57に示すモータドライバDV3, DV4で採用されているが、図52に示すモータドライバDV1, DV2でも、制御方法1に代えて、制御方法2を採用しても良いのは勿論である。

【0751】

図55は、モータドライバDV1, DV2にシリアル送信される制御データSDATAの構成を説明するため、モータドライバの一部を詳細に図示したものである。具体的には、図55には、図52のトルク制御部(torque control、VREF comp、Bridge ANF l

10

20

30

40

50

level set) と、8ビット長のシフトレジスタ (shift register) と、中央制御部 (Main control Logic) と、を注出して図示している。

【0752】

先に説明した通り、制御データ S D A T A には、一ステップ分の歩進動作を指示する励磁データ (P H A S E 指示値4ビット) と、モータ巻線 A / B に流す駆動電流を規定する電流指示値 (4ビット) と、が含まれる。そして、これら8ビットデータは、パラレル変換されて記憶レジスタ (storage register) に保存された後、歩進クロック L A T C H に同期して、入力回路 (Logic input Gate) にラッチされると共に、中央制御部 (Motor Control Logic) に供給される。

【0753】

そして、中央制御部 (Motor Control Logic) は、励磁データ (4ビット) に基づいて P H A S E 信号を生成すると共に、電流指示値 (4ビット) に基づいて、定電流制御における電流上限値 N F を規定する。ここで、電流上限値 N F は、100% 駆動モードでは、最大電流 M A X に一致するが、100% 未満の駆動モードでは、駆動モードに対応した電流上限値となる。

【0754】

出力トルクは、コイル巻線に流れる駆動電流に対応するので、駆動電流が高いほど、出力トルクが高まる点で好適であるが、停止状態を維持するためには、それほどの出力トルクを要しない。そこで、本実施例では、先に説明した通り、必要に応じて、電流上限値 N F を切り替えて無駄な消費電力を抑制している。

【0755】

また、制御データ S D A T A に含まれる4ビット長の励磁データによって、2相励磁、1-2相励など適宜な励磁モードを採ることができるが、本実施例では、ステッピングモータ M O 1 ~ M O 2 を2相励磁している。明らかなように、同一の励磁データが、繰り返しシリアル送信された場合には、ステッピングモータはステップ移動 (歩進) せず、その停止状態を維持するべく停止駆動される。そのため、先に説明した通り、この停止駆動時には、電流指示値 (4ビット) を低下させて消費電力を抑制している。

【0756】

なお、停止駆動は、励磁データ (P H A S E 指示値4ビット) のシリアル送信が途絶えた後も、上限値 N F に基づく定電流制御として実行される。また、励磁データの送信が途絶えた後、歩進クロック L A T C H だけが定期的に供給される場合も、記憶レジスタ (storage register) に保存されている励磁データと電流指示値に基づいた定電流制御によって停止駆動が繰り返される。

【0757】

図56は、シリアルポート S I O _ 0 からモータドライバ D V 1 / D V 2 が受ける駆動データ D A T A、シフトクロック S C K、及び、歩進クロック L A T C H と、モータドライバ D V 1 ~ D V 2 がステッピングモータ M O 1 / M O 2 に出力するA相とB相の駆動電流 I o u t との関係を図示したものである。駆動電流は、図53で説明した制御方法1によって定電流制御されており、チョッピング周期 T c h o p = 10 μ S での定電流制御の動作状態がノコギリ歯状に示されている。

【0758】

P H A S E 信号は、励磁データ (4ビット) の推移に対応して、A相とB相について、図57例では、H H : 電流ベクトル A → L H : 電流ベクトル B → L L : 電流ベクトル C → H L : 電流ベクトル D と推移しており、時計回転 C W を実現している。また、電流指示値 (4ビット) は、全て1111であり、ステッピングモータ M O 1 / M O 2 は、このタイミングでは100% 駆動モードで動作している。

【0759】

先に説明した通り、シリアルポート S I O _ 0 は、ボーレート 250 k b p s の速度でシフトクロック S C K を出力しているので、励磁データ (4ビット) 及び電流指示値 (4ビット) のシリアル送信は、32 μ S で完了する。一方、P I O ポート 62 は、1 m S 毎に、

10

20

30

40

50

歩進クロック L A T C H を出力するので、図 5 6 に電流ベクトル A、電流ベクトル B、電流ベクトル C、電流ベクトル D の間には、各々、実際には、 $968 \mu S$ 程度 ($= 1000 - 32$) の大きな隙間が存在することになる。

【0760】

図 5 7 は、モータドライバ D V 3 ~ D V 4 の内部構成を示すブロック図である。図示の通り、このモータドライバ D V 3 / D V 4 は、励磁方式の設定データ (3 ビット) を受ける D M O D E 0 ~ D M O D E 2 端子と、回転方向の指定を受ける C W / C C W 端子と、歩進クロックを受ける C L K 端子と、リセット信号を受ける R E S E T 端子と、モータ駆動動作の許可 / 禁止の許可指令を受ける E N A B L E 端子と、モータ駆動電流を検出するための検出抵抗 (例えば 0.33Ω) が接続される R S A 端子及び R S B 端子と、定電流制御における電流上限値 N F を規定する設定電圧を受ける V R E F A 端子及び V R E F B 端子と、モータ駆動電圧 3.5 V を受ける V M 端子と、内部で生成した定電圧 5 V を出力する V C C 端子と、内部クロックを規定するための O S C M 端子と、P H A S E 信号の進行をモニタ可能な M O 端子と、内部エラー状態をモニタ可能な L O 端子と、駆動電流 I o u t を出力する O U T A ± 端子及び O U T B ± 端子と、を有して構成されている。

【0761】

そして、モータドライバ D V 3 / D V 4 は、O S C M 端子への接続素子に基づいて内部クロックを生成する発振回路 (Motor Oscillator, OSC-Clock Converter) と、V M 端子に受ける駆動電圧 3.5 V に基づいて定電圧 5 V を生成する定電圧回路 (VCC Regulator) と、V R E F A 端子や V R E F B 端子に受ける電圧に基づいて、定電流制御の上限電流 N F を規定する電流制御回路 (Current Reference Setting, Current Level Set) と、外部から受ける各種の指令に対応した内部信号を生成する信号復元回路 (Signal Decode Logic) と、A 相と B 相のモータ駆動電流 I o u t を監視する一対の監視回路 (Current Comp) と、駆動巻線 A / B を駆動する一対の駆動回路 (H-bridge) と、過熱検出回路 (TSD) と、過電流検出回路 (ISD) と、3.5 V 電源のパワーオンリセット回路 (Power-On Reset) と、各部の動作を制御する中央制御部 (Motor Control logic) と、を有して構成されている。

【0762】

図示の通り、直流電圧 3.5 V を受ける V M 端子には、図 5 2 の場合と同じ $33 \mu F$ の導電性高分子コンデンサ、すなわち、アルミ電解コンデンサの電解液の代わりに導電性高分子と電解液とを融合させた電解質を配置したハイブリッドコンデンサが接続されている。図 5 2 の場合と同様、この導電性高分子コンデンサも、定格電圧 (Rated Voltage) 5.0 V であって、直径 6.3 mm、高さ 7.7 mm の円筒形状の表面実装品である。そして、モータドライバ (D V 3, D V 4) 毎に、単一のコンデンサを配置するだけで、所望のデカップリング動作を実現することができる。静電容量を示す数値「33」と、定格電圧 5.0 V を示す記号「H」、マイナス極性を示す黒塗り記号についても、図 5 2 に関して説明した通りである。

【0763】

一方、O S C M 端子には、定電圧 5 V に接続された抵抗 $5.1 k \Omega$ と、グラウンドに接続されたコンデンサ $270 p F$ が接続されており、定電流制御を管理する内部クロックの周波数が $1.18 M H z$ に設定されている。そのため、本実施例では、チョッピング周波数が、例えば、 $1.18 / 16 = 73.75 k H z$ となり、チョッピング周期 $13.56 \mu S$ で定電流制御が実行されることになる。

【0764】

また、V R E F A 端子と V R E F B 端子には、モータコントローラ 85 から受ける電流上限値の設定信号 S E T x、S E T y (図 4 9 参照) に対応した電圧が、設定回路 L M T を経由して、共通的に供給されるよう構成されている (図 4 9 参照)。具体的には、設定回路 L M T の電子スイッチ S W の O N 動作時の設定電圧が 0.78 V であるのに対して、電子スイッチ S W の O F F 動作時の設定電圧が 0.1685 V となるよう分圧回路が設定されている。

【0765】

モータドライバDV3／DV4では、この設定電圧0.78／0.16Vに対応して、定電流制御における電流上限値NFが決まるよう構成されており、この実施例では、電流上限値NFは、A相及びB相について、スイッチ回路SWのON／OFFに対応して、共通的に473mA／102mA程度となる。

【0766】

上記の回路構成に対応して、本実施例では、例えば、モータ演出中の定電流制御では、電流上限値NFが473mAとなるモータを駆動制御する一方、例えば、モータ演出の開始前の待機動作中は、電流上限値NFが、それまでの1／4以下である102mAとなる待機制御することで、無駄な消費電力を抑制している。因みに、待機制御時の消費電力は、原理上、駆動制御時の4.65%程度となる。

10

【0767】

次に、励磁方式を規定するDMODE0～DMODE2端子には、3ビット長の設定データを供給可能に構成されている。そして、このモータドライバDV3／DV4では、駆動電流Ioutを矩形状に変化させる2相励磁（図58（a）参照）だけでなく、0%駆動状態を挿入してパルス波形をやや緩和する1－2相励磁（図58（b）参照）や、電流上限値NFを＋100%駆動と－100%駆動の間で多段階に変化させることで、駆動電流Ioutを略正弦波状に変化させるマイクロステップ励磁動作を指定することもできるよう構成されている。

20

【0768】

ここで、駆動電流Ioutを正弦波に近づけるほど、ステッピングモータが滑らか回転するので、この点では優れている。しかし、精密機械とは異なり、この種の遊技機における役物演出では、精密機械ほどの滑らかな回転は不要と解される。また、ステップ角を小さくして、円滑に回転するより、ステップ角を大きくとって、高速回転を実行した方がモータ演出としては効果的である。

【0769】

そこで、本実施例では、DMODE0～DMODE2端子に供給する設定データに基づいて、ステッピングモータを2相励磁又は1－2相励磁している。ここで、モータを高速回転するためには、ステップ角が大きい2相励磁の方が、1－2相励磁より有利である。また、設定データは、ソフトウェア処理による制御値としても良いが、本実施例では、ハードウェアによる固定値としており、2相励磁か1－2相励磁かは、遊技機の機種毎に規定している。

30

【0770】

但し、以下の説明では、モータドライバDV3／DV4のDMODE0～DMODE2端子には、所定の設定データ（001）が固定的に供給されることで、モータコントローラ85から歩進クロックCLKを受ける毎に、ステッピングモータを2相励磁することにする。すなわち、モータドライバDV3／DV4は、図58（a）の動作をすることにする。

【0771】

次に、CW/CCW端子と、CLK端子と、ENABLE端子には、各々、モータコントローラ85から、1ビット長の方向指示データと、ステッピングモータを一ステップ歩進させるための歩進クロックCLKと、駆動動作を許可する許可信号ENABLEとが、適宜に供給されている。なお、RESET端子は、定常的にLレベルであることで、内部のNOT回路を経由することで常に動作可能状態となっている（図49参照）。

40

【0772】

図58（a）と、図58（b）は、2相励磁動作と、1－2相励磁動作時における歩進クロックCLKと、A相巻線とB相巻線の駆動電流Ioutを図示したものである。なお、時計方向回転CWを指示された場合、ドライバ内部回路は、歩進クロックCLKに対応して、駆動電流Ioutが時間軸の右方向に推移するよう動作する。一方、反時計方向回転CCWを指示された場合には、ドライバ内部回路は、歩進クロックCLKに対応して、駆動電流Ioutが時間軸の左方向に推移するよう動作する。すなわち、歩進クロックC

50

L Kを受ける毎に、駆動電流 $I_{out}(a)$, $I_{out}(b)$ の電流レベルや電流方向が推移する。図示の通り、2相励磁では、歩進クロックCLKを受ける毎に電流方向が変化し、1-2相励磁や不図示のマイクロステップ励磁では、歩進クロックCLKを受ける毎に電流レベルが変化する。

【0773】

ここで、歩進クロックCLKは、適宜なタイミングで、モータコントローラ85から、適宜な速度で供給されるが、歩進クロックCLKは、ステッピングモータのステップ角 θ に対応しており、歩進クロックCLKを受ける毎に、ステッピングモータは、一ステップ角 θ [度Degree] だけ回転する。したがって、N個の歩進クロックCLKを受けると、 $N * \theta$ [度] だけ回転することになり、ステッピングモータは、歩進クロックCLKの個数に対応する角度だけ回転することになる。

10

【0774】

ここで、N個の歩進クロックCLKが、時間Tを要して供給された場合、 $N * \theta$ [度] の回転に、時間T [秒] を要したことになり、回転角速度は、 $N * \theta / T$ [Degree per Second] となる。本実施例で使用するステッピングモータは2相励磁され、ステップ角 θ は、例えば、7.5度であるので、モーター回転には、48個 ($= 360 / 7.5$) の歩進クロックCLKを要することになる。

【0775】

したがって、歩進クロックCLKのパルス速度がV [PPS (Pulse Per Second)] の場合、モーター回転に要する48個のパルスCLKは、 $48 / V$ [S] で供給されるので、このモータは、一分間に、 $60 * V / 48$ 回転することになり、モータ回転数rpm (rotations per minute) に換算すると、 $60 * V / 48$ [rpm] となる。

20

【0776】

ところで、このモータドライバDV3 / DV4においても、電流上限値NFに基づいて定電流制御が実行される。しかし、図57に関して説明した通り、電流上限値NFは、この実施例では、可動演出中である駆動制御中か、可動演出開始前の待機制御中かに応じて、 $473\text{mA} / 102\text{mA}$ の何れかとなり、モータコントローラ85によって適宜に変更されるよう構成されている。

【0777】

図58(c)は、例えば、待機制御中から駆動制御に移行する場合の定電流制御の動作を示しており、何れの制御状態でも、図54(b)に示す制御方法2に基づいて、CHARGE→FAST→SLOWの定電流制御が実行されることが示されている。一方、図58(d)は、例えば、駆動制御中から待機制御に移行する場合を示しており、この場合も、図54(b)に示す制御方法2に基づいて、CHARGE→FAST→SLOWの定電流制御が実行される。

30

【0778】

なお、歩進クロックCLKが途絶えても、モータドライバDV3 / DV4は、所定の上限電流NFに基づく定電流制御を継続するので、モータMO3, MO4は、停止状態を維持する停止駆動がされる。

【0779】

40

次に、図59は、モータドライバDV3 / DV4の動作を制御するモータコントローラ85の内部構成を示すブロック図である。モータコントローラ85は、4個のモータドライバを制御する同一構成の4個の内部回路(図59の破線で囲んだ回路)を4個内蔵して構成されている。4個のモータドライバを制御する場合には、各モータドライバは4個のステッピングモータを駆動するが、各モータの回転軸を、本明細書では、便宜上、X軸、Y軸、Z軸、U軸と称している。

【0780】

この表現に対応して、モータコントローラ85には、図59において破線で囲んだ、同一構成のX軸用回路、Y軸用回路、Z軸用回路、及び、U軸用回路が含まれるが、この実施例では、X軸用回路とY軸用回路だけを使用している。

50

【0781】

ここで、X軸用回路は、ステッピングモータMO3を駆動するモータドライバDV3を駆動制御し、Y軸用回路は、ステッピングモータMO4を駆動するモータドライバDV4を駆動制御している。そして、X軸用回路とY軸用回路の動作内容は、シリアルポートSIO_1を経由して、演出制御CPU63によって演出制御される。

【0782】

以上を踏まえて、図59の回路構成について確認すると、モータコントローラ85は、シフトクロックSCKに同期して、シリアルポートSIO_1から制御データMOSIをシリアル受信する一方、センサ信号MISOをシリアルポートSIO_1にシリアル送信している。また、PIOポート62からリセット信号RESETを受けると共に、コンペアマッチタイマCMTからは、有効期間がLレベルとなる動作中信号SSを受けている。

10

【0783】

また、モータコントローラ85のX軸用回路は、モータドライバDV3に対して、歩進クロックOUTx(CLK)と、上限電流を規定する設定信号SETxと、回転方向(CW/CCW)を規定する方向指示データDIRxと、動作許可信号ENABLExを送信している。一方、モータコントローラ85のY軸用回路は、モータドライバDV4に対して、歩進クロックOUTy(CLK)と、上限電流を規定する設定信号SETyと、回転方向を規定する方向二値信号DIRyと、動作許可指令ENABLEyを送信している。

【0784】

ここで、動作許可信号ENABLEx, ENABLEyがLレベルであると、モータドライバDV3/DV4に内蔵された駆動回路のHブリッジを構成する4個のMOSトランジスタの出力が全てHiZ状態になり、モータ駆動が禁止される。したがって、演出制御CPU63は、ステッピングモータMO3/MO4によるモータ演出開始に先行して、モータコントローラ85に所定の制御データを送信して、モータコントローラ85からモータドライバDV3/DV4に、Hレベルの動作許可信号ENABLEx, ENABLEyが出力されるよう制御する必要がある。もっとも、煩雑さを解消するためには、上記の動作を電源投入時に一回だけ実行すれば足りるので、以下では、そのような実施例について説明する。

20

【0785】

さて、図59に戻ってモータドライバ85について説明を続けると、モータコントローラ85は、CPU回路51との間で、SPI(Serial Peripheral Interface)通信も、I²C(Inter-Integrated Circuit)通信も可能に構成されているが、本実施例では、最初に説明した通り、SPI通信によってシリアル送受信動作を実行している。

30

【0786】

そして、モータコントローラ85は、I²C通信時に機能するSCL端子SDA端子と、デバイス選択番号を受けるDS0-DS1端子と、動作中信号SSを受けるSS端子と、シフトクロックSCKを受けるSCK端子と、制御データMOSIを受けるMOSI端子と、センサ信号MISOを出力するMISO端子と、複数のモータ(X/Y/Z/U軸の全部又は一部)の同時スタートを示すCSTA端子と、割込みが起動したことを示すINT端子と、リセット信号を受けるRST端子と、内部動作を規定する基準クロックを受けるCLK端子と、シリアル通信動作モードがSPIかI²Cかを規定するIFSEL端子と、を有して構成されている。

40

【0787】

図示の通り、DS0-DS1端子は、例えば、00に固定されているので、このモータコントローラ85に付与されたデバイス番号は、0ということになる。実施例のモータコントローラ85は、一のシリアルポートSIO_1に、複数個が並列的に接続可能に構成されており、デバイス番号は、何れか一のモータコントローラを特定する用途で使用される。

【0788】

また、この実施例では、IFSEL端子がHレベルに固定されることで、モータコントローラ85は、SPIモードで動作する。したがって、この実施例では、SCL端子と、SDA

50

端子は機能させない。但し、 I^2C モードで動作させても良いのは勿論であり、 I^2C モードでも以下の動作は実現可能である。

【0789】

図示の通り、CLK 端子には、発振回路が生成した周波数 9.8MHz 程度の基準クロックが供給されている。また、RST 端子には、PIOポート62からリセット信号RESETが供給され、SS端子には、コンパーマッチタイマCTMから動作中信号SSが供給されるよう構成されている。なお、SCK 端子とMOSI端子には、シリアルポートSIO_1の対応回路からシフトクロックSCKと、制御データMISOが出力され、MISO端子からシリアルポートSIO_1の受信シフトレジスタSCSRに対して、センサデータMISOがシリアル伝送される。

10

【0790】

続いて、モータコントローラ85のX軸用回路について説明する。図59に示す通り、X軸用回路は、モータドライバDV3に歩進クロックCLKを出力するOUTx端子と、方向指示データを出力するDIRx端子と、動作許可信号ENABLExを出力するP2x端子と、上限電流の設定信号SETxを出力するP3x端子とを有して構成されている。

【0791】

また、X軸用回路は、モータMO3によって駆動される役物が、原点位置か否かを示す原点センサ信号を受けるP0x端子と、この役物が目的位置に達したか否かを示す目的位置センサ信号を受けるP1x端子と、を有している。

【0792】

なお、Y軸用回路は、上記したX軸用回路と同一構成であり、モータドライバが、DV3からDV4に代わり、ステッピングモータが、MO3からMO4に代わるだけである。なお、本実施例では、Z軸用回路と、U軸用回路を使用していないが、これらを使用すれば、4個のステッピングモータを、同期的又は独立的に駆動制御することができる。

20

【0793】

上記したP0x端子、P1x端子、P2x端子、P3x端子に対応して、モータコントローラ85には、入出力動作が可能な汎用入出力ポートが内蔵されており、また、演出制御CPU63からの指令に基づいて、汎用入出力ポートに必要な入出力動作を実行させる汎用ポート制御回路が内蔵されている。汎用入出力ポートは、入力ポートとしても、出力ポートとしても使用可能であるので、本実施例では、P0x端子とP1x端子が、汎用入力ポートP0、P1の入力端子となり、P2x端子とP3x端子が、汎用出力ポートP2、P3の出力端子となるよう初期設定している。

30

【0794】

また、モータコントローラ85には、OUTx端子から出力する歩進クロックCLKの出力クロック数や、出力クロック周期（歩進クロックCLKのクロック速度）などを任意に設定可能な複数のレジスタが、含まれている。歩進クロックCLKのクロック速度でモータ回転速度が決まり、歩進クロックCLKの出力パルス数で回転角度が決まるが、モータコントローラ85は、演出制御CPU63の指示に基づき、任意個数の歩進クロックを、任意のクロック速度で、出力できるよう構成されている。

【0795】

なお、先に説明した通り、モータドライバDV3／DV4は、歩進クロックCLK毎に、一ステップだけモータMO3を回転させるので、出力クロック数によってモータMO3の回転角度が規定され、また、歩進クロックCLKの出力周期に対応して、モータMO3の回転速度が変わる。

40

【0796】

ところで、モータコントローラ85によれば、加速制御や減速制御も任意であり、加減速制御を伴わない矩形駆動（図60（a））だけでなく、図60（b）に示す台形駆動も可能である。図60（a）に示す矩形駆動は、モータの回転速度が比較的遅い場合に採用され、回転開始から回転終了まで、歩進クロックCLKのパルス速度（パルス出力周期に対応）が、常に起動パルス速度に一致する。なお、矩形駆動は、その制御が簡単であってC

50

P Uによるプログラム処理でも対応可能であるので、モータM O 3 , M O 4 3 だけでなく、シリアルポートS I O _を経由するモータM O 1 , M O 2 の駆動にも活用されている。

【0797】

一方、図60(b)に示す台形駆動は、モータの回転速度が速い場合に採用され、歩進クロックC L Kのパルス速度が、起動パルス速度から徐々に直線的に速くなり、目標値である運転パルス速度に達する。その後、運転パルス速度で必要量だけ回転した後、歩進クロックC L Kのパルス速度が、運転パルス速度から徐々に直線的に遅くなり、起動パルス速度に至ってモータが停止する。この台形駆動によれば、モータ回転の急発進や急停止が回避されるので、脱調などの不正常動作を未然に回避することができる。

【0798】

図示の通り、パルス速度は、三以上の複数段階で直線的に増加し、三以上の複数段階で直線的に減少している。このような台形駆動は、図60(b)に示す通り、歩進クロックC L Kのパルス周期を複雑に変化させる必要があり、C P Uのプログラム処理では、実現が容易でない。そこで、本実施例では、モータコントローラ85を活用することで、C P Uの制御負担を増加させることなく、モータM O 3 , M O 4 の急発進や急停止が回避した状態で、各モータの高速回転を実現している。後述するように、本実施例では、所定の演出時には、所定の役物を、自然落下より高速で降下／上昇させている。

【0799】

図60(c)に示す通り、矩形駆動では、出力パルス数だけでなく、開始終了速度F L、目標速度F H、加速レート、及び、減速レートなどの動作パラメータを特定する必要があるが、これらの動作パラメータは、演出制御C P U 63によって、以下に説明する内蔵レジスタに設定される。

【0800】

モータコントローラ85の内蔵レジスタは、図59に示す通り、第1種レジスタN個と、第2種レジスタM個と、第1種レジスタへの設定値を事前に設定可能なプリレジスタN個とが含まれている。そして、第1種レジスタに基づくモータ動作が完了すると、これに対応するプリレジスタの事前設定値が、第1種レジスタに自動的に転送され、新たなモータ動作が開始可能状態となる。したがって、本実施例では、第1種レジスタに動作パラメータを設定した後、継続するモータ動作についても、プリレジスタに動作パラメータを設定することで、一連のモータ動作を素早く設定することができる。

【0801】

ここで、第1種レジスタとプリレジスタには、目標速度F Hを設定するレジスタR F H(R1)、加速レートを規定するレジスタR U R(R2)、減速レートを規定するレジスタR D R(R3)、スローダウンポイントを規定するレジスタR D P(R4)、出力パルス数を規定するレジスタR W V(R5)、及び、動作モード(R6)、を指定可能な6個のレジスタが、各々、含まれている。なお、スローダウンポイントとは減速処理を開始するタイミングを意味するが、レジスタR D Pには、減速動作を実行するパルス数を規定することになる。なお、スローダウンポイントを規定するレジスタR D Pと、減速レートを規定するレジスタR D Rとは択一的に使用され、減速レートを規定した場合には、スローダウンポイントが自動的に決定される。

【0802】

第1種レジスタとプリレジスタには、上記した動作パラメータを設定できるので、途中停止後の動作モードだけでなく、再回転動作における目標速度、加速レート、減速レート、出力パルス数などを、プリレジスタに予約設定することができる。

【0803】

次に、第2種レジスタには、モータ回転開始時の初速度F Lと停止前の最終速度F Lを規定するレジスタR F Lや、モータの動作モードを設定可能なレジスタR M Dや環境設定レジスタR E N Vが含まれている。ここで、モータの動作モードには、C W [Clockwise] 方向への連続移動(M D 1)、C C W [counterclockwise] 方向への連続移動(M D 2)、C W方向への相対移動(M D 3)、C C W方向への相対移動(M D 4)、センサ検

10

20

30

40

50

出までCW方向に移動するCW位置決め移動(MD5)、センサ検出までCCW方向に移動するCCW位置決め移動(MD6)、タイマで規定されて時間だけ移動するタイマ移動(MD7)、が含まれており、モード設定レジスタRMDに所定の動作パラメータを設定することで、(MD1)～(MD7)の何れかのモータ動作が規定される。

【0804】

本実施例において、動作モード(MD5)や動作モード(MD6)において検出対象となるセンサには、役物が原点位置に位置するか否かを示す原点センサと、役物が目的位置に位置するか否かを示す目的位置センサとが含まれる。したがって、本実施例によれば、原点位置に向かう復帰動作や、目的位置に向かう進行動作が、一の動作モードとして規定可能となる。なお、動作モード(MD5)や動作モード(MD6)では、速度レジスタRFHで設定された運転速度で回転を続け、その後、センサ信号を検出すると、パルス数レジスタRWVに設定された個数だけパルスを出力して停止する。

【0805】

一方、動作モード(MD3)や動作モード(MD4)の相対移動では、その運転速度は、速度レジスタRFHで規定され、パルス数レジスタRWVに設定された個数だけパルスを出力して停止する。この場合、矩形駆動だけでなく、台形駆動も可能であり、台形駆動の場合には、加速レートレジスタRURで設定された態様で回転を開始し、速度レジスタRFHで規定された運転速度で回転した後、減速レートレジスタRDRで設定された態様で運転を終了する。なお、台形駆動において、加速制御だけを除いた動作(瞬時スタート+減速停止)や、減速制御だけを除いた動作(加速スタート+瞬時停止)も可能である。

【0806】

また、動作モード(MD1)や動作モード(MD2)に規定する連続移動では、速度レジスタRFHで規定された運転速度で回転を続け、停止コマンドを受けることで回転を終了する。そして、何れの動作モードでも、スタートコマンドを受けることで、その動作を開始する。すなわち、モータコントローラ85は、演出制御CPU63から、スタートコマンドや、停止コマンドを含んだ各種のコマンドを受けて動作するよう構成されている。

【0807】

ここで、演出制御CPU63が、モータコントローラ85に対して出力可能なコマンドには、停止コマンド(CM0)の他に、スタート態様が異なる複数のスタートコマンド(CM1)と、スタート態様が異なる複数の残量スタートコマンド(CM2)と、変更態様が異なる複数の速度変更コマンド(CM3)と、汎用出力ポートから所定データを出力する出力コマンド(CM4)、が含まれている。本実施例では、この出力コマンド(CM4)を使用して、汎用出力ポートP2、P3には、許可信号ENABLExと、電流上限値の設定信号SETxが出力される。

【0808】

なお、動作モード(MD3)や動作モード(MD4)に規定する相対移動の動作モードでは、内蔵された残パスカウンタRESTによって、残りパルス数が管理されている。そして、演出制御CPU63は、残パスカウンタRESTから残りパルス数を読み出すことで、適宜なタイミングでモータを途中停止させることもできる。残量スタートコマンドは、この途中停止後の再スタートを規定するものである。

【0809】

また、第2種レジスタに含まれる環境設定レジスタRENVには、図60(d)に関して後述するカウントダウン制御を実現するカウントアップ時間TCUPと、カウントダウン時間TCDWとが設定可能に構成されている。カウントアップ時間TCUPと、カウントダウン時間TCDWは、何れも、4つの選択肢からその一つが選択可能になっている。

【0810】

以上、演出制御CPU63がWRITEアクセス可能な各種のレジスタについて説明したが、モータコントローラ85の動作内容を示すステータスレジスタその他も設けられており、これらのレジスタを、適宜にREADアクセスすることで、演出制御CPUは、モータコントローラ85の動作状態を把握することができる。

10

20

30

40

50

【0811】

図61(a)は、演出制御CPU63によって1ms毎に実行されるタイマ割込みの処理内容を示すものであり、図22(b)の内容を詳細化したものである。また、図62は、図61(a)の処理に基づく、モータコントローラ85へのシリアル伝送手順を説明するタイムチャートである。

【0812】

1msタイマ割込み処理では、まず、パルス状のラッチ信号LOADをセンサ基板86に出力すると共に、歩進クロックLATCHを、モータドライバDV1, DV2に出力する(RT1)。すると、ラッチパルスLOADを受けたセンサ基板86のシフトレジスタ90は、センサ信号をラッチする。また、歩進クロックLATCHを受けたモータドライバDV1, DV2は、前回のタイマ割込みで取得した8ビットデータ(電流指示値+PHASE設定)に基づいて、モータMO1, MO2を回転駆動/停止駆動する。

【0813】

次に、演出制御CPU63は、シリアルポートSIO_0のデータレジスタSCFRDRに取得済の前回データを、メモリの所定エリアに格納する(R2)。このように、本実施例では、前回のタイマ割込みによりシリアル受信したシリアルデータを、次回のタイマ割込み時にメモリ取得するので、電源投入後の最初の取得データ(RT2)は、当然に無視される。なお、最初に説明した通り、受信シフトレジスタSCRSRにシリアル受信されたシリアルデータは、8ビットに達するごとに、自動的に、FIFO構造のFIFOデータレジスタSCFRDRに蓄積されるよう初期設定されている。

【0814】

続いて、モータMO1やMO2によるモータ演出中か否かが判定される(RT3)。そして、モータMO1及び/又はMO2によるモータ演出中であれば、モータMO1, MO2をステップ回転させるための駆動データSDATA(16ビット)を、シリアルポートSIO_0のFIFOデータレジスタSCFTDRに設定する(RT4)。駆動データSDATA(16ビット)は、モータMO1やMO2に対して、各々、PHASE設定値(4ビット)と電流指示値(4ビット)の8ビットで構成されるので、全体で16ビットとなる。

【0815】

先に説明した通り、駆動データSDATAは、必ずしも、1ms毎に更新される必要はなく、モータの回転速度が遅い場合には、同一のPHASE設定値が複数N回使用される。この場合、N回のPHASE設定値は、常に同一であるが、2回目からN-1回目までの電流指示値は、例えば25%駆動の抑制レベルとするのが好適である。この抑制レベルでは、電力消費が原理的に $1/16 = 6.25\%$ となる。

【0816】

また、後述する図60(d)の動作を実現するには、一連の回転動作を開始するに先立って、停止状態を維持するPHASE設定値(最終回転時の送信値)と、上限レベルの電流指示値(100%駆動)と、で構成された駆動データSDATAを、FIFOデータレジスタSCFTDRに設定する。

【0817】

例えば、モータMO1とMO2が同期して回転を開始する場合には、前記した各8ビットで合計16ビットの駆動データSDATAが、FIFOデータレジスタSCFTDRに用意される。そして、回転開始に先行して、この駆動データSDATAが複数回シリアル送信されることで、上限レベルの停止駆動が実行される。なお、この動作は、役物の慣性を吸収して脱調などのトラブルを未然防止するためであるので、低速でスタートする役物や、軽量の役物には不要である。

【0818】

一方、モータMO1やMO2によるモータ演出中でなければ、停止状態のモータMO1, MO2について、停止駆動用の駆動データSDATAを、FIFOデータレジスタSCFTDRに設定する(RT5)。停止駆動用の駆動データSDATAとは、停止状態を維持するPHASE設定値(前回の送信値)と、抑制レベルの電流指示値(例えば25%駆動)と

、で構成される。

【0819】

この場合も、図60(d)の動作を実現するには、いきなり抑制レベルの電流指示値を送信するのではなく、停止状態を維持するPHASE設定値(前回の送信値)と、上限レベルの電流指示値(100%駆動)と、で構成された駆動データSDATAを、適当回数だけ先行して送信して、上限レベルの停止駆動が実行される。この動作も、役物の慣性を吸収するためであるので、ゆっくり停止する役物や、軽量の役物には不要となる。

【0820】

続いて、演出制御CPU63は、シリアルポートSIO_0のFIFOデータレジスタSCFTDRに設定した駆動データSDATA(16ビット)に関して、シリアルポートSIO_0のシリアル送受信処理を開始させる(RT6)。その結果、シリアルポートSIO_0は、FIFOデータレジスタSCFTDRが空になるまで、合計16個のシフトクロックSCKを出力し、このシフトクロックSCKに同期して、16ビットの送信データ(駆動データSDATA)がモータドライバDV1, DV2に転送される。

【0821】

なお、図56において説明した通り、このタイミングで送信した駆動データSDATAは、次のタイマ割込みで出力される歩進クロックLATCHによって実効化される。

【0822】

また、シフトクロックSCKは、センサ基板86にも供給されるので、最初の8個のシフトクロックSCKに同期して、センサ信号SENが、シリアルポートSIO_0の受信シフトレジスタSCRSRにシリアル受信され、受信データは、FIFOデータレジスタSCFRDRに蓄積される。合計16個のシフトクロックSCKが出力されるので、蓄積データは、合計16ビット長であるが、最初の8ビットだけが有意なセンサ信号SENであり、残りの8ビットは、無為な00Hである(図51(b)参照)

【0823】

この実施例では、ボーレート250kbpsとしているので、シフトクロックSCKの16個分は、約 $16 / 250k = 0.064ms$ であり、タイマ割込みの動作周期1msにおいて、極めて短時間で処理を終わることになる(図63の上段部分参照)。また、演出制御CPU63は、シリアル送信の処理を開始させるだけであって(R6)、シリアル送信の完了を待たないので、ステップR1~R6の処理は、ごく一瞬で終わることになる。なお、シリアル受信されたデータを、次のタイマ割込み処理に委ねる点も処理時間の短縮に寄与している。

【0824】

ところで、CH0のモータ演出が終了した後は、図61の破線で示すように、ステップRT5の処理を実行することなく、ステップRT4とRT6の処理をスキップしても良い。この場合には、最終のPHASE設定値と電流設定値と、に基づいた定電流制御によって、各モータMO1, MO2が繰り返し停止駆動される。

【0825】

以上のシリアルポートSIO_0の処理が終われば、演出制御CPU63は、コンペアマッチタイマCMTを機能させて、パルス幅が、例えば0.8ms程度の動作中信号SSの出力を開始させる(RT7)。図49の左上部に記載の通り、コンペアマッチタイマCMTは、クロック信号のカウント動作の開始に対応して、動作中信号SSをHレベルに遷移させ、その後、カウント結果が、所定の上限値MXに達するとCMT割込みを発生させるよう初期設定されている。

【0826】

そして、CMT割込み処理において、演出制御CPU63が、コンペアマッチタイマCMTのカウント動作を停止することで、動作中信号SSがHレベルからLレベルに戻る。以上の通り、動作中信号SSについても、演出制御CPU63は、立上りエッジと、立下りエッジにしか関与しないので、他の演出制御処理の処理時間を奪うなどの悪影響を与えるおそれはない。

10

20

30

40

50

【0827】

動作中信号SSをHレベルに上げた後、演出制御CPU63は、モータコントローラ85からセンサ信号MISOを取得する(RT8)。図62(a)は、この取得手順を示すタイムチャートであり、8個のシフトクロックSCKに同期して、デバイス番号S7~S6=00、動作種別S5~S4=11、読出し対象UZYX軸S3~S0=0010、又はS3~S0=0001とすることで、デバイス番号00のモータコントローラ85における、X軸かY軸のセンサ信号を取得する旨を規定する。

【0828】

次に、その後の8個のシフトクロックSCKに同期して、X軸であるモータMO3の関するセンサ信号(又は、Y軸であるモータMO4関するセンサ信号)を取得する。すなわち、図62(a)の動作を二回繰り返すことで、X軸とY軸のセンサ信号を取得する。なお、図59に示す通り、汎用入出力ポートのうち、入力ポートに設定されているのは、ポートP0(P0x端子、P0y端子)と、ポートP1(P1x端子、P1y端子)だけであるので、受信データD7~D0のうち有意データは、D1、D0だけである。そして、演出制御CPUは、取得したセンサ信号D1、D0を、メモリの適所に保存して、その後のモータ演出に活用する。

【0829】

但し、先に説明したように、演出制御CPU63がモータコントローラ85に指定できる動作モードには、センサ検出までCW方向に移動するCW位置決め移動(MD5)や、センサ検出までCCW方向に移動するCCW位置決め移動(MD6)の動作モードが含まれているので、演出制御CPU63は、特に、センサ信号を把握する必要はなく、したがって、ステップRT8の処理を省略することもできる。

【0830】

何れにしても、次に、演出制御CPU63は、モータMO3やMO4によるモータ演出中か否かに基づいて、モータMO3、MO4のモータ動作を規定する最高8×16ビットの制御データMOSIを、シリアルポートSIO_1のFIFOデータレジスタSCFTDRに設定する(RT9)。モータ演出中であれば、これを実現する演出回転駆動用の制御データがFIFOデータレジスタSCFTDRに設定されるが、モータ演出中でなければ、定電流制御における上限値NFを抑制するための待機停止駆動用の制御データが設定される。

【0831】

以上のようにして、ステップRT8~RT9の処理が終われば、次に、シリアルポートSIO_1のシリアル送信処理を開始させる(RT10)。図62(b)と、図62(c)は、シリアルポートSIO_1から、モータコントローラ85に制御データMOSIをシリアル送信する場合の手順を図示したものである。

【0832】

まず、図62(b)は、許可信号ENABLEや設定信号SETを、汎用出力ポートP2、P3から出力する場合の出力手順を示すタイムチャートである。図示の通り、8個のシフトクロックSCKに同期して、デバイス番号S7~S6=00、動作種別S5~S4=10、書込み対象UZYX軸S3~S0=0010、又はS3~S0=0001とすることで、デバイス番号00のモータコントローラ85における、X軸用(モータドライバDV3)か、Y軸用(モータドライバDV4)の制御信号を出力する旨を規定する。

【0833】

次に、その後の8個のシフトクロックSCKに同期して、モータドライバDV3の関する制御信号(又は、モータドライバDV4関する制御信号)を出力する。この場合の、図62(b)の動作を二回繰り返すことで、X軸とY軸の制御信号の出力が完了する。なお、図59に示す通り、汎用入出力ポートのうち、出力ポートに設定されているのは、ポートP2(P2x端子、P2y端子)と、ポートP3(P3x端子、P3y端子)だけであるので、出力データD7~D0のうち有意データは、D3(=SET)と、D2(=ENABLE)だけである。

【0834】

10

20

30

40

50

先に説明した通り、本実施例では、設定信号 S E T の H / L レベルに応じて、定電流制御の電流上限値 N F が、回転駆動用の H レベルと、停止駆動用の L レベルの二段階に制御されており、役物演出中は S E T = H レベルに制御され、演出待機中は S E T = L に制御される。

【0835】

次に、図 6 2 (c) は、モータコントローラ 8 5 の動作を規定するコマンドの送信処理や、内蔵レジスタへの動作パラメータの設定処理を説明するタイムチャートである。モータコントローラ 8 5 の動作を規定する各種のコマンド (C M 1) ~ (C M 4) は、何れも 8 ビット構成であるので、図 6 2 (c) の上段部分の処理で完了する。すなわち、コマンドを送信する場合は、まず、8 個のシフトクロック S C K に同期して、デバイス番号 S 7 ~ S 6 = 0 0、動作種別 S 5 ~ S 4 = 0 0、コマンド対象 U Z Y X 軸 S 3 ~ S 0 = 0 0 * *、をシリアル送信することで、デバイス番号 0 0 のモータコントローラ 8 5 における、X 軸 (M O 3) 及び / 又は Y 軸 (M O 4) に対するコマンドが送信されることを予告する。

10

【0836】

次に、これに続く、8 個のシフトクロック S C K に同期して、8 ビット長のコマンドデータを送信する。なお、S 3 ~ S 0 = 0 0 0 1 であれば、X 軸 (M O 3) に関するコマンドとなり、S 3 ~ S 0 = 0 0 1 0 であれば、Y 軸 (M O 4) に関するコマンドとなり、S 3 ~ S 0 = 0 0 1 1 であれば、X 軸及び Y 軸 (M O 3 + M O 4) に対するコマンドとなる。

【0837】

以上、コマンド送信について説明したが、各種のレジスタに動作パラメータを設定する場合には、レジスタ番号が 8 ビット長、動作パラメータが 1 6 ビット長であることに対応して、図 6 2 (c) の上段部分に続いて下段部分の処理が必要となる。具体的に説明すると、レジスタへの動作パラメータの設定時には、まず、8 個のシフトクロック S C K に同期して、デバイス番号 S 7 ~ S 6 = 0 0、動作種別 S 5 ~ S 4 = 0 0、コマンド対象 U Z Y X 軸 S 3 ~ S 0 = 0 0 * *、をシリアル送信することで、デバイス番号 0 0 のモータコントローラ 8 5 における、X 軸 (M O 3) 及び / 又は Y 軸 (M O 4) に対するレジスタ設定値が送信されることを予告する。

20

【0838】

次に、8 個のシフトクロック S C K に同期して、8 ビット長のレジスタ番号を送信する。そして、その後は、1 6 個のシフトクロックに同期して、レジスタ番号で特定されたレジスタへの設定値 (1 6 ビット長の動作パラメータ) をシリアル送信することになる。

30

【0839】

図 6 3 の下段には、シリアルポート S I O _ 1 におけるシリアル受信処理と、これに続くシリアル送信処理が記載されている。X 軸と Y 軸のシリアル受信に合計 1 6 * 2 個のシフトクロック S C K を要し、8 * 1 6 ビットの制御データ M O S I のシリアル送信にシフトクロック S C K を 8 * 1 6 個を要するので、ボーレート 2 5 0 k b p s で動作させた場合の処理時間は、 $10 * 16 / 250k = 0.645ms$ であり、タイマ割込みの一周期 1 m S の半分ぐらいの時間で全ての処理が終わることになる。

【0840】

但し、演出制御 C P U 6 3 は、シリアル送信の処理を開始させるだけで処理を終え (R 1 1)、シリアル送信完了を待たないので、ステップ R 7 ~ R 1 1 の処理は、ごく一瞬で終わることになる。

40

【0841】

図 6 4 (a) は、モータドライバ D V 3, D V 4 によって駆動されるステッピングモータ M O 3, M O 4 と、モータ M O 3, M O 4 によって回転駆動されるスパイラルシャフト B A R と、スパイラルシャフト B A R のネジ山に対応するネジ溝 G V がガイド溝と共に設けられた役物 A M U と、役物 A M U のガイド溝 G V を把持して役物 A M U の直線移動を案内する案内部材 G D とが、図示されている。

【0842】

役物 A M U のガイド溝 G V は、案内部材 G D によって直線移動可能に保持されているの

50

で、役物AMUは、スパイラルシャフトBARの回転に対応して、直線移動することになる。ここで、スパイラルシャフトBAR及び案内部材GDは、遊技盤の左右位置において、上下方向に隠蔽状態で配置されており、遊技盤の左右上部には、原点位置の役物AMUが隠蔽状態で待機している。なお、図示例では2つの役物AMU、AMUが分離状態であり、独立的に移動可能であるが、2つの役物を連結状態にするのも好適である。

【0843】

先に説明した通り、ステッピングモータMO3、MO4は、何れも2相励磁されてステップ角 θ は7.5度である。そして、 $360/7.5=48$ より、各モータMO3、MO4は、48個の歩進クロックCLKを受けることで一回転することになる。一方、モータMO3、MO4の回転に対応して回転するスパイラルシャフトBARの回転ピッチは、24mmであり、モーター回転に対応して、役物AMUは、 $L=24$ mm移動することになる。

10

【0844】

したがって、移動距離TOTAL [mm]を実現するには、モータの回転数TOTAL/L=TOTAL/24 [回]が必要であり、この回転に必要な歩進クロックCLKのステップ数は、 $TOTAL/24*48=TOTAL*2$ となる。ここで、歩進クロックCLKのパルス速度を、PS [PPS: pulse per second] とすると、ステップ数TOTAL*2を出力するに要する時間は、 $TOTAL*2/PS$ [秒] となる。

【0845】

本実施例では、歩進クロックCLKのパルス速度PSは、2900pps程度までは安定して出力可能である。例えば、パルス速度PS=2900ppsの場合、移動距離TOTAL [mm]を実現するに要する時間T [秒]は、 $TOTAL*2/PS=TOTAL/1450$ [秒]・・・(式1)となる。なお、パルス速度PS=2900ppsに対応する役物の移動速度は、本実施例では、 $2900/48*24=1450$ mm/Sであって、1m/S以上である。

20

【0846】

ところで、自由落下は物質の重量に関係せず、落下距離 $=1/2*g*t^2$ の関係が成立する。ここで、g=重力加速度、t=落下時間である。したがって、例えば、30cmの自由落下に要する時間Tは、 $0.3=1/2*g*T^2$ より、 $T=\sqrt{0.6/9.8}=0.247$ 秒となる。ここで、TOTAL=300 [mm]として、役物AMUの移動時間を計算すると、上記した式1より、 $TOTAL/1450=0.207$ [秒]となり、本実施例によれば、移動距離30cm程度であれば、自由落下より高速度で役物AMUを移動できることが確認される。なお、自由落下において、51cm通過時の落下速度が1m/Sである。

30

【0847】

図64(b)は、モータMO3及び／又はモータMO4によるモータ演出の一例を説明する図面であり、役物AMUが、突然、自由落下速度を超える速度で落下して、跳ね返って停止する動作を示している。この動作は、(1)原点復帰動作と、(2)待機動作と、(3)急落下動作と、(4)バウントアップ動作と、(5)バウンドダウン動作とで構成されている。

40

【0848】

まず、原点復帰動作は、センサ検出までCCW方向に移動する動作モード(MD6)を使用してもよいが、ここでは、CCW方向に位置決め移動する動作モード(MD4)を使用している。次に、急落下動作は、CW方向に位置決め移動する動作モード(MD3)を使用している。なお、センサ検出までCW方向に移動する動作モード(MD5)を使用しても良いのは勿論である。

【0849】

何れにしても、急落下動作(3)の運転速度は、2900ppsに設定されるので、自由落下より速い速度で役物AMUが移動する。なお、パルス数レジスタRWVに設定されるパルス数は、600パルスであり、移動距離TOTALは、 $600/48*24=30$

50

0 mmである。また、台形駆動が採用され、所定の加速レートと、減速レートが規定されることで、最適な加速時間と減速時間が確保される。そのため、高速移動しても脱調などのトラブルは生じない。

【0850】

続く、バウンドアップ動作（4）とバウンドダウン動作（5）には、CCW方向に位置決め移動する動作モード（MD4）と、CW方向に位置決め移動する動作モード（MD3）が使用される。これらの運転速度は、500pps程度で低速であるので、矩形駆動を採用しており、各々のステップ数は、50パルスであって、25mm程度の跳ね返り動作を演出している。

【0851】

以上の通り、本実施例では、モータコントローラ85を活用することで、演出制御CPU63の制御負担が軽減されると共に、複雑高度なモータ演出が可能となる。また、役物を高速移動させても、加速時間や減速時間を確保することで、脱調などの事態を未然防止することができる。

【0852】

但し、実施例で使用するモータドライバDV3、DV4は、そのVREFA端子やVREFB端子について、図57のような回路構成を採るので、モータドライバDV1、DV2の場合とは異なり、出力電流Ioutの上限値NFを複数段階に制御することはできない。その一方で、上限電流の設定回路LMTを設けるので、1ビット長の設定信号SETによって電子スイッチSWをON/OFF制御することで、任意のタイミングで上限電流NFを制御することができる（図57参照）。

【0853】

そこで、本実施例では、モータMO3やモータMO4による役物演出の実行時だけ上限電流NFをHレベル（473mA）にし、それ以外の待機状態では、電子スイッチSWをOFF設定して、上限電流NFをLレベル（102mA）に維持している。

【0854】

また、別の実施例では、役物演出中も適宜に上限電流NFを制御することで、無駄な消費電力を抑制している。具体的には、モータコントローラ85の環境設定レジスタRENVを活用して、図60（d）に記載のカウントダウン制御を実行している。先に説明した通り、環境設定レジスタRENVには、カウントアップ時間TCUPと、カウントダウン時間TCDWとが設定可能に構成されている。

【0855】

そこで、本実施例では、スタートコマンドの発行時には、これに合わせて、設定信号SETをHレベルに遷移させて、上限電流NFをHレベル（473mA）に設定すると共に、カウントアップ時間TCUPを設定して、TCUPカウントダウン動作を開始させている。このモータコントローラ85では、カウントダウン動作が完了するまでは、スタートコマンドが実効化されないよう構成されており、所定の待機時間（カウントダウン時間）を経た後に、一連のパルス列を出力し始める。

【0856】

一方、スタートコマンドの発行に対応して、設定信号SETは、直ちにHレベルに遷移するので、対応するステッピングモータMO3/MO4は、上限電流NFが低いそれまでの待機モードから、上限電流NFが高い駆動モードに移行することになる。但し、このタイミングでは、未だ、新規の歩進クロックCLKが出力されていないので、モータMO3/MO4は停止状態を維持するが、停止状態における駆動が、低電流駆動から高電流駆動に移行することになる（図58（c）参照）。

【0857】

そして、その後、新規の歩進クロックCLKが出力されたタイミングで、モータMO3/MO4は、安定した高電流駆動状態でステップ回転することになる。回転開始時には、必ず規定レベルの出力トルクが必要であるところ、本実施例では、事前に高電流駆動を開始しているので、出力トルクの不足がなく、慣性の大きい役物であっても円滑に起動させ

10

20

30

40

50

ることができる。

【0858】

その後、モータMO3 / MO4が所定の回転動作を終えた後、停止コマンドが発行されるが、これに合わせて、環境設定レジスタRENVのカウントダウン時間TCDWを設定して、TCDWカウントダウン動作を開始させる。そして、演出制御CPU63は、その後、1mS毎に環境設定レジスタRENVをREADアクセスして、TCDWカウントダウン動作が終わったことが確認されれば、設定信号SETをLレベルに遷移させて上限電流NFをLレベル(102mA)に降下させる。なお、TCDWカウントダウン動作の終了に対応して割込み処理を起動させるのも好適であり、この場合には、1mS毎に環境設定レジスタRENVをREADアクセスする必要がない。

10

【0859】

何れにしても、上記のカウントダウン制御は、役物の慣性が大きい場合にも、停止状態を確実に安定化させるためであり、所定時間だけ高電流状態でモータを停止駆動することで、役物の停止状態が安定化する。なお、カウントダウン制御は、主として役物AMUの慣性を吸収する目的で実行されるので、環境設定レジスタRENVに設定するカウントアップ時間TCUPや、カウントダウン時間TCDWは、役物AMUの重量などに対応して適宜に設定される。また、スタートコマンドに対応して、カウントアップ時間TCUPを設定する上記の方法に代えて、スタートコマンドの発行前に、カウントアップ時間TCUPを設定することもでき、この場合には、スタートコマンドの発行に対応して、歩進クロックCLKの出力が開始される。

20

【0860】

以上、本発明の実施例について説明したが、具体的な記載内容は、特に本発明を限定しない。例えば、CPU回路51は、モータドライバ85を介することなく、直接、ドライバDV3, DV4を制御しても良い。また、図63では、スパイラルシャフトBARの回転に対応して、役物AMUが直線移動する例を説明したが、何ら限定されず、円形歯車であるラックと、円形歯車に歯合する平板材であるピニオンと、を利用した伝達機構を利用してもよい。また、役物の移動は、必ずしも直線移動に限定されない。役物を回転移動させても良いし、非直線的な役物の往復移動、例えば、円弧軌道に沿った往復移動も好適である。

【0861】

また、加速時間及び減速時間を有して、高速運転に好適な台形駆動と、低速運転に好適な即スタート及び即停止の定速運転(矩形駆動)について説明したが、特に限定されない。例えば、加速時間だけゼロの定速スタート運転や、減速時間だけゼロの即停止運転も好適である。また、モータコントローラ85が介在する台形駆動について説明したが、例えば、図50(b)の構成において、演出制御CPU63が、矩形駆動だけでなく台形駆動を実行しても良い。定速スタート運転や即停止運転についても同様である。

30

【符号の説明】

【0862】

GM 遊技機

51 演出制御手段(CPU回路)

85 中間制御手段(モータコントローラ)

MO1~MO4 演出モータ

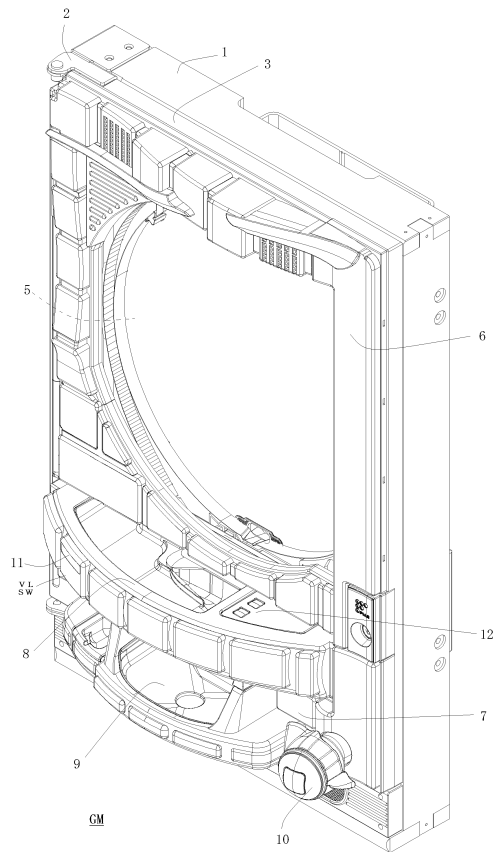
DV1~DV4 駆動手段(モータドライバ)

MOSI 制御データ

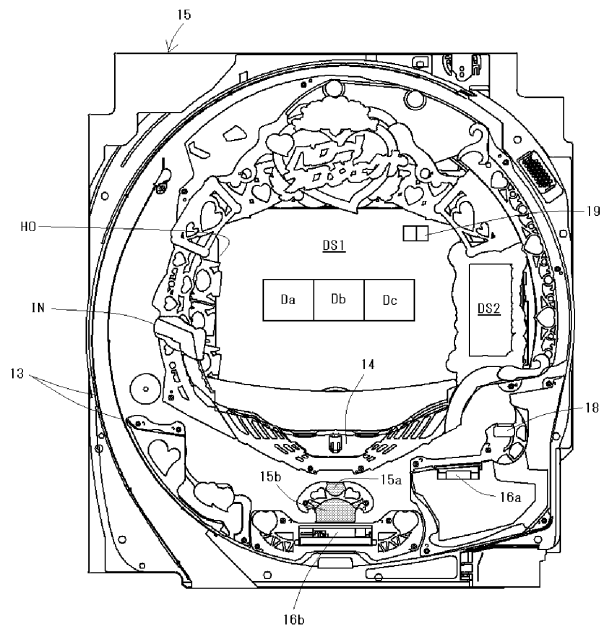
40

【図面】

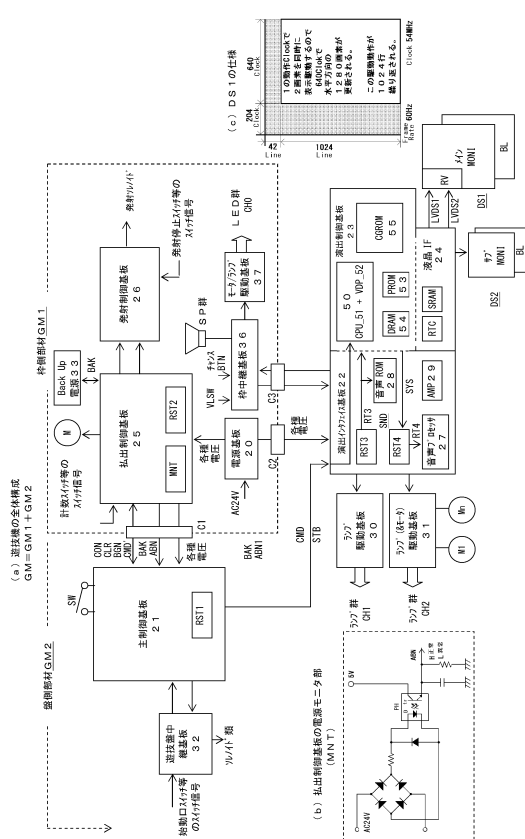
【図 1】



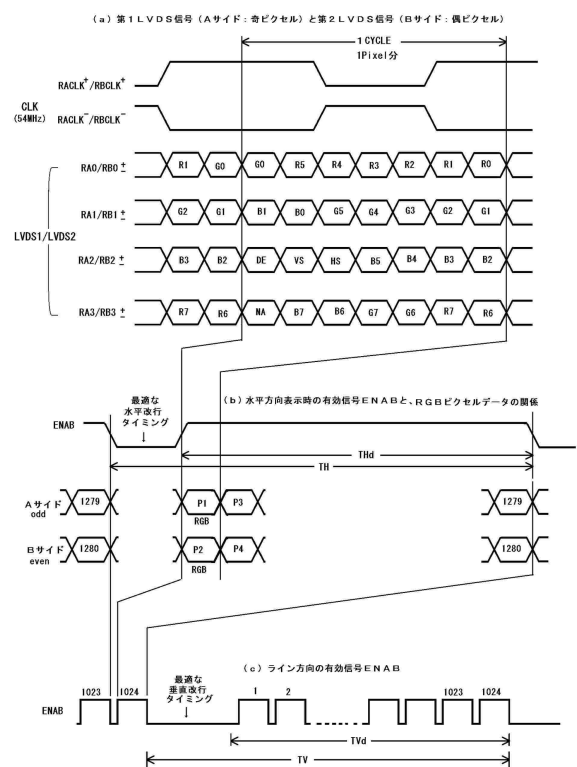
【図 2】



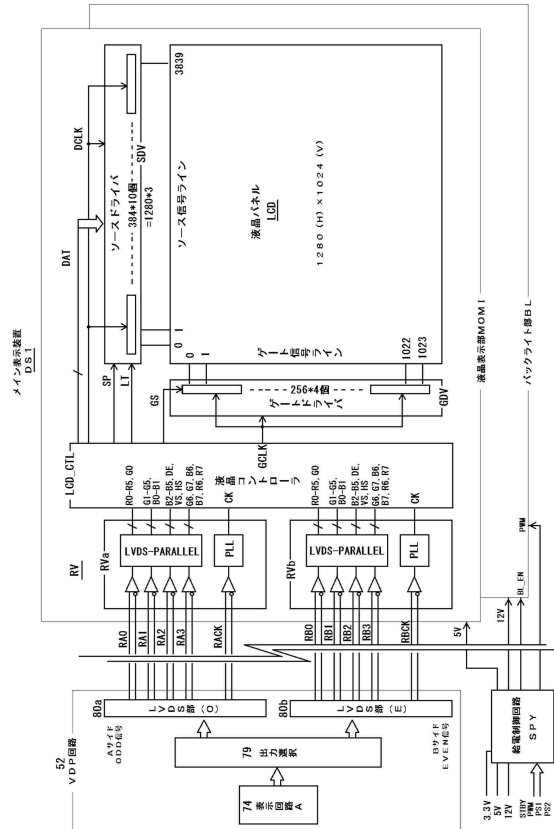
【図 3】



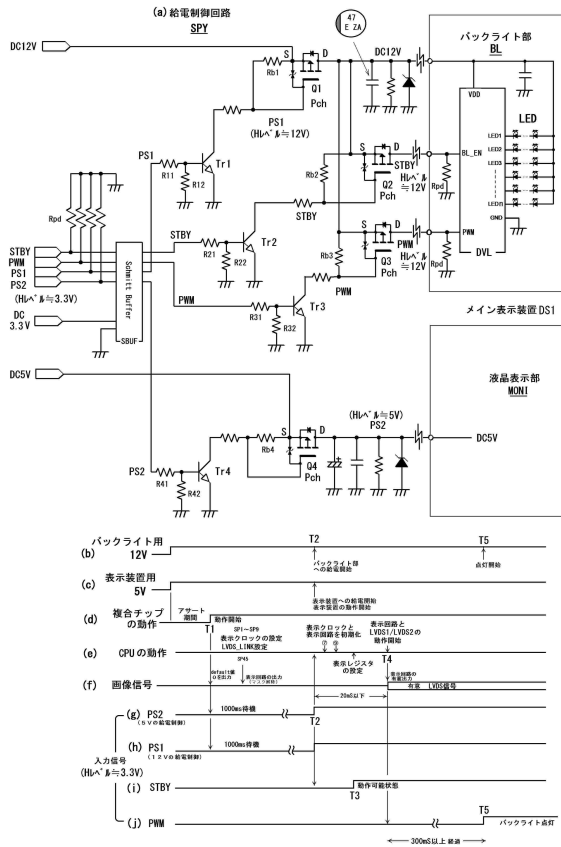
【図 4】



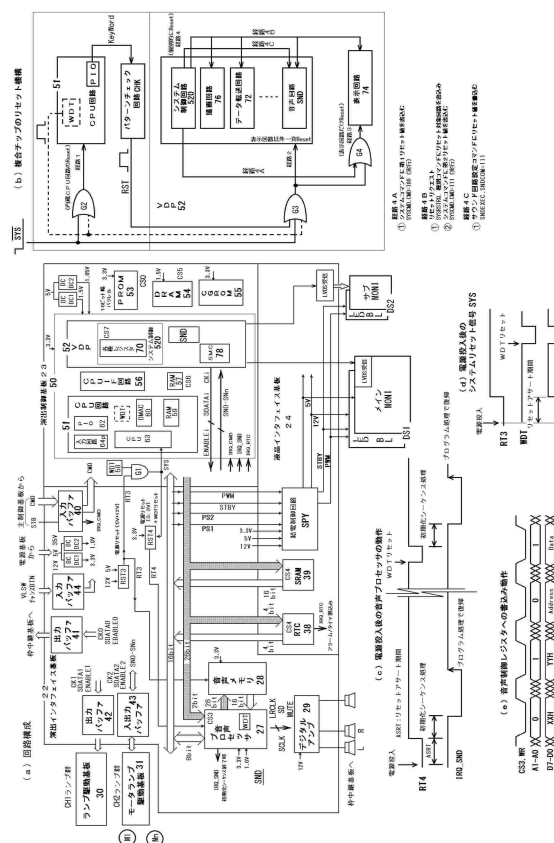
【図 5】



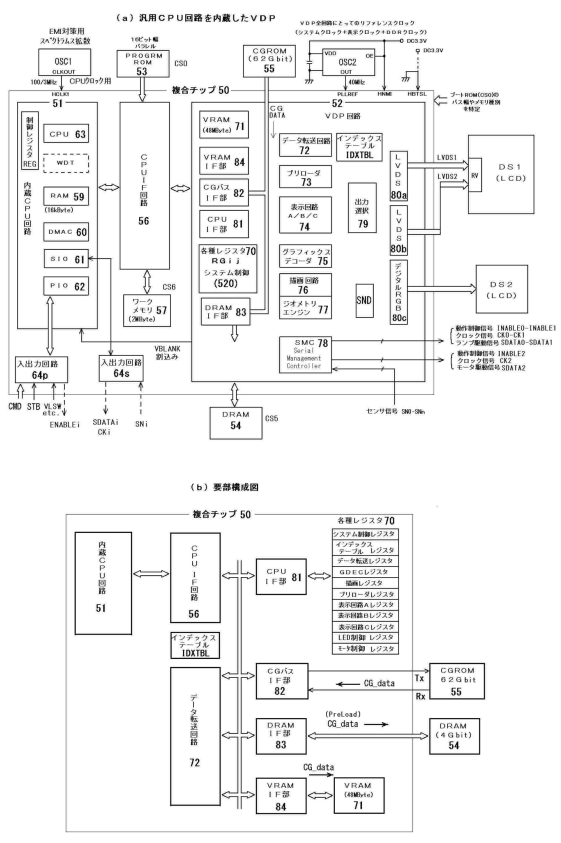
【図 6】



【図 7】



【図 8】



10

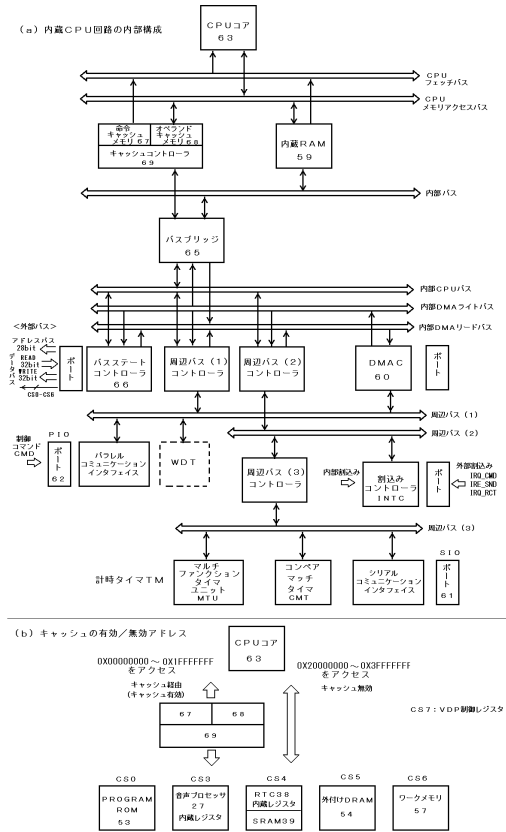
20

30

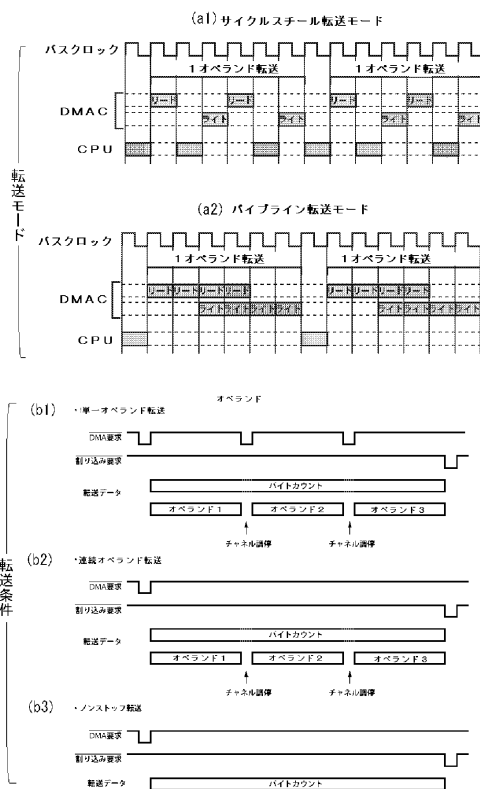
40

50

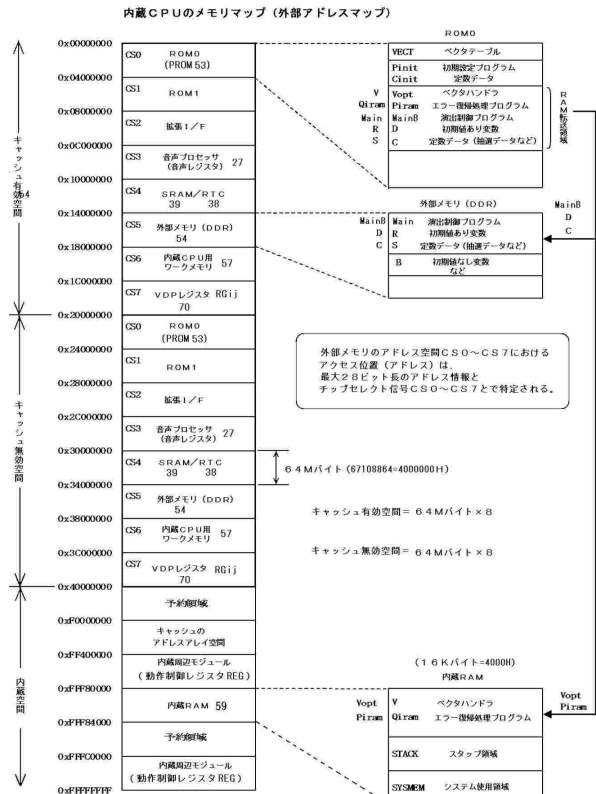
【圖 9】



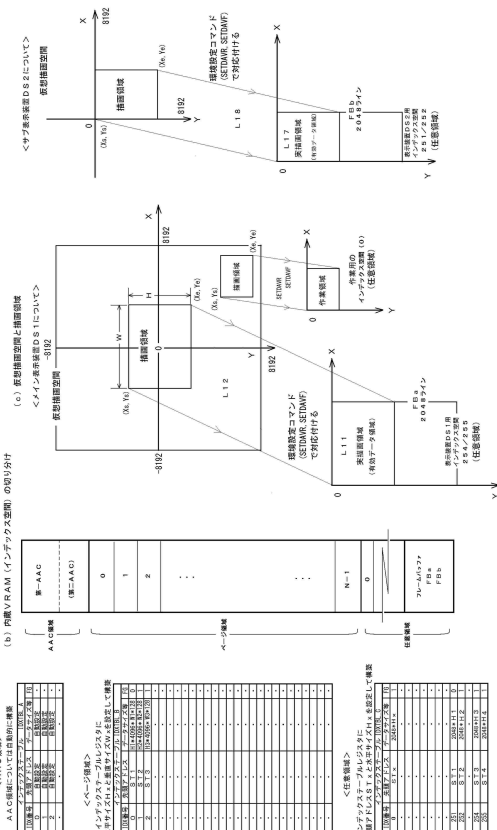
【図 1 1】



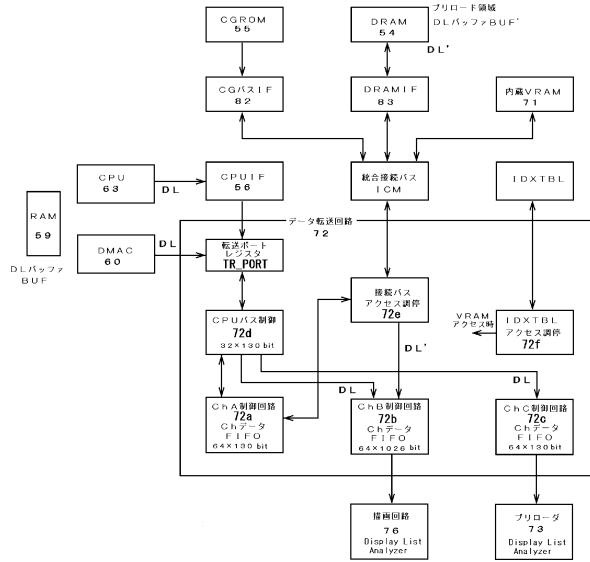
【図 10】



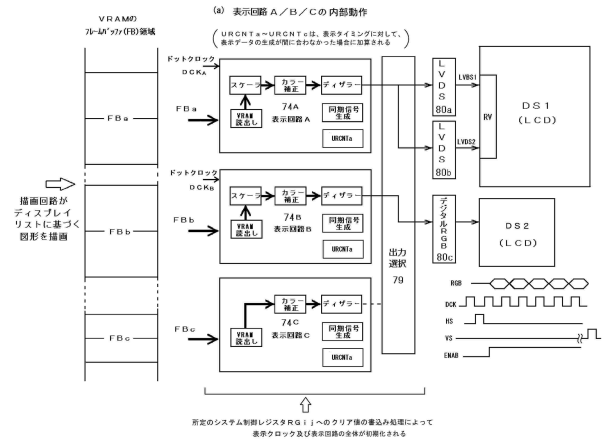
【圖 12】



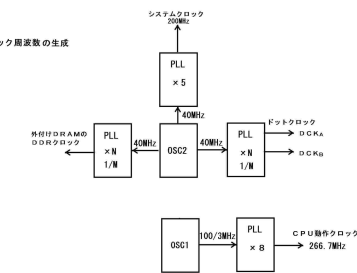
【図 13】



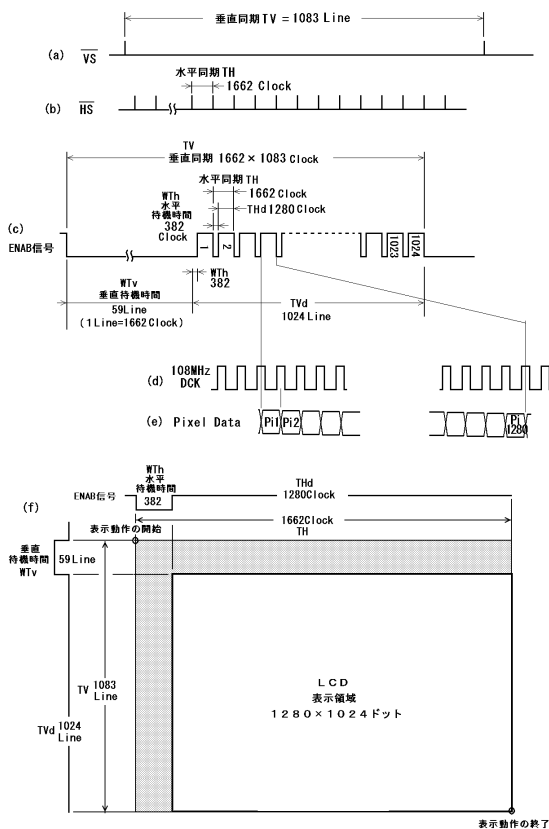
【図 14】



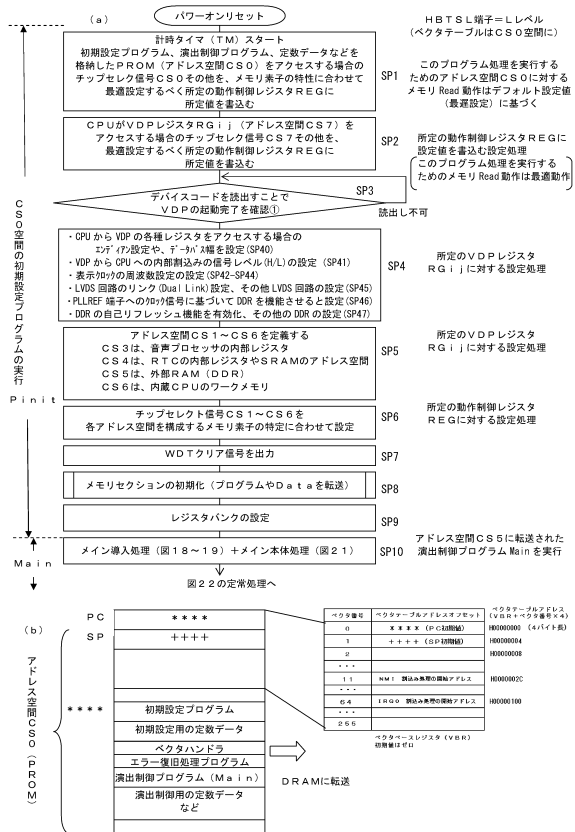
(b) クロック周波数の生成



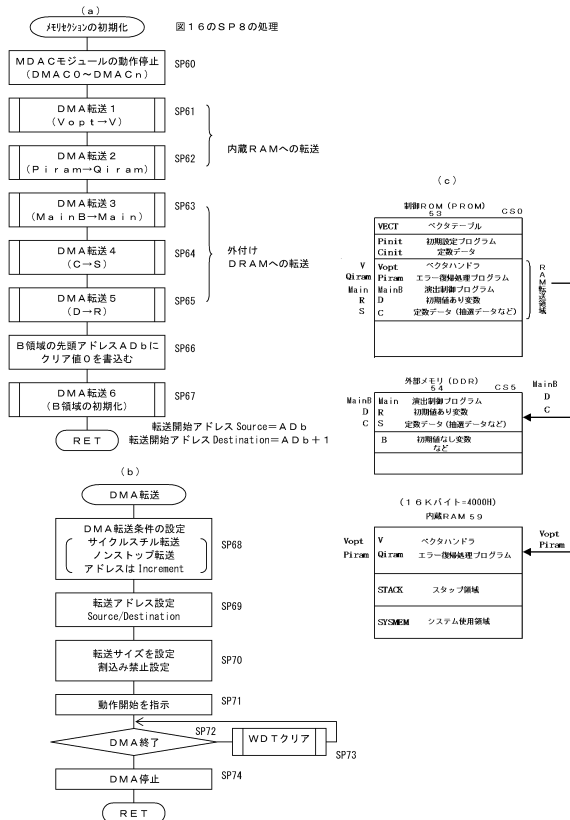
【図 15】



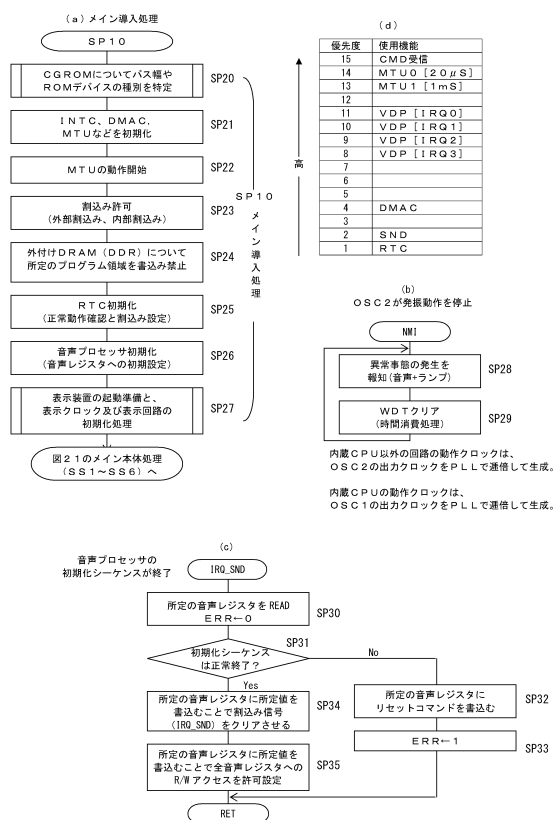
【図 16】



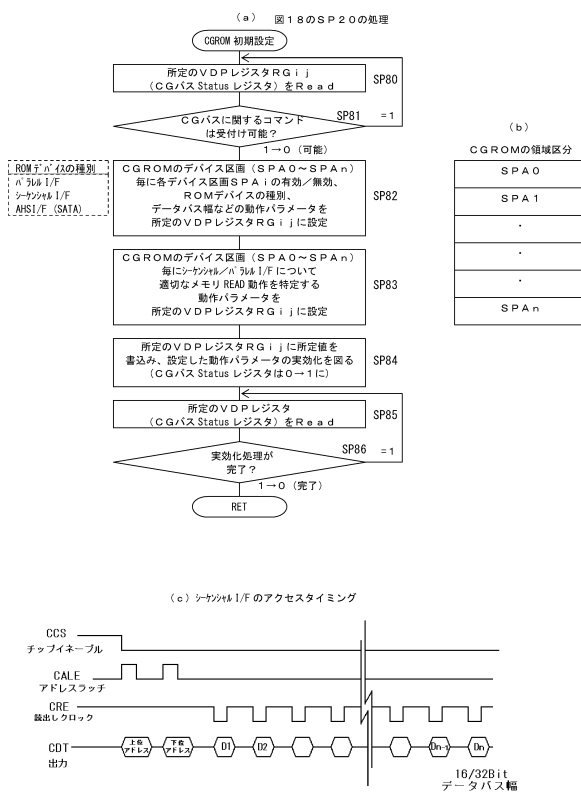
【図 17】



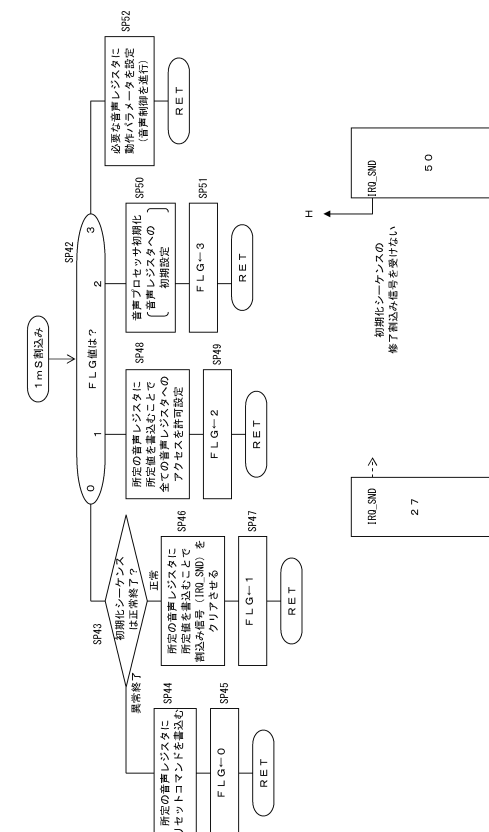
【圖 18】



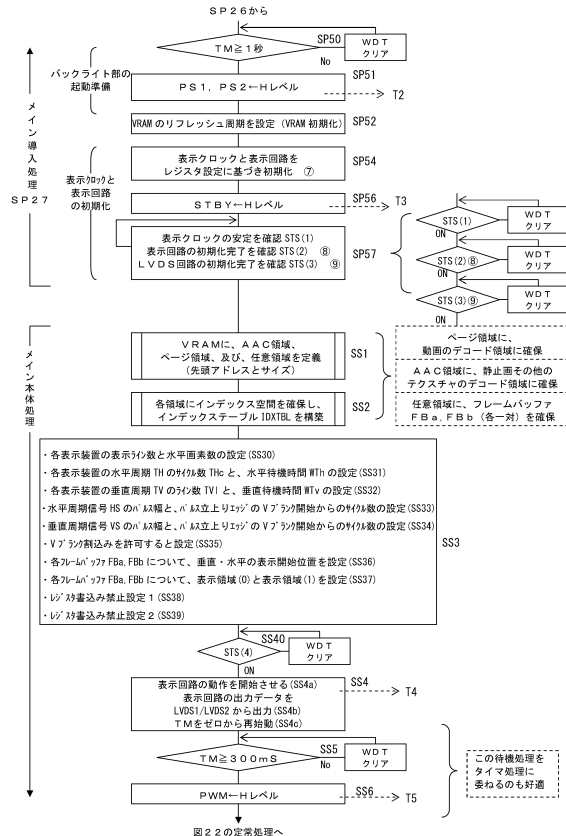
【圖 19】



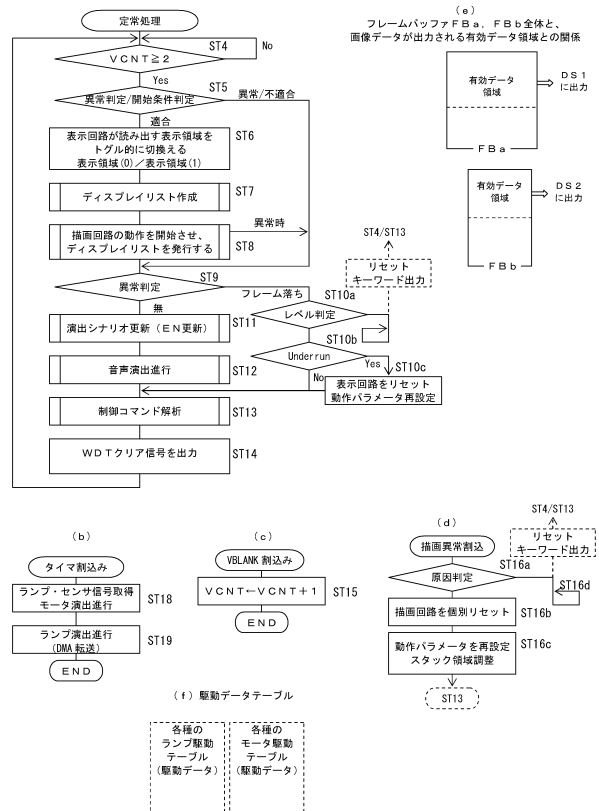
【圖 20】



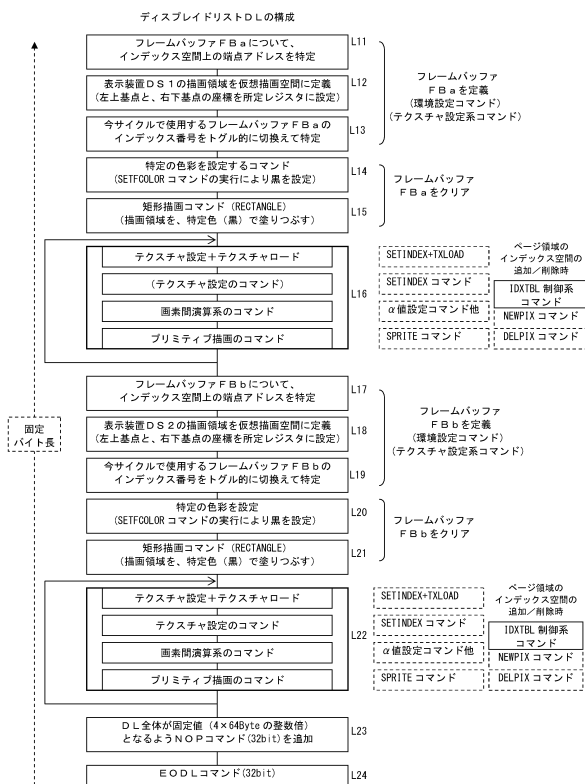
【図 2 1】



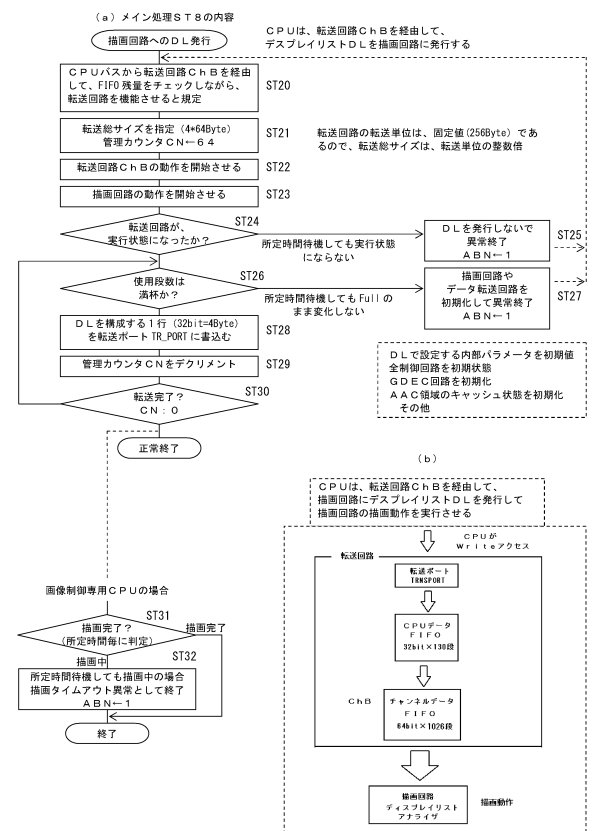
【圖 22】



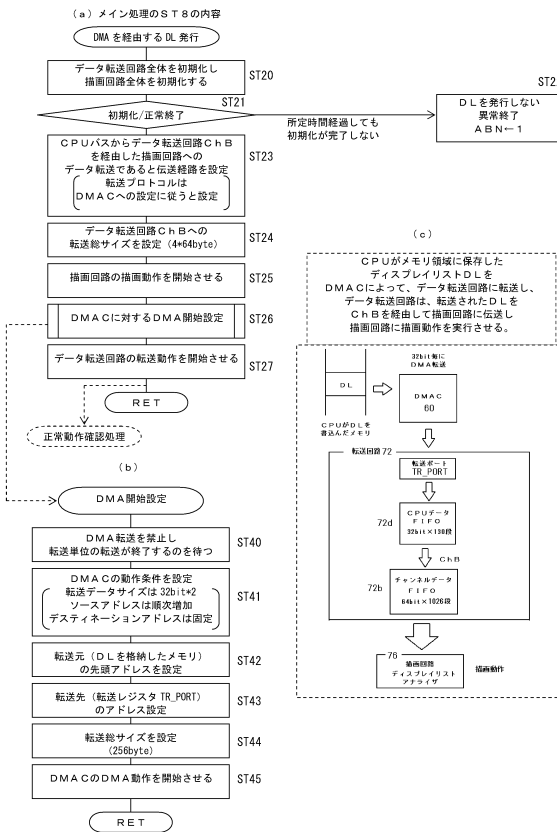
【図 23】



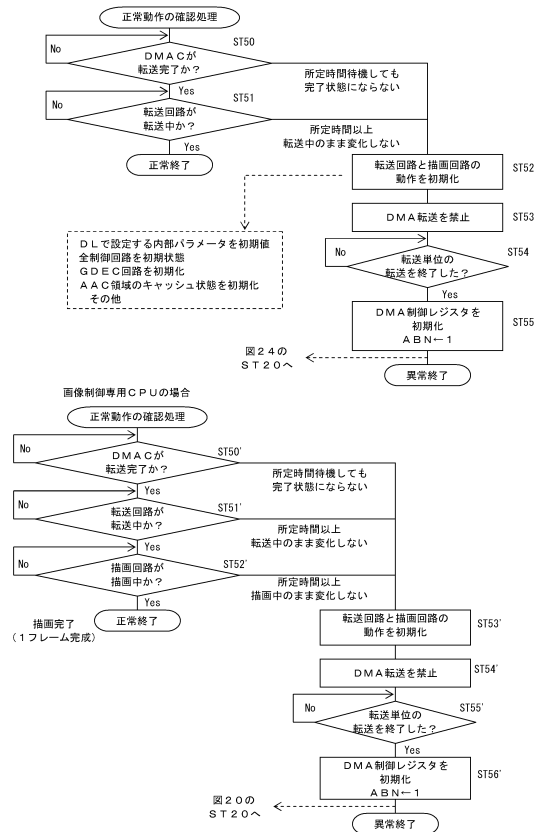
【圖 24】



【図 25】



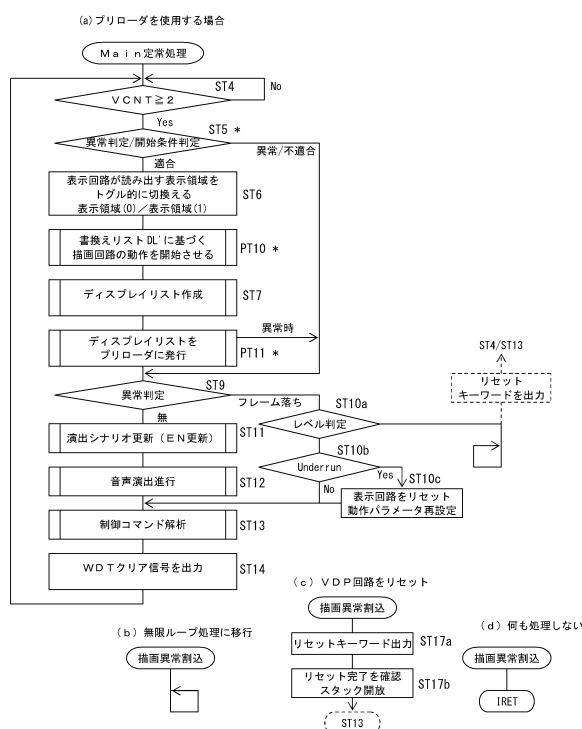
【図 26】



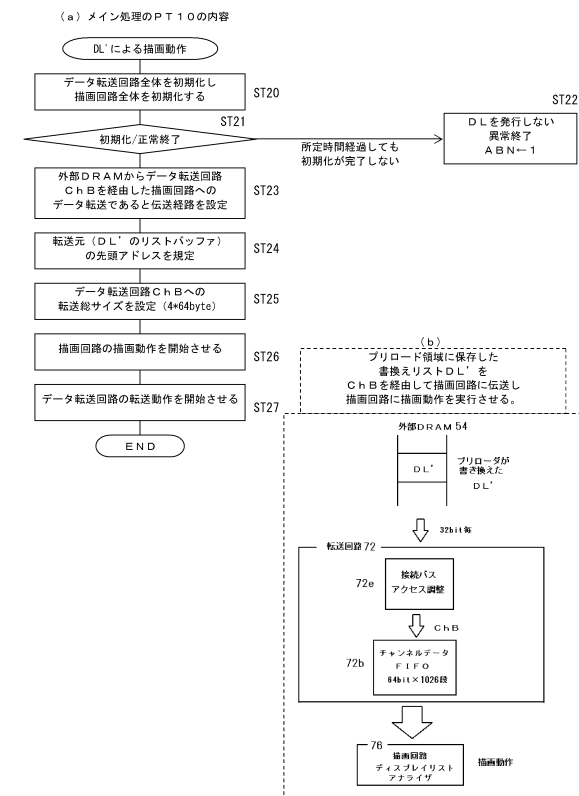
10

20

【図 27】



【図 28】

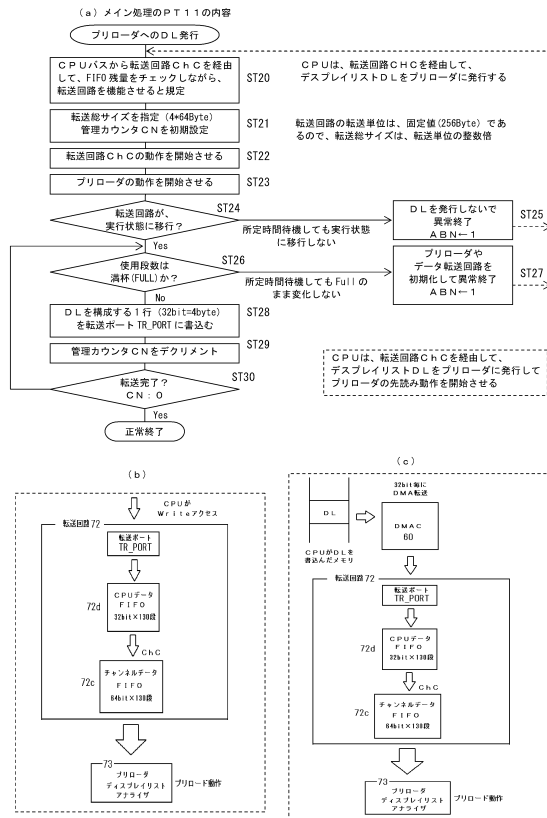


30

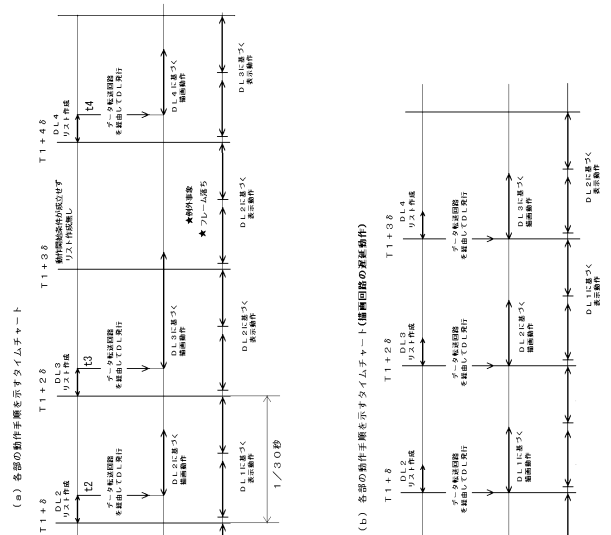
40

50

【圖 29】



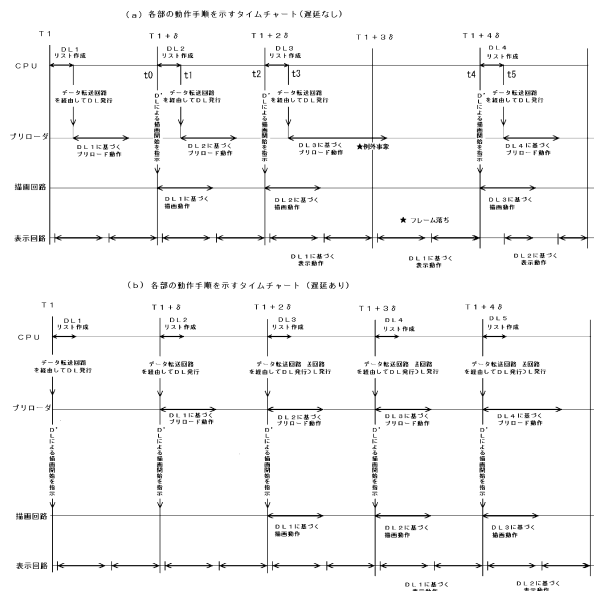
【図 30】



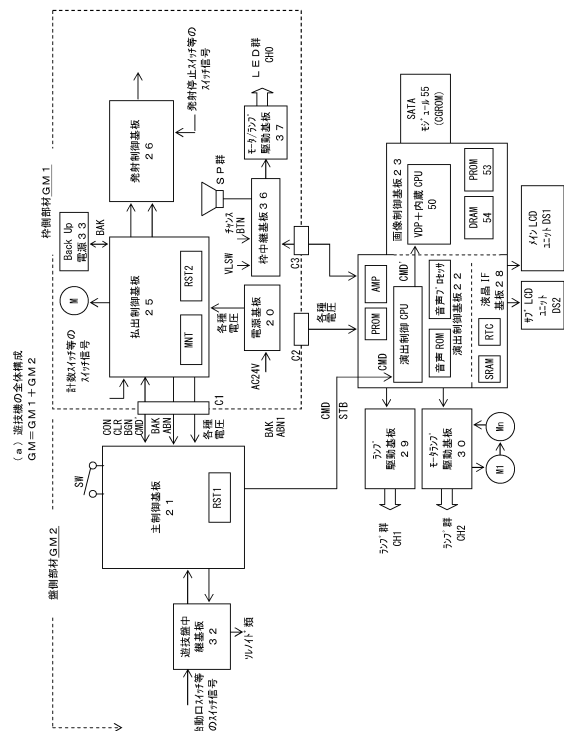
10

20

【図 3 1】



【圖 3 2】

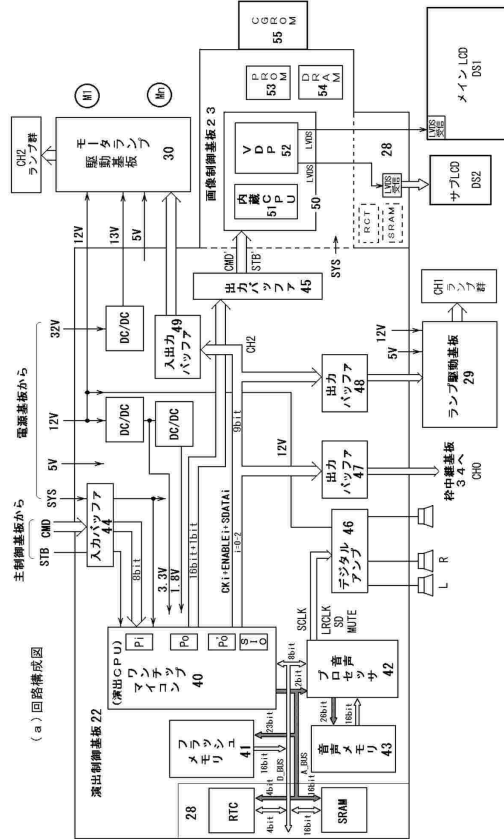


30

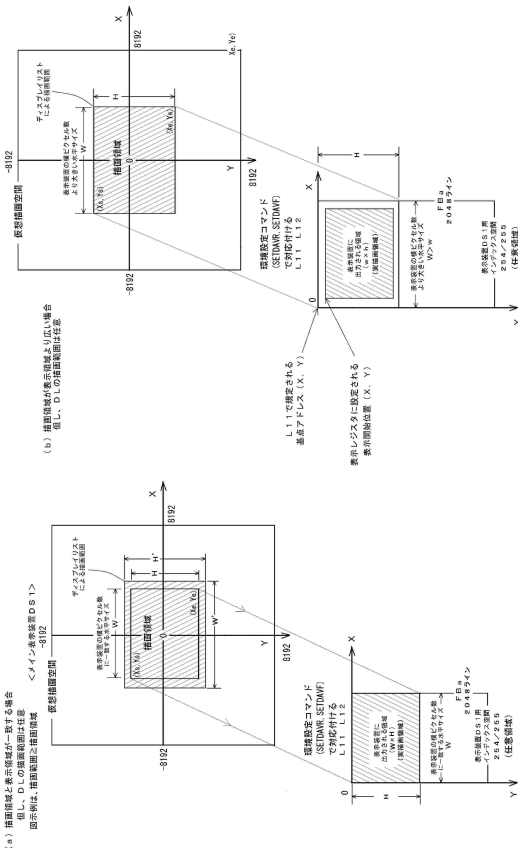
40

50

【図 3 3】

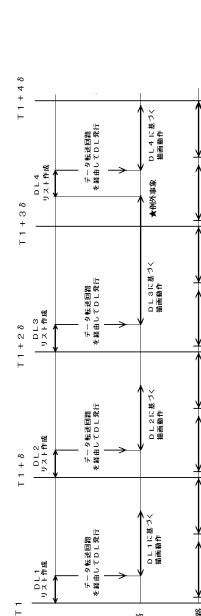


【図 3 5】

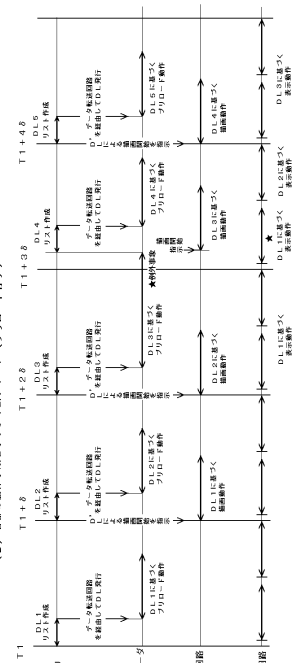


【図 3 4】

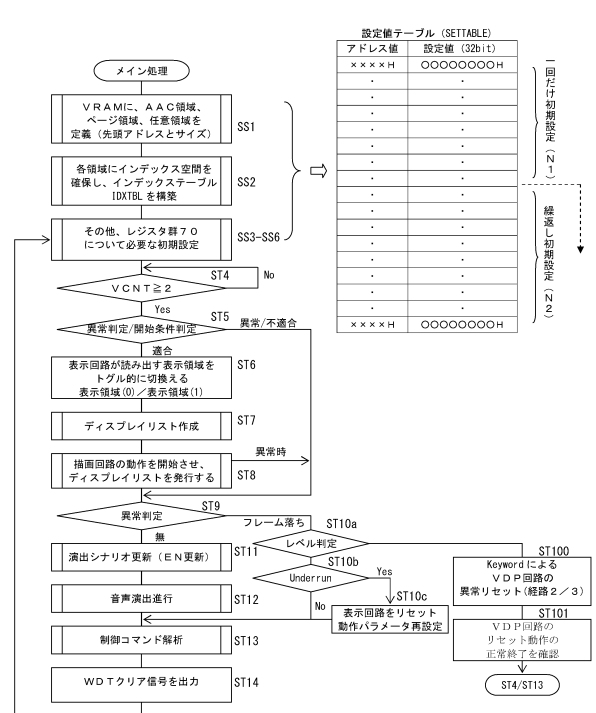
(a) 各部の動作手順を示すタイムチャート (プリロード無し)



(b) 各部の動作手順を示すタイムチャート (プリロード有り)



【図 3 6】



10

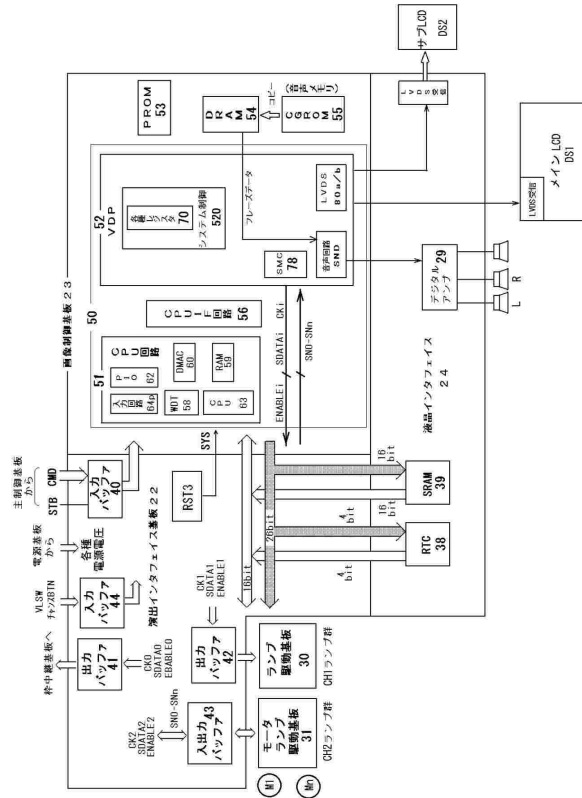
20

30

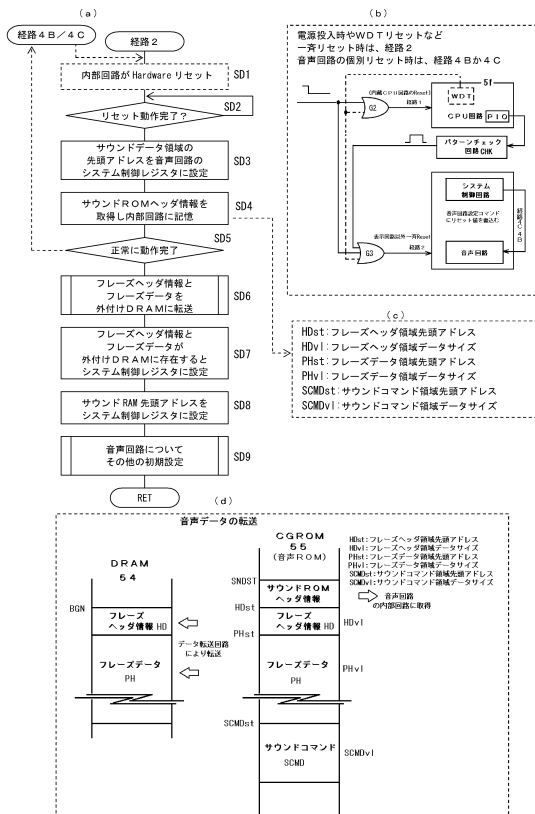
40

50

【圖 3 7】



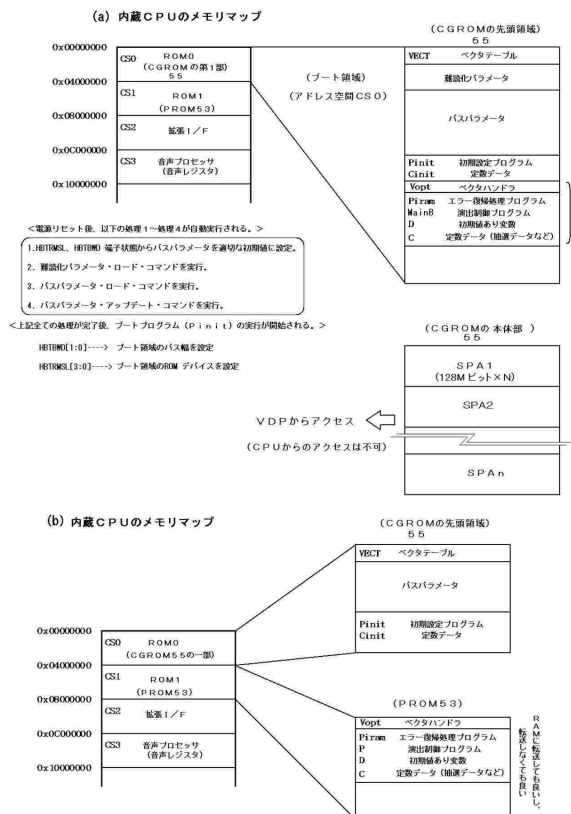
【図 38】



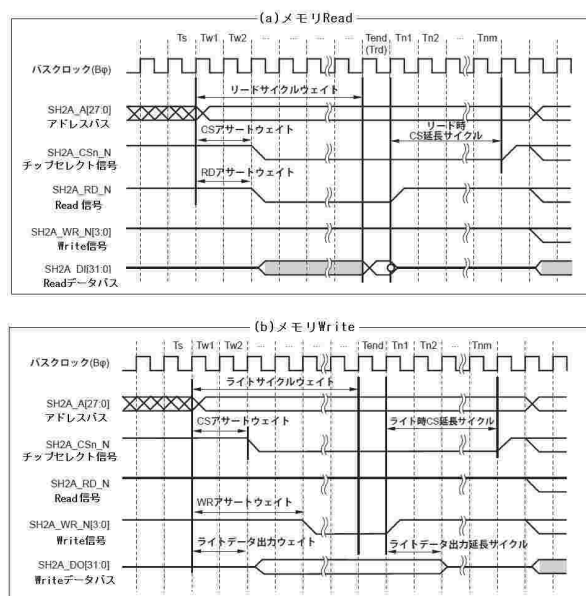
10

20

【図 39】



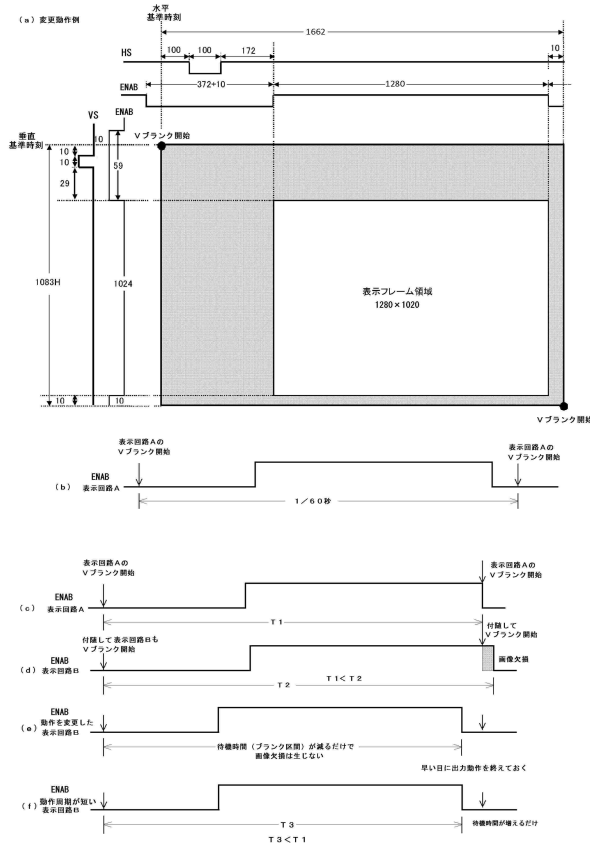
【図 40】



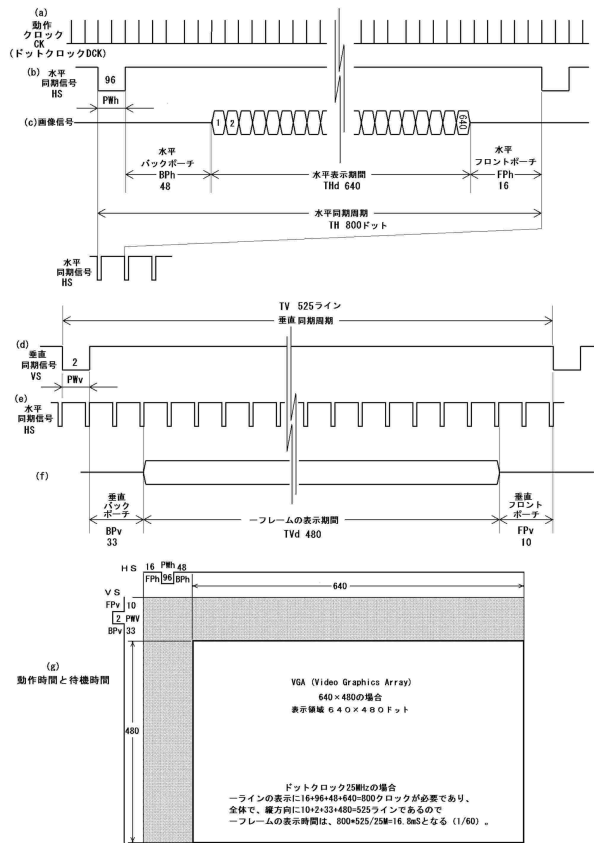
30

40

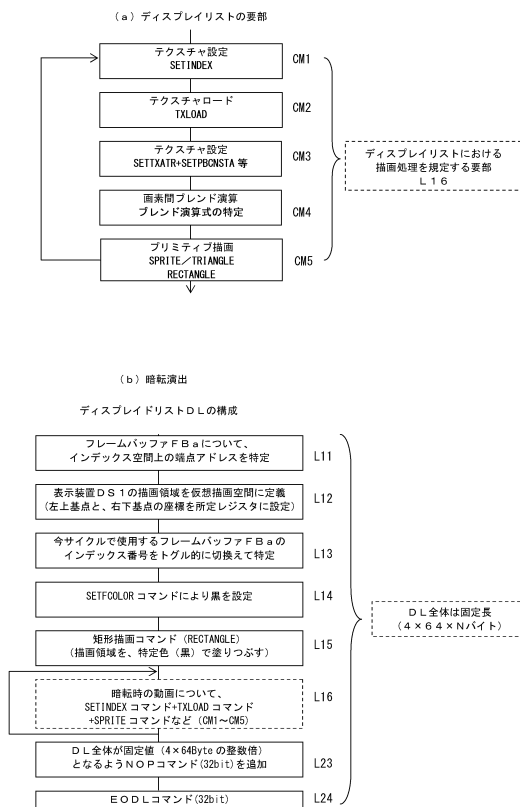
【図 4 1】



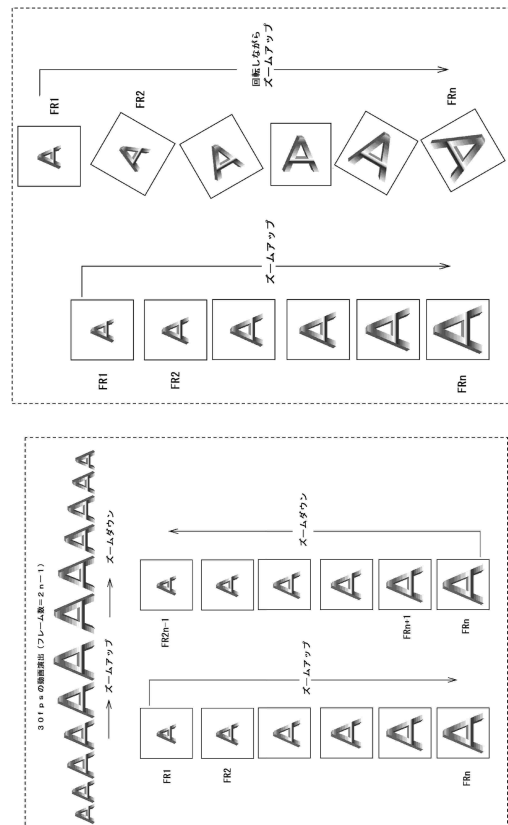
【図 4 2】



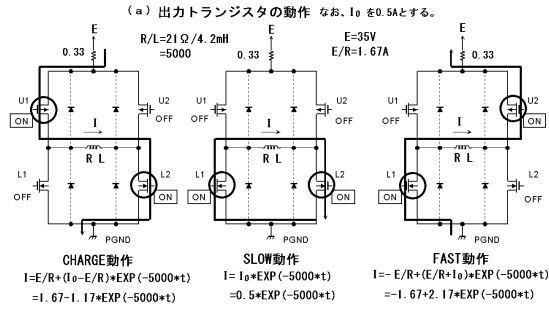
【図 4 3】



【図 44】



【図 5 3】



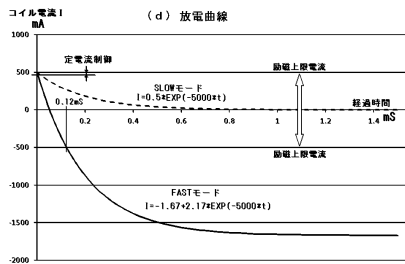
(b) 各トランジスタのON/OFF状態

CLK	U1	U2	L1	L2
CHARGE	ON	OFF	OFF	ON
SLOW	OFF	OFF	ON	ON
FAST	OFF	ON	ON	OFF

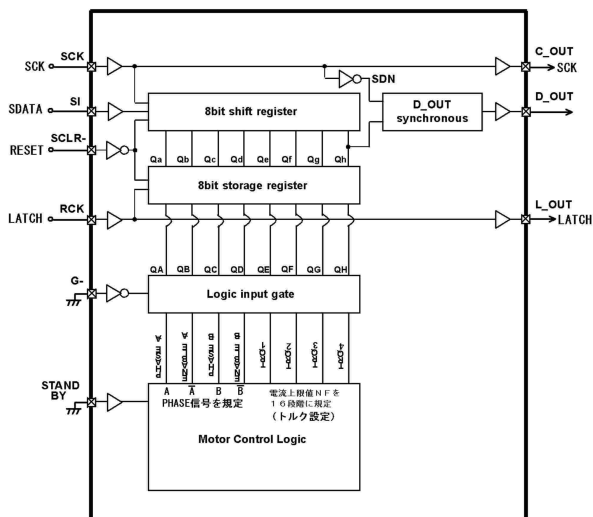
(c) 電流方向が逆の場合

CLK	U1	U2	L1	L2
CHARGE	OFF	ON	ON	OFF
SLOW	OFF	OFF	ON	ON
FAST	ON	OFF	OFF	ON

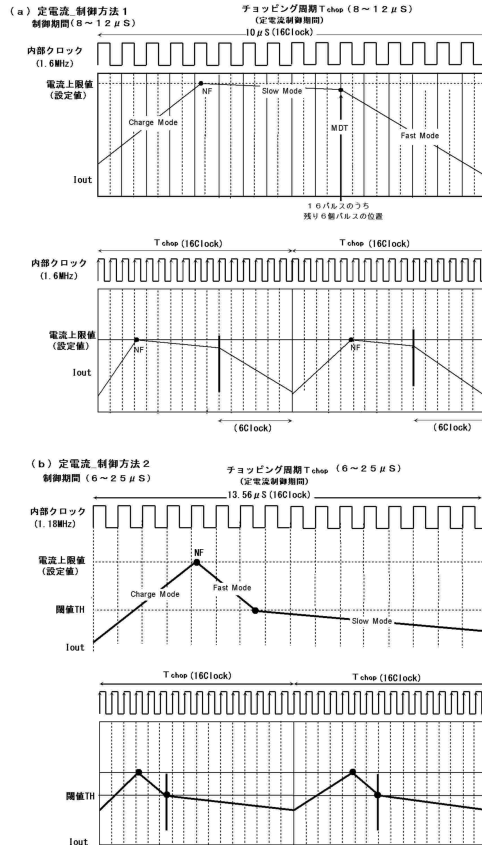
コイル電流 I



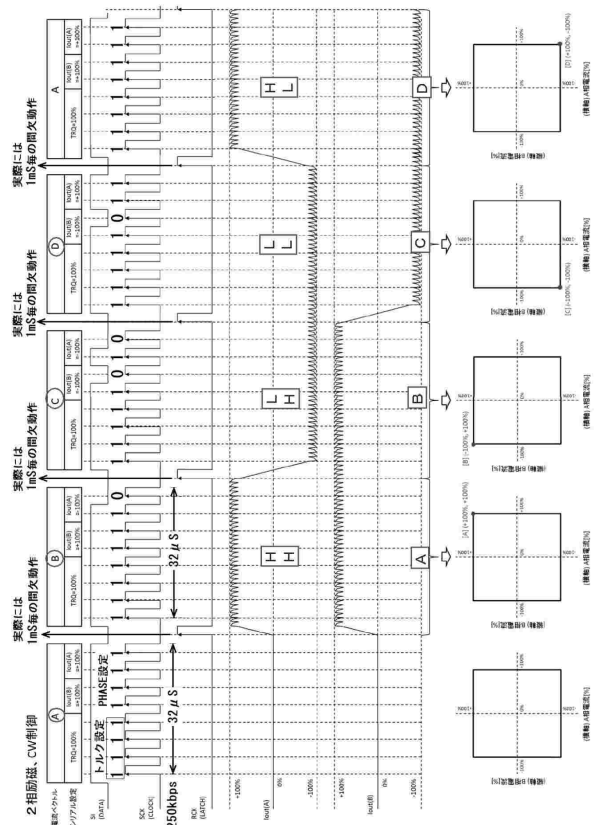
【図 5 5】



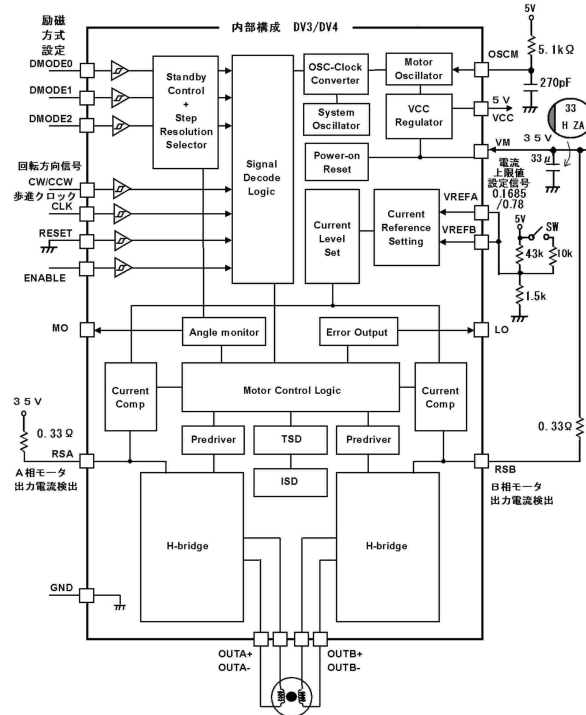
【図 5 4】



【圖 5 6】



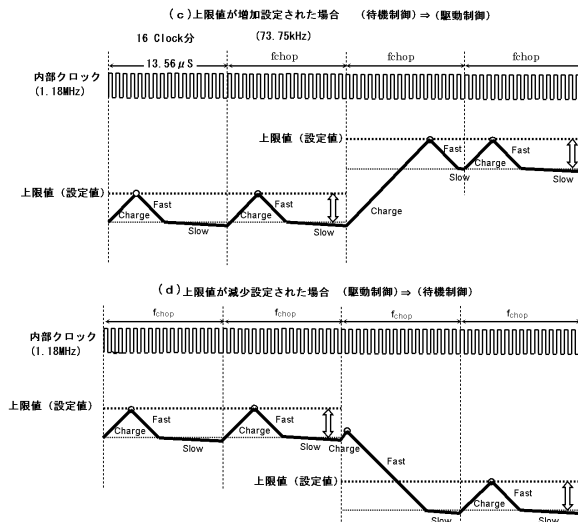
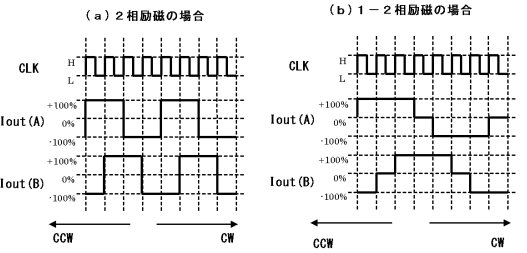
【図 58】



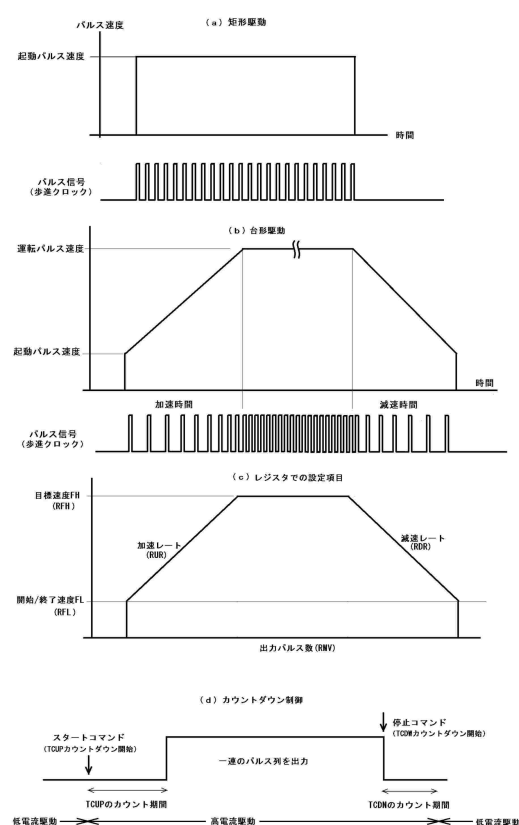
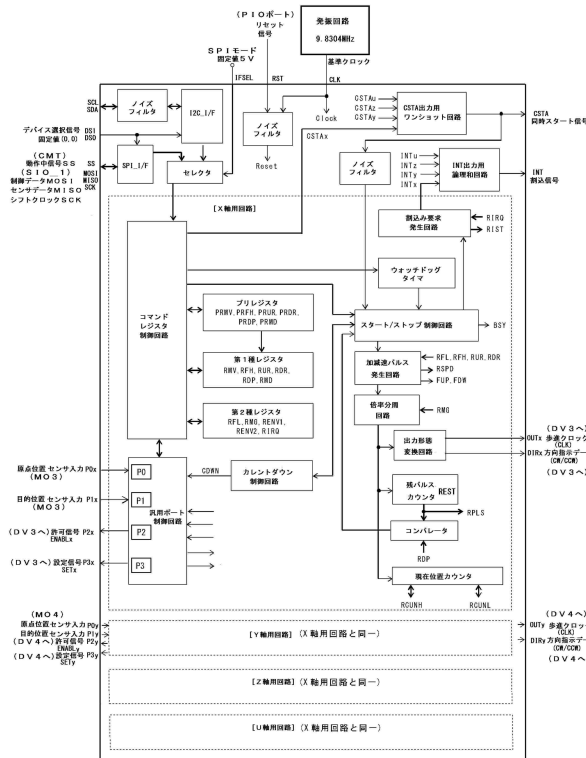
内部クロック周波数=1.18 MHz
定電流制御のチョッピング周波数=73.75 kHz
制御周期 13.56 μ S

駆動時の最大電流=473mA
待機時の最大電流=102mA

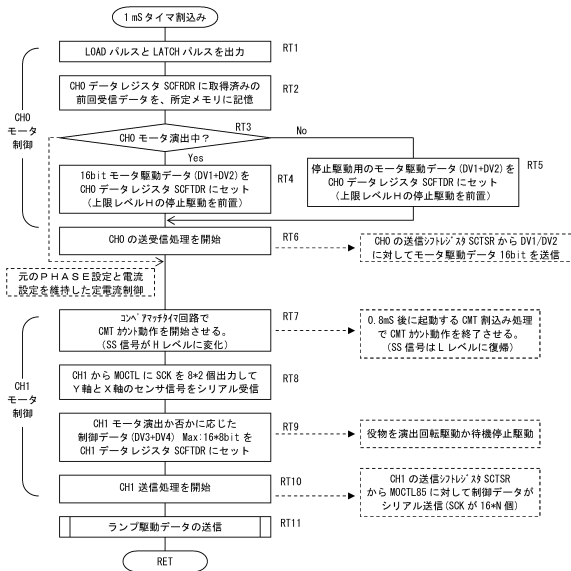
消費電力が4.65%に抑制される。



【圖 60】

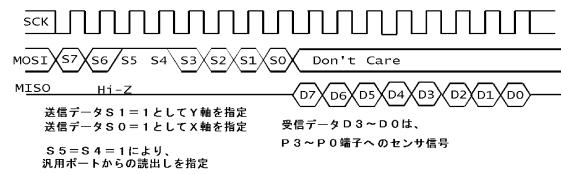


【図 6 1】

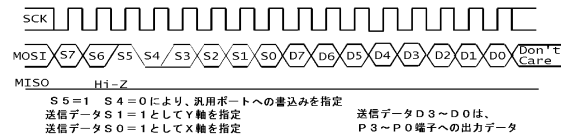


【圖 6 2】

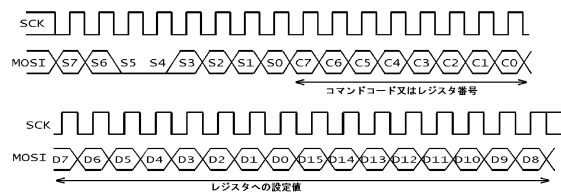
(a) 汎用入力ポート (P0, P1) からのセンサ信号の読出し動作



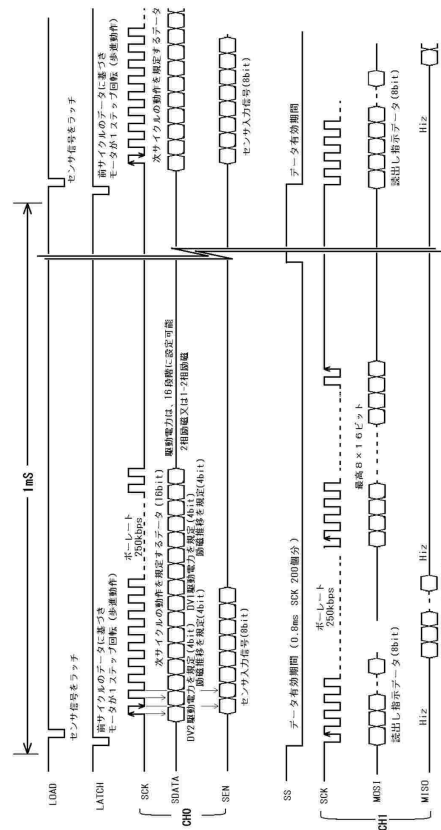
(b) 汎用出力ポート (P2, P3) への許可信号 ENABLE や設定信号 SET の書込み動作



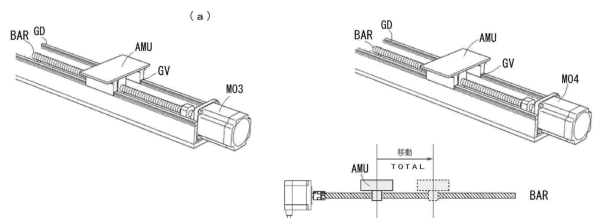
(c) コマンドやレジスタの書込み動作



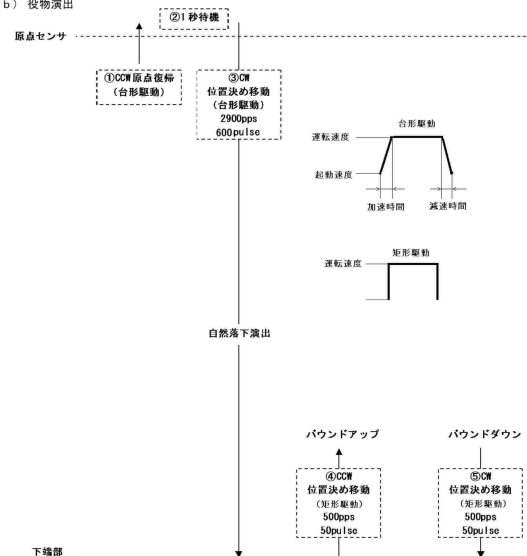
【圖 6 3】



【図 6 4】



(b) 役物演出



フロントページの続き

- (56)参考文献 特開 2020-124331 (JP, A)
特開 2018-093892 (JP, A)
特開 2008-005921 (JP, A)
特開 2009-178285 (JP, A)
特開 2006-204572 (JP, A)
特許第 7091298 (JP, B2)
特許第 7121455 (JP, B2)
特許第 7101648 (JP, B2)
特許第 7101649 (JP, B2)
特開 2009-277096 (JP, A)
特開 2007-081779 (JP, A)
特開平 10-289196 (JP, A)
特開 2012-187222 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
A 63 F 7 / 02
A 63 F 5 / 04