



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월08일
(11) 등록번호 10-1240643
(24) 등록일자 2013년02월28일

(51) 국제특허분류(Int. Cl.)
G03F 7/004 (2006.01) G03F 7/022 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2005-0061606
(22) 출원일자 2005년07월08일
심사청구일자 2010년07월08일
(65) 공개번호 10-2007-0006346
(43) 공개일자 2007년01월11일
(56) 선행기술조사문헌
KR1019980701100 A*
KR1020010111552 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
주식회사 동진세미켄
인천광역시 서구 백범로 644 (가좌동)
(72) 발명자
박정민
서울특별시 서초구 강남대로10길 91, 3층 (양재동)
이희국
경기도 용인시 처인구 양지면 한터로662번길 91 (룻면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 12 항

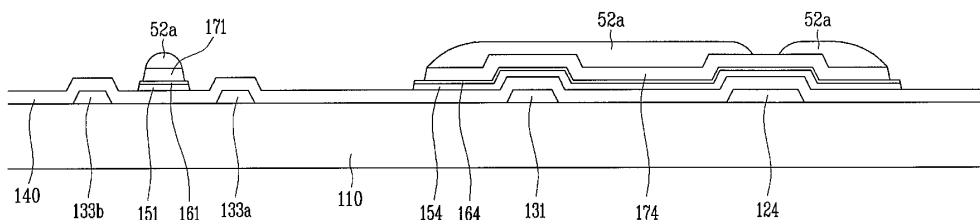
심사관 : 김지은

(54) 발명의 명칭 포토레지스트 조성물, 상기 포토레지스트 조성물을 이용한 패턴의 형성 방법 및 이를 이용한 박막 트랜지스터표시판의 제조 방법

(57) 요약

본 발명은, 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층 위에 데이터 층을 형성하는 단계, 상기 데이터 층 위에 알칼리 가용성 수지 및 화학식 (I)의 발라스트(balast) 구조를 가지는 감광성 화합물을 포함하는 포토레지스트 막을 형성하는 단계, 상기 포토레지스트 막을 패턴닝하여 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계, 상기 1차 식각된 데이터 층을 마스크로 하여 반도체층을 식각하는 단계, 상기 포토레지스트 패턴을 열처리하여 리플로우하는 단계, 상기 리플로우된 포토레지스트 패턴을 이용하여 상기 데이터층을 2차 식각하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법을 제공한다.

대표도 - 도15



(72) 발명자

주진호

서울특별시 마포구 도화길 28, 105동 504호 (도화동, 삼성아파트)

전우석

경기도 성남시 분당구 정자일로 30, 108동 804호 (금곡동, 청솔마을)

정두희

서울특별시 강남구 대치1동 개포우성2차아파트 14동901호

김동민

경기도 화성시 양감면 작은돌래길 35, 3동 신아파트 108동1510호

최기식

경기도 화성시 양감면 작은돌래길 35

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

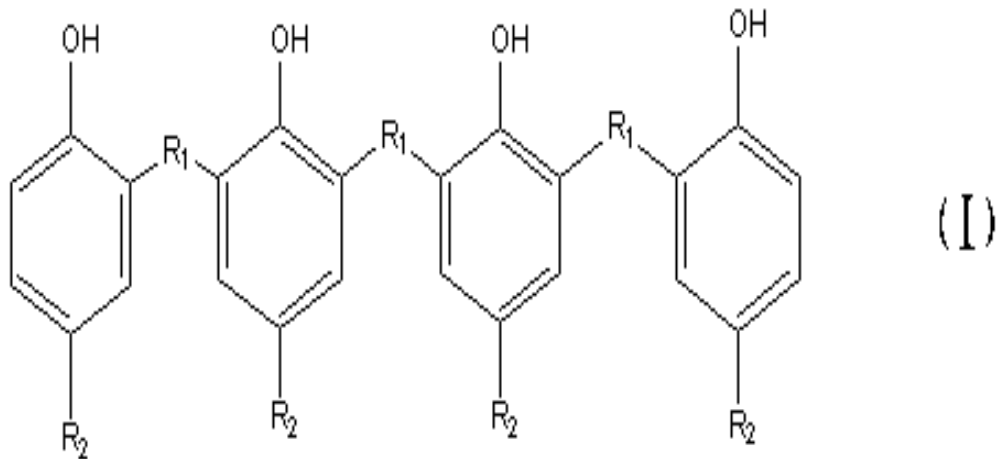
삭제

청구항 17

기판 위에 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막, 반도체층 및 데이터 층을 차례로 형성하는 단계,

상기 데이터 층 위에 알칼리 가용성 수지 및 화학식 (I)의 발라스트(balast) 구조



(여기서, R₁은 알킬렌기이고, R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

를 포함하는 감광성 화합물을 포함하는 포토레지스트 막을 형성하는 단계,

상기 포토레지스트 막을 패터닝하여 포토레지스트 패턴을 형성하는 단계,

상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계,

상기 1차 식각된 데이터 층을 마스크로 하여 반도체층을 식각하는 단계,

상기 포토레지스트 패턴을 열처리하여 리플로우하는 단계,

상기 리플로우된 포토레지스트 패턴을 이용하여 상기 데이터층을 2차 식각하는 단계

를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 18

제17항에서,

상기 감광성 화합물은 디아지드계 화합물을 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 19

제17항 또는 제18항에서,

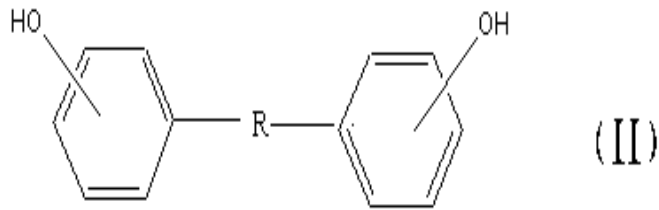
상기 감광성 화합물은 상기 화학식 (I)의 발라스트 구조를 포함하는 화합물과 상기 디아지드계 화합물이 결합된 화합물인 2,2'-메틸렌비스[6-[(2-히드록시-5-메틸페닐)메틸]-4-메틸-1,2-나프토퀴논디아지드-5-설포네이트](2,2'-methylenebis[6-[(2-hydroxy-5-methyl phenyl)methyl]-4-methyl-1,2-naphtoquinonediazide-5-sulfonate])를 포함하는

박막 트랜지스터 표시판의 제조 방법.

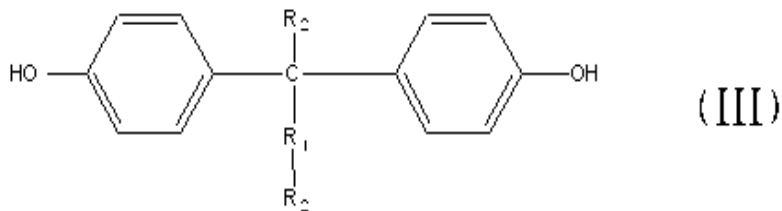
청구항 20

제19항에서,

상기 포토레지스트막은 화학식 (II)의 제1 화합물과 화학식 (III)의 제2 화합물 중 적어도 하나를 함유하는 내열성 조정 첨가제



(여기서, R은 메틸렌기, 에틸렌기, 또는 프로필렌기이다)



(여기서, R₁은 메틸렌기, 에틸렌기, 프로필렌기, 부틸렌기, 펜틸렌기, 또는 헥실렌기이고, R₂는 수소(H) 또는 메틸기이다)

를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 21

제17항에서,

상기 포토레지스트 패턴을 리플로우하는 단계는 100 내지 150℃에서 수행하는

박막 트랜지스터 표시판의 제조 방법.

청구항 22

제17항에서,

상기 포토레지스트 패턴을 리플로우하는 단계에서 상기 포토레지스트 패턴은 상기 데이터 층의 말단까지 리플로우되는

박막 트랜지스터 표시판의 제조 방법.

청구항 23

제17항에서,

상기 반도체층을 식각하는 단계 후에 상기 포토레지스트 패턴을 에치 백(etch back)하는 단계를 더 포함하는

박막 트랜지스터 표시판의 제조 방법.

청구항 24

제17항에서,

상기 포토레지스트 패턴은 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는

박막 트랜지스터 표시판의 제조 방법.

청구항 25

제17항에서,

상기 포토레지스트 패턴을 형성하는 단계는 상기 포토레지스트 막을 노광하는 단계 및 상기 노광된 포토레지스트 막을 현상하는 단계를 포함하며,

상기 노광된 포토레지스트막을 현상하는 단계와 상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계 사이에 열처리를 수행하지 않는

박막 트랜지스터 표시판의 제조 방법.

청구항 26

기판 위에 게이트선을 형성하는 단계,

상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계,

상기 반도체층 위에 데이터 층을 형성하는 단계,

상기 데이터 층 위에 포토레지스트 막을 형성하는 단계,

상기 포토레지스트 막을 노광하는 단계,

상기 포토레지스트 막을 현상하여 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 포토레지스트 패턴을 형성하는 단계,

상기 노광된 포토레지스트 막을 현상하는 단계 후 열처리 공정 없이 상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계,

상기 1차 식각된 데이터 층을 마스크로 하여 반도체층을 식각하는 단계,

상기 반도체층을 식각한 후에 상기 포토레지스트 패턴을 열처리하여 리플로우하는 단계,

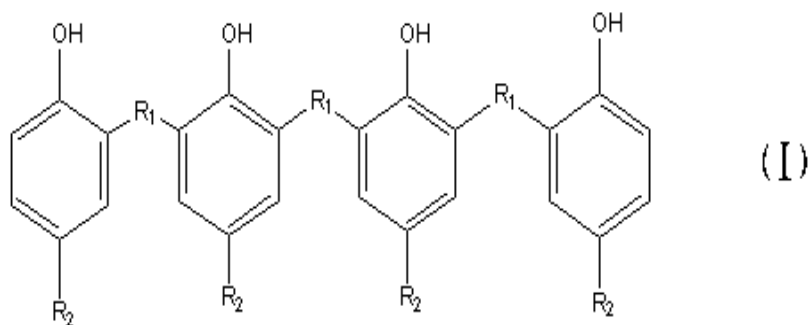
상기 리플로우된 포토레지스트 패턴을 이용하여 상기 데이터층을 2차 식각하는 단계를 포함하는

박막 트랜지스터 표시판의 제조 방법.

청구항 27

제26항에서,

상기 포토레지스트 막은 화학식 (I)의 발라스트(balast) 구조



(여기서, R₁은 알킬렌기이고, R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

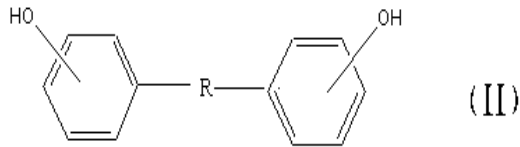
를 포함하는 감광성 화합물을 포함하는

박막 트랜지스터 표시판의 제조 방법.

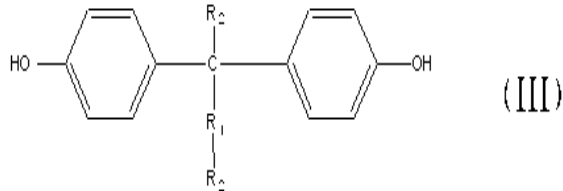
청구항 28

제26항에서,

상기 포토레지스트 막은 화학식 (II)의 제1 화합물과 화학식 (III)의 제2 화합물 중 적어도 하나를 함유하는 내 열성 조정 첨가제



(여기서, R은 메틸렌기, 에틸렌기, 또는 프로필렌기이다)



(여기서, R₁은 메틸렌기, 에틸렌기, 프로필렌기, 부틸렌기, 펜틸렌기, 또는 헥실렌기이고, R₂는 수소(H) 또는 메틸기이다)

를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0018] 본 발명은 포토레지스트 조성물, 상기 포토레지스트 조성물을 이용한 패틴 형성 방법 및 박막 트랜지스터 표시판의 제조 방법에 관한 것이다.
- [0019] 액정 표시 장치(Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display) 중 하나로써, 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- [0020] 액정 표시 장치 중에서도 현재 주로 사용되는 것은 전계 생성 전극이 두 표시판에 각각 구비되어 있는 구조이다. 이 중에서도, 한 표시판에는 복수의 화소 전극이 행렬의 형태로 배열되어 있고, 다른 표시판에는 하나의 공통 전극이 표시판 전면을 덮고 있는 구조가 주류이다. 이러한 액정 표시 장치에서의 화상의 표시는 각 화소 전극에 별도의 전압을 인가함으로써 이루어진다. 이를 위해서 화소 전극에 인가되는 전압을 스위칭하기 위한 삼단자소자인 박막 트랜지스터를 각 화소 전극에 연결하고, 이 박막 트랜지스터를 제어하기 위한 신호를 전달하는 게이트선(gate line)과 화소 전극에 인가될 전압을 전달하는 데이터선(data line)을 표시판(이하 '박막 트랜지스터 표시판'이라 함)에 각각 형성한다. 박막 트랜지스터는 게이트선을 통하여 전달되는 주사 신호에 따라 데이터선을 통하여 전달되는 화상 신호를 화소 전극에 전달 또는 차단하는 스위칭 소자로서의 역할을 한다. 이러한 박막 트랜지스터는, 자발광소자인 능동형 유기 발광 표시 소자(active matrix organic light emitting diode display)에서도 각 발광 소자를 개별적으로 제어하는 스위칭 소자로서 역할을 한다.
- [0021] 박막 트랜지스터 표시판은 게이트 층, 데이터 층 및 반도체 층을 포함한 복수의 박막으로 이루어진다. 이들 박막은 각각의 마스크를 사용하여 별도의 패틴으로 형성된다. 그런데, 하나의 마스크 수가 증가할 때마다 노광, 현상, 식각 등의 공정이 추가되어 제조 비용 및 시간이 현저하게 증가한다.
- [0022] 이에 따라, 반도체 층과 데이터 층을 하나의 마스크로 형성하고, 데이터 층의 소스 전극과 데이터 전극 사이의 채널부를 슬릿(slit) 구조로 형성하는 방법이 제안되었다.

발명이 이루고자 하는 기술적 과제

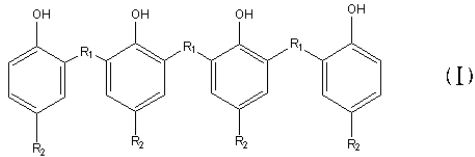
- [0023] 그러나, 이 경우 채널부에 남아있는 포토레지스트의 양이 불균일하여 단락(short)이 발생할 수 있으며, 식각 특

성의 한계로 인하여 소스 전극 및 드레인 전극의 하부에 형성되어 있는 반도체층 말단이 크게 돌출되어 개구율을 저하시킬 수 있다.

[0024] 따라서, 본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하는 것으로서, 채널부에 남아있는 포토레지스트의 양을 균일하게 하고 반도체층 말단의 돌출을 감소시키는 것이다.

발명의 구성 및 작용

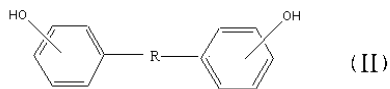
[0025] 본 발명의 한 실시예에 따른 포토레지스트 조성물은, 알칼리 가용성 수지, 화학식 (I)의 발라스트(balast) 구조를 가지는 감광성 화합물



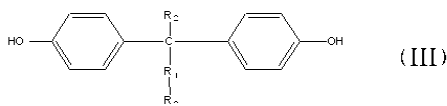
[0026] (여기서, R₁과 R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

[0028] 을 포함한다.

[0029] 또한, 본 발명의 한 실시예에 따른 포토레지스트 조성물은 알칼리 가용성 수지, 감광성 화합물, 및 화학식 (I)의 제1 화합물과 화학식 (III)의 제2 화합물 중 적어도 하나를 함유하는 내열성 조정 첨가제

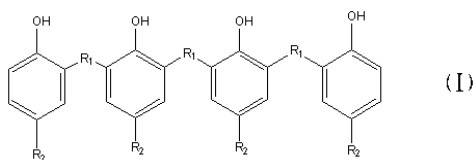


[0030] (여기서, R은 메틸기, 에틸기, 프로필기이다)



[0033] (여기서, R₁은 메틸기, 에틸기, 프로필기, 부틸기, 펜틸기, 헥실기이고, R₂는 수소(H) 또는 메틸기이다)

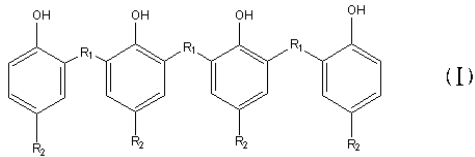
[0035] 또한, 본 발명의 한 실시예에 따른 패턴의 형성 방법은, 기판 위에 도전성 또는 비도전성 층(layer)을 형성하는 단계, 상기 층 위에 알칼리 가용성 수지 및 화학식 (I)의 발라스트(balast) 구조



[0037] (여기서, R₁과 R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

[0038] 를 가지는 감광성 화합물을 포함하는 포토레지스트 막을 형성하는 단계, 상기 포토레지스트 막을 패터닝하여 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 이용하여 상기 층을 식각하는 단계를 포함한다.

[0039] 또한, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층 위에 데이터 층을 형성하는 단계, 상기 데이터 층 위에 알칼리 가용성 수지 및 화학식 (I)의 발라스트(balast) 구조



[0040]

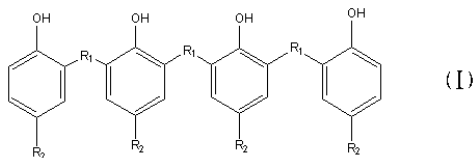
[0041] (여기서, R₁과 R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

[0042] 를 가지는 감광성 화합물을 포함하는 포토레지스트 막을 형성하는 단계, 상기 포토레지스트 막을 패터닝하여 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계, 상기 1차 식각된 데이터 층을 마스크로 하여 반도체층을 식각하는 단계, 상기 포토레지스트 패턴을 열처리하여 리플로우하는 단계, 상기 리플로우된 포토레지스트 패턴을 이용하여 상기 데이터층을 2차 식각하는 단계를 포함한다.

[0043] 또한, 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은, 기판 위에 게이트선을 형성하는 단계, 상기 게이트선 위에 게이트 절연막 및 반도체층을 형성하는 단계, 상기 반도체층 위에 데이터 층을 형성하는 단계, 상기 데이터 층 위에 포토레지스트 막을 형성하는 단계, 상기 포토레지스트막을 노광하는 단계, 상기 노광된 포토레지스트막을 현상하는 단계, 상기 포토레지스트 막을 현상하여 제1 부분과 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 포토레지스트 패턴을 형성하는 단계, 상기 포토레지스트 패턴을 이용하여 상기 데이터 층을 1차 식각하는 단계, 상기 1차 식각된 데이터 층을 마스크로 하여 반도체층을 식각하는 단계, 상기 포토레지스트 패턴을 열처리하여 리플로우하는 단계, 상기 리플로우된 포토레지스트 패턴을 이용하여 상기 데이터층을 2차 식각하는 단계를 포함하며, 상기 노광된 포토레지스트막을 현상하는 단계와 상기 데이터 층을 1차 식각하는 단계 사이에 열처리를 수행하지 않는 것을 특징으로 한다.

[0044] 이하, 본 발명에 따른 포토레지스트 조성물에 대하여 상세히 설명한다.

[0045] 본 발명에 따른 포토레지스트 조성물은, 알칼리 가용성 수지 및 화학식 (I)의 발라스트(balast) 구조를 가지는 감광성 화합물



[0046]

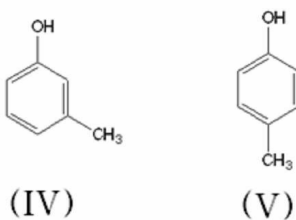
[0047] (여기서, R₁과 R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

[0048] 을 포함한다.

[0049] 알칼리 가용성 수지로는, 대표적으로 노볼락 수지(novolac resin)를 들 수 있다.

[0050] 노볼락 수지는 일반적으로 산촉매(acid catalyst)의 존재 하에 페놀 모노머(phenol monomer)와 알데히드(aldehyde) 화합물을 반응시켜 합성한 고분자 중합체이다.

[0051] 여기서, 페놀 모노머로는 화학식 (IV)의 메타(m)-크레졸과 화학식 (V)의 파라(p)-크레졸을 특정 비율로 합성하여 이용할 수 있으며,



[0052]

[0053] 알데히드 화합물로는 포름알데히드, p-포름알데히드, 벤즈알데히드, 니트로벤즈알데히드, 아세트알데히드 등에서 선택된 1종 또는 2종 이상을 혼합하여 사용할 수 있다. 또한, 상기 페놀 화합물 및 알데히드 화합물의 반응 시 첨가되는 산촉매(acidic catalyst)는, 예컨대 염산, 질산, 황산, 개미산 또는 옥살산 등에서 선택될 수

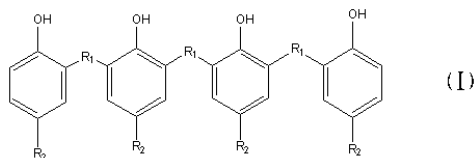
있다.

[0054] 본 발명에서 노볼락 수지의 평균 분자량은 2,000 내지 5,000이다. 2,000보다 낮은 경우 감도가 저하되어 미세 패턴을 형성하기 어렵고 5,000을 초과하는 경우 포토레지스트의 리플로우(reflow) 특성 및 다른 막과의 접착성이 저하될 수 있다.

[0055] 알칼리 가용성 수지는 포토레지스트 조성물의 총 함량에 대하여 5 내지 30중량%로 함유되는 것이 바람직하다.

[0056] 감광성 화합물은 노광시 빛에 반응하여 광화학적 반응(photo-chemical reaction)을 일으키는 화합물이다.

[0057] 본 발명에서는 광화학적 반응과 함께 포토레지스트의 유동성을 증가시킬 수 있는 감광성 화합물로서, 화학식 (I)의 발라스트(ballast) 구조



[0058] (여기서, R₁과 R₂는 알킬기이며, R₁과 R₂는 서로 같거나 다를 수 있다)

[0060] 를 가지는 화합물을 사용한다.

[0061] 발라스트 구조는 상기 구조식에서 보는 바와 같이 다수의 벤젠 고리 사이에 알킬기(alkyl group)가 연결되어 있기 때문에 화합물에 플렉서블(flexible) 특성을 부여하고 포토레지스트 조성물의 유동성을 증가시킬 수 있다.

[0062] 또한, 상기 발라스트 구조의 히드록시기(hydroxy group, -OH)에 예컨대 퀴논디아지드(quinone diazide)와 같은 디아지드계 화합물이 결합되어 감광 특성을 나타낼 수 있다.

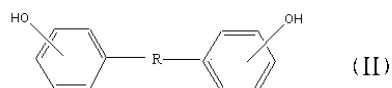
[0063] 발라스트 구조에 디아지드 화합물이 결합되어 있는 화합물로는, 예컨대 2,2'-메틸렌비스[6-[(2-히드록시-5-메틸페닐)메틸]-4-메틸-1,2-나프토퀴논디아지드-5-설포네이트(2,2'-methylene bis[6-[(2-hydroxy-5-methylphenyl)methyl]-4-methyl-1,2-naphtoquinonediazide-5-sulfonate)]를 들 수 있다.

[0064] 감광성 화합물은 포토레지스트 조성물의 총 함량에 대하여, 2 내지 10중량%로 함유된다. 2중량% 미만으로 함유되는 경우 노광시 감응 속도가 저하되고, 10중량%를 초과하여 함유되는 경우 감응 속도가 급격하게 증가하여 양호한 프로파일로 형성되지 않는다.

[0065] 또한, 본 발명은 포토레지스트의 내열성을 감소시키기 위하여 내열성 조정 첨가제를 포함한다.

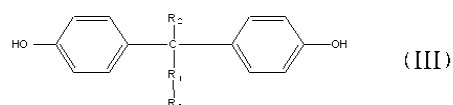
[0066] 내열성 조정 첨가제란, 포토레지스트의 내열성을 감소시켜 원래의 리플로우 온도보다 낮은 온도에서 리플로우될 수 있도록 첨가되는 화합물이다.

[0067] 내열성 조정 첨가제로는, 화학식 (II)로 표현되는 제1 비스페놀(bisphenol)계 화합물



[0068] (여기서, R은 메틸기, 에틸기, 프로필기이다)

[0070] 또는 화학식 (III)으로 표현되는 제2 비스페놀계 화합물



[0071] (여기서, R₁은 메틸기, 에틸기, 프로필기, 부틸기, 펜틸기, 헥실기이고, R₂는 수소(H) 또는 메틸기이다)

[0073] 을 들 수 있다.

[0074] 내열성 조정 첨가제는 포토레지스트 조성물의 총 함량에 대하여 0.5 내지 3중량%로 함유될 수 있다.

[0075] 포토레지스트 조성물은, 상기 성분 외에, 필요에 따라 가소제(plasticizers), 안정제(stabilizers) 또는 계면활

성제(surfactant)와 같은 다른 첨가제를 더 포함할 수도 있다.

[0076] 알칼리 가용성 수지, 감광성 화합물 및 각종 첨가제는 유기 용매로 용해된 용액 형태로 사용된다. 유기 용매로는, 에컨대 에틸아세테이트(ethyl acetate), 부틸아세테이트(butyl acetate), 디에틸렌글리콜디메틸에테르(diethylene glycol dimethyl ether), 디에틸렌글리콜디메틸에틸에테르(diethylene glycol dimethyl ethyl ether), 메틸메톡시프로피온산(methyl methoxy propionate), 에틸에톡시프로피온산(ethyl ethoxy propionate), 에틸락트산(ethyl lactate), 프로필렌글리콜메틸에테르아세테이트(propylene glycol methyl ether acetate), 프로필렌글리콜메틸에테르(propylene glycol methyl ether), 프로필렌글리콜프로필에테르(propylene glycol propyl ether), 메틸셀로솔브아세테이트(methyl cellosolve acetate), 에틸셀로솔브아세테이트(ethyl cellosolve acetate), 디에틸렌글리콜메틸아세테이트(diethylene glycol methyl acetate), 디에틸렌글리콜에틸아세테이트(diethylene glycol ethyl acetate), 아세톤(acetone), 메틸이소부틸케톤(methyl isobutyl ketone), 시클로헥사논(cyclohexanone), 디메틸포름아미드(dimethyl formamide), N,N-디메틸아세트아미드(N,N-dimethyl acetamide), N-메틸-2-피롤리돈(N-methyl-2-pyrrolidone), γ -부티로락톤(γ -butyrolactone), 디에틸에테르(diethyl ether), 에틸렌글리콜디메틸에테르(ethylene glycol dimethyl ether), 디글라임(diglyme), 테트라히드로퓨란(tetrahydrofuran), 메탄올(methanol), 에탄올(ethanol), 프로판올(propanol), 이소프로판올(isopropanol), 메틸셀로솔브(methyl cellosolve), 에틸셀로솔브(ethyl cellosolve), 디에틸렌글리콜메틸에테르(diethylene glycol methyl ether), 디에틸렌글리콜에틸에테르(diethylene glycol ethyl ether), 디프로필렌글리콜메틸에테르(dipropylene glycol methyl ether), 톨루엔(toluene), 크실렌(xylene), 헥산(hexane), 헵탄(heptane), 옥탄(octane) 등에서 선택될 수 있다.

[0077] 용매는 포토레지스트 조성물의 총 함량에 대하여 알칼리 가용성 수지, 감광성 화합물 및 각종 첨가제를 제외한 잔량으로 함유되며, 바람직하게는 60 내지 90중량%로 함유된다.

[0078] 이하에서는, 본 발명의 한 실시예에 따라 포토레지스트 조성물을 제조한 후 감도, 밀착성 및 내열성을 시험한 예에 대하여 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실험 예에 한정되지 않는다.

[0079] [실험예 1]

[0080] 포토레지스트 조성물의 제조

[0081] m-크레졸과 p-크레졸의 비(ratio)가 60중량부와 40중량부로 합성된 생성물의 분자량이 4,000인 노볼락 수지에 2,2'-메틸렌비스[6-[(2-히드록시-5-메틸페닐)메틸]-4-메틸-1,2-나프토퀴논디아지드-5-설포네이트 20중량부를 혼합한 후, 고형분 농도가 30중량부가 되도록 프로필렌글리콜모노메틸에테르아세테이트에 용해시킨 후 0.2 μ m의 밀리포아 필터로 여과하여 포토레지스트 조성물을 얻었다.

[0082] 사진 공정

[0083] 유리 기판 위에 몰리브덴(Mo)막을 형성하였다. 그 다음, 몰리브덴막 위에 상기에서 제조한 포토레지스트 조성물을 스핀 코팅(spin coating) 방법으로 도포하였다. 그 다음, 별도의 열처리 없이, 패턴 형성용 마스크를 이용하여 복합 파장(365nm, 405nm, 436nm)에서의 강도가 각각 12mW/cm², 45mW/cm², 28mW/cm²인 자외선(UV)을 5초간 조사하였다. 이어서, 테트라메틸암모늄히드록시드(tetramethyl ammonium hydroxide, TMAH) 2.38중량% 수용액으로 25℃에서 1분간 현상한 후, 초순수로 1분간 세정하여 패턴을 완성하였다.

[0084] [실험예 2]

[0085] 실험예 1과 동일한 방식으로 수행하되, 노볼락 수지의 분자량이 3,000인 노볼락 수지에 2,2'-메틸렌비스[6-[(2-히드록시-5-메틸페닐)메틸]-4-메틸-1,2-나프토퀴논디아지드-5-설포네이트를 23중량부를 혼합하여 포토레지스트 조성물을 얻었다.

[0086] 상기 포토레지스트 조성물을 이용하여 실험예 1과 동일한 방식으로 사진 공정을 수행하여 패턴을 제조하였다.

[0087] [실험예 3]

[0088] 실험예 2와 동일한 조성으로 노볼락 수지와 감광성 화합물을 혼합하되, 내열성 조정 첨가제로서 메틸렌비스페놀

(methylene bisphenol) 2중량부가 포함된 포토레지스트 조성물을 얻었다.

[0089] 상기 포토레지스트 조성물을 이용하여 실험예 1과 동일한 방식으로 사진 공정을 수행하여 패턴을 제조하였다.

[0090] [실험예 4]

[0091] 실시예 2와 동일한 조성으로 노블락 수지와 감광성 화합물을 혼합하되, 내열성 조정 첨가제로서 4,4'-(1-메틸-헵틸리덴)비스페놀(4,4'-(1-methyl heptylidene)bisphenol) 2중량부가 포함된 포토레지스트 조성물을 얻었다.

[0092] 상기 포토레지스트 조성물을 이용하여 실험예 1과 동일한 방식으로 사진 공정을 수행하여 패턴을 제조하였다.

[0093] [비교예]

[0094] 실험예 1과 동일한 방식으로 수행하되, m-크레졸과 p-크레졸의 비가 60중량부와 40중량부로 합성된 생성물의 분자량이 6,000인 노블락 수지 100중량부에 2,3,4,4'-테트라히드록시벤조페논-1,2-나프토퀴논디아지드-5-설포네이트(2,3,4,4'-tetrahydroxy benzophenone-1,2-naphtoquinonediazide-5-sulfonate)와 2,3,4-테트라히드록시벤조페논-1,2-나프토퀴논디아지드-5-설포네이트(2,3,4-tetrahydroxy benzophenone-1,2-naphtoquinonediazide-5-sulfonate)를 50:50으로 혼합한 감광성 화합물을 18중량부를 혼합하여 포토레지스트 조성물을 제조하였다.

[0095] 상기 포토레지스트 조성물을 이용하여 실험예 1과 동일한 방식으로 사진 공정을 수행하여 패턴을 제조하였다.

[0096] [평가]

[0097] 상기 각 실시예 및 비교예를 평가하여 표 1에 나타내었다.

[0098] 각 항목에 대한 평가는 다음 방식으로 수행하였다.

[0099] 첫째, 감도는 감도 마스크를 이용하여 노광 및 현상한 후 감마값을 구하여 이 값을 이용하여 감도를 측정하였다.

[0100] 둘째, 접착성은 물리브렌이 형성된 유리 기판 위에 포토레지스트 막을 형성하고, 현상 공정에서 소망하는 형태의 포토레지스트 패턴(미세선폭)을 얻은 후 노출된 부분의 물리브렌을 제거하기 위해 식각액으로 처리하고 식각액에 노출되지 않은 물리브렌이 식각된 길이를 측정하였다.

[0101] 셋째, 내열성은 열처리 온도를 변경하여 포토레지스트 패턴의 유동성을 측정하였으며, 표 1은 140℃에서 열처리한 경우의 $\tan\theta$ 값을 기재하였다.

표 1

	감도(mJ/cm ²)	접착성(nm)	내열성($\tan\theta$)
실험예 1	37.0	425	31
실험예 2	35.5	395	29
실험예 3	34.0	485	27
실험예 4	33.0	470	28
비교예	35.0	529	39

[0102]

[0103] 표 1에서 보는 바와 같이, 접착성 측면에서는 실시예 1 내지 4의 경우가 비교예보다 우수하였으며, 특히 노블락 수지의 분자량이 낮을수록 상대적으로 우수한 접착성을 보였다. 또한, 내열성 측면에서도 실시예 1 내지 4의 경우가 비교예보다 낮은 것을 확인할 수 있으며, 이는 실시예 1 내지 4의 경우가 비교예보다 유동성이 증가되었음을 의미한다. 특히 노블락 수지의 분자량이 낮을수록 상대적으로 낮은 내열성(높은 유동성)을 나타냈으며, 내열성 조정 첨가제가 포함된 실시예 3 및 4의 경우가 더 우수한 효과를 나타냈음을 알 수 있다. 감도 측면에서도, 실시예 1 내지 4의 경우가 비교예보다 우수하거나 비슷한 감도를 나타냈음을 알 수 있다.

[0104] 이와 같이, 본 발명의 한 실시예에 따라 제조된 포토레지스트 조성물은 우수한 접착성 및 높은 유동성을 가지

면서도 감도가 저하되지 않는 포토레지스트 조성물을 얻을 수 있었다.

- [0105] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0106] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0107] 먼저, 도 1 내지 도 3을 참고로 하여 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판에 대하여 상세하게 설명한다.
- [0108] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이다.
- [0109] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선(storage electrode line)(131)이 형성되어 있다.
- [0110] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124)과 다른 층 또는 외부 구동 회로와의 접촉을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 게이트 구동 회로가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 이와 직접 연결될 수 있다.
- [0111] 유지 전극선(131)은 소정의 전압을 인가 받으며, 게이트선(121)과 거의 나란하게 뻗은 줄기선과 이로부터 갈라진 복수 쌍의 유지 전극(133a, 133b)을 포함한다. 유지 전극선(131) 각각은 인접한 두 게이트선(121) 사이에 위치하며 줄기선은 두 게이트선(121) 중 아래쪽에 가깝다. 유지 전극(133a, 133b) 각각은 줄기선과 연결된 고정단과 그 반대쪽의 자유단을 가지고 있다. 한 쪽 유지 전극(133a)의 고정단은 면적이 넓으며, 그 자유단은 직선 부분과 굽은 부분의 두 갈래로 갈라진다. 그러나 유지 전극선(131)의 모양 및 배치는 여러 가지로 변형될 수 있다.
- [0112] 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트선(121) 및 유지 전극선(131)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0113] 게이트선(121) 및 유지 전극선(131)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- [0114] 게이트선(121) 및 유지 전극선(131) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0115] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 만들어진 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection)(154)를 포함한다. 선형 반도체(151)는 게이트선(121) 및 유지 전극선(131) 부근에서 너비가 넓어져 이들을 폭넓게 덮고 있다.
- [0116] 반도체(151) 위에는 복수의 선형 및 섬형 저항성 접촉 부재(ohmic contact)(161, 165)가 형성되어 있다. 저항성 접촉 부재(161, 165)는 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의

물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체(151)의 돌출부(154) 위에 배치되어 있다.

- [0117] 반도체(151)와 저항성 접촉 부재(161, 165)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.
- [0118] 저항성 접촉 부재(161, 165) 위에는 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175)이 형성되어 있다.
- [0119] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 또한 유지 전극선(131)과 교차하며 인접한 유지 전극(133a, 133b) 집합 사이에 형성된다. 각 데이터선(171)은 게이트 전극(124)을 향하여 뻗은 복수의 소스 전극(source electrode)(173)과 다른 층 또는 외부 구동 회로와의 접촉을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)는 기판(110) 위에 부착되는 가요성 인쇄 회로막(도시하지 않음) 위에 장착되거나, 기판(110) 위에 직접 장착되거나, 기판(110)에 집적될 수 있다. 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 이와 직접 연결될 수 있다.
- [0120] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 게이트 전극(124)을 중심으로 소스 전극(173)과 마주 본다. 각 드레인 전극(175)은 면적이 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있다. 넓은 끝 부분은 유지 전극선(131)과 중첩하며, 막대형 끝 부분은 구부러진 소스 전극(173)으로 일부 둘러싸여 있다.
- [0121] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.
- [0122] 데이터선(171) 및 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터선(171) 및 드레인 전극(175)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0123] 데이터선(171) 및 드레인 전극(175) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.
- [0124] 저항성 접촉 부재(161, 165)는 그 아래의 반도체(151)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다.
- [0125] 반도체(151)는 박막 트랜지스터가 위치하는 돌출부(154)를 제외하면 데이터선(171), 드레인 전극(175) 및 그 하부의 저항성 접촉층(161, 165)과 실질적으로 동일한 평면 형태를 가지고 있다. 즉, 선형 반도체층(151)은 데이터선(171) 및 드레인 전극(175)과 그 하부의 저항성 접촉층(161, 163, 165)의 아래에 모두 형성되어 있으며, 소스 전극(173)과 드레인 전극(175) 사이에는 노출되어 있다. 그러나, 실제로는 공정상 문제로 인하여, 반도체(151) 및 저항성 접촉층(161, 163, 165)이 데이터선(171) 및 드레인 전극(175)보다 돌출될 형태를 가진다.
- [0126] 데이터선(171), 드레인 전극(175) 및 노출된 반도체(154) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다.
- [0127] 보호막(180)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전을 절연물 따위로 만들어진다. 유기 절연물과 저유전을 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 저유전을 절연물의 예로는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등을 들 수 있다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 보호막(180)을 만들 수도 있으며, 보호막(180)의 표면은 평탄할 수 있다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(151) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.
- [0128] 보호막(180)에는 데이터선(171)의 끝 부분(179)과 드레인 전극(175)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181), 유지 전극(133a, 133b)의 고정단 부근 또는 자유단의 유지 전극선(131) 일부

를 드러내는 복수의 접촉 구멍(183a, 183b)이 형성되어 있다.

- [0129] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 다리(overpass)(84) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- [0130] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 화소 전극(191)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(common electrode)(도시하지 않음)과 함께 전기장을 생성함으로써 두 전극 사이의 액정층(도시하지 않음)의 액정 분자의 방향을 결정한다. 화소 전극(191)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다.
- [0131] 화소 전극(191)은 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191) 및 이와 전기적으로 연결된 드레인 전극(171)이 유지 전극선(131)과 중첩하여 이루는 축전기를 유지 축전기(storage capacitor)라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- [0132] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 데이터선(171) 및 게이트선(121)의 끝 부분(179, 129)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.
- [0133] 연결 다리(83)는 게이트선(121)을 가로지르며, 게이트선(121)을 사이에 두고 반대쪽에 위치하는 한 쌍의 접촉 구멍(183a, 183b)을 통하여 유지 전극선(131)의 노출된 부분과 유지 전극(133b) 자유단의 노출된 끝 부분에 연결되어 있다. 유지 전극(133a, 133b)을 비롯한 유지 전극선(131)은 연결 다리(83)와 함께 게이트선(121)이나 데이터선(171) 또는 박막 트랜지스터의 결합을 수리하는 데 사용할 수 있다.
- [0134] 그러면, 도 1 내지 도 3에 도시한 박막 트랜지스터 표시판을 제조하는 방법에 대하여 도 4 내지 도 22를 참조하여 상세하게 설명한다.
- [0135] 도 4, 도 17 및 도 20은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 배치도이고, 도 5 및 도 6은 도 4의 박막 트랜지스터 표시판을 V-V'선 및 VI-VI'선을 따라 잘라 도시한 단면도이고, 도 7 내지 도 16은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따라 차례로 도시한 단면도이고, 도 18 및 도 19는 도 17의 박막 트랜지스터 표시판을 XVIII-XVIII'선 및 XIX-XIX'선을 따라 잘라 도시한 단면도이고, 도 21 및 도 22는 도 20의 박막 트랜지스터 표시판을 XXI-XXI'선 및 XXII-XXII'선을 따라 잘라 도시한 단면도이다.
- [0136] 먼저, 도 4 내지 도 6에 도시한 바와 같이, 투명 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 몰리브덴으로 만들어진 금속층을 형성한 후, 습식 식각(wet etching)하여 게이트 전극(124) 및 끝부분(129)을 포함하는 복수의 게이트선(121)과 유지 전극(133a, 133b)을 포함하는 복수의 유지 전극선(131)을 형성한다.
- [0137] 이어서, 도 7 및 도 8에 도시한 바와 같이, 게이트선(121) 및 유지 전극선(131) 위에 질화규소(SiNx) 따위로 만들어진 게이트 절연막(140), 불순물이 도핑되지 않은 진성 비정질 규소(a-Si)층(150) 및 불순물이 도핑된 비정질 규소(n+ a-Si)(160)층을 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD) 방법으로 형성한다. 진성 비정질 규소층(150)은 수소화 비정질 규소(hydrogenated amorphous silicon) 등으로 형성하며 불순물이 도핑된 비정질 규소층(160)은 인(P) 등의 n형 불순물이 고농도로 도핑된 비정질 규소 또는 실리사이드로 형성한다.
- [0138] 연속적으로, 불순물이 도핑된 비정질 규소층(160) 위에 몰리브덴으로 만들어진 데이터 층(170)을 스퍼터링으로 형성한다.
- [0139] 그 다음, 데이터 층(170) 위에 스핀 코팅 방법으로 포토레지스트 막을 형성한다. 포토레지스트 막은 m/p-크레졸(60/40)로부터 합성되며 분자량이 3,000인 노블락 수지 100중량부, 2,2'-메틸렌비스[6-[(2-히드록시-5-메틸페닐)메틸]-4-메틸-1,2-나프토퀴논디아지드-5-설폰에이트 20중량부와 메틸렌비스페놀 2중량부를 프로필렌글리콜로 노메틸에테르아세테이트에 용해시킨 포토레지스트 조성물로 만들어진다.
- [0140] 이어서, 도 9 및 도 10에 도시한 바와 같이, 포토레지스트 막을 노광 및 현상하여 제1 포토레지스트 패턴(52)과 제1 포토레지스트 패턴(52)보다 얇은 제2 포토레지스트 패턴(54)을 형성한다.

- [0141] 이 때, 포토레지스트 막을 현상한 후, 별도의 열처리(post-bake)는 수행하지 않아야 한다. 일반적으로 이 단계에서 수행하는 열처리는 현상액에 의해 패터닝된 포토레지스트 막을 기판 위에 단단하게 고정하기 위하여 수행한다. 그러나, 이러한 열처리는 포토레지스트의 리플로우(reflow)를 유발하여 초기에 형성된 포토레지스트 패턴의 프로파일(profile)을 무너뜨린다. 이 경우, 채널 영역에 형성된 포토레지스트의 프로파일 및 경사각이 변하여 후속 식각을 불량하게 하며 경우에 따라 단락(short)과 같이 박막 트랜지스터 특성에 영향을 미칠 수 있다.
- [0142] 이에 따라, 포토레지스트 막을 현상한 후 별도의 열처리를 수행하지 않고 바로 식각 단계를 수행한다.
- [0143] 여기서, 설명의 편의상, 배선이 형성될 부분의 데이터 층(170), 불순물이 도핑된 비정질 규소층(160), 진성 비정질 규소층(150)을 배선 부분(A)이라 하고, 게이트 전극(124) 위에 채널이 형성되는 부분을 채널 부분(B)이라 하고, 배선 부분(A) 및 채널 부분(B)을 제외한 영역을 나머지 부분(C)이라 한다.
- [0144] 포토레지스트 패턴(52, 54) 중에서 배선 부분(A)에 위치한 제1 포토레지스트 패턴(52)은 채널 부분(B)에 위치한 제2 포토레지스트 패턴(54)보다 두껍게 형성하며, 나머지 부분(C)의 포토레지스트 막은 모두 제거한다. 이 때, 제1 포토레지스트 패턴(52)의 두께와 제2 포토레지스트 패턴(54)의 두께의 비는 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제2 포토레지스트 패턴(54)의 두께를 제1 포토레지스트 패턴(52)의 두께의 1/2 이하로 하는 것이 바람직하다.
- [0145] 이와 같이, 위치에 따라 포토레지스트 막의 두께를 다르게 형성하는 방법에는 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area) 뿐 아니라 반투명 영역(semi-transparent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿 slit 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)이 보다 작은 것이 바람직하다.
- [0146] 이어서, 도 11 및 도 12에 도시한 바와 같이, 제1 포토레지스트 패턴(52)을 이용하여 나머지 부분(C)에 노출되어 있는 데이터 층(170)을 습식 식각(wet etching)으로 제거하여 복수의 데이터 패턴(171, 174, 179)을 형성한다.
- [0147] 그 다음, 데이터 패턴(171, 174, 179)을 마스크로 하여 나머지 부분(C)에 남아있는 불순물이 도핑된 비정질 규소층(160) 및 진성 비정질 규소층(150)을 건식 식각(dry etching)한다.
- [0148] 이어서, 도 13 및 도 14에 도시한 바와 같이, 에치백(etch back) 공정을 이용하여 채널 부분(B)에 존재하는 제2 포토레지스트 패턴(54)을 제거한다. 이 때, 제1 포토레지스트 패턴(52)도 제2 포토레지스트 패턴(54)의 두께만큼 제거되기 때문에 얇아진다. 또한, 제1 포토레지스트 패턴(52)의 측면도 어느 정도 제거되기 때문에 하부에 형성되어 있는 데이터 패턴(171, 174, 179)의 양 끝을 노출시킨다.
- [0149] 그 다음, 도 15 및 도 16에 도시한 바와 같이, 제1 포토레지스트 패턴(52)을 약 100 내지 150℃에서 열처리(bake)하여 리플로우시킨다.
- [0150] 본 발명에 따른 포토레지스트는 노볼락 수지의 낮은 분자량, 발라스트 구조의 감광성 화합물 및 내열성 조정 첨가제를 포함하기 때문에 상기 온도 범위에서 쉽게 리플로우될 수 있고 하부막과의 접착성이 우수하다. 따라서, 제1 포토레지스트 패턴(52)은 하부의 데이터 패턴(171, 174, 179)의 양 끝까지 리플로우될 수 있다.
- [0151] 그 다음, 도 17 내지 도 19에 도시한 바와 같이, 리플로우된 제1 포토레지스트 패턴(52)을 이용하여 식각하여, 데이터 패턴(174)을 소스 전극(173)과 드레인 전극(175)으로 분리하고, 소스 전극(173)과 드레인 전극(175) 사이의 채널 영역에 불순물이 도핑된 비정질 규소 패턴(164)을 노출시킨다.
- [0152] 이 때, 식각은 건식 식각 또는 습식 식각으로 수행할 수 있다.
- [0153] 건식 식각으로 수행하는 경우, 데이터 패턴(171, 174, 179)의 양 끝과 리플로우된 제1 포토레지스트 패턴(52)의 끝이 일치하기 때문에 포토레지스트 패턴(52)의 안쪽으로 과식각(overetching)되는 길이가 짧다. 따라서, 하부에 노출되는 반도체층의 돌출부를 감소시킬 수 있다.
- [0154] 마찬가지로, 습식 식각으로 수행하는 경우, 제1 포토레지스트 패턴(52)과 데이터 패턴(171, 174, 179)의 접착성이 우수하고 포토레지스트 유동에 의한 응력(stress)이 감소되어 포토레지스트 패턴(52)의 안쪽으로 데이터 패턴(171, 174, 179)이 과식각(overetching)되는 길이가 짧다. 따라서, 하부에 노출되는 반도체층의 돌출부를 감소시킬 수 있다.

- [0155] 이어서, 제1 포토레지스트 패턴(52)을 제거하고, 불순물이 도핑된 비정질 규소 패턴(164)의 노출 부분을 건식 식각하여 제거한다.
- [0156] 그 다음, 도 20 내지 도 22에 도시한 바와 같이, 데이터선(171) 및 드레인 전극(175)에 의해 가려지지 않는 반도체의 돌출부(154)를 덮도록 보호막(180)을 형성한다.
- [0157] 이어서, 보호막(180)을 사진 공정으로 식각하여 복수의 접촉 구멍(181, 182, 183a, 183b, 185)을 형성한다.
- [0158] 마지막으로, 도 1 내지 도 3에 도시한 바와 같이, 보호막(180) 위에 ITO 또는 IZO 따위의 투명한 도전 물질을 스퍼터링으로 증착한 후 패터닝하여, 화소 전극(191), 접촉 보조 부재(81, 82) 및 연결 다리(83)를 형성한다.
- [0159] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

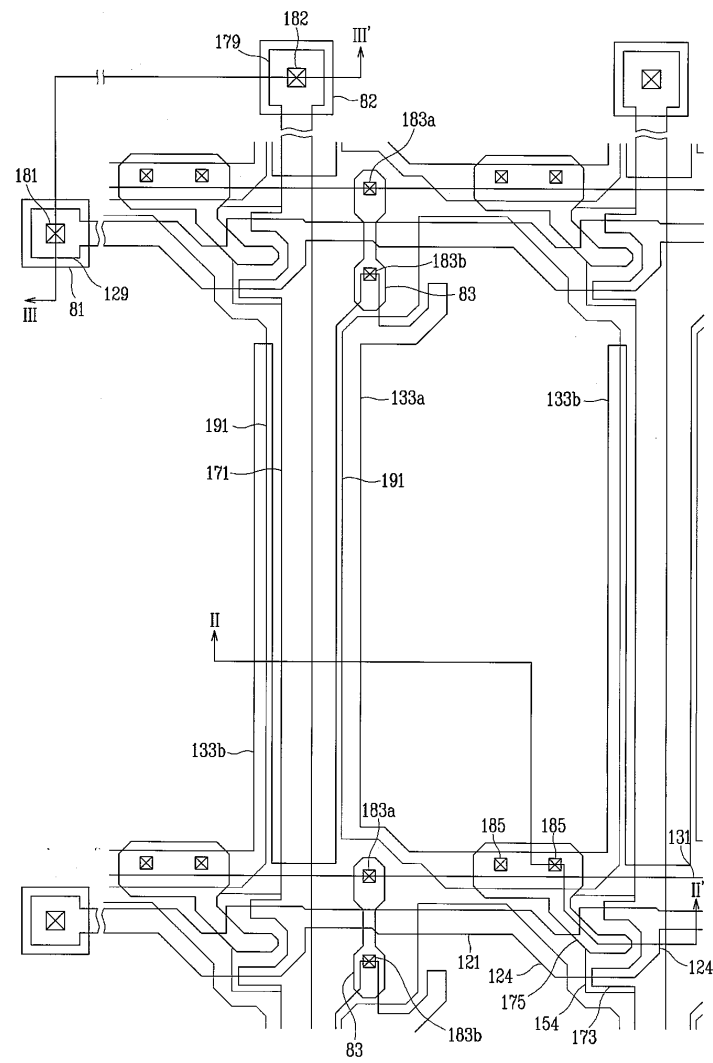
- [0160] 상기와 같이, 내열성이 낮고 하부막과의 접착성이 우수한 포토레지스트를 사용하는 한편 에치백 공정 후 열처리 공정을 수행함으로써 채널 영역을 포함한 모든 패턴의 균일성을 향상시킬 수 있고 반도체층의 돌출부를 감소시킬 수 있다.

도면의 간단한 설명

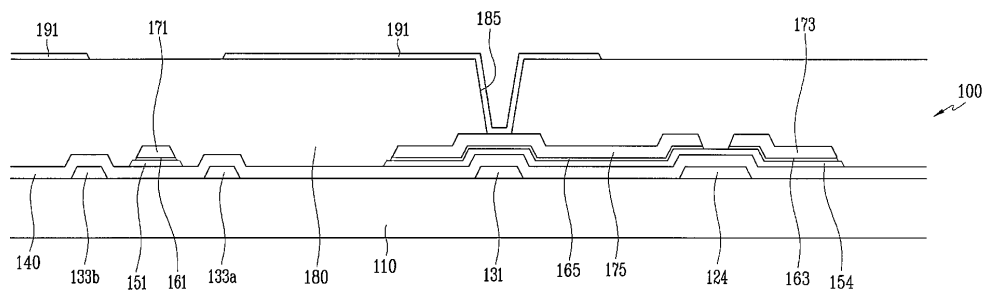
- [0001] 도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,
- [0002] 도 2 및 도 3은 각각 도 1의 박막 트랜지스터 표시판을 II-II' 선 및 III-III' 선을 따라 잘라 도시한 단면도이고,
- [0003] 도 4, 도 17 및 도 20은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 차례로 도시한 배치도이고,
- [0004] 도 5 및 도 6은 도 4의 박막 트랜지스터 표시판을 V-V' 선 및 VI-VI' 선을 따라 잘라 도시한 단면도이고,
- [0005] 도 7 내지 도 16은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법에 따라 차례로 도시한 단면도이고,
- [0006] 도 18 및 도 19는 도 17의 박막 트랜지스터 표시판을 XVIII-XVIII' 선 및 XIX-XIX' 선을 따라 잘라 도시한 단면도이고,
- [0007] 도 21 및 도 22는 도 20의 박막 트랜지스터 표시판을 XXI-XXI' 선 및 XXII-XXII' 선을 따라 잘라 도시한 단면도이다.
- [0008] *도면의 주요부분에 대한 부호의 설명
- | | |
|--------------------------|-------------------|
| [0009] 52, 54: 포토레지스트 패턴 | 83: 연결 다리 |
| [0010] 110: 절연 기판 | 120: 게이트 층 |
| [0011] 121: 게이트선 | 124: 게이트 전극 |
| [0012] 131: 유지 전극선 | 133a, 133b: 유지 전극 |
| [0013] 140: 게이트 절연막 | 150: 진성 비정질 규소층 |
| [0014] 154: 반도체층 | 160: 불순물 비정질 규소층 |
| [0015] 171: 데이터선 | 173: 소스 전극 |
| [0016] 175: 드레인 전극 | 180: 보호막 |
| [0017] 191: 화소 전극 | 81, 82: 접촉 보조 부재 |

도면

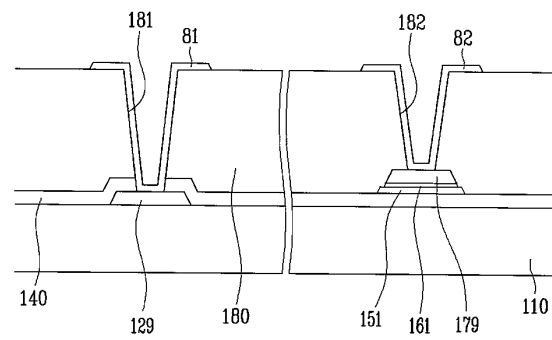
도면1



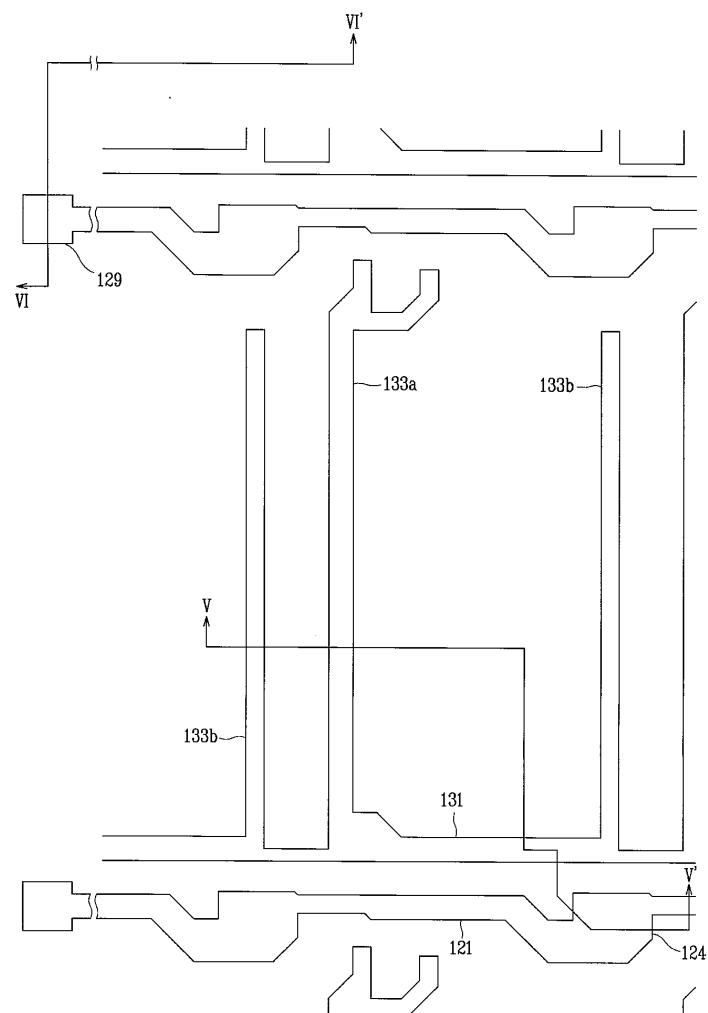
도면2



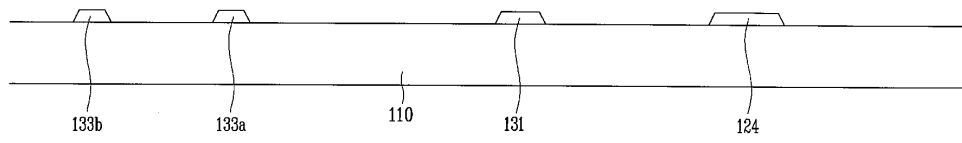
도면3



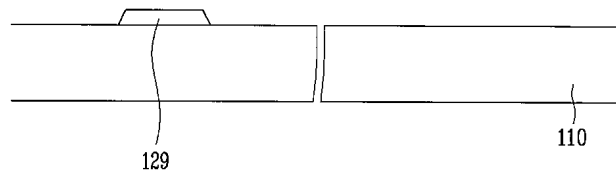
도면4



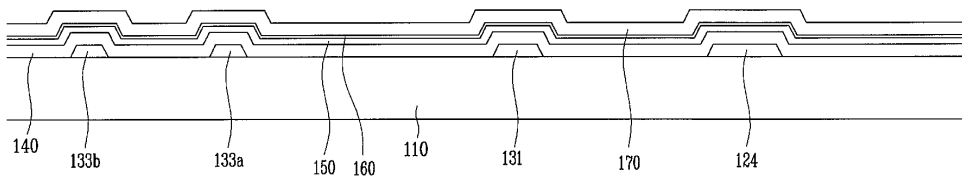
도면5



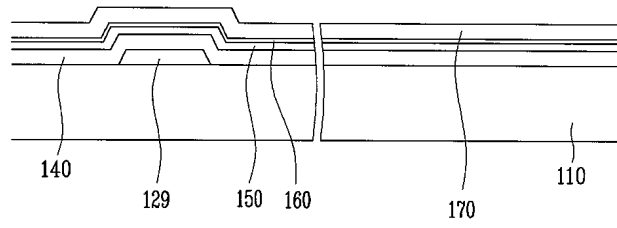
도면6



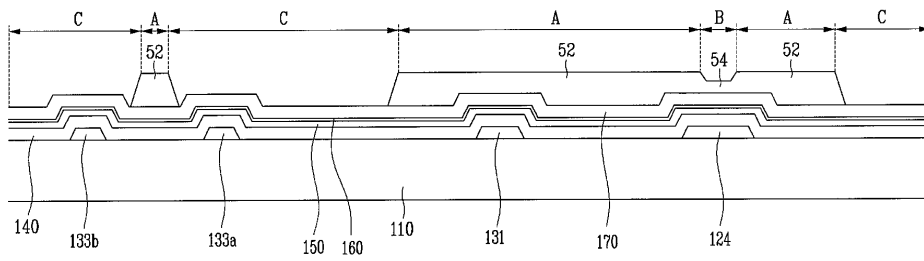
도면7



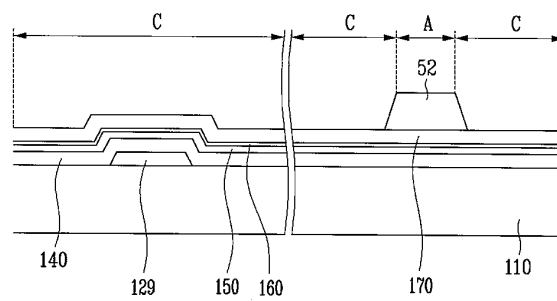
도면8



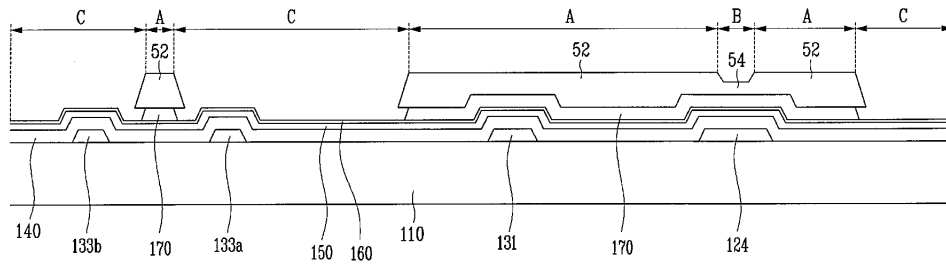
도면9



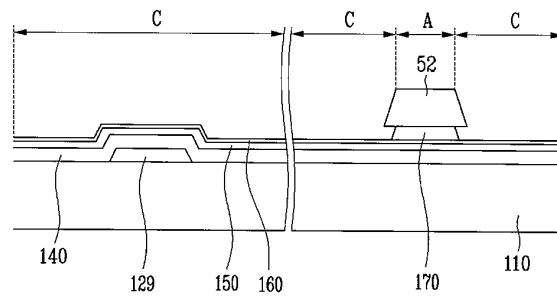
도면10



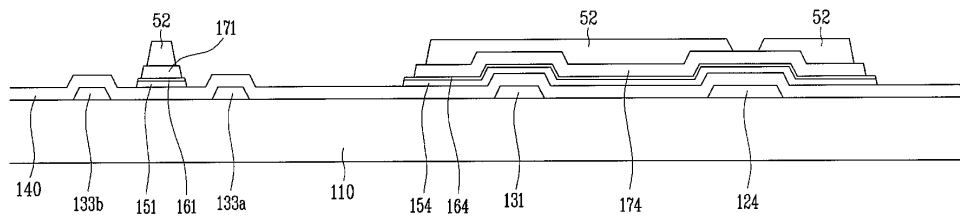
도면11



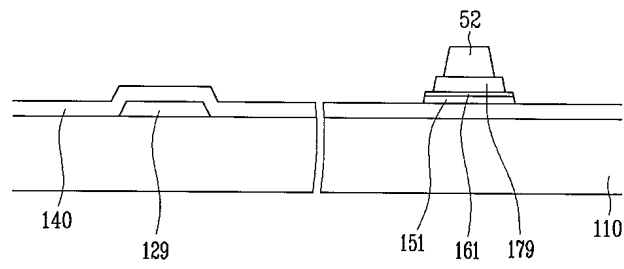
도면12



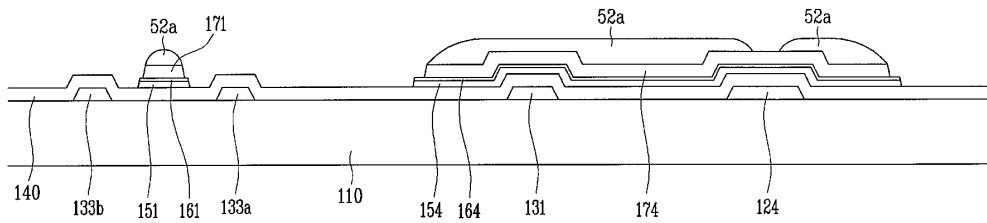
도면13



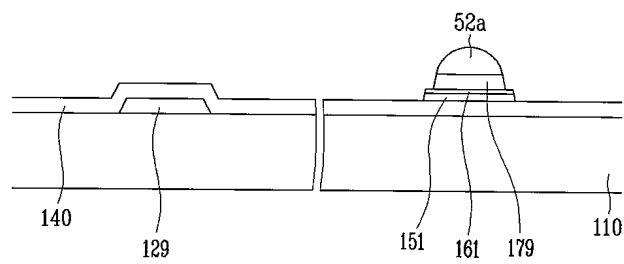
도면14



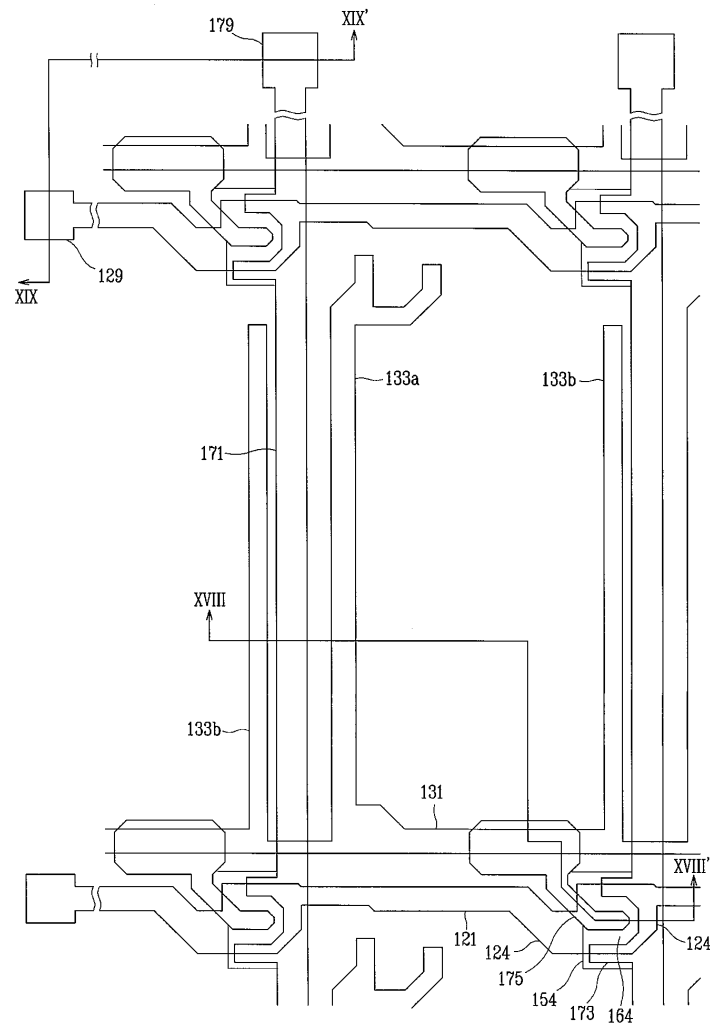
도면15



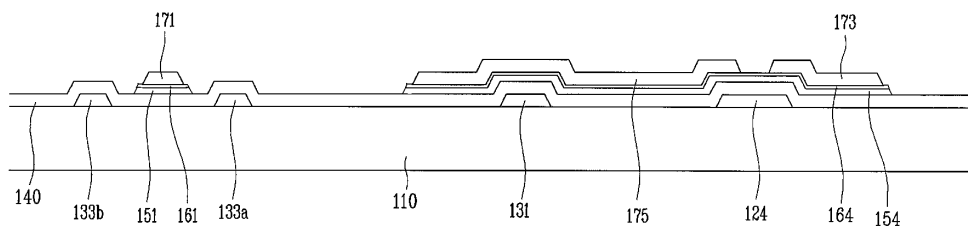
도면16



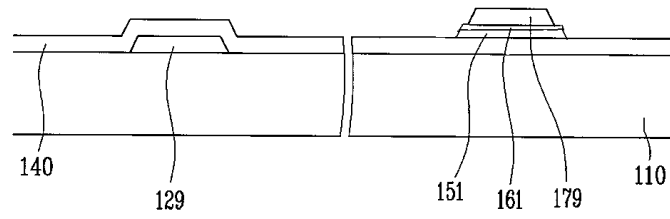
도면17



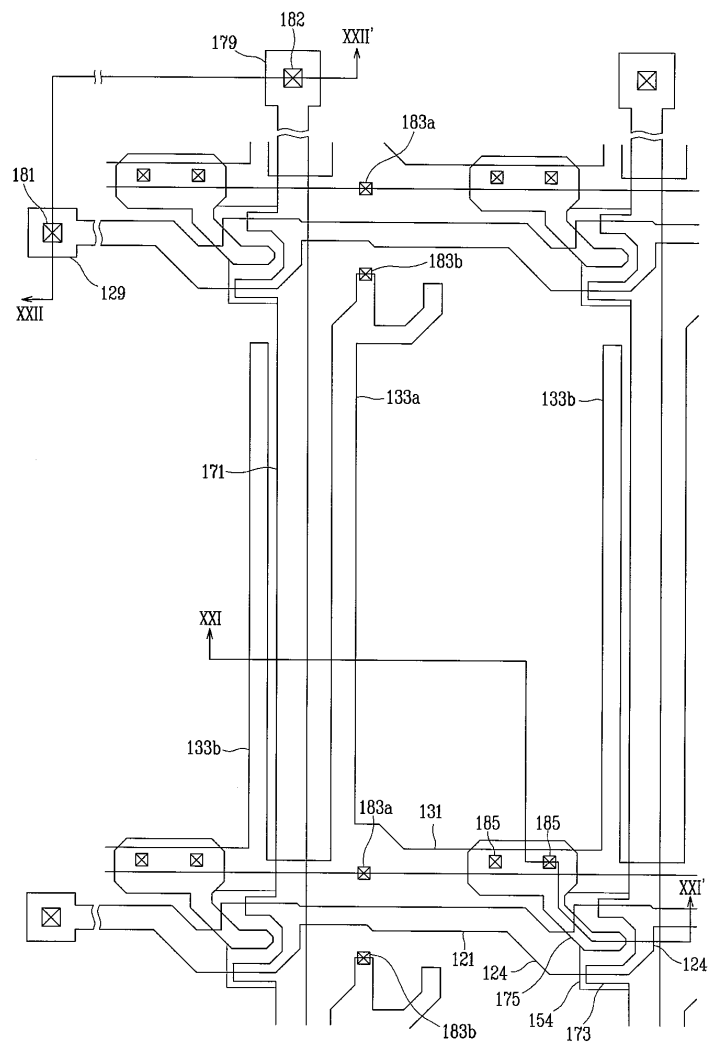
도면18



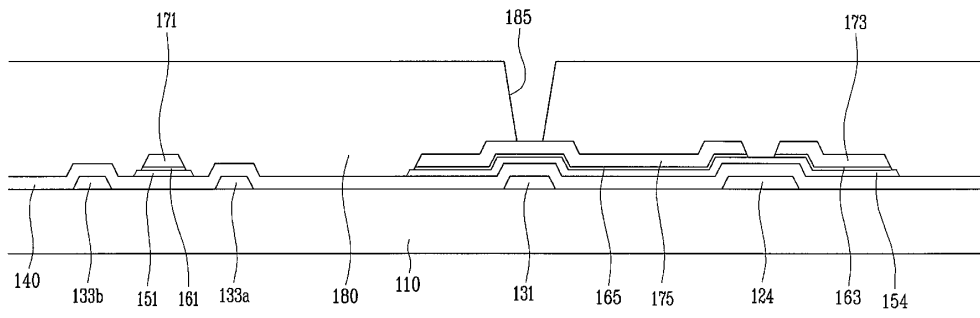
도면19



도면20



도면21



도면22

