



Patent dodatkowy
do patentu nr _____

Zgłoszono: 07.07.75 (P. 181880)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 31.01.77

Opis patentowy opublikowano: 31.10.1979

CZYTELNICIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.²
H03K 13/22

Twórca wynalazku: Janusz Górecki

Uprawniony z patentu: Politechnika Warszawska, Warszawa (Polska)

Sposób oraz układ do cyfrowego wytwarzania sygnału z różnicową modulacją fazy

1

Przedmiotem wynalazku jest sposób wytwarzania sygnału z różnicową modulacją fazy oraz układ do wytwarzania sygnału z różnicową modulacją fazy, mający zastosowanie zwłaszcza do modemów transmisji danych.

Znany z publikacji „PM Data Sets for Serial Transmission at 2000 and 2400 bits per second”, CCITT Blue Book, Volume XIII, 1964 strona 470—480, sposób różnicowy modulacji fazy polega na dzieleniu częstotliwości ze zmiennym stopniem podziału.

Układ modulatora składa się z dwóch szeregowo połączonych dzielników częstotliwości przez dwa, z których każdy jest poprzedzony układem sumującym. Dzielniki dokonują dzielenia wielokrotności fali nośnej, lub podnośnej. Modulacja polega na dodawaniu do ciągów impulsów wejściowych każdego dzielnika przez dwa, dodatkowych ciągów impulsów, wytwarzanych na podstawie przebiegu modulującego danych opóźnionych w czasie względem siebie co najmniej o szybkości działania tych dzielników. Uzyskane skoki fazy wynoszą: $+180^\circ$ — jeżeli dodanie impulsu nastąpiło przed ostatnim dzielnikiem, $+90^\circ$ — jeśli przed przedostatnim oraz $+270^\circ$ — jeśli dodanie impulsów nastąpiło przed ostatnim i przedostatnim dzielnikiem.

Wadą opisanego sposobu jest konieczność wprowadzenia opóźnień w ciągu impulsów modulują-

2

cych, oraz konieczność eliminacji impulsów szpilkowych powstających na wyjściu modulatora.

Istota sposobu cyfrowego wytwarzania sygnału z różnicową modulacją fazy według wynalazku polega na tym, że do lub z ciągu impulsów będących wielokrotnością fali nośnej lub podnośnej dodaje lub odejmuje się, z częstotliwością równą szybkości modulacji, jeden impuls a następnie otrzymany ciąg impulsów poddaje się dzieleniu przez dwa, otrzymany skok fazy odpowiednio o $+180^\circ$ lub -180° , przy czym każde powtórzenie tej operacji, wykonane w tym samym czasie co poprzednia, zmniejsza skok fazy uzyskane przez poprzednie operacje do połowy.

Istota urządzenia według wynalazku polega na tym, że wejście T pierwszego przerzutnika, na które podana jest wielokrotność fali nośnej jest połączone z pierwszym wejściem pierwszej bramki NAND, której drugie wejście jest połączone z wyjściem Q tego przerzutnika, a trzecie wejście pierwszej bramki NAND jest połączone z wejściami J i K pierwszego przerzutnika, na które jest podany sygnał sterujący U_1 , przy czym wyjście pierwszej bramki NAND jest połączone z pierwszym wejściem drugiej bramki NAND, zaś na drugie wejście tej bramki podany jest sygnał sterujący U_2 , ponadto wyjście tej bramki NAND jest połączone z wejściami J, T, K drugiego przerzutnika oraz z pierwszym wejściem trzeciej bramki NAND, drugie wejście tej bramki połączone

jest z wyjściem Q drugiego przerzutnika i z pierwszym wejściem czwartej bramki NAND. Na drugie wejście tej bramki podany jest sygnał sterujący U_4 , zaś jej wyjście jest połączone z wejściami J i K trzeciego przerzutnika. Wejście T tego przerzutnika połączone jest z wyjściem piątej bramki NAND, której pierwsze wejście połączone jest z wyjściem trzeciej bramki NAND, zaś na drugie wejście piątej bramki NAND podany jest sygnał sterujący U_3 .

Wynalazek został objaśniony na przykładzie wykonania różnicowego czterowartościowego modulatora fazy pracującego z szybkością modulacji 1200 bodów na fali nośnej 1800 Hz według następującego kodu modulacyjnego: duobit 00 — skok fazy $= +45^\circ$, duobit 01 — $\Delta \varphi = +135^\circ$, duobit 11 — $\Delta \varphi = +225^\circ$, duobit 10 — $\Delta \varphi = +315^\circ$, gdzie przez $\Delta \varphi$ oznaczono skok fazy.

Przykład wykonania zamieszczony jest na rysunku, na którym fig. 1 przedstawia schemat blokowy, a fig. 2 schemat blokowo-ideowy układu, zaś fig. 3 przebiegi czasowe sygnałów sterujących układem.

Na wejście T pierwszego przerzutnika 1 podany jest sygnał o częstotliwości 8 fo równej 14,4 kHz, zaś na wejścia J i K sygnał sterujący U_1 . Wejście T i wyjście Q tego przerzutnika oraz sygnał sterujący U_1 podane są na wejścia pierwszej bramki NAND 2. Wyjście pierwszej bramki 2 i sygnał sterujący U_2 podane są na wejście drugiej bramki 3, której wyjście połączone jest z wejściami J, T, K drugiego przerzutnika 4, oraz pierwsze wejście trzeciej bramki NAND 5. Wyjście Q drugiego przerzutnika 4 połączone jest z pierwszym wejściem trzeciej i czwartej bramki 5 i 6. Na drugie wejście czwartej bramki 6 podany jest sygnał sterujący U_4 , zaś wyjście tej bramki połączone jest z wejściami J i K trzeciego przerzutnika 8. Na wejście T trzeciego przerzutnika 8 podane jest wejście piątej bramki NAND 7, na której wejścia podany jest sygnał sterujący U_3 i wyjście trzeciej bramki 5. Na wyjściu Q pierwszego przerzutnika 1 otrzymuje się w momentach narastającego zboczne przebiegi U_1 , skok fazy o -180° w przebiegu o częstotliwości nośnej 4 fo równej 7,2 kHz. W pierwszej bramce NAND 2 przebiegi podane na jej wejściu ulegają wymnożeniu, które skraca czas trwania jedynek logicznych i umożliwia wykonanie dodania impulsu U_2 na drugiej bramce NAND 3.

Impuls sygnału U_2 jest wytwarzany wtedy, gdy układ sterujący 9 zdekoduje duobit 00 lub 11 w sygnale danych U_5 . Z wyjścia drugiej bramki 3 przebieg podawany jest na połączone wejścia J, T, K drugiego przerzutnika 4. Na wyjściu Q tego przerzutnika otrzymuje się w momentach narastającego zbocza sygnału U_1 , skok fazy 0 — 90° w przypadku duobitu 00 i 11 w przebiegu o częstotliwości nośnej 2 fo równej 3,6 kHz.

Bramki 5 i 7 pełnią funkcję analogiczną do funkcji bramek 2 i 3. Poprzez wymnożenie na trzeciej bramce 5 przebiegów wejściowych i wyjściowych drugiego przerzutnika 4 skrócony zostaje czas trwania jedynek logicznych, co umożliwia dodanie impulsów sygnału U_3 na bramce 7. Impuls

ten wytwarzany jest wtedy, gdy układ sterujący 9 zdekoduje duobit 01 lub 11 w sygnale danych U_5 . Na czwartej bramce 6 przebieg wyjściowy z drugiego przerzutnika 4 mnożony jest z sygnałem U_4 . Dodatni impuls tego sygnału jest wytwarzany wtedy, gdy układ sterujący 9 zdekoduje duobit 11 w sygnale danych U_5 . Na wyjściu czwartej bramki 6 pojawia się logiczne zero wtedy, gdy duobit 11 wystąpi w momencie, gdy drugi przerzutnik 4 jest w stanie logicznej jedynki.

Logiczne zero, podane na wejścia J i K trzeciego przerzutnika 8 powoduje zatrzymanie w poprzednim stanie tego przerzutnika, czyli odjęcie impulsu. Tak więc przy wystąpieniu duobitu 11 odjęcie impulsu nastąpi wtedy, gdy drugi przerzutnik 4 jest w stanie logicznej jedynki, zaś dodanie impulsu nastąpi wtedy, gdy przerzutnik ten jest w stanie logicznego zera. Wykonane operacje przed kolejnymi przerzutnikami dla poszczególnych duobitów przedstawia tablica.

Tablica

Duobit	Skok fazy	Wykonane operacje przed kolejnymi przerzutnikami
00	$+45^\circ$	odjęcie impulsu przed P1 i dodanie przed P2
01	$+135^\circ$	odjęcie impulsu przed P1 i dodanie przed P3
11	$+225^\circ$	odjęcie impulsu przed P1, dodanie przed P2 i dodanie, lub odjęcie przed P3
10	$+315^\circ$	odjęcie impulsu przed P1

Zastrzeżenia patentowe

1. Sposób cyfrowego wytwarzania sygnału z różnicową modulacją fazy, **znamienny tym**, że do lub z ciągu impulsów będących wielokrotnością fali nośnej lub podnośnej dodaje się lub odejmuje, z częstotliwością równą szybkości modulacji jeden impuls, a następnie otrzymany ciąg impulsów poddaje się dzieleniu przez dwa otrzymując skok fazy odpowiednio 0 $+180^\circ$, lub -180° , przy czym każde powtórzenie tej operacji wykonane w tym samym czasie co poprzednia zmniejsza skok fazy, uzyskany przez poprzednie operacje do połowy.

2. Układ do wytwarzania sygnału z różnicową modulacją fazy, zawierający dzielnik częstotliwości składający się z przerzutników typu JK i układu bramek logicznych typu NAND, **znamienny tym**, że wejście (T) pierwszego przerzutnika (1), na które podana jest wielokrotność fali nośnej, jest połączone z pierwszym wejściem pierwszej bramki NAND (2), której drugie wejście jest połączone z wyjściem (Q) pierwszego przerzutnika (1), a trze-

cie wejście pierwszej bramki NAND (2) jest połączone z wejściami (J i K) pierwszego przerzutnika (1) na które jest podany sygnał sterujący (U_1), przy czym wyjście pierwszej bramki NAND (2) jest połączone z pierwszym wejściem drugiej bramki NAND (3), zaś na drugie wejście tej bramki podany jest sygnał sterujący (U_2), ponadto wyjście drugiej bramki NAND (3) połączone jest z wejściami (J, T, K) drugiego przerzutnika (4), oraz pierwszym wejściem trzeciej bramki NAND

(5), drugie wejście tej bramki (5) połączone jest z wyjściem (Q) drugiego przerzutnika (4) i z pierwszym wejściem czwartej bramki NAND (6), a na drugie wejście tej bramki (6) podany jest sygnał sterujący (U_4), zaś wyjście tej bramki jest połączone z wejściami (J i K) trzeciego przerzutnika (8), zaś na wejście (T) tego przerzutnika podane jest wyjście piątej bramki (7), której pierwsze wejście połączone jest z wyjściem trzeciej bramki (5) zaś na drugie wejście piątej bramki (7) podany jest sygnał sterujący (U_3).

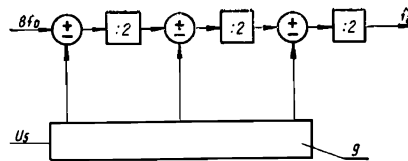


Fig. 1

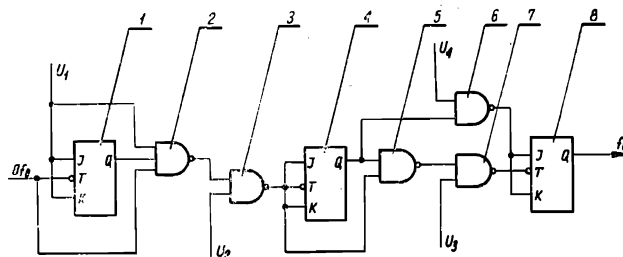


Fig. 2.

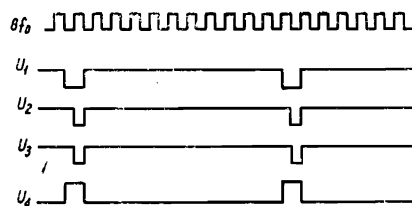


Fig 3