



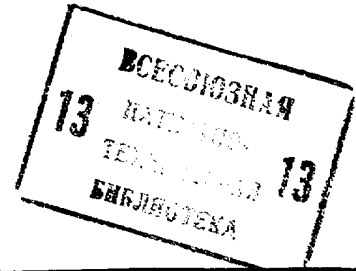
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1179336** **A**

(51) G 06 F 9/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3731440/24-24

(22) 18.04.84

(46) 15.09.85. Бюл. № 34

(72) О. Ю. Гудзенко, О. В. Мокров, А. М. Решетников и В. И. Сигалов

(53) 681.325(088.8)

(56) Балашов Е. П., Пузанков Д. В. Микропроцессоры и микропроцессорные системы. М.: Радио и связь, 1981, с. 206, рис. 7.7.

Авторское свидетельство СССР № 728353, 1980.

(54) (57) УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее четыре триггера, первый счетчик регистр, одновибратор, два элемента ИЛИ, три элемента И, две группы элементов И, причем вход начального пуска устройства подключен к первому входу первого элемента ИЛИ, второй вход которого подключен к выходу одновибратора, а выход первого элемента ИЛИ подключен к выходу начальной установки устройства и соединен с входом установки в ноль первого счетчика и с первым входом второго элемента ИЛИ, второй вход которого подключен к выходу первого триггера и соединен с счетным входом первого счетчика, группа выходов которого подключена к первым входам элементов И первой группы, вторые входы которых подключены к выходу второго триггера и соединены с выходом сигнала записи устройства и с первыми входами элементов И второй группы, вторые входы которых соединены с группой выходов регистра, выходы элементов И первой и второй групп подключены соответственно к адресным и информационным выходам устройства, первый вход первого элемента ИЛИ соединен с входом установки в единицу третьего триггера, инверсный выход которого соединен с входом одновибратора, а прямой выход третьего триггера подключен к выходу запроса прямого доступа к памяти устрой-

ства и соединен с первым входом первого элемента И, второй и третий входы которого соединены соответственно с входом разрешения прямого доступа к памяти устройства и выходом четвертого триггера, вход установки в ноль которого соединен с выходом второго элемента ИЛИ и с входом установки в ноль второго триггера, вход установки в единицу которого подключен к выходу первого элемента И, прямой и инверсный выходы второго триггера подключены соответственно к первым входам второго и третьего элементов И, выходы которых соединены соответственно с входами установки в единицу и установки в ноль первого триггера, первый и второй входы тактовых импульсов устройства подключены к вторым входам соответственно второго и третьего элементов И, третий вход второго элемента И подключен к входу готовности к приему информации, группа информационных входов и синхровход регистра подключены соответственно к информационному входу устройства и входу синхронизации устройства, отличающееся тем, что, с целью повышения надежности, оно содержит второй счетчик, второй одновибратор, третий и четвертый элементы ИЛИ, причем вход установки в ноль третьего триггера подключен к выходу третьего элемента ИЛИ, первый и второй входы которого подключены к выходам переполнения соответственно первого и второго счетчика, счетный вход и вход установки в ноль которого подключены соответственно к второму входу тактовых импульсов устройства и к выходу четвертого элемента ИЛИ, входы которого подключены соответственно к выходу первого элемента ИЛИ и к входу второго одновибратора, вход синхронизации устройства через второй одновибратор подключен к входу установки в единицу четвертого триггера.

(19) **SU** (11) **1179336** **A**

Изобретение относится к вычислительной технике и может быть использовано при разработке микроЭВМ или ЭВМ других классов с полупроводниковой оперативной памятью.

Целью изобретения является повышение надежности работы загрузчика за счет выработки сигнала сброса при вводе произвольного объема информации.

На чертеже представлена схема предлагаемого устройства.

Устройство содержит триггеры 1—4, счетчики 5 и 6, регистр 7, одновибраторы 8 и 9, элементы ИЛИ 10—13, элементы И 14—16, две группы элементов И 17 и 18, входы начального пуска 19, информационный 20, синхронизации 21, готовности к приему информации 22, разрешения прямого доступа к памяти 23, первый и второй входы 24 и 25 тактовых импульсов, выходы начальной установки 26, запроса прямого доступа к памяти 27, адресный 28, сигнала записи 29, информационный 30.

Устройство работает следующим образом.

Сигнал включения, подаваемый с панели ЭВМ нажатием кнопки оператором, появляется на входе 19, устанавливает в состояние «1» триггер 1 и через элемент ИЛИ 10 вырабатывает на выходе 26 устройства сигнал, производящий начальную установку микропроцессора. Кроме того, сигнал с выхода элемента 10 устанавливает в нулевое состояние: счетчик 6 (через элемент 12) и счетчик 5, триггеры 4 и 3 (через элемент 13). Состояние триггера 3 переписывается в триггер 2 при поступлении очередного тактового импульса второй тактирующей серии на вход 25. Высокий уровень с единичного выхода триггера 1 поступает на выход 27 устройства, включая внешнее устройство (на чертеже не показанное) и подавая сигнал запроса прямого доступа к памяти на микропроцессор, не приведенный на чертеже. Микропроцессор, реагируя на сигнал, появившийся на выходе 27 устройства, отключает свои внутренние буферы адреса и данных и выдает на вход 23 устройства сигнал, разрешающий прямой доступ к ОЗУ. Поступление информации на информационные входы 20 сопровождается сигналом синхронизации на входе 21 устройства. Этот сигнал стробирует засылку информации в буферный регистр 7, устанавливает в нулевое состояние счетчик останова 6 через схему 12 и устанавливает в состояние «1» триггер 4 через одновибратор 9. Триггер 4 через элемент 16 устанавливает в единицу триггер 3, с единичного плеча которого сигнал высокого уровня поступает на выход 29 устройства, управляя записью информации в память. Этот же сигнал поступает на управляющие входы групп 17 и 18, а также на элемент 14. На информационные выходы 30 поступают данные с устройства ввода, по входам 20 — в регистр 7, по адресным выходам 28 — адрес, хранящийся в счетчике 5. ОЗУ выполняет цикл записи.

После окончания цикла записи ОЗУ выдает высокий уровень на вход 22 устройства, свидетельствующий о том, что ОЗУ готово к приему нового информационного слова.

На первой фазе (вход 24) открывается элемент 14, который устанавливает в состояние «1» триггер 2, сбрасывающий через элемент 13 триггеры 3 и 4 и добавляющий «1» к коду, хранящемуся в счетчике 5. В течение цикла записи информации в ОЗУ счетчик останова 6 сбрасывается стробирующим сигналом с выхода 21 устройства и заполняется второй тактирующей серией, поступающей на С-вход счетчика 6 со входа 25. Однако переполнения счетчика 6 не происходит за цикл записи, поскольку его коэффициент пересчета выбирается исходя из быстродействия ОЗУ и устройства ввода таким образом, чтобы сигнал переполнения за это время не появлялся. При поступлении последующего информационного слова, сопровождаемого синхросигналами, выполняются аналогичные циклы записи. Запись производится до тех пор, пока после очередного цикла счетчик 6 не переполнится в случае загрузки программы с максимальным объемом и сигнал с его выхода переполнения через элемент 11 не установит в состояние «0» триггер 1, либо, если загружалась более короткая программа, с окончанием перфоленты перестают поступать синхронизирующие сигналы на R-вход счетчика 6, который в этом случае заполняется второй тактирующей серией по входу 25 до переполнения. Сигнал с его выхода переполнения через элемент 11 устанавливает в состояние «0» триггер 1. Последний снимает сигнал запроса прямого доступа к памяти, выключает устройство ввода (по выходу 27) и блокирует элемент 16. Нулевой выход триггера 1 запускает одновибратор 8, который через элемент 10 производит установку в «0» счетчика 5, через элемент 12 — счетчика 6 и триггеров 3 и 4 — через элемент 13, осуществляет по выходу 27 начальную установку микропроцессора. После этого микропроцессор начинает обработку загруженной в ОЗУ программы.

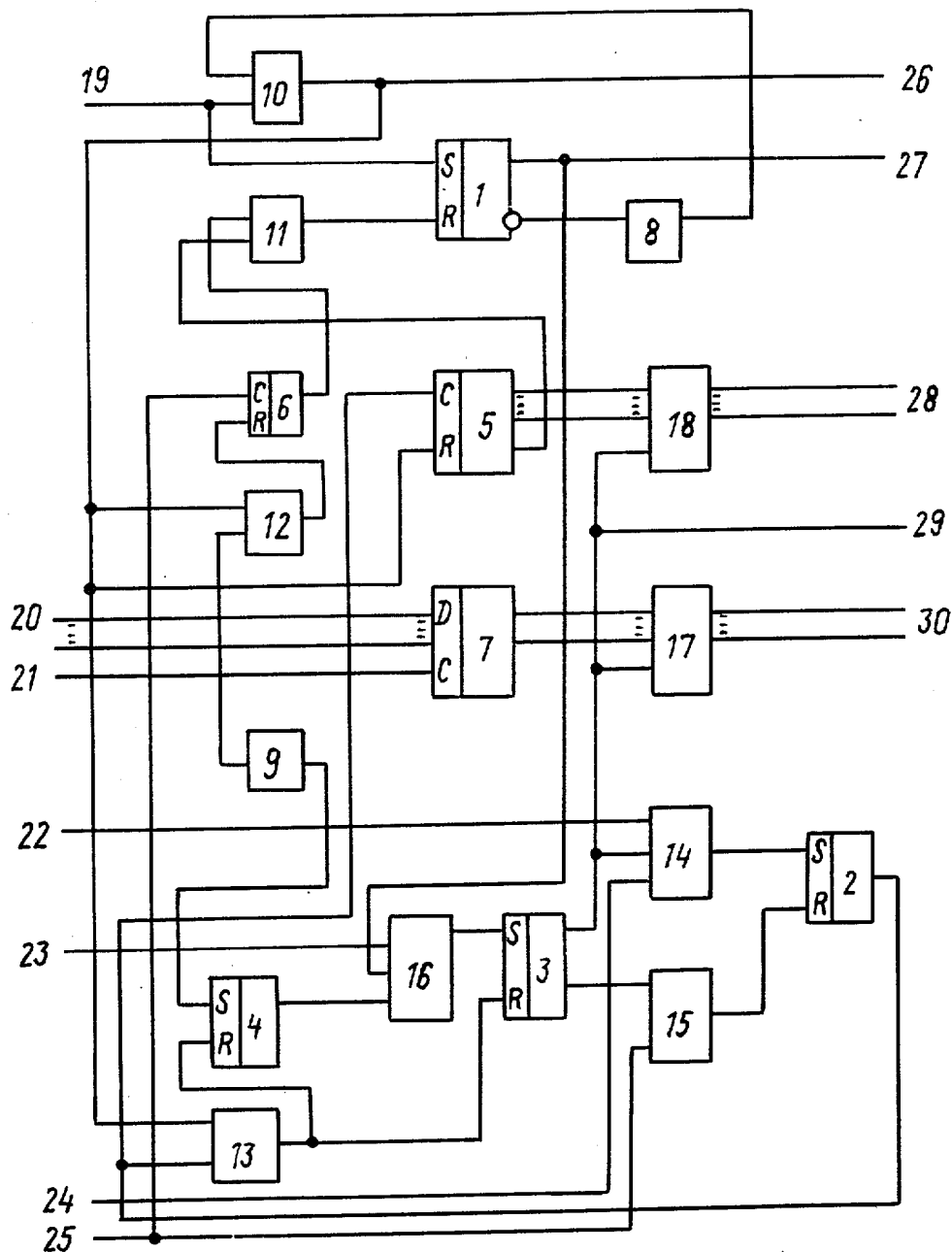
Для счетчика 6 коэффициент пересчета выбирается исходя из быстродействия устройства ввода. Так, например, при использовании внешнего устройства ввода FS-1501 максимальное время загрузки одного байта информации составляет приблизительно $(3 - 10) \cdot 10^{-3}$ с. Выберем время переполнения счетчика останова на порядок больше $t_n = 10 \cdot 10^{-2}$ с. Пусть частота синхросерий составляет $2 \cdot 10^6$ Гц, тогда коэффициент пересчета составит $10 \cdot 10^{-2} \cdot 20^6 = 2 \cdot 10^5 = 2^{18}$. Таким образом, в нашем примере счетчик останова должен содержать 18 разрядов, обеспечивающих коэффициент пересчета 256 К байт.

Коэффициент пересчета и начальное состояние счетчика 5 выбираются в соответствии с объемом загружаемой программы

и способом запуска микропроцессора после его начальной установки.

Так, например, для микроЭВМ на микропроцессоре К580ИК80 запуск программ обыч-

но производится с нулевого адреса. Тогда начальное состояние счетчика 5 выбирается равным нулю. Пусть максимальный объем загружаемой программы не более 4К байт $= 4 \cdot 2^{10} = 2^{12}$. Разрядность счетчика — 12.



Редактор С. Тимохина
Заказ 5677/51

Составитель М. Силин
Техред И. Верес
Тираж 710

Корректор С. Черни
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4