



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월04일
 (11) 등록번호 10-0800911
 (24) 등록일자 2008년01월28일

(51) Int. Cl.
 H01L 21/8247 (2006.01) H01L 27/115 (2006.01)
 (21) 출원번호 10-2006-0135925
 (22) 출원일자 2006년12월28일
 심사청구일자 2006년12월28일
 (56) 선행기술조사문헌
 KR 1020060034530 A
 KR 1020060021216 A
 US 6943395 B2

(73) 특허권자
 동부일렉트로닉스 주식회사
 서울 강남구 대치동 891-10
 (72) 발명자
 이건혁
 서울 도봉구 방학동 531 신동아아파트 107-1201
 (74) 대리인
 김원준, 장성구

전체 청구항 수 : 총 7 항

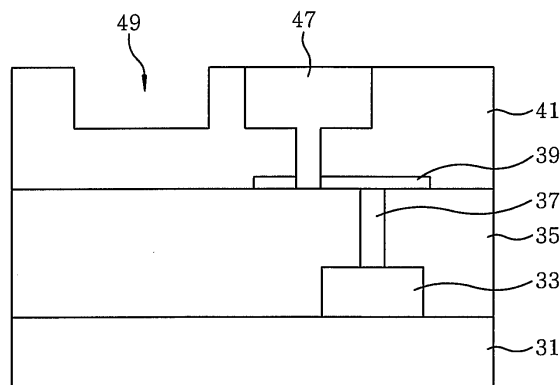
심사관 : 구본제

(54) 상변화 메모리소자의 제조방법

(57) 요약

본 발명은 상변화 메모리소자의 제조 방법에 관한 것으로 하부 배선이 형성된 기판 상에 제 1 층간절연층을 형성하고 상기 하부 배선을 노출시키는 제 1 비아홀을 형성하는 공정과, 상기 제 1 비아홀 내에 플러그를 형성하고 상기 제 1 층간절연층 상에 상기 플러그와 접촉되도록 하부전극을 형성하는 공정과, 상기 제 1 층간절연층 상에 상기 하부 전극을 덮는 제 2 층간절연층을 형성하고 상기 하부 전극을 노출시키는 제 2 비아홀과 상기 제 2 비아홀을 포함하도록 중간 깊이까지만 패터닝한 제 1 트렌치를 형성하는 공정과, 상기 제 1 트렌치 내에 상기 제 2 비아홀을 채워 상기 하부 전극과 접촉되는 상변화막을 형성하는 공정과, 상기 제 2 층간절연층의 상기 제 1 트렌치와 인접되는 부분을 중간 깊이까지만 패터닝하여 제 2 트렌치를 형성하는 공정과, 상기 제 2 트렌치 표면을 포함하는 상기 제 2 층간절연층 상에 상기 상변화막과 접촉되게 상부 전극을 형성하는 공정과, 상기 제 2 트렌치 내부를 채워 상기 상부 전극과 접촉되는 상부 배선을 형성하고 상기 상부 전극을 상기 상변화막과 상부 배선 사이를 전기적으로 연결하는 부분을 제외하고 패터닝하여 제거하는 공정을 포함한다. 따라서, 상부 배선을 상부 전극과 동일한 제 2 층간절연층 상에 직접 접촉되게 형성하므로 층간절연층 수를 줄여 높이를 감소시킬 수 있을 뿐만 아니라 상부 배선을 상부 전극을 전기적으로 연결하기 위한 플러그를 형성하지 않으므로 공정 수가 감소되며, 또한, 상부 배선을 구리로 형성하므로 전기적 특성이 향상된다.

대표도 - 도2c



특허청구의 범위

청구항 1

하부 배선이 형성된 기판 상에 제 1 층간절연층을 형성하고 상기 하부 배선을 노출시키는 제 1 비아홀을 형성하는 공정과,

상기 제 1 비아홀 내에 플러그를 형성하고 상기 제 1 층간절연층 상에 상기 플러그와 접촉되도록 하부전극을 형성하는 공정과,

상기 제 1 층간절연층 상에 상기 하부 전극을 덮는 제 2 층간절연층을 형성하고 상기 하부 전극을 노출시키는 제 2 비아홀과 상기 제 2 비아홀을 포함하도록 중간 깊이까지만 패터닝한 제 1 트렌치를 형성하는 공정과,

상기 제 1 트렌치 내에 상기 제 2 비아홀을 채워 상기 하부 전극과 접촉되는 상변화막을 형성하는 공정과,

상기 제 2 층간절연층의 상기 제 1 트렌치와 인접되는 부분을 중간 깊이까지만 패터닝하여 제 2 트렌치를 형성하는 공정과,

상기 제 2 트렌치 표면을 포함하는 상기 제 2 층간절연층 상에 상기 상변화막과 접촉되게 상부 전극을 형성하는 공정과,

상기 제 2 트렌치 내부를 채워 상기 상부 전극과 접촉되는 상부 배선을 형성하고 상기 상부 전극을 상기 상변화막과 상부 배선 사이를 전기적으로 연결하는 부분을 제외하고 패터닝하여 제거하는 공정을 포함하는 상변화 메모리소자의 제조방법.

청구항 2

제 1항에 있어서

상기 기판은 트랜지스터가 형성된 반도체기판 상에 형성된 절연층인 상변화 메모리소자의 제조방법.

청구항 3

제 1 항에 있어서

상기 상변화막을 상기 제 2 층간절연층 상에 상변화 물질을 증착하고 연마하여 형성하는 상변화 메모리소자의 제조방법.

청구항 4

제 1항에 있어서

상기 상변화막을 GeSb_2Te_4 및 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 중 어느 하나로 형성하는 상변화 메모리소자의 제조방법.

청구항 5

제 1항에 있어서 상기 상부 전극을 베리어 금속으로 형성하는 상변화 메모리소자의 제조방법.

청구항 6

제 1항에 있어서

상기 상부 배선을 구리로 형성하는 상변화 메모리소자의 제조방법.

청구항 7

제 6항에 있어서

상기 상부 배선을 상기 상부 전극 상에 상기 제 2 트렌치를 채우도록 구리를 증착하고 연마하여 형성하는 상변화 메모리소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 반도체장치의 제조방법에 관한 것으로서, 특히, 상변화막이 비정질(amorphous) 상태와 결정상태에서 저항이 서로 다른 점을 이용해서 "1" 또는 "0"을 기억하는 상변화 메모리소자(Phase Change RAM)의 제조방법에 관한 것이다.
- <12> 반도체 메모리 소자는 디램(Dynamic Random Access Memory : DRAM) 및 에스램(Static Random Access Memory : SRAM)과 같이 시간이 지남에 따라 데이터를 잃어버리는 휘발성이면서 데이터의 입·출력이 빠른 램(RAM) 제품과, 한번 데이터를 입력하면 그 상태를 유지할 수 있지만 데이터의 입·출력이 느린 롬(Read Only Memory : ROM) 제품으로 크게 구분할 수 있다. 이와 같은 전형적인 메모리 소자들은 저장된 전하 유무에 따라 논리 '0' 또는 논리 '1'을 나타낸다.
- <13> 여기서, 휘발성 메모리 소자인 디램(DRAM)은 주기적인 리프레쉬(Refresh) 동작이 필요하기 때문에 높은 전하저장 능력이 요구되며, 이로 인해 캐패시터(Capacitor) 전극의 표면적을 증가시키기 위해 많은 노력이 시도되고 있다. 하지만 캐패시터 전극의 표면적 증가는 디램 소자의 집적도 증가를 어렵게 한다.
- <14> 한편, 불휘발성 메모리 장치는 거의 무기한의 축적용량을 갖는데, EEPROM(Electrically Erasable and Programmable ROM)과 같이 전기적으로 입·출력이 가능한 플래쉬 기억(Flash Memory) 소자에 대한 수요가 늘고 있다. 이러한 플래쉬 기억 셀은 일반적으로 실리콘 기판 상에 형성된 플로팅 게이트(Floating Gate)를 구비하는 수직 적층형 게이트 구조를 갖는다. 다층 게이트 구조는 전형적으로 하나 이상의 터널 산화막 또는 유전막과, 상기 플로팅 게이트의 상부 또는 주변에 형성된 컨트롤 게이트(Control Gate)를 포함하며, 상기 플래쉬 기억 셀의 데이터를 기입 또는 소거하는 원리는 상기 터널 산화막을 통하여 전하들을 터널링(Tunneling)시키는 방법을 사용한다. 이때, 전원 전압에 비하여 높은 동작 전압이 요구된다. 이로 인하여, 상기 플래쉬 메모리 소자들은 기입 및 소거 동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.
- <15> 따라서 비휘발성 특성 및 임의 접근이 가능하고, 소자의 집적도도 증가시키면서 구조가 간단한 새로운 메모리 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상변화 메모리 소자(Phase-Change Random Access Memory ; PRAM)이다. 상변화 메모리 소자는 상변화막으로서 칼코게나이드(Chalcogenide)막을 널리 사용한다. 이때, 상기 칼코게나이드막은 게르마늄(Ge), 스티비움(Sb) 및 텔루리움(Te)을 함유하는 화합물막(이하, 'GST막' 이라 함)으로서, 상기 GST막은 제공되는 전류, 즉, 주울 열(Joule Heat)에 따라 비정질(Amorphouse) 상태와 결정질(Crystalline) 상태 사이에서 가역적인 상변화(Phase Change)를 일으켜 "1" 또는 "0"을 기억한다.
- <16> 도 1a 내지 도 1c은 종래 기술에 따른 상변화 메모리소자의 제조방법을 도시하는 공정도이다.
- <17> 도 1a를 참조하면, 기판(11) 상에 도전성 금속을 증착하고 포토리소그래피 방법으로 패터닝하여 하부 배선(13)을 형성한다. 상기에서 기판(11)은 트랜지스터(도시되지 않음)가 형성된 반도체기판 상에 형성된 절연층일 수도 있다.
- <18> 기판(11) 상에 BPSG 또는 TEOS 등의 산화실리콘을 화학기상증착(Cheical Vapor Deposition : CVD) 등의 방법으로 하부 배선(13)을 덮도록 증착하여 제 1 층간절연층(15)을 형성한다. 그리고, 제 1 층간절연층(15)을 포토리소그래피 방법으로 패터닝하여 하부 배선(13)을 노출시키는 제 1 비아홀(16)을 형성한다.
- <19> 계속해서, 제 1 층간절연층(15) 상에 도전성 금속을 제 1 비아홀(16)을 채우도록 증착하고 화학적-기계적 연마(CMP) 방법으로 연마하여 제 1 비아홀(16) 내에 제 1 플러그(17)를 형성한다.
- <20> 그리고, 제 1 층간절연층(15) 상에 도전성 금속을 증착하고 포토리소그래피 방법으로 제 1 플러그(17)와 접촉되도록 패터닝하여 하부전극(19)을 형성한다.
- <21> 도 1b를 참조하면, 제 1 층간절연층(15) 상에 BPSG 또는 TEOS 등의 산화실리콘을 CVD 등의 방법으로 하부 전극(19)을 덮도록 증착하여 제 2 층간절연층(21)을 형성한다. 그리고, 제 2 층간절연층(21)을 포토리소그래피 방법으로 패터닝하여 하부 전극(19)을 노출시키는 제 2 비아홀(22)을 형성한다.
- <22> 계속해서, 제 2 층간절연층(21) 상에 상변화물질을 제 2 비아홀(22)을 채워 제 1 플러그(17)와 접촉되도록 증착

하여 상변화막(23)을 형성하고, 상기 상변화막(23) 상에 상부전극(25)을 형성한다. 그리고, 상부전극(25) 및 상변화막(23)을 포토리소그래피 방법으로 패터닝한다. 상기에서 상변화막(23)을 GST, 즉, GeSb_2Te_4 및 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 중 어느 하나로 형성한다. 또한, 상부전극(25)은 다결정실리콘 계열 또는 금속 계열을 형성할 수 있다.

- <23> 도 1c를 참조하면, 제 2 층간절연층(21) 상에 BPSG 또는 TEOS 등의 산화실리콘을 CVD 등의 방법으로 상부 전극(25)을 덮도록 증착하여 제 3 층간절연층(27)을 형성한다. 그리고, 제 3 층간절연층(27)을 포토리소그래피 방법으로 패터닝하여 상부 전극(25)을 노출시키는 제 3 비아홀(26)을 형성한다.
- <24> 계속해서, 제 3 층간절연층(27) 상에 도전성 금속을 제 3 비아홀(26)을 채워 상부전극(25)와 접촉되도록 증착하고 CMP 하여 제 3 비아홀(26) 내에 제 2 플러그(28)을 형성한다.
- <25> 그리고, 제 3 층간절연층(27) 상에 도전성 금속을 증착하고 포토리소그래피 방법으로 제 2 플러그(28)와 접촉되도록 포토리소그래피 방법으로 패터닝하여 상부 배선(29)을 형성한다.
- <26> 상술한 바와 같이 종래 기술에 따른 상변화 메모리 소자는 하부 배선(13), 제 1 플러그(17), 하부전극(19), 상변화막(23), 상부전극(25), 제 2 플러그(28) 및 상부 배선(29)을 순차적으로 형성하는데, 상부 배선(29)이 중첩되게 형성되는 상변화막(23)과 상부전극(25)과 다른 평면 상에 형성된다.
- <27> 그러므로, 종래 기술에 따른 상변화 메모리 소자는 상부 전극과 상부 배선이 다른 층간절연층 상에 형성되므로 층간절연층 수가 증가되어 높이가 증가되는 문제점이 있었다. 또한, 층간절연층에 상부 전극과 상부 배선 사이를 전기적으로 연결하기 위한 플러그를 형성하여야 하므로 공정 수가 증가하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

- <28> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상부전극과 상부 배선을 동일한 층간절연층에 형성하여 층간절연층 수를 줄이는 것에 의해 높이를 감소시키면서 공정 수를 감소시킬 수 있는 상변화 메모리 소자의 제조방법을 제공함에 있다.
- <29> 본 발명의 다른 목적은 상부 배선의 저항을 감소시켜 소자의 전기적 특성을 향상시킬 수 있는 상변화 메모리 소자의 제조방법을 제공함에 있다.

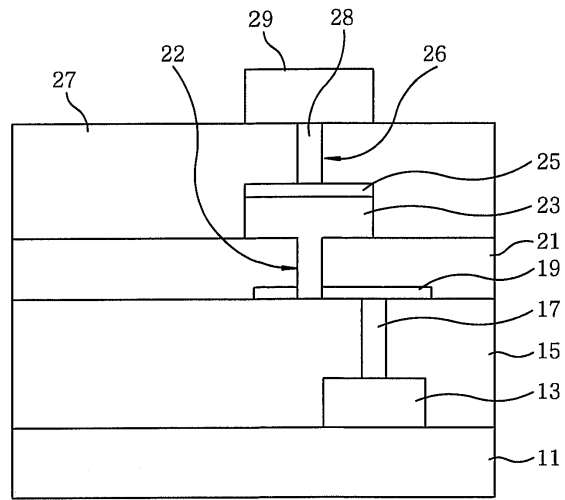
발명의 구성 및 작용

- <30> 상기 기술적 과제를 이루기 위한 본 발명에 따른 상변화 메모리소자의 제조방법은 하부 배선이 형성된 기판 상에 제 1 층간절연층을 형성하고 상기 하부 배선을 노출시키는 제 1 비아홀을 형성하는 공정과, 상기 제 1 비아홀 내에 플러그를 형성하고 상기 제 1 층간절연층 상에 상기 플러그와 접촉되도록 하부전극을 형성하는 공정과, 상기 제 1 층간절연층 상에 상기 하부 전극을 덮는 제 2 층간절연층을 형성하고 상기 하부 전극을 노출시키는 제 2 비아홀과 상기 제 2 비아홀을 포함하도록 중간 깊이까지만 패터닝한 제 1 트렌치를 형성하는 공정과, 상기 제 1 트렌치 내에 상기 제 2 비아홀을 채워 상기 하부 전극과 접촉되는 상변화막을 형성하는 공정과, 상기 제 2 층간절연층의 상기 제 1 트렌치와 인접되는 부분을 중간 깊이까지만 패터닝하여 제 2 트렌치를 형성하는 공정과, 상기 제 2 트렌치 표면을 포함하는 상기 제 2 층간절연층 상에 상기 상변화막과 접촉되게 상부 전극을 형성하는 공정과, 상기 제 2 트렌치 내부를 채워 상기 상부 전극과 접촉되는 상부 배선을 형성하고 상기 상부 전극을 상기 상변화막과 상부 배선 사이를 전기적으로 연결하는 부분을 제외하고 패터닝하여 제거하는 공정을 포함한다.
- <31> 바람직하게는, 기판은 트랜지스터(도시되지 않음)가 형성된 반도체기판 상에 형성된다.
- <32> 바람직하게는, 상변화막을 상기 제 2 층간절연층 상에 상변화 물질을 증착하고 연마하여 형성한다.
- <33> 바람직하게는, 상변화막을 GeSb_2Te_4 및 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 중 어느 하나로 형성한다.
- <34> 바람직하게는, 상부 전극을 베리어 금속으로 형성한다.
- <35> 바람직하게는, 상부 배선을 상기 상부 전극 상에 상기 제 2 트렌치를 채우도록 구리를 증착하고 연마하여 형성한다.
- <36> 이하, 첨부한 도면을 참조하여 본 발명을 상세하게 설명한다.
- <37> 도 2a 내지 도 2e는 본 발명에 따른 상변화 메모리소자의 제조방법을 도시하는 공정도이다.

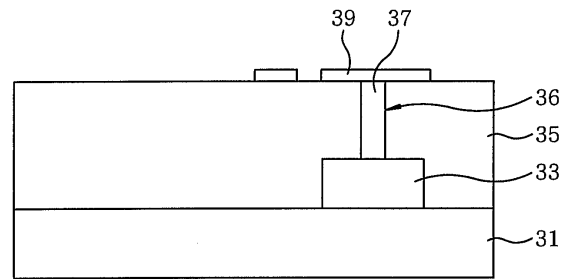
- <38> 도 2a를 참조하면, 기판(31) 상에 도전성 금속을 증착하고 포토리소그래피 방법으로 패터닝하여 하부 배선(33)을 형성한다. 상기에서 기판(31)은 트랜지스터(도시되지 않음)가 형성된 반도체기판 상에 형성된 절연층일 수도 있다.
- <39> 기판(31) 상에 BPSG 또는 TEOS 등의 산화실리콘을 화학기상증착(Cheical Vapor Deposition : CVD) 등의 방법으로 하부 배선(33)을 덮도록 증착하여 제 1 층간절연층(35)을 형성한다. 그리고, 제 1 층간절연층(35)을 포토리소그래피 방법으로 패터닝하여 하부 배선(33)을 노출시키는 제 1 비아홀(36)을 형성한다.
- <40> 계속해서, 제 1 층간절연층(35) 상에 도전성 금속을 제 1 비아홀(36)을 채우도록 증착하고 화학적-기계적 연마(CMP) 방법으로 연마하여 제 1 비아홀(36) 내에 플러그(37)을 형성한다.
- <41> 그리고, 제 1 층간절연층(35) 상에 도전성 금속을 증착하고 포토리소그래피 방법으로 플러그(37)와 접촉되도록 패터닝하여 하부전극(39)을 형성한다.
- <42> 도 2b를 참조하면, 제 1 층간절연층(35) 상에 BPSG 또는 TEOS 등의 산화실리콘을 CVD 등의 방법으로 하부 전극(39)을 덮도록 증착하여 제 2 층간절연층(41)을 형성한다.
- <43> 그리고, 제 2 층간절연층(41)을 포토리소그래피 방법으로 패터닝하여 하부 전극(39)을 노출시키는 제 2 비아홀(43)을 형성한다. 다시, 제 2 층간절연층(41)을 포토리소그래피 방법으로 제 2 비아홀(43)을 포함하도록 중간 깊이까지만 패터닝하여 제 1 트렌치(45)를 형성한다.
- <44> 도 2c를 참조하면, 제 2 층간절연층(41) 상에 상변화 물질을 제 1 트렌치(45) 뿐만 아니라 제 2 비아홀(43)을 채워 하부 전극(39)과 접촉되게 증착한다. 상기에서 상변화 물질은 GST, 즉, GeSb_2Te_4 및 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 중 어느 하나이다.
- <45> 그리고, 상변화 물질을 제 2 층간절연층(41)이 노출되도록 CMP 방법으로 연마하여 제 2 비아홀(43) 및 제 1 트렌치(45) 내에 상변화막(47)을 형성한다.
- <46> 계속해서, 제 2 층간절연층(41)의 제 1 트렌치(45)와 인접되는 부분을 포토리소그래피 방법으로 중간 깊이까지만 패터닝하여 제 2 트렌치(49)를 형성한다.
- <47> 도 2d를 참조하면, 제 2 트렌치(49) 내부 표면을 포함하는 제 2 층간절연층(41) 상에 상변화막(47)을 덮도록 Ta, TaN등의 베리어 금속을 증착하여 상부 전극(51)을 형성한다.
- <48> 계속해서, 상부 전극(51) 상에 제 2 트렌치(49)를 채우도록 구리를 증착한다. 그리고, 증착된 구리를 상부 전극(51)이 노출되도록 CMP 방법으로 연마하여 제 2 트렌치(49) 내에 상부 배선(53)을 형성한다. 이때, 상부 배선(53)은 제 2 트렌치(49)의 표면에 형성된 상부 전극(51)을 통해 상변화막(47)과 전기적으로 연결된다.
- <49> 상기에서 상부 배선(53)을 상부 전극(51)과 제 2 층간절연층(41) 상에 직접 접촉되게 형성하므로 층간절연층 수를 줄여 높이를 감소시킬 수 있을 뿐만 아니라 상부 배선(53)을 상부 전극(51)을 전기적으로 연결하기 위한 수단, 즉, 플러그를 형성하지 않으므로 공정 수가 감소한다. 그리고, 상부 배선(53)을 제 2 트렌치(49) 내에 채우고 CMP 방법으로 연마하여 형성하므로 구리로도 형성할 수 있으므로 전기적 특성이 향상된다.
- <50> 도 2e를 참조하면, 상부 전극(51)을 포토리소그래피 방법으로 패터닝하여 상변화막(47)과 상부 배선(53) 사이를 전기적으로 연결하는 부분을 제외하고 제거한다. 이때, 상부 전극(51)이 상변화막(47)을 덮어 노출되지 않도록 패터닝하여야 한다.
- <51> 상술한 바와 같이 본 발명은 제 2 층간절연층에 하부 전극을 노출시키는 제 2 비아홀과 상기 제 2 비아홀을 포함하도록 형성된 제 1 트렌치에 상변화막을 형성하고, 다시, 제 2 층간절연층의 상변화막과 인접하는 부분에 제 2 트렌치를 형성하여 내부를 채우는 상부 배선과, 상기 상부 배선과 직접 접촉되어 상변화막을 전기적으로 연결하는 상부 전극을 형성한다. 즉, 상부 배선을 상부 전극과 동일한 제 2 층간절연층 상에 형성한다.
- <52> 이러한 본원 발명인 방법 및 장치는 이해를 돕기 위하여 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

발명의 효과

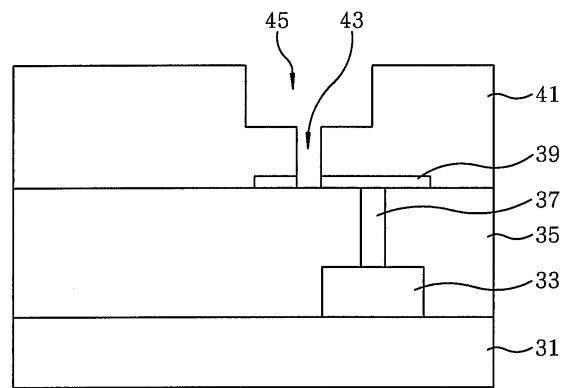
도면1c



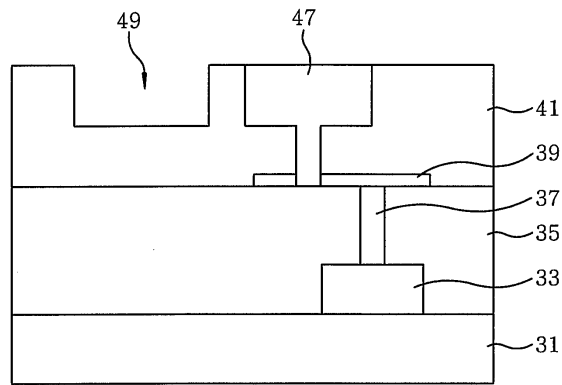
도면2a



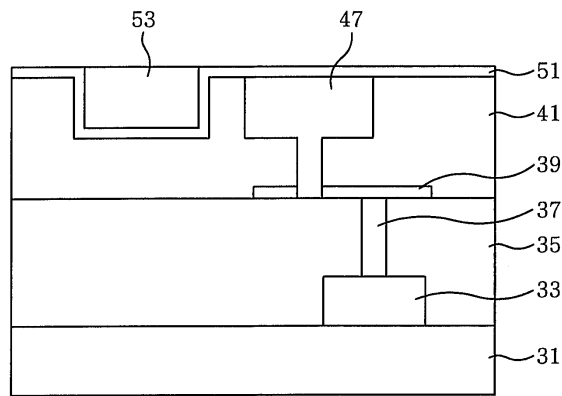
도면2b



도면2c



도면2d



도면2e

