(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월28일
(11) 등록번호 10-1052384
(24) 등록일자 2011년07월21일

(51) Int. Cl.
G05F 1/10 (2006.01) *G05F 3/24* (2006.01)
(21) 출원번호 10-2008-7023316(분할)
(22) 출원일자(국제출원일자) 2005년07월05일
심사청구일자 2010년03월17일
(85) 번역문제출일자 2008년09월24일
(65) 공개번호 10-2008-0089529
(43) 공개일자 2008년10월06일
(62) 원출원 특허 10-2007-7003098
원출원일자(국제출원일자) 2005년07월05일
(86) 국제출원번호 PCT/US2005/023839
(87) 국제공개번호 WO 2006/017082
국제공개일자 2006년02월16일
(30) 우선권주장
10/996,739 2004년11월24일 미국(US)
60/586,565 2004년07월09일 미국(US)
(56) 선행기술조사문헌
US6759873 A
US6021056 A
전체 청구항 수 : 총 25 항

(73) 특허권자
모사이드 테크놀로지스 인코퍼레이티드
캐나다 케이2케이 2엑스1 온타리오 오타와 스위트 203 하인스 로드 11
(72) 발명자
카플란, 랜디
미국 94089 캘리포니아주 서니베일 올린스 드라이브 1322 버츄얼 실리콘 테크날러지, 인크. 내
슈웨이크, 스티븐
미국 94089 캘리포니아주 서니베일 올린스 드라이브 1322 버츄얼 실리콘 테크날러지, 인크. 내
(74) 대리인
장수길, 백만기

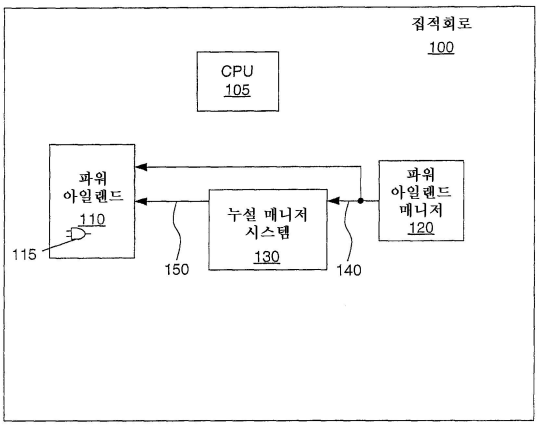
심사관 : 박태욱

(54) 집적회로의 정적 누설을 최소화하기 위한 시스템 및 방법

(57) 요 약

집적회로의 정적 누설을 최소화하기 위하여, 전하 펌프는 집적회로의 논리 게이트에 직렬 접속된 "슬립" 트랜지스터에 인가되는 네거티브 전압을 생성한다. 어댑티브 누설 컨트롤러는 정적 누설을 최소화하도록 네거티브 전압을 조절할지 여부를 연속적으로 또는 주기적으로 판정한다. 네거티브 전압 레귤레이터는 판정 결과에 따라 네거티브 전압을 조절한다. 몇몇 실시예는 슬립 트랜지스터의 하나 이상의 파라미터를 모니터함으로써 네거티브 전압을 조절할지 여부를 판정한다. 몇몇 실시예는 에뮬레이트형 슬립 트랜지스터의 하나 이상의 파라미터를 모니터함으로써 네거티브 전압을 조절할지 여부를 판정한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

전하 펌프로서,

VDD 신호 라인 및 VSS 신호 라인에 전기적으로 연결되는 인버터 - 상기 인버터의 입력은 교류 신호 라인에 전기적으로 연결되고, 상기 인버터의 출력은 펌프 커패시터에 전기적으로 연결됨 - 와,

제1 PMOS 트랜지스터의 소스 및 제2 PMOS 트랜지스터의 소스에 전기적으로 연결되는 펌프 커패시터와,

상기 제1 PMOS 트랜지스터 - 상기 제1 PMOS 트랜지스터의 드레인은 상기 VSS 신호 라인 및 상기 인버터의 드레인에 전기적으로 연결되고, 상기 제1 PMOS 트랜지스터의 게이트는 상기 교류 신호 라인, 제3 PMOS 트랜지스터의 게이트 및 제4 PMOS 트랜지스터의 소스에 전기적으로 연결되고, 상기 제1 PMOS 트랜지스터의 기판은 노드에 전기적으로 연결됨 - 와,

상기 제2 PMOS 트랜지스터 - 상기 제2 PMOS 트랜지스터의 드레인은 네거티브 전압 라인에 전기적으로 연결되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 교류 신호 라인의 컴플리먼트(complement), 상기 제4 PMOS 트랜지스터의 게이트 및 상기 제3 PMOS 트랜지스터의 소스에 전기적으로 연결되고, 상기 제2 PMOS 트랜지스터의 기판은 상기 노드에 전기적으로 연결됨 - 와,

상기 제3 PMOS 트랜지스터 - 상기 제3 PMOS 트랜지스터의 드레인 및 상기 제3 PMOS 트랜지스터의 기판은 상기 노드에 전기적으로 연결됨 - 와,

상기 제4 PMOS 트랜지스터 - 상기 제4 PMOS 트랜지스터의 드레인 및 상기 제4 PMOS 트랜지스터의 기판은 상기 노드에 전기적으로 연결됨 -

를 포함하는 전하 펌프.

청구항 2

제1항에 있어서,

상기 교류 신호 라인 및 상기 제1 PMOS 트랜지스터의 게이트에 전기적으로 연결되는 커패시터를 더 포함하는 전하 펌프.

청구항 3

제1항에 있어서,

상기 교류 신호 라인의 컴플리먼트 및 상기 제2 PMOS 트랜지스터의 게이트에 전기적으로 연결되는 커패시터를 더 포함하는 전하 펌프.

청구항 4

삭제

청구항 5

제1항에 있어서,

상기 노드는 인에이블 신호 라인에 전기적으로 연결되는 전하 펌프.

청구항 6

제5항에 있어서,

상기 노드 및 상기 인에이블 신호 라인에 전기적으로 연결되는 인버터를 더 포함하는 전하 펌프.

청구항 7

제1항에 있어서,

상기 교류 신호 라인은 발진기에 전기적으로 연결되는 전하 펌프.

청구항 8

제1항에 있어서,

상기 네거티브 전압 라인은 누설 매니저 시스템과 전기적으로 연결되는 전하 펌프.

청구항 9

전하 펌프로서,

VDD 신호 및 VSS 신호와 전기적으로 연결되는 경우에는 충전하고, 상기 VSS 신호 및 슬립 신호와 전기적으로 연결되는 경우에는 방전하도록 구성된 펌프 커패시터와,

PMOS 트랜지스터와 NMOS 트랜지스터를 구비한 인버터 - 상기 PMOS 트랜지스터는 상기 PMOS 트랜지스터의 게이트가 제1 저 전압을 수신하는 경우에는 상기 VDD 신호를 상기 펌프 커패시터와 전기적으로 연결하도록 구성되고, 상기 NMOS 트랜지스터는 상기 NMOS 트랜지스터의 게이트가 고 전압을 수신하는 경우에는 상기 VSS 신호를 상기 펌프 커패시터와 전기적으로 연결하도록 구성됨 - 와,

제1 PMOS 트랜지스터 - 상기 제1 PMOS 트랜지스터는 상기 제1 PMOS 트랜지스터의 게이트가 제3 저 전압을 수신하는 경우에는 상기 펌프 커패시터를 상기 VSS 신호와 전기적으로 연결하도록 구성됨 - 와,

제2 PMOS 트랜지스터 - 상기 제2 PMOS 트랜지스터는 상기 제2 PMOS 트랜지스터의 게이트가 제4 저 전압을 수신하는 경우에는 교류 신호의 컴플리먼트를 노드와 전기적으로 연결하도록 구성됨 - 와,

제3 PMOS 트랜지스터 - 상기 제3 PMOS 트랜지스터는 상기 제1 PMOS 트랜지스터의 게이트가 제2 저 전압을 수신하는 경우에는 상기 슬립 신호를 상기 펌프 커패시터와 전기적으로 연결하도록 구성됨 - 와,

제4 PMOS 트랜지스터 - 상기 제4 PMOS 트랜지스터는 상기 제4 PMOS 트랜지스터의 게이트가 제5 저 전압을 수신하는 경우에는 상기 교류 신호를 상기 노드와 전기적으로 연결하도록 구성됨 - 와,

상기 노드 - 상기 노드는 상기 제1 PMOS 트랜지스터의 기판, 상기 제2 PMOS 트랜지스터, 상기 제3 PMOS 트랜지스터 및 상기 제4 PMOS 트랜지스터에 전기적으로 연결됨 -

를 포함하는 전하 펌프.

청구항 10

제9항에 있어서,

상기 교류 신호를 상기 제1 PMOS 트랜지스터의 게이트와 전기적으로 연결하도록 구성된 커패시터를 더 포함하는 전하 펌프.

청구항 11

제9항에 있어서,

상기 교류 신호의 컴플리먼트를 상기 제3 PMOS 트랜지스터의 게이트와 전기적으로 연결하도록 구성된 커패시터를 더 포함하는 전하 펌프.

청구항 12

제1항 또는 제9항에 있어서,

상기 노드는 또한 접지에 전기적으로 연결되는 전하 펌프.

청구항 13

제9항에 있어서,

상기 노드는 인에이블 신호를 수신하도록 구성된 전하 펌프.

청구항 14

제9항에 있어서,

상기 노드는 반전된 인에이블 신호를 인버터로부터 수신하는 전하 펌프.

청구항 15

제9항에 있어서,

상기 제2 저 전압은 상기 제3 저 전압인 전하 펌프.

청구항 16

제9항에 있어서,

상기 제4 저 전압은 상기 제5 저 전압인 전하 펌프.

청구항 17

제9항에 있어서,

상기 교류 신호는 발진기로부터 수신되는 전하 펌프.

청구항 18

제9항에 있어서,

상기 슬립 신호는 누설 매니저 시스템으로부터 수신되는 전하 펌프.

청구항 19

전하 펌프로서,

슬립 신호에 전기적으로 연결되는 경우에는 충전하고, 출력에 전기적으로 연결되는 경우에는 방전하도록 구성된 펌프 커패시터와,

교류 신호를 수신하고, 상기 교류 신호의 상태에 기초하여 VDD 신호 또는 출력을 상기 펌프 커패시터에 전기적으로 연결하는 수단과,

교류 신호의 컴플리먼트를 수신하고, 상기 교류 신호의 컴플리먼트의 상태에 기초하여 상기 슬립 신호를 상기 펌프 커패시터와 전기적으로 연결하는 수단과,

상기 교류 신호의 상태 및 상기 교류 신호의 컴플리먼트의 상태에 기초하여 상기 교류 신호 및 상기 교류 신호의 컴플리먼트를 노드에 전기적으로 연결하는 수단

을 포함하는 전하 펌프.

청구항 20

제19항에 있어서,

VSS 신호 및 상기 슬립 신호로부터 상기 전하 펌프를 전기적으로 분리하는 수단을 더 포함하는 전하 펌프.

청구항 21

논리 게이트의 정적 누설을 최소화하기 위한 전하 펌프 회로로서,

각각 제1 및 제2 단자를 구비한 두 개의 커패시턴스 - 상기 커패시턴스들 중 하나의 제1 단자는 교류 신호를 수신하기 위한 제1 회로 입력에 있고, 상기 커패시턴스들 중 다른 하나의 제1 단자는 상기 교류 신호의 컴플리먼트를 수신하기 위한 제2 회로 입력에 있음 - 와,

제1 및 제2 PMOS 스위치 - 상기 스위치들 각각의 게이트는 상기 두 개의 커패시턴스의 제2 단자들 중 서로 다른 하나에 전기적으로 연결됨 - 와,

제1 및 제2 단자를 구비한 펌프 커패시터 - 상기 제1 단자는 상기 스위치들의 양쪽 소스들에 전기적으로 연결됨 - 와,

입력 및 출력을 구비한 인버터 - 상기 인버터의 출력은 상기 펌프 커패시터의 제2 단자에 전기적으로 연결되고, 상기 인버터의 입력은 상기 교류 신호를 수신함 - 와,

적어도 두 개의 단자를 구비한 네거티브 패스 게이트 - 상기 네거티브 패스 게이트의 제1 단자는 상기 커패시턴스들 중 다른 하나의 제2 단자에 전기적으로 연결되고, 상기 네거티브 패스 게이트의 제2 단자는 가상 접지에 전기적으로 연결됨 - 와,

적어도 두 개의 단자를 구비한 포지티브 패스 게이트 - 상기 포지티브 패스 게이트의 제1 단자는 상기 커패시턴스들 중 하나의 제2 단자에 전기적으로 연결되고, 상기 포지티브 패스 게이트의 제2 단자는 상기 가상 접지에 전기적으로 연결됨 -

를 포함하고,

상기 제2 스위치의 드레인은 네거티브 전압을 슬립 트랜지스터에 공급하여 상기 논리 게이트의 정적 누설을 제어하도록 구성되는 네거티브 출력에 있는 전하 펌프 회로.

청구항 22

제21항에 있어서,

상기 패스 게이트들은 PMOS 트랜지스터들을 포함하는 전하 펌프 회로.

청구항 23

제21항에 있어서,

상기 패스 게이트들은 크로스-커플형 패스 게이트들인 전하 펌프 회로.

청구항 24

제21항에 있어서,

상기 제1 스위치의 드레인은 접지에 전기적으로 연결되는 전하 펌프 회로.

청구항 25

제21항에 있어서,

상기 가상 접지에 연결되는 인버터를 더 포함하고,

상기 인버터는 포지티브 전압을 상기 가상 접지에 인가하여 상기 전하 펌프 회로를 제지하도록 구성된 전하 펌프 회로.

청구항 26

제21항에 있어서,

상기 가상 접지는 집적회로의 기판을 포함하는 전하 펌프 회로.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 본 명세서에서 참조로서 포함하고 있는 "Systems and Methods for I/O and Power Island Management and Leakage Control on Integrated Circuits"의 명칭으로 2004년 7월 9일에 출원한 미국특허 가출원번호 제60/586,565호의 우선권을 주장한다. 또한, 본 출원은 본 명세서에서 참조로서 포함하고 있는 "Managing Power

on Integrated Circuits Using Power Islands"의 명칭으로 2004년 5월 7일에 출원한 미국특허 출원번호 제 10/840,893호와 관련이 있다.

[0003] 본 발명은 일반적으로는 집적회로에 관한 것이고, 특히 집적회로에서 네거티브 전압을 인가하기 위한 시스템 및 방법에 관한 것이다.

배 경 기 술

[0004] 집적회로의 설계 목적 중 하나는 전력 소모를 줄이는 것이다. 배터리를 구비한 디바이스, 예컨대 휴대폰 및 랩톱은 특히 집적회로의 전력 소모를 줄여 배터리의 수명을 연장할 필요가 있다. 또한, 전력 소모를 줄이면 집적회로의 과열을 예방하고, 집적회로의 열 손실을 줄이며, 그에 따라 집적회로를 냉각하는 데 필요한 방열판 및/또는 팬을 제거 또는 간단하게 할 수 있다. 더욱이, 집적회로의 전력소모를 줄이면 그 집적회로를 포함하는 디바이스에 대한 AC 전력 드로(power draw)를 줄인다.

[0005] 집적회로의 설계 목적은 성능 향상을 추구하는 것이다. 성능을 높이는 한 방식은 회로의 최대 동작 주파수를 높이는 것이다. 회로의 최대 동작 주파수를 높이기 위하여, 또는 더 작은 영역에 더 많은 기능성을 통합하기 위하여, 집적회로 제조 기술은 집적회로에 있는 개별 컴포넌트(예컨대, 트랜지스터)의 디바이스 크기를 축소한다.

[0006] 그러나 컴포넌트 디바이스 크기가 250㎚에서 130㎚ 이하의 스케일로 되면, 정적 누설(static leakage)로서 간주하는 대기 모드 시의 디바이스의 전류 드로(current draw)는 집적회로의 전력 소비량에서의 비중이 더욱 커진다. 예를 들어, 130㎚ 디바이스를 이용하여 구성하고, 50W를 소모하는 집적회로에 대한 시뮬레이션은 소모 전력의 20% 이상이 정적 누설에 기인한다는 점을 보여준다. 더 작은 디바이스인 경우, 시뮬레이션은 50㎚ 최소 배선폭을 이용하는 집적회로의 정적 누설은 전체 전력 소비량의 약 50%를 차지한다는 점을 보여준다.

[0007] 정적 누설을 줄이기 위한 한 가지 해결책은 집적회로의 논리 게이트에 하나 이상의 슬립 트랜지스터(sleep transistor)를 연결하여 사용하는 것이다. 슬립 트랜지스터에 제어 신호를 인가하여 논리 게이트의 정적 누설을 줄일 수도 있다.

발명의 내용

과제 해결수단

[0008] 집적회로의 정적 누설을 최소화하기 위한 시스템은 전하 펌프, 어댑티브 누설 컨트롤러 및 네거티브 전압 레귤레이터를 포함한다. 전하 펌프는 슬립 트랜지스터에 인가하는 네거티브 전압을 생성한다. 슬립 트랜지스터는 집적회로의 논리 게이트의 정적 누설을 제어하도록 구성한다. 몇몇 실시예에서, 논리 게이트는 집적회로의 파워 아일랜드에 위치할 수도 있다. 어댑티브 누설 컨트롤러는 정적 누설을 최소화하도록 네거티브 전압을 조절할지 여부를 판정한다. 어댑티브 누설 컨트롤러는 네거티브 전압의 조절 여부를 연속적으로 또는 주기적으로 판정할 수도 있다. 네거티브 전압 레귤레이터는 그 판정에 따라 네거티브 전압을 조절한다.

[0009] 집적회로의 정적 누설을 최소화하기 위한 방법은, 네거티브 전압을 생성하고, 슬립 트랜지스터에 네거티브 전압을 인가하며, 정적 누설을 최소화하도록 네거티브 전압을 조절할지 여부를 판정하며, 그 판정에 따라 네거티브 전압을 조절하는 것을 포함한다. 본 방법은 집적회로의 논리 게이트의 정적 누설을 슬립 트랜지스터를 이용하여 제어하는 것을 포함할 수도 있다. 본 방법은 슬립 트랜지스터의 하나 이상의 파라미터를 모니터하는 것을 포함할 수도 있다.

[0010] 본 발명의 한 가지 장점은, 어댑티브 누설 컨트롤러가 네거티브 전압의 조절 여부를 판정하기 때문에, 정적 누설은 집적회로의 동작 온도의 변화, 또는 전압 변동 또는 제조 변화에 대하여 최소화된다는 점이다. 고정된 네거티브 전압 대신, 슬립 트랜지스터에 인가하는 네거티브 전압을 조절하여 정적 누설을 최소화한다. 다른 장점은 단일 임계 트랜지스터 회로소자를 집적회로에 사용하므로 집적회로 제조 프로세스의 복잡도를 줄일 수도 있다는 점이다. 또 다른 장점은 네거티브 전압을 집적회로 내에서 생성하므로 네거티브 전압을 생성하기 위한 집적회로 외부의 컴포넌트를 제거할 수도 있다는 점이다.

발명의 실시를 위한 구체적인 내용

[0011] 도면에 예시적으로 도시한 바와 같이, 도면의 비슷한 참조번호는 비슷하거나 대응하는 엘리먼트를 나타내고, 본 발명에 따른 시스템 및 방법의 예시적인 실시예는 이하에서 상세하게 기술한다. 그러나 본 발명은 다양한 형태

로 구현할 수도 있음을 이해해야 할 것이다. 예를 들어, 본 명세서에서는 집적회로의 정적 누설을 최소화하는 것에 관하여 기술하지만, 본 발명의 양상은 집적회로 내에 구현되지 않은 회로소자에 대하여 실행할 수도 있다. 그러므로 본 명세서에 기술한 설명은 청구범위에 대한 근거 및 본 발명을 사용하는 기술분야의 숙련자에게 적절하게 기술한 시스템, 구조, 방법, 프로세스 또는 방식을 실질적으로 설명하기 위한 대표적인 근거로서 해석하지만, 이에 한정하는 것으로서 해석하지는 않는다.

[0012] 도 1은 본 발명의 실시예에 따른 정적 누설을 최소화하기 위한 시스템을 구현한 집적회로(100)의 블록도이다. 집적회로(100)는 실리콘 및/또는 유사한 제조 재료로 예시되는 전자 디바이스이다. 집적회로(100)의 한 예는 시스템-온-칩이다. 집적회로(100)는 특정 기능을 실행하는 회로소자의 블록인 복수의 IP(intellectual property) 유닛을 포함한다. 본 명세서에서 기술하는 집적회로(100)의 기능은 단일 집적회로(100)에 의해 실행될 수도 있고, 또는 복수의 집적회로(100)에 분할될 수도 있다는 점을 인식할 것이다. 도 1의 예시적인 집적회로(100)는 CPU(105), 하나 이상의 파워 아일랜드(110), 하나 이상의 파워 아일랜드 매니저(120) 및 하나 이상의 누설 매니저 시스템(130)을 포함한다.

[0013] 도 1은 편의상 하나의 파워 아일랜드(110) 및 하나의 파워 아일랜드 매니저(120)를 도시하지만, 집적회로(100)의 다른 실시예는 다른 수의 파워 아일랜드(110), 파워 아일랜드 매니저(120) 및 누설 매니저 시스템(130)을 포함할 수도 있다. 그러한 실시예에서 파워 아일랜드(110) 중 일부는 다른 파워 아일랜드(110)에 관하여 상이한 회로소자를 포함할 수도 있다. 파워 아일랜드(110) 및 파워 아일랜드 매니저(120)는 "Managing Power on Integrated Circuits Using Power Islands"라는 명칭으로 2004년 5월 7일에 출원하여 계류중인 미국특허 출원번호 제10/840,893호에서 기술한다.

[0014] 파워 아일랜드(110)는 전력 소모를 제어하는 곳으로서, 집적회로(100)의 한 섹션, 부분, 구획 또는 분할부이다. 몇몇 실시예에서 복수의 파워 아일랜드(110)가 집적회로(100)의 지리적 요소에 기초하여 배치된다. 몇몇 실시예에서 복수의 파워 아일랜드(110)는 집적회로(100)의 기능 IP 유닛에 기초하여 배치된다. 몇몇 실시예에서 파워 아일랜드(110)는 집적회로(100)의 전력 제어에 관한 특수성을 제공하는 서브-아일랜드를 포함한다. 몇몇 실시예에서 복수의 파워 아일랜드(110) 각각은 파워 아일랜드(110) 내의 전력을 제어하는 전력 제어 회로소자를 포함한다.

[0015] 파워 아일랜드 매니저(120)는 하나의 파워 아일랜드(110)에 대한 목표 전력 레벨을 결정하고, 하나의 파워 아일랜드(110)의 소모 전력 레벨을 목표 전력 레벨로 변경하는 동작을 결정하며, 하나의 파워 아일랜드(110)의 소모 전력 레벨을 목표 전력 레벨로 변경하는 동작을 실행하는 회로소자, 디바이스 또는 시스템이다. 그래서 파워 아일랜드 매니저(120)는 집적회로(100)의 수요 및 동작에 기초하여 파워 아일랜드(110)의 전력 소모를 다이내믹하게 변경할 수 있다. 목표 전력 레벨은 파워 아일랜드(100)의 원하는 전력 소모, 계산된 전력 소모 또는 특정 전력 소모이다. 파워 아일랜드 매니저(120)는 파워 아일랜드 매니저(120)의 계층 구성 또는 그룹일 수도 있다.

[0016] 도 1은 편의상 하나의 파워 아일랜드 매니저(120)에 연결한 하나의 누설 매니저 시스템(130)을 도시하지만, 몇몇 실시예는 복수의 누설 매니저 시스템(130)을 포함한다. 복수의 누설 매니저 시스템(130)을 포함하는 어떤 실시예에서 각 누설 매니저 시스템(130)은 복수의 파워 아일랜드 매니저(120) 중 하나에 연결한다. 몇몇 실시예에서 누설 매니저 시스템(130)의 기능은 분산된다. 몇몇 실시예에서 단일 누설 매니저 시스템(130)은 하나 이상의 파워 아일랜드 매니저(120)에 연결된다. 본 발명의 원리는 파워 아일랜드(110) 또는 파워 아일랜드 매니저(120)가 없는 회로에 적용할 수도 있음을 인식할 것이다.

[0017] 파워 아일랜드(110)는 하나 이상의 논리 게이트(115)를 포함한다. 파워 아일랜드(110)가 없는 실시예에서 논리 게이트(115)는 집적회로(100)의 임의의 논리 게이트를 포함할 수도 있다. 예시적인 실시예의 논리 게이트(115)는 인버터, NAND, NOR, XOR 및 XNOR 게이트와 같은 논리 회로소자뿐만 아니라 플립-플롭 및 래치와 같은 저장 셀을 포함한다. 논리 게이트(115)는 개별 논리 게이트의 조합을 포함하는 더 높은 레벨의 불 논리(Boolean logic)를 포함할 수도 있다.

[0018] 본 명세서에 기술하는 바와 같이, 논리 게이트(115)는 슬립 트랜지스터(도시하지 않음)에 관련하여 "슬립 모드"로 파워 다운될 수도 있다. 논리 게이트(115)의 정적 누설을 최소화하기 위하여, 누설 매니저 시스템(130)은 슬립 트랜지스터에 인가하는 네거티브 전압(150)을 생성한다. 논리 게이트(115)와 접지 사이에 연결된 NMOS 슬립 트랜지스터의 게이트에 네거티브 전압(150)을 인가하여 논리 게이트(115)의 정적 누설을 줄일 수도 있다. 누설 매니저 시스템(130)은 네거티브 전압 인에이블 신호(140)를 수신한 후 네거티브 전압(150)을 생성하여 파워 아일랜드(110)에 전달한다. 네거티브 전압 인에이블 신호(140)는 네거티브 전압 인에이블 신호(140) 외에 다른 신호를 포함할 수도 있다. 누설 매니저 시스템(130)은 네거티브 전압(150)을 조절할지 여부를 판정한다.

판정에 기초하여, 누설 매니저 시스템(130)은 본 명세서에 기술하는 바와 같이 네거티브 전압(150)을 조절한다.

[0019] 슬립 트랜지스터에 인가하는 네거티브 전압(150)을 조절하여 논리 게이트(115)의 정적 누설을 최소화한다. 예를 들어, 정적 누설은 동작 온도, 전압 변동 및 제조상의 변화와 같은 파라미터에 기초하여 변한다. 그러므로 슬립 트랜지스터에 고정된 네거티브 전압을 인가하면 논리 게이트(115)의 정적 누설은 최적으로 최소화되지 않는다. 또한, 네거티브 전압(150)을 칩 상("on chip")에서 생성하면 집적회로(100) 외부에 요구되는 컴포넌트를 줄인다.

[0020] 논리 게이트(115)의 정적 누설을 줄이는 대안으로는 하나 이상의 고 임계 트랜지스터를 저 임계 논리 게이트(115)에 직렬로 삽입한 복수의 임계 전압 CMOS를 포함한다. 고 임계 트랜지스터를 "오프"로 스위칭하여 논리 게이트(115)의 정적 누설을 줄인다. 그러나 고 임계 트랜지스터는 공칭 임계 트랜지스터와 비교해서 집적회로(100)를 위한 여분의 제조 프로세스 공정을 필요로 하고, 논리 게이트(115)의 속도를 느리게 한다. 네거티브 전압(150)을 저 임계 NMOS 슬립 트랜지스터에 제공하면, 유익하게도 고 임계 슬립 트랜지스터를 제공하는 데 필요한 조건을 제거하므로 집적회로(100)의 제조에 필요한 처리 공정을 줄인다.

[0021] 도 2는 본 발명의 실시예에 따른 도 1의 논리 게이트(115)의 정적 누설을 최소화하기 위한 슬립 트랜지스터(210)의 예시이다. 몇몇 실시예에서 슬립 트랜지스터(210)는 논리 게이트(예컨대, 인버터)(115)에 직렬 접속된 NMOS 트랜지스터를 포함한다. 논리 게이트(115)의 정적 누설은 드레인-소스 전류(I_d로 표시) 및/또는 드레인-게이트 전류(I_g로 표시)로서 슬립 트랜지스터(210)를 통과한다. 논리 게이트(115)의 정적 누설은 슬립 트랜지스터(210)를 통과하는 I_d+I_g와 동일하다. 슬립 트랜지스터(210)에 인가하는 네거티브 전압(SLPB)(150)은 슬립 트랜지스터(210)의 드레인-소스 전류 및 드레인-게이트 전류를 조절함으로써 논리 게이트(115)의 정적 누설을 제어하는 데 사용할 수도 있다.

[0022] 도 3은 본 발명의 실시예에 따른 슬립 트랜지스터(210)의 게이트에서의 네거티브 전압 범위에 대한 도 2에 도시한 논리 게이트(115)의 정적 누설 그래프의 예시이다. 슬립 트랜지스터(210)의 게이트에 인가하는 네거티브 전압(SLPB)(150)이 더욱 네거티브가 됨에 따라 슬립 트랜지스터(210)의 드레인-소스 전류(I_d)는 감소한다. 그러나 네거티브 전압(150)의 크기가 최소 누설 포인트 A를 초과하여 예컨대 포인트 B까지 증가함에 따라 슬립 트랜지스터(210)의 드레인-게이트 전류(I_g)는 드레인-소스 전류(I_d)를 초과한다. 그 결과, 논리 게이트(115)의 정적 누설은 증가한다. 따라서, 네거티브 전압(150)을 최소 누설 포인트 A에서의 드레인-소스 전류(I_d)와 드레인-게이트 전류(I_g)가 거의 동일해지는 것에 대응하는 대략 V(A)로 조절하여 논리 게이트(115)의 정적 누설을 최소화한다.

[0023] 도 4는 본 발명의 실시예에 따른 도 2의 슬립 트랜지스터(210)에 네거티브 전압을 인가함으로써 논리 게이트(115)의 정적 누설을 최소화하기 위한 누설 매니저 시스템(130)의 블록도이다. 누설 매니저 시스템(130)은 어댑티브 누설 컨트롤러(ALC)(410), 네거티브 전압 레귤레이터(420) 및 전하 펌프(430)를 포함한다. 전하 펌프(430)는 네거티브 전압(SLPB)(150)을 생성한다. ALC(410)는 네거티브 전압(150)의 조절 여부를 판정한다. ALC(410)는 판정에 따라 신호(CTRL로 표시)를 생성한다. 네거티브 전압 레귤레이터(420)는 CTRL 신호에 따라 네거티브 전압(150)을 조절한다.

[0024] 본 명세서에 기술하는 바와 같이, 실시예의 네거티브 전압 레귤레이터(420)는 전하 펌프(430)에 대한 인에이블(EN) 신호를 생성하여 전하 펌프(430)가 네거티브 전압(150)의 크기를 증가시킬 수 있게 한다(즉, 네거티브 전압(150)을 더욱 네거티브하게 한다). EN 신호가 로우이면, 발진기(425)로부터 전하 펌프(430)로의 교류 신호가 디스에이블되어 전하 펌프(430)는 네거티브 전압(150)의 크기를 증가시키지 못한다. 대신, EN 신호가 하이이면, 발진기(425)로부터의 교류 신호가 인에이블되어 전하 펌프(430)는 네거티브 전압(150)의 크기를 증가시킨다. 네거티브 전압 레귤레이터(420)는 ALC(410)의 네거티브 전압 조절 여부에 대한 판정에 따라 EN 신호를 온 또는 오프로 토글링하기 때문에, 누설 매니저 시스템(130)은 특정 네거티브 전압에서 네거티브 전압(150)을 유지하여 논리 게이트(115)의 정적 누설을 최소화한다.

[0025] 도 5는 본 발명의 실시예에 따른 도 2의 논리 게이트(115)의 정적 누설을 최소화하는 방법의 예시이다. 단계 500에서 CPU(105)(도 1)는 슬립 모드에 들어간다. 단계 510에서 전하 펌프(430)(도 4)는 네거티브 전압(150)을 생성한다. 단계 515에서 전하 펌프(430)는 네거티브 전압(150)을 슬립 트랜지스터(210)(도 2)에 인가한다. 단계 520에서 ALC(410)(도 4)는 논리 게이트(115)의 정적 누설에 상응하는 슬립 트랜지스터(210)의 하나 이상의 파라미터를 모니터할 수도 있다. ALC(410)는 슬립 트랜지스터(210)를 직접 모니터할 수도 있고, 또는 도 6 내

지 8에 관하여 기술하는 바와 같이 하나 이상의 에뮬레이트형 슬립 트랜지스터를 모니터할 수도 있다.

[0026] 단계 530에서 ALC(410)는 정적 누설을 최소화하도록 네거티브 전압(150)을 조절할지 여부를 판정한다. ALC(410)가 네거티브 전압(150)을 조절하는 것으로 판정하면, ALC(410)는 네거티브 전압 레귤레이터(420)(도 4)에 대한 CTRL 신호를 생성한다. 단계 540에서 네거티브 전압 레귤레이터(420)는 CTRL 신호에 기초하여 네거티브 전압(150)을 조절한다.

[0027] 실시예에서 네거티브 전압 레귤레이터(420)는 네거티브 전압(150)을 연속적으로 조절한다. 또 다른 실시예에서 네거티브 전압 레귤레이터(420)는 네거티브 전압(150)을 주기적으로 조절한다.

[0028] 정적 누설이 온도 변화, 전압 변동 또는 제조 프로세스 변화와 같은 영향에 따라 변하더라도 누설 매니저 시스템(130)은 네거티브 전압(150)을 조절하여 논리 게이트(115)의 정적 누설을 최소화한다. 누설 매니저 시스템(130)은 유익하게도 집적회로(100)에 완전히 통합할 수도 있어, 네거티브 전압(150)을 생성하는 집적회로(100) 외부의 컴포넌트를 제거할 수도 있다. 또한, 누설 매니저 시스템(130)은 유익하게도 단일 임계 트랜지스터 로직을 포함하는 집적회로(100)에 이용할 수도 있어, 집적회로(100)의 제조가 간단해진다.

[0029] 도 6 내지 10은 도 4의 누설 매니저 시스템(130)의 실시예를 상세하게 나타낸다.

[0030] 도 6은 본 발명에 따른 도 4의 어댑티브 누설 컨트롤러(ALC)(410)의 예시이다. 이 실시예의 ALC(410)는 제1 에뮬레이트형 슬립 트랜지스터(610), 제2 에뮬레이트형 슬립 트랜지스터(620), 차동 (연산) 증폭기(630), 바이어스 트랜지스터(640) 및 전압 오프셋 트랜지스터(650)를 포함한다. 이 실시예의 ALC(410)는 도 4의 네거티브 전압(150)을 조절하는지 여부를 연속적으로 판정하는 아날로그 회로소자를 포함한다는 점을 인식할 것이다.

[0031] 도 6은, 바이어스 트랜지스터(640)에 걸쳐 저항성 전압 강하를 제공하도록 드레인에 접속되는 게이트를 구비한 PMOS 트랜지스터로서 바이어스 트랜지스터(640)를 도시하지만, 바이어스 트랜지스터(640)는 저항기를 포함할 수도 있음을 또한 인식할 것이다. PMOS 바이어스 트랜지스터(640)를 구비한 예시적인 실시예에서 수개의 바이어스 트랜지스터(640) 간의 매칭으로 바이어스 트랜지스터들(640)은 실질적으로 동일하게 작동한다. 예시적인 실시예의 전압 오프셋 트랜지스터(650)는, 전압 오프셋 트랜지스터(650)에 걸쳐 저항성 전압 강하를 제공하도록 드레인에 접속되는 게이트를 구비한 PMOS 트랜지스터를 유사하게 포함한다. 대안으로, 전압 오프셋 트랜지스터(650)는 저항기를 포함할 수도 있다.

[0032] 도 6에서 네거티브 전압(150)은 제1 에뮬레이트형 슬립 트랜지스터(610)의 게이트에 인가된다. 이에 상응하여, 네거티브 전압(150)은 제1 에뮬레이트형 슬립 트랜지스터(610)를 통과하는 제1 전류를 생성한다. 제1 전류는 드레인-게이트 전류 및/또는 드레인-소스 전류를 포함할 수도 있다. 제1 에뮬레이트형 슬립 트랜지스터(610)를 통과하는 제1 전류는 논리 게이트(115)의 정적 누설에 비례한다. 제1 전류는 제1 에뮬레이트형 슬립 트랜지스터(610)의 드레인에서 바이어스 트랜지스터(저항)(640)에 걸쳐 제1 전압 강하를 일으킨다. 제1 전압 강하는 차동 증폭기(630)의 네거티브 입력단에서 감지한다.

[0033] 제2 에뮬레이트형 슬립 트랜지스터(620)에 관하여, 전압 오프셋 트랜지스터(650)의 저항은 네거티브 전압(SLPB)(150)의 크기를 전압 오프셋만큼 줄인다. 제2 에뮬레이트형 슬립 트랜지스터(620)의 게이트는 네거티브 전압(150)+전압 오프셋을 수신한다. 네거티브 전압(150)+전압 오프셋은 제2 에뮬레이트형 슬립 트랜지스터(620)를 통과하는 제2 전류를 생성한다. 제2 전류는 드레인-게이트 전류 및/또는 드레인-소스 전류를 포함할 수도 있다. 제2 전류는 제2 에뮬레이트형 슬립 트랜지스터(620)의 드레인에서 바이어스 트랜지스터(저항기)(640)에 걸쳐 제2 전압 강하를 일으킨다. 제2 전압 강하는 차동 증폭기(630)의 포지티브 입력단에서 감지한다.

[0034] 동작 시, 제2 에뮬레이트형 슬립 트랜지스터(620)의 게이트는 전압 오프셋 트랜지스터(650) 때문에 제1 에뮬레이트형 슬립 트랜지스터(610)와 비교해서 작은 전압 오프셋에서 동작한다. 도 3을 참조하면, 전압 오프셋은 포인트 A와 B 간의 전압 오프셋, 또는 V(B)-V(A)로 나타낼 수도 있다. 전압 오프셋의 결과로서, 최소 누설 포인트 A는 네거티브 전압(150)을 조절하여 I(B)가 I(A)와 실질적으로 동일해지게 함으로써 검출할 수도 있다. 전압 오프셋 트랜지스터(650)의 동작 파라미터는 전압 오프셋의 크기에 영향을 미친다는 점을 인식할 것이다. 동작 파라미터는, 예를 들어 네거티브 전압(150)상의 잡음과 같은 고려 사항들에 기초할 수 있다.

[0035] 도 3에 관한 작동 원리에서, 네거티브 전압(150)의 크기가 제1 에뮬레이트형 슬립 트랜지스터(610)에서 포인트 B에 상응하는 제1 전류 I(B)를 생성하고, 네거티브 전압(150)+오프셋 전압이 제2 에뮬레이트형 슬립 트랜지스터(620)에서 포인트 A에 상응하는 제2 전류 I(A)를 생성하면, 차동 증폭기(630)는 CTRL 신호를 생성하여 I(A)가 I(B)와 실질적으로 동일해질 때까지 네거티브 전압(150)의 크기를 조절한다. 대안으로, 네거티브 전압(150)으

로 인해 제1 에뮬레이트형 슬립 트랜지스터(610) 및 제2 에뮬레이트형 슬립 트랜지스터(620)가 실질적으로 동일한 전류, 즉 I(A)=I(B)를 생성하면, 차동 증폭기(630)는 CTRL 신호의 현재 값을 유지한다. 그에 따른 동작 포인트는 전압 오프셋 트랜지스터(650)를 통과하는 전류에 의해 생성된 전압 오프셋의 ½과 동일한 값만큼 이상적인 동작 포인트로부터 오프셋 된 네거티브 전압이 된다. 게이트 누설이 무시해도 좋을 정도이면, 도 3의 누설 대 게이트 전압 곡선에는 굴곡이 없을 수도 있다. 이 경우, CTRL 신호는 최소값으로 감소하고, 이에 따라 전하 펌프(430)(도 4)는 가장 큰 네거티브 전압에서 동작한다.

[0036] 도 9의 네거티브 전압 레귤레이터(420)에 관하여, 이 실시예의 ALC(410)는 유익하게도 네거티브 전압(150)을 거의 도 3의 최소 누설 포인트 A로 연속적으로 제어함으로써 논리 게이트(115)의 정적 누설을 최소화한다.

[0037] 도 7은 본 발명의 다른 실시예에 따른 도 4의 ALC(410)의 예시이다. 이 실시예의 ALC(410)는 충전 트랜지스터(710), 커패시터(715), 에뮬레이트형 슬립 트랜지스터(720), 비교기(730), 카운터(740) 및 레지스터(750)를 포함한다. 충전 트랜지스터(710)는 컨트롤러(도시하지 않음)에 의해 스위칭되어 커패시터(715)를 포지티브 공급 전압(예컨대, VDD)까지 충전한다. 또한, 컨트롤러는 충전 트랜지스터(710)를 스위칭하여, 한번 충전된 커패시터(715)가 에뮬레이트형 슬립 트랜지스터(720)를 통해 방전할 수 있게 한다. 비교기(730), 카운터(740) 및 레지스터(750)는 커패시터(715)를 사전설정된 값 VREF까지 방전하는 데 필요한 시간을 측정하는 제어 회로를 포함한다. 레지스터(750)에 연결한 상태 논리 머신(도시하지 않음)은 도 8에 관하여 기술하는 바와 같이 레지스터(750)에 저장된 값들을 비교할 수도 있다.

[0038] ALC(410)의 이 실시예에서 정적 누설의 가장 낮은 값에 상응하는 커패시터(715)에 대한 최대 방전 시간은 네거티브 전압 레귤레이터(420)(도 4)로의 CTRL 신호에 대한 디지털 값을 생성하는 데 사용된다. ALC(410)가 네거티브 전압(150)의 조절을 결정하면, ALC(410)는 CTRL 신호를 주기적으로 업데이트한다. 이 실시예의 ALC(410)의 동작은 도 8을 참조하여 기술한다.

[0039] 도 8은 도 7의 ALC(410)의 실시예에 따른 도 2의 논리 게이트(115)의 정적 누설을 최소화하기 위한 방법의 예시이다. 요약하면, 본 방법은 커패시터(715)를 포지티브 공급 전압 VDD까지 충전하고, 커패시터를 논리 게이트(115)의 정적 누설에 비례하는 비율로 에뮬레이트형 슬립 트랜지스터(720)를 통해 방전하며, 네거티브 전압(150)을 조절하여 커패시터(715)의 방전율을 최소화하는 것을 포함한다. 에뮬레이트형 슬립 트랜지스터(720)를 통과하는 최소 전류(즉, 최소 정적 누설)에 상응하는 네거티브 전압(150)은 커패시터(715)의 방전율을 최소화하고, 커패시터(715)를 방전하는 시간을 최대화한다.

[0040] 단계 805에서 CTRL 신호는 최소값으로 초기화된다. CTRL 신호를 최소값으로 설정하는 것은 네거티브 전압 레귤레이터(420)에게 슬립 신호 SLPB(150)의 크기를 최소값으로 구동하도록 지시한다. 단계 810에서 컨트롤러가 충전 트랜지스터(710)를 스위칭하여 커패시터(715)는 VDD까지 충전된다. 단계 815에서 충전 트랜지스터(710)가 스위칭 오프되어 커패시터(715)는 에뮬레이트형 슬립 트랜지스터(720)를 통해 방전할 수 있게 한다. 단계 820에서 기준 전압 VREF는 VDD보다 적은 일정한 전압(예컨대, VDD/2)으로 설정된다. 단계 825에서 커패시터(715)가 VREF까지 방전한 후 비교기(730)는 카운터(740)로의 출력을 생성한다. 카운터(740)는 커패시터(715)를 VREF까지 방전하는 데 필요한 시간을 결정한다. 레지스터(750)는 카운터(740)의 카운트(즉, 시간)를 저장한다.

[0041] 단계 827에서 CTRL 신호는 1비트만큼 증가한다. 단계 830에서 컨트롤러가 충전 트랜지스터(710)를 스위칭하여 커패시터(715)는 다시 VDD까지 충전된다. 단계 840에서 충전 트랜지스터(710)는 스위칭 오프한다. 단계 860에서 커패시터(715)가 VREF까지 방전한 후 비교기(730)는 카운터(740)로의 출력을 생성한다. 카운터(740)는 CTRL 신호 및 상응하는 SLPB 신호의 새로운 값을 이용하여 커패시터(715)를 방전하는 데 필요한 시간을 결정한다.

[0042] 단계 870에서 상태 논리 머신은 단계 830 내지 860을 통한 현재 진행에 대한 레지스터(750)의 값(즉, CTRL 신호 및 SLPB 신호의 새로운 값에 대하여 커패시터(715)를 VREF까지 방전하는 데 필요한 시간)과 단계 830 내지 860을 통한 이전 진행에 대한 레지스터(750)의 값을 비교한다. 현재 진행에 대한 레지스터(750)의 값이 이전 진행에 대한 레지스터(750)의 값에 대하여 감소하지 않았으면, CTRL 신호의 새로운 값은 에뮬레이트형 슬립 트랜지스터(720)를 통과하는 정적 누설의 더 낮은 값에 대응한다. 이 경우, 본 방법은 단계 827로 회귀하여 CTRL 신호를 더 증가시키고, 커패시터(715)를 방전하는 데 필요한 시간을 측정한다. 대신, 단계 870에서 커패시터(715)를 방전하는 데 필요한 시간이 현재 진행에서 감소하면, 즉 에뮬레이트형 슬립 트랜지스터(720)를 통과하는 정적 누설의 더 높은 값에 대응하면, 레지스터(750)의 이전에 저장된 값은 에뮬레이트형 슬립 트랜지스터(720)를 통과하는 정적 누설의 가장 낮은 값에 대응한다. 최소 정적 누설에 상응하는 CTRL 신호의 값은 네거티브 전압 레귤레이터(420)를 제어하여 네거티브 전압(150)에 대한 적절한 설정을 생성하는 데 사용된다.

[0043] 도 7 및 8의 디지털 ALC(410)에 대한 실시예의 한 장점은 CTRL 신호는 디지털 신호를 포함한다는 점이다. 디지털 CTRL 신호는 제어 신호(140)를 통해 도 1에 도시한 복수의 누설 매니저(130)로 전달(route)될 수도 있다. 예를 들어, 실리콘은 우수한 열 전도체이기 때문에, 누설 매니저(130) 및 파워 아일랜드 매니저(120)에 관하여 하나의 디지털 ALC(410)를 사용하는 것이 유용할 수도 있다. 이 실시예의 각 파워 아일랜드 매니저(120)는 네거티브 전압 레귤레이터(420) 및 전하 펌프(430)를 포함하므로, 누설 컨트롤러 시스템(130)의 기능은 집적회로(100)에 걸쳐 필요에 따라 분산될 수도 있다.

[0044] 도 9는 본 발명의 실시예에 따른 논리 게이트(115)의 정적 누설을 최소화하기 위한 도 4의 네거티브 전압 레귤레이터(420)의 예시이다. 네거티브 전압 레귤레이터(420)는 네거티브 전압(150)을 수신하는 인터페이스, 제1 전압 분배기(905), 제2 전압 분배기(915) 및 비교기(920)를 포함한다. 실시예에서 제1 전압 분배기(905)는 소스에 벌크(bulk)가 결합된 일련의 스택형 PMOS 트랜지스터(도시하지 않음)를 포함한다. 예를 들어, 소스에 벌크가 결합된 3개의 일련의 동등한 스택형 PMOS 트랜지스터는 제1 전압 분배기(905)에서 3분할 전압 분배기(divide-by-3 voltage divider)를 제공한다는 점을 인식할 것이다. 또한, 제1 전압 분배기(905)는 임의의 분할 비율을 포함할 수도 있다는 점을 인식할 것이다. 제1 전압 분배기(905)는 포지티브 전압 소스(예컨대, VDD)에 관하여 고정 전압 기준(예컨대, 포인트 C)을 제공한다. 이 실시예의 고정 전압 기준은 비교기(920)의 네거티브 단자에 연결된다.

[0045] 유사하게, 소스에 벌크가 결합된 3개의 일련의 동등한 스택형 PMOS 트랜지스터는 제2 전압 분배기(915)의 고정 저항들에서 3분할 전압 분배기를 제공한다. 제2 전압 분배기(915)는 임의의 분할 비율을 포함할 수도 있다는 점을 인식할 것이다. 이 실시예의 제2 전압 분배기(915)는 비교기(920)의 포지티브 단자에 연결된다.

[0046] 도 6의 ALC(410)가 생성하는 아날로그 CTRL 신호에 관한 실시예에서, 제2 전압 분배기(915)의 가변 저항기(910)로 인하여 제2 전압 분배기(915)는 네거티브 전압(150) 및 ALC(410)가 생성하는 수신 신호(CTRL)에 따라서 가변 전압 기준(예컨대, 포인트 D)을 생성할 수 있다. 가변 저항기(910)는 트랜지스터 회로를 포함할 수도 있다. CTRL 신호에 따라 가변 저항기(910)는 고 임피던스와 저 임피던스 사이에서 변한다.

[0047] 도 7 및 8의 디지털 ALC(410)에 관하여, 제2 전압 분배기(915)의 가변 저항기(910)는 디지털 CTRL 신호로 제어되는 스위치형 저항기 네트워크를 포함한다. 이 실시예의 가변 저항기(910)는 2개 이상의 스위치형 저항기를 포함할 수도 있다. 또한, 가변 저항기(910)는 소스에 벌크가 결합된 2개 이상의 PMOS 트랜지스터를 포함할 수도 있다.

[0048] 동작 시, 네거티브 전압 레귤레이터(420)는 고정 전압 기준(포인트 C)과 가변 전압 기준(포인트 D) 간의 비교에 따라 네거티브 전압(150)을 조절한다. 비교기(920)는 인에이블(EN) 신호를 생성하여 전하 펌프(430)(도 4)가 네거티브 전압(150)의 크기를 증가시키도록 할 수도 있다. EN 신호가 로우이면, 발진기(425)(도 4)로부터 전하 펌프(430)로의 교류 신호가 디스에이블되어 전하 펌프(430)는 네거티브 전압(150)의 크기를 증가시키지 못한다. EN 신호가 하이이면, 발진기(425)로부터의 교류 신호가 인에이블되어 전하 펌프(430)는 네거티브 전압(150)의 크기를 증가시킨다. 그러므로 ALC(410)로부터의 CTRL 신호에 따라 비교기(920)는 전하 펌프(430)를 제어하여 네거티브 전압(150)의 크기를 증가 또는 감소시킨다.

[0049] 도 10은 본 발명의 실시예에 따른 정적 누설을 최소화하기 위한 도 4의 전하 펌프(430)의 예시이다. 전하 펌프(430)는 포지티브 전압(예컨대, VDD)을 수신하는 인터페이스, 펌프 커패시터(1010), 포지티브 크로스-커플형 패스 게이트(1020) 및 네거티브 크로스-커플형 패스 게이트(1030)를 포함한다. 펌프 커패시터(1010)는 펌프 커패시터(1010)의 제1 단자에서 포지티브 전압 VDD에 연결된다.

[0050] 이 실시예의 포지티브 크로스-커플형 패스 게이트(1020)는 발진기(425)(도 4)로부터의 교류 신호에 용량 결합된다. 포지티브 크로스-커플형 패스 게이트(1020)는 교류 신호에 기초하여 펌프 커패시터(1010)의 제2 단자를 제1 PMOS 스위치(1050)를 통해 가상 접지(1040)에 연결하여 펌프 커패시터(1010)를 충전시킨다. 네거티브 크로스-커플형 패스 게이트(1030)는 발진기(425)로부터의 교류 신호의 컴플리먼트(complement)에 용량 결합된다. 네거티브 크로스-커플형 패스 게이트(1030)는 교류 신호의 컴플리먼트에 기초하여 펌프 커패시터(1010)의 제2 단자를 제2 PMOS 스위치(1050)을 통해 네거티브 출력 단자(예컨대, 네거티브 전압(150))에 연결함으로써 펌프 커패시터(1010)를 방전시킨다. 네거티브 출력 단자는 슬립 트랜지스터(210)에 네거티브 전압(150)을 공급하여 도 2에 도시한 논리 게이트(115)의 정적 누설을 제어한다.

[0051] 크로스-커플형 패스 게이트(1020 및 1030)는 PMOS 트랜지스터들의 웰(well)을 서로 연결하는 옴 접촉(ohmic contact)을 구비한 PMOS 트랜지스터들을 포함한다. SLP 신호에 대한 인터페이스는 기판을 포지티브 기준(예컨

대, VDD)과 가상 접지(1040) 간에 스위칭하도록 구성한다. 통상적으로 SLP 신호는 슬립 모드의 종료 시 기동하여 VDD를 생성하는 전원이 PMOS 스위치(1050)를 통해 접지에 단락되지 않게 하고, 웰에서의 P-N 접합이 포워드 바이어스되지 않게 한다. 기판은 PMOS 트랜지스터의 소스 및 드레인보다 항상 동일하거나 높은 전위에 있으므로, 트래지스터로부터 기판으로 전류가 흐르지 않는다. 또한, SLP 신호는 전하 펌프(430)를 디스에이블한다.

[0052] 도 4 내지 10의 어댑티브 누설 컨트롤러(410), 네거티브 전압 레귤레이터(420) 및 전하 펌프(430)를 포함한 누설 매니저 시스템(130)은 온도 변화, 전압 변동 또는 제조 프로세스 변화와 같은 영향에 따라 정적 누설이 변하더라도 논리 게이트(115)의 정적 누설을 최소화한다. 누설 매니저 시스템(130)은 집적회로(100)에 완전히 통합될 수도 있어 집적회로(100) 외부의 컴포넌트를 제거한다. 또한, 누설 매니저 시스템(130)은 하나의 임계 트랜지스터 로직을 포함한 집적회로(100)에서 유용하게 사용될 수도 있어 집적회로(100)의 제조를 간소화한다.

[0053] 상기한 설명은 예시적인 것이며, 이에 한정하지는 않는다. 본 발명의 다양한 변화는 본 명세서를 검토한 본 기술분야의 숙련자에게 분명해진다. 그러므로 본 발명의 범위는 상기한 설명을 참조하여 판정하는 대신 첨부한 청구범위와 그들의 전체 균등 범위를 참조하여 판정해야 한다.

도면의 간단한 설명

[0054] 도 1은 본 발명의 실시예에 따른 정적 누설을 최소화하기 위한 시스템을 구현한 집적회로의 블록도이다.

[0055] 도 2는 본 발명의 실시예에 따른 도 1의 논리 게이트의 정적 누설을 최소화하기 위한 슬립 트랜지스터의 예시이다.

[0056] 도 3은 본 발명의 실시예에 따른 슬립 트랜지스터의 게이트에서의 네거티브 전압 범위에 대한 도 2의 논리 게이트의 정적 누설 그래프의 예시이다.

[0057] 도 4는 본 발명의 실시예에 따른 도 2의 슬립 트랜지스터에 네거티브 전압을 인가함으로써 논리 게이트의 정적 누설을 최소화하기 위한 누설 매니저 시스템의 블록도이다.

[0058] 도 5는 본 발명의 실시예에 따른 도 2의 논리 게이트의 정적 누설을 최소화하는 방법의 예시이다.

[0059] 도 6은 본 발명의 실시예에 따른 도 4의 어댑티브 누설 컨트롤러(ALC)의 예시이다.

[0060] 도 7은 본 발명의 다른 실시예에 따른 도 4의 ALC의 예시이다.

[0061] 도 8은 도 7의 ALC의 실시예에 따른 도 2의 논리 게이트의 정적 누설을 최소화하기 위한 방법의 예시이다.

[0062] 도 9는 본 발명의 실시예에 따른 논리 게이트의 정적 누설을 최소화하기 위한 도 4의 네거티브 전압 레귤레이터의 예시이다.

[0063] 도 10은 본 발명의 실시예에 따른 정적 누설을 최소화하기 위한 도 4의 전하 펌프의 예시이다.

[0064] <도면의 주요 부분에 대한 부호의 설명>

[0065] 100: 집적회로

[0066] 105: CPU

[0067] 110: 파워 아일랜드

[0068] 120: 파워 아일랜드 매니저

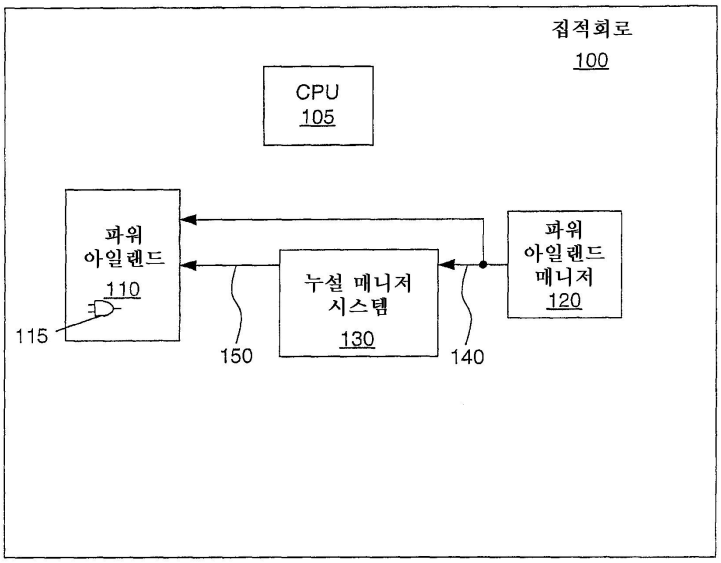
[0069] 130: 누설 매니저 시스템

[0070] 140: 네거티브 전압 인에이블 신호

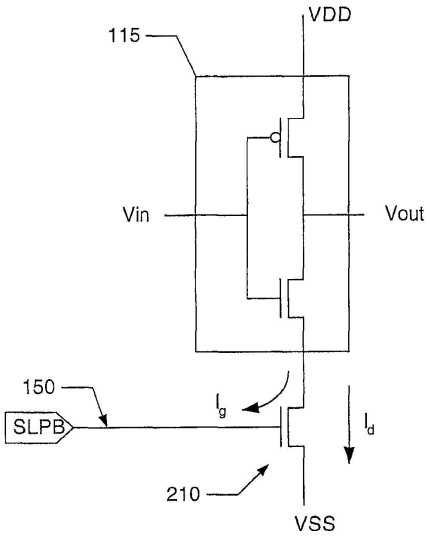
[0071] 150: 네거티브 전압

도면

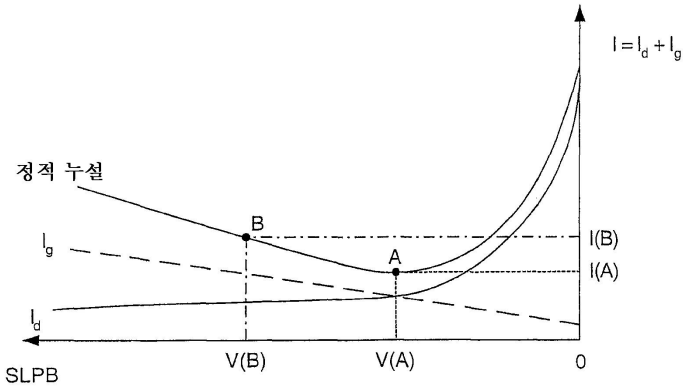
도면1


집적회로
100
CPU
105
파워
아일랜드
110
115
누설 매니저
시스템
130
150
140
파워
아일랜드
매니저
120

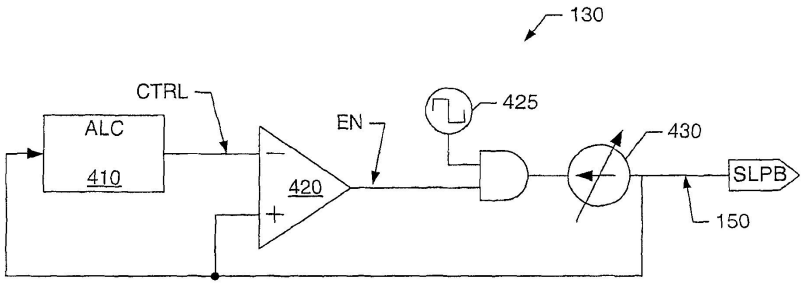
도면2


VDD
115
Vin
Vout
150
SLPB
I_g
I_d
210
VSS

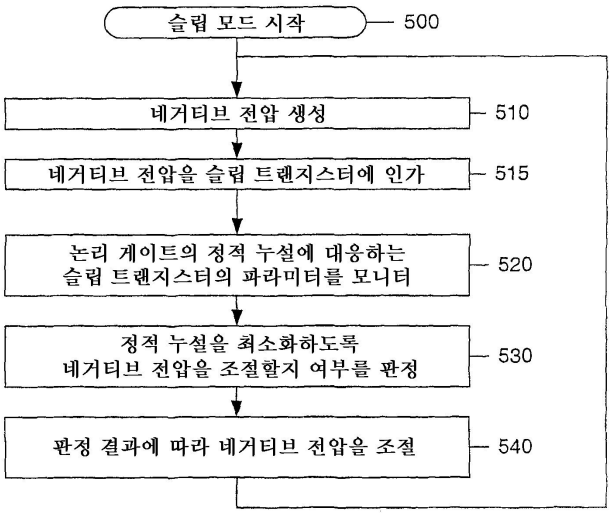
도면3


$I = I_d + I_g$
정적 누설
I_g
I_d
B
A
I(B)
I(A)
SLPB
V(B)
V(A)
0

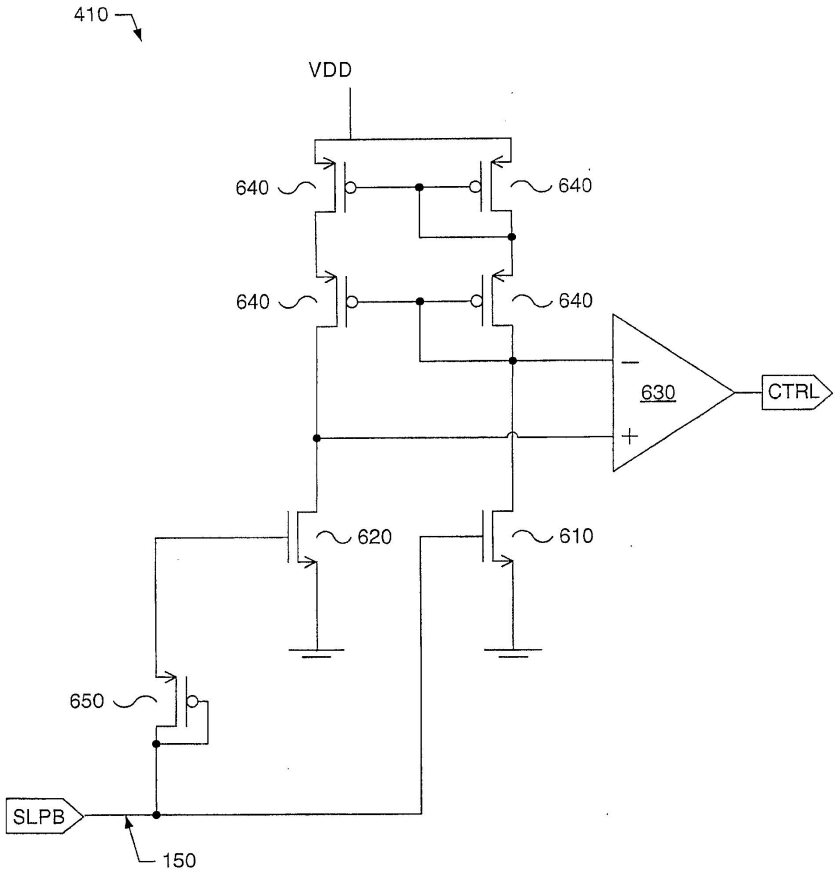
도면4


130
CTRL
ALC
410
EN
420
425
430
SLPB
150

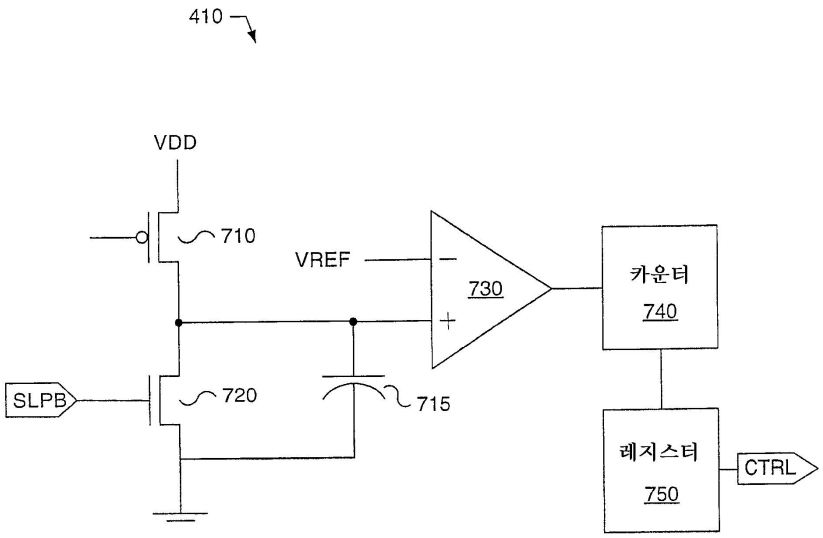
도면5


슬립 모드 시작
500
네거티브 전압 생성
510
네거티브 전압을 슬립 트랜지스터에 인가
515
논리 게이트의 정적 누설에 대응하는
슬립 트랜지스터의 파라미터를 모니터
520
정적 누설을 최소화하도록
네거티브 전압을 조절할지 여부를 판정
530
판정 결과에 따라 네거티브 전압을 조절
540

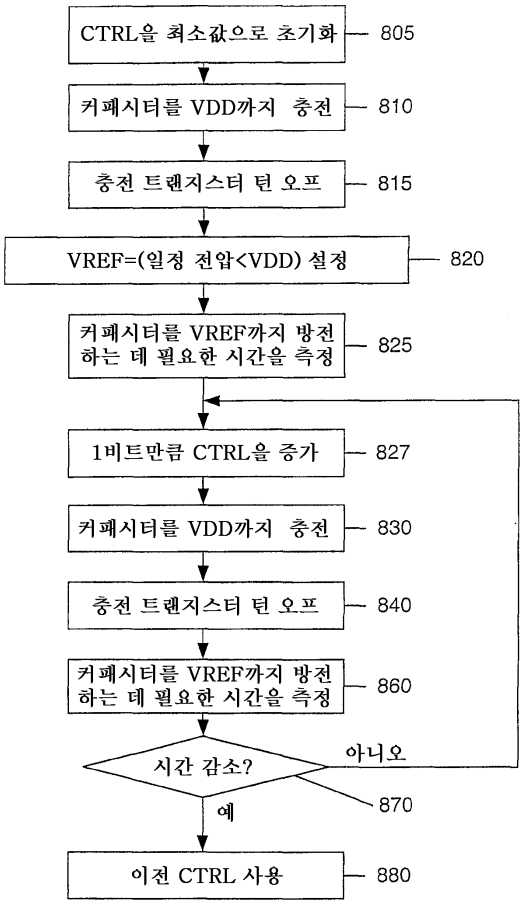
도면6


410
VDD
640
640
640
640
630
CTRL
620
610
650
SLPB
150

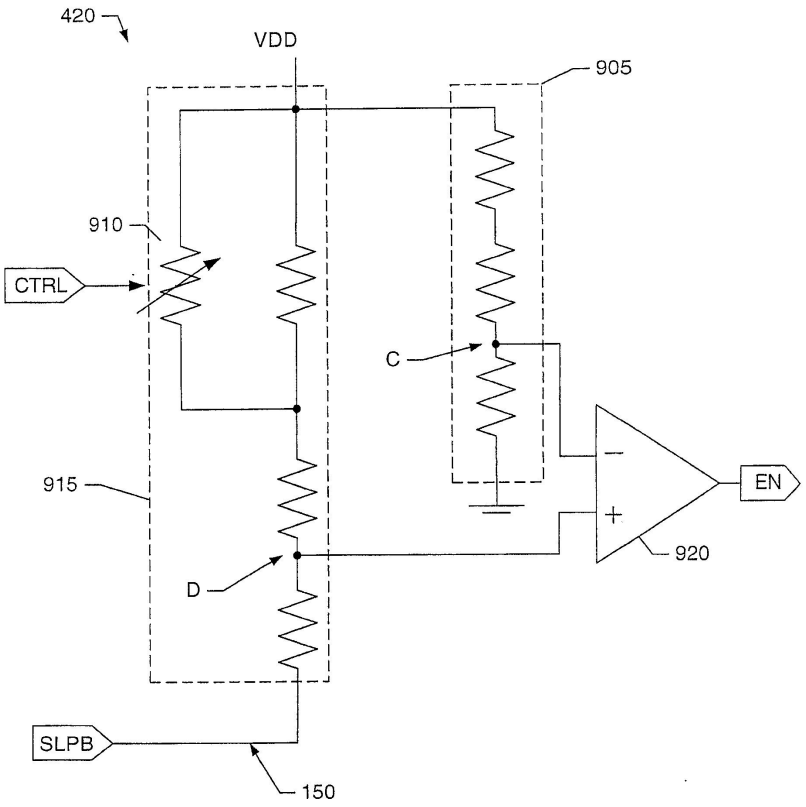
도면7


410
VDD
710
VREF
730
카운터
740
SLPB
720
715
레지스터
750
CTRL

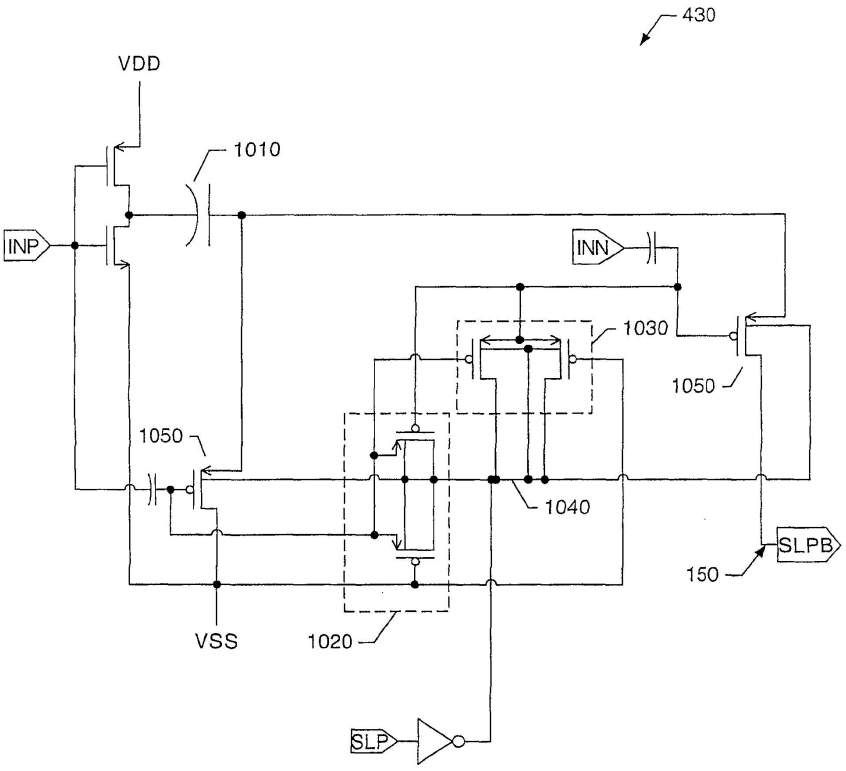
도면8


CTRL을 최소값으로 초기화
805
커패시터를 VDD까지 충전
810
충전 트랜지스터 턴 오프
815
VREF=(일정 전압<VDD) 설정
820
커패시터를 VREF까지 방전하는 데 필요한 시간을 측정
825
1비트만큼 CTRL을 증가
827
커패시터를 VDD까지 충전
830
충전 트랜지스터 턴 오프
840
커패시터를 VREF까지 방전하는 데 필요한 시간을 측정
860
시간 감소?
아니오
870
예
이전 CTRL 사용
880

도면9


420
VDD
905
910
CTRL
C
915
EN
920
D
SLPB
150

도면10


430
VDD
1010
INP
INN
1030
1050
1050
1040
SLPB
150
VSS
1020
SLP