



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년02월03일
(11) 등록번호 10-2496142
(24) 등록일자 2023년02월01일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 23/00 (2006.01)
H01L 25/065 (2023.01)
(52) CPC특허분류
H01L 23/49866 (2013.01)
H01L 23/49816 (2013.01)
(21) 출원번호 10-2019-7032079
(22) 출원일자(국제) 2018년03월28일
심사청구일자 2021년02월08일
(85) 번역문제출일자 2019년10월29일
(65) 공개번호 10-2019-0132478
(43) 공개일자 2019년11월27일
(86) 국제출원번호 PCT/US2018/024778
(87) 국제공개번호 WO 2018/183453
국제공개일자 2018년10월04일
(30) 우선권주장
15/473,294 2017년03월29일 미국(US)
(56) 선행기술조사문헌
US20140329382 A1
US20140167256 A1
JP1999019565 A
JP2006179570 A

(73) 특허권자
자일링크스 인코포레이티드
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
(72) 발명자
간디 자스프리트 싱
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
라마링암 수레쉬
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
리우 헨리
미합중국 95124 캘리포니아 산 호세 로직 드라이브 2100
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 14 항

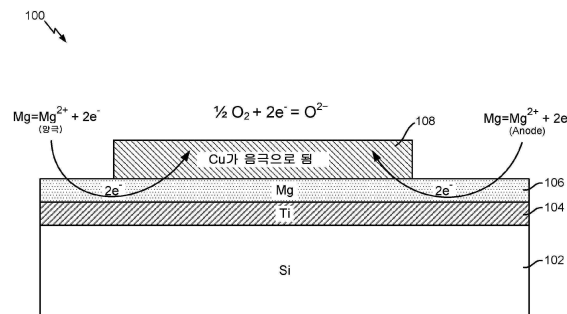
심사관 : 정구원

(54) 발명의 명칭 반도체 구조물 및 집적 회로 패키지

(57) 요약

Cu 산화물 형성을 현저히 감소시킴으로써 감소된 온도(예를 들면, 최대 200℃)에서 구리-구리(Cu-Cu) 본딩을 가능케 하는 방법 및 장치가 기재된다. 이들 기술은 더 빠른 사이클 타임을 제공하고 특별한 조치(예를 들면, 포밍 가스)를 필요로 하지 않는다. 이러한 기술은 또한 보다 긴 큐(queue: Q) 또는 스테이징 시간을 가능케 할 수 있다. 일례의 반도체 구조(100)는 일반적으로 반도체 층(102), 반도체 층(102) 위에 배치된 접촉층(104), 접촉층(104) 위에 배치된 양극 금속층(106), 및 양극 금속층(106) 위에 배치된 음극 금속층(108)을 포함한다. 양극 금속층(106)의 산화 전위는 음극 금속층(108)의 산화 전위보다 더 클 수 있다. 이러한 반도체 구조물(100)은 2.5D 또는 3D 집적을 구현하는 IC 패키지(300, 400)를 제조하는데 사용될 수 있다.

대표도



(52) CPC특허분류

H01L 23/49827 (2013.01)

H01L 23/49838 (2013.01)

H01L 24/05 (2013.01)

H01L 24/13 (2013.01)

H01L 24/16 (2013.01)

H01L 25/0655 (2023.02)

H01L 25/0657 (2023.02)

명세서

청구범위

청구항 1

반도체 구조물로서,

반도체 층;

상기 반도체 층 위에 배치된 접착층;

상기 접착층 위에 배치된 양극 금속층(anodic metal layer); 및

상기 양극 금속층 위에서 상기 양극 금속층 상에 배치된 음극 금속층(cathodic metal layer)

을 포함하며,

상기 음극 금속층은 구리(Cu)를 포함하고,

상기 양극 금속층은 상기 양극 금속층과 상기 음극 금속층 사이의 계면에 표면을 가지고, 상기 양극 금속층의 표면은 상기 계면으로부터 측방향으로 연장되며,

상기 양극 금속층과 음극 금속층은 상기 양극 금속층의 표면이 상기 음극 금속층의 측벽과 동일한 주변 환경에 노출되도록 구성되는 것인,

반도체 구조물.

청구항 2

제1항에 있어서,

상기 양극 금속층은 마그네슘(Mg)을 포함하는 것인,

반도체 구조물.

청구항 3

제1항에 있어서,

상기 양극 금속층은 마그네슘(Mg), 알루미늄(Al), 아연(Zn), 및 니켈(Ni)로 이루어진 그룹으로부터 선택된 원소를 포함하는 것인,

반도체 구조물.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 양극 금속층의 산화 전위(oxidation potential)는 상기 음극 금속층의 산화 전위보다 큰 것인,

반도체 구조물.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 양극 금속층은 제1 금속을 포함하고, 상기 음극 금속층은 제2 금속을 포함하며, 상기 제1 금속은 상기 제2 금속보다 큰 산화 전위를 갖는 것인,

반도체 구조물.

청구항 6

제5항에 있어서,

상기 제1 금속은 상기 제2 금속보다 더 음극성(more negative)의 산화물 형성의 깁스 자유 에너지(Gibbs free energy)를 갖는 것인,

반도체 구조물.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 양극 금속층은 다공성 산화물과 연관된 금속을 포함하고, 상기 다공성 산화물의 산화 속도(oxidation rate)는 시간의 함수로서 선형(linear)인 것인,

반도체 구조물.

청구항 8

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 양극 금속층은 1.0 미만의 산화물 대 금속의 체적비(volume ratio)를 갖는 금속을 포함하는 것인,

반도체 구조물.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 양극 금속층은 상기 음극 금속층에 음극 보호(cathodic protection)를 제공함으로써 상기 음극 금속층과 연관된 산화물의 성장을 억제하도록 구성되는 것인,

반도체 구조물.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 접착층은 티타늄(Ti)을 포함하고, 상기 반도체 층은 실리콘(Si)을 포함하는 것인,

반도체 구조물.

청구항 11

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 음극 금속층은 상기 양극 금속층 바로 위에 배치되는 것인,

반도체 구조물.

청구항 12

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 음극 금속층은 하나 이상의 필라(pillar)를 포함하는 것인,

반도체 구조물.

청구항 13

집적 회로 패키지로써,

패키지 기판; 및

상기 패키지 기판 위에 각각 배치된 제1 다이 및 제2 다이를 포함하며,

상기 제1 다이의 복수의 구리 필라 마이크로범프(copper pillar microbumps)는 상기 제2 다이에 전기적으로 및 기계적으로 결합되고,

상기 제1 다이는,

상기 구리 필라 마이크로범프를 형성하는 음극 금속층;

상기 음극 금속층 위에서 상기 음극 금속층 상에 배치된 양극 금속층 - 상기 양극 금속층의 표면은 상기 양극 금속층과 상기 음극 금속층 사이의 계면에 존재하고, 상기 양극 금속층의 표면은 상기 계면으로부터 측 방향으로 연장되며, 상기 표면은 상기 음극 금속층과 동일한 주변 환경에 노출되도록 구성됨 -;

상기 양극 금속층 위에 배치된 접착층; 및

상기 접착층 위에 배치된 반도체 층

을 포함하고,

상기 양극 금속층의 산화 전위는 상기 음극 금속층의 산화 전위보다 큰 것인,

집적 회로 패키지.

청구항 14

제13항에 있어서,

상기 제1 다이의 복수의 구리 필라 마이크로범프는 상기 제2 다이의 복수의 구리 피쳐(copper features)에 직접 결합되는 것인,

집적 회로 패키지.

발명의 설명

기술 분야

[0001] 본 발명의 예는 일반적으로 집적 회로에 관한 것으로, 보다 구체적으로는 구리-구리(Cu-Cu) 본딩을 이용한 집적 회로 패키징에 관한 것이다.

배경 기술

[0002] 전자 장치(예를 들면, 컴퓨터, 랩탑, 태블릿, 복사기, 디지털 카메라, 스마트폰 등)는 종종 집적 회로(IC, "칩"이라고도 알려짐)를 사용한다. 이들 집적 회로는 전형적으로 집적 회로 패키지로 패키징된 반도체 다이(semiconductor dies)로 구현된다. 반도체 다이는 메모리, 로직, 및/또는 다양한 다른 적절한 회로 유형 중 임의의 것을 포함할 수 있다.

[0003] 많은 집적 회로와 다른 반도체 장치는 회로 기관(예를 들면, 인쇄회로기판(PCB))에 패키지를 표면 장착하기 위해 볼 그리드 어레이(BGA: ball grid array)와 같은 범프(bumps)의 배열을 이용한다. (SSI(Stacked Silicon Interconnect) 용도로 사용되는) C4(controlled collapse chip connection) 범프 또는 마이크로범프와 같은, 다양한 적합한 패키지 핀 구조물 중 임의의 것이 IC(integrated circuit) 다이(또는 다른 패키지 장치)의 채널과 패키지가 장착된 회로 기관 사이에 전기 신호를 전달하는데 사용될 수 있다.

발명의 내용

[0004] 본 발명의 일례는 반도체 구조이다. 반도체 구조는 일반적으로 반도체 층, 반도체 층 위에 배치된 접착층, 접착층 위에 배치된 양극 금속층(anodic metal layer), 및 양극 금속층 위에 배치된 음극 금속층을 포함한다.

[0005] 몇몇 실시예에서, 양극 금속층은 마그네슘(Mg)을 포함할 수 있다.

[0006] 몇몇 실시예에서, 양극 금속층은 알루미늄(Al), 아연(Zn), 및 니켈(Ni)로 이루어진 그룹으로부터 선택된 원소를 포함할 수 있다.

[0007] 몇몇 실시예에서, 음극 금속층은 구리(Cu)를 포함할 수 있다.

[0008] 몇몇 실시예에서, 양극 금속층의 산화 전위(oxidation potential)는 음극 금속층의 산화 전위보다 클 수 있다.

- [0009] 몇몇 실시예에서, 양극 금속층은 제1 금속을 포함할 수 있고, 음극 금속층은 제2 금속을 포함할 수 있으며, 제1 금속은 제2 금속보다 더 큰 산화 전위를 가질 수 있다.
- [0010] 몇몇 실시예에서, 제1 금속은 제2 금속보다 더 음극성(more negative)의 산화물 형성의 깁스 자유 에너지(Gibbs free energy)를 가질 수 있다.
- [0011] 몇몇 실시예에서, 양극 금속층은 다공성 산화물과 연관된 금속을 포함할 수 있고, 다공성 산화물의 산화 속도(oxidation rate)는 시간의 함수로서 선형일 수 있다.
- [0012] 몇몇 실시예에서, 양극 금속층은 1.0 미만의 산화물 대 금속의 체적비(volume ratio)를 갖는 금속을 포함할 수 있다.
- [0013] 몇몇 실시예에서, 양극 금속층은 음극 금속층에 음극 보호(cathodic protection)를 제공함으로써 음극 금속층과 연관된 산화물의 성장을 억제하도록 구성될 수 있다.
- [0014] 몇몇 실시예에서, 접착층은 티타늄(Ti)을 포함할 수 있고, 반도체 층은 실리콘(Si)을 포함할 수 있다.
- [0015] 몇몇 실시예에서, 음극 금속층은 양극 금속층 바로 위에 배치될 수 있다.
- [0016] 몇몇 실시예에서, 음극 금속층은 하나 이상의 필라(pillar)를 포함한다.
- [0017] 본 발명의 다른 예는 반도체 구조를 제조하는 방법이다. 본 방법은 일반적으로 반도체 층 위에 접착층을 배치하는 단계; 접착층 위에 양극 금속층을 배치하는 단계; 및, 양극 금속층 위에 음극 금속층을 배치하는 단계를 포함한다.
- [0018] 본 발명의 다른 예는 집적 회로 패키지를 제조하는 방법이다. 본 방법은 일반적으로 반도체 층 위에 배치된 접착층, 접착층 위에 배치된 양극 금속층, 및 양극 금속층 위에 배치된 음극 금속층을 갖는 반도체 구조물을 제공하는 단계; 및, 상기 반도체 구조물의 음극 층을 200℃ 미만의 온도에서 다른 구조체의 금속층에 본딩하는 단계를 포함한다.
- [0019] 몇몇 실시예에서, 본 방법은 음극 금속층 위에 복수의 필라를 형성하기 위해 리소그래피 및 전기 도금을 이용하는 단계를 더 포함한다. 복수의 필라는 음극 금속층과 동일한 조성을 가질 수 있다.
- [0020] 몇몇 실시예에서, 본 방법은 복수의 필라들 사이의 음극 금속층의 적어도 일부를 제거하기 위해 음극 금속층을 에칭하는 단계, 복수의 필라를 포함하는 반도체 구조물의 상부 표면에 레지스트를 코팅하는 단계, 양극 금속층이 노출되도록 복수의 필라들 사이의 레지스트의 적어도 일부를 제거하기 위해 리소그래피를 이용하는 단계, 및 반도체 층이 노출되고 레지스트가 제거되도록 복수의 필라들 사이의 양극 금속층과 접착층의 적어도 일부를 에칭하는 단계를 더 포함할 수 있다.
- [0021] 몇몇 실시예에서, 양극 금속층은 마그네슘(Mg)을 포함할 수 있고, 음극 금속층은 구리(Cu)를 포함할 수 있다.
- [0022] 몇몇 실시예에서, 양극 금속층의 산화 전위는 음극 금속층의 산화 전위보다 클 수 있다.
- [0023] 몇몇 실시예에서, 방법은 200℃ 미만의 온도에서 반도체 구조물의 음극 금속층을 다른 구조체의 금속층에 결합시키는 단계를 더 포함할 수 있다.
- [0024] 본 발명의 또 다른 예는 집적 회로 패키지이다. 패키지는 일반적으로 패키지 기판과 패키지 기판 위에 배치된 복수의 다이를 포함하며, 복수의 다이 중 적어도 하나는 복수의 구리 필라 마이크로범프(copper pillar microbumps)를 통해 복수의 다이 중 다른 하나의 다이에 전기 결합되고; 복수의 다이 중 적어도 하나는 구리 필라 마이크로범프를 형성하는 음극 금속층, 음극 금속층 위에 배치된 양극 금속층, 양극 금속층 위에 배치된 접착층, 및 접착층 위에 배치된 반도체 층을 포함한하며; 양극 금속층의 산화 전위는 음극 금속층의 산화 전위보다 크다.
- [0025] 이들 및 다른 양태는 다음의 상세한 설명을 참조하여 이해될 수 있다.

도면의 간단한 설명

- [0026] 본 발명의 상기 언급된 특징이 상세하게 이해될 수 있도록, 위에서 간략하게 요약된 본 발명의 보다 구체적인 설명이 예를 참조하여 이루어질 수 있으며, 이들 예 중 일부는 첨부된 도면에 도시되어 있다. 하지만, 첨부된 도면은 본 발명의 전형적인 예만을 도시하며 그래서 그 범위를 제한하는 것으로 간주되지 않아야 하는데, 이는

본 발명이 다른 동등하게 효과적인 예들도 허용할 수 있기 때문이다.

도 1은 본 발명의 일례에 따른, 음극 금속층과 갈바닉 직렬(galvanic series)로 양극 금속층을 갖는 예시적인 반도체 구조물의 단면도.

도 2는 본 발명의 예에 따른, 도 1의 반도체 구조물에 기초하여 구리-구리 본딩을 위한 구리 필라(copper pillars)를 형성하기 위한 예시적인 동작을 도시하는 도면.

도 3은 본 발명의 일례에 따른 예시적인 2.5D 집적 회로(IC) 패키지의 단면도.

도 4는 본 발명의 일례에 따른 예시적인 3D IC 패키지의 단면도.

도 5는 본 발명의 일례에 따른 반도체 구조물을 제조하기 위한 예시적인 동작의 흐름도.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 예는 산화물 형성에 대한 우려가 감소된 Cu-Cu 본딩을 위한 기술 및 장치를 제공하며, 그래서 이러한 본딩에 대한 어떠한 특별한 요건도 필요로 함이 없이, 감소된 온도(예를 들면, 최대 200℃) 및 보다 빠른 사이클 타임으로 충분한 본딩을 제공한다. 본 발명의 예는 또한 보다 긴 큐(queue: Q) 또는 스테이징 시간을 가능케 할 수 있다.
- [0028] 구리-구리 본딩을 위한 예시적인 음극 보호
- [0029] 칩-칩(chip-to-chip: C2C), 칩-웨이퍼(chip-to-wafer: C2W), 및 웨이퍼-웨이퍼(wafer-to-wafer: W2W) 본딩 기술은 칩 및/또는 웨이퍼가 다양한 응력(예를 들면, 온도, 변형, 비틀림 등)에 노출될 때 연결 장애(connection failure)를 회피하는데 충분히 견고한 인터커넥트 기술에 의존한다. 소더 인터커넥트(solder interconnect)를 갖는 구리(Cu) 필라는 수십 년 동안 저밀도 및 고밀도 설계를 위한 이 업계의 주역이었다. 하지만, 밀도가 지속적으로 증가하고 피치가 감소함에 따라, 이 Cu 필라 기술은 소더(solder) 부피 감소, 취성의 금속간 화합물(intermetallic compound: IMC), 공극, 낮은 열전도도 등과 같은 다양한 문제에 직면하였다. 구리-구리(Cu-Cu) 본딩은 수년 동안 업계에서 추구해 온 대안적인 인터커넥트이긴 하나, 현재까지 실제 실용적인 또는 대량의 제조(HVM) 솔루션은 제공하지 않는다. Cu-Cu 본딩에 대한 하나의 중대한 과제는 Cu 표면 상에서의 급속한 산화물 형성이며, 이는 만족스런 인터커넥트를 저해한다.
- [0030] 현재, 성공적인 결합을 달성하기 위해서는 400℃ 정도의 온도가 필요하다. 하지만, 이러한 고온은 특정 물질(예를 들면, 폴리머)을 녹일 수 있다. 대학, 컨소시엄, 및 업계는 수년 동안 보다 저온의 Cu-Cu 본딩을 가능케 하기 위해 다양한 방법을 시도해 왔으나 제한적인 성공만이 있을 뿐이다. 예를 들어, 산 침지(acid dip) 본딩, 삽입 본딩, 자체 조립된 단층(self-assembled monolayers: SAM), 및 표면 활성화 본딩(SAB)은 모두 이러한 오랜 요구를 해결하기 위해 시도되어 왔으나, 지금까지 HVM에 대한 수용 가능한 해결책을 제시하지는 못했다.
- [0031] 본 발명의 예는 Cu 산화물 형성을 현저히 감소시킴으로써 감소된 온도(예를 들면, 최대 200℃)에서 Cu-Cu 금속 본딩을 위한 기술을 제공한다. 이들 기술은 더 빠른 사이클 타이밍을 가능케 하며 특별한 조치(예를 들면, 포밍 가스)를 필요로 하지 않는다. 이러한 기술은 또한 보다 긴 큐(queue: Q) 또는 스테이징 시간을 가능케 할 수 있다.
- [0032] 이들 기술을 도출하는 것은 상이한 금속들이 상이한 산화물 형성 거동을 갖는다는 것을 인식하는 것을 포함하는데, 이는 어떤 금속은 패시베이션 산화물을 형성할 수 있고, 어떤 금속은 다공성 산화물을 형성하며, 다른 금속은 매우 취성의 산화물을 형성하기 때문이다. 필링-베드워스(Pilling-Bedworth) 비(比)(R_{PB})는 산화물 대 금속의 체적비(volume ratio)를 나타낸다. $R_{PB} < 1$ 이면, 산화물 코팅이 파단되며, 이는 보호 효과를 제공하지 않는다(예를 들면, 마그네슘(Mg): $R_{PB} = 0.81$). $R_{PB} > 2$ 이면, 산화물 코팅이 벗겨지며, 이도 또한 보호 효과를 제공하지 않는다(예를 들면, 철(Fe): $R_{PB} = 2.1$). $1 < R_{PB} \leq 2$ 이면, 산화물 코팅은 패시베이션된다(예를 들면, 알루미늄(Al): $R_{PB} = 1.28$ 또는 티타늄(Ti): $R_{PB} = 1.73$). Mg의 경우, 산화물은 다공성이며, 그래서 산화 속도 표현은 선형이다(예를 들면, $W = K_1t$, 여기서 W 는 단위 면적당 중량 증가, K_1 은 상수이고, t 는 시간이다). 비다공성 산화물(예를 들면, Cu)을 갖는 금속은 포물선형 또는 대수형(logarithmic) 거동을 따를 수 있다. 예를 들어, 포물선형 산화 속도는 $W = K_2t + K_3$ 으로 표현될 수 있으며, 여기서 K_2 와 K_3 은 주어진 온도에서 시간 독립적인 상수이다. Al 또는 Fe의 산화 속도는 주변 온도 근방에서 대수형이며, $W = K_4 \log(K_5t + K_6)$ 로 표현될 수 있으며, 여기서 K_4 , K_5 , 및 K_6 은 상수이다.

[0033] 상기 개념을 이용하여, Cu 산화를 억제하기 위해 Cu와 특정의 다른 금속 사이에 갈바닉 커플(galvanic couple)이 형성될 수 있다. 이상적인 경우는 도 1의 예시적인 반도체 구조물(100)에 도시된 Cu/Mg 커플이다. Mg는 다공성 산화물을 형성하며 그 산화물 성장 속도는 선형이다. Mg의 산화 전위(2.37V)는 아래의 표 1에 예시된 바와 같이, Cu의 산화 전위(-0.34V)보다 높다.

표 1

[0034]

산화 반응	산화 전위
$K \rightarrow K^{+} + e^{-}$	2.93
$Ca \rightarrow Ca^{2+} + 2e^{-}$	2.87
$Na \rightarrow Na^{+} + 2e^{-}$	2.71
$Mg \rightarrow Mg^{2+} + 2e^{-}$	2.37
$Al \rightarrow Al^{3+} + 3e^{-}$	1.66
$Zn \rightarrow Zn^{2+} + 2e^{-}$	0.76
$Pb \rightarrow Pb^{2+} + 2e^{-}$	0.13
$Cu \rightarrow Cu^{2+} + 2e^{-}$	-0.34
$2I^{-} \rightarrow I_2 + 2e^{-}$	-0.54
$2Br^{-} \rightarrow Br_2 + 2e^{-}$	-1.07
$2Cl^{-} \rightarrow Cl_2 + 2e^{-}$	-1.36
$2F^{-} \rightarrow F_2 + 2e^{-}$	-2.87

[0035] 그래서, Mg는 Cu와의 갈바닉 직렬 구성에서 매우 양극성(very anodic)이다. 또한, Mg에 대한 산화물 형성의 깃스 자유 에너지(-569.43kJ/mol)는 Cu의 산화물 형성의 깃스 자유 에너지(-127kJ/mol)보다 더 음극성(more negative)이다. 인터커넥트에서의 Cu와 Mg의 집적은 Cu 산화물의 성장을 억제하거나 적어도 감소시키게 되는데, 이는 Mg가 자체를 희생하여 Cu에 음극 보호를 제공하기 때문이다. Mg 산화물은 선형 성장 속도를 갖는 다공성이므로, Mg는 계속해서 전자를 잃으며 Cu의 산화 없이 산화물을 형성하게 된다.

[0036] 도 1은 본 발명의 일례에 따른 예시적인 반도체 구조물(100)의 단면도이다. 반도체 구조물(100)은 웨이퍼 또는 개별 다이(예를 들면, 웨이퍼로부터 싱글레이션 후)를 나타낼 수 있다. 반도체 구조물(100)은 웨이퍼 층(102) (또는 기판 층), 웨이퍼 층(102) 위에 배치된 접착층(104), 접착층(104) 위에 배치된 양극 금속층(106), 및 양극 금속층(106) 위에 배치되며 이에 갈바닉 직렬 구성을 이루는 음극 금속층(108)을 포함한다. 웨이퍼 층(102)은 실리콘(Si)과 같은, 임의의 적합한 반도체 재료를 포함할 수 있다. 접착층(104)은 웨이퍼 층(102)에 잘 접착되는 다양한 적합한 금속 재료(예를 들면, 티타늄(Ti), 탄탈륨(Ta), 또는 크롬(Cr)) 중 임의의 것을 포함할 수 있다. 음극 금속층(108)은 Cu-Cu 본딩이 칩 및/또는 웨이퍼 사이에 인터커넥트를 형성할 수 있도록 Cu를 포함할 수 있다.

[0037] 양극 금속층(106)은 도 1에 도시된 바와 같이 Mg로 구성될 수 있다. 하지만, 양극 금속층(106)은 Mg에 대한 대체(代替)로서 다양한 다른 적합한 금속들 중 임의의 것을 포함할 수 있다. 양극 금속층(106)에 적합한 금속은 음극 금속층(108)보다 높은 산화 전위를 갖게 되며, 그래서 이 금속은 Cu보다 양극성이며 그에 따라 Cu와 갈바닉 직렬 구성일 때 음극 보호를 제공한다. 예를 들어, 양극 금속층(106)은 Al, 아연(Zn), 또는 니켈(Ni)을 포함할 수 있다. 그러나, 이들 금속 중 일부는 선형 산화물 성장 속도를 따르지 않으며, 그래서 산화는 시간 경과에 따라 확산 제어됨으로써, 산소(O)에 공급되는 전자를 제한할 수 있다.

[0038] 도 2는 본 발명의 예에 따른, 도 1의 반도체 구조물(100)에 기초하여 Cu-Cu 본딩을 위한 구리 필라를 형성하기 위한 예시적인 동작(200)을 도시한다. 동작 (200)으로부터 산출되는 구조는 200℃ 이하의 온도에서 C2C, C2W, 또는 W2W 본딩에 사용될 수 있다.

[0039] Si의 웨이퍼 층(102) 또는 다른 적합한 반도체 층으로 시작하여, 접착층(104), 양극 금속층(106), 및 음극 금속

층(108)이 웨이퍼 층(102) 위에 순차적으로 배치될 수 있다. 반도체 구조물(100)을 형성하기 위해 웨이퍼 층(102)의 위에 층들(104, 106, 및 108)을 배치하기 위해 다양한 적합한 기술들(예를 들면, 물리 증착법(PVD))이 사용될 수 있다. 리소그래피 마스크에 따라, 지정된 영역에서 반도체 구조물(100)의 위에 복수의 필라(202)(예를 들면, 구리(Cu) 필라)를 형성하기 위해 리소그래피 및 전기 도금이 이용될 수 있다. 이러한 방식으로, 음극 금속층(108)은 필라(202)를 포함하는 것으로 간주될 수 있다. 다음으로, 음극 금속층(108)의 일부가 필라들(202) 사이의 영역(204)에서 (예를 들면, 에칭에 의해) 제거될 수 있다. 그래서, 음극 금속층(108)은 이 프로세스에서 필라를 도금하기 위한 시드 층(seed layer)으로 간주될 수 있으며, 이어서 시드 층의 일부가 제거되고 시드 층의 나머지 부분은 각 필라의 일부를 형성한다. 영역(204)에서 시드 층을 에칭하고 난 후에, 구조물의 상부 표면이 레지스트(206)로 코팅될 수 있다. 필라들(202) 사이의 원하는 영역(208)에서 레지스트의 일부를 제거하기 위해 리소그래피가 이용될 수 있다. 그리고 나서, 양극 금속층(106)의 일부(및 몇몇 경우에는 도시된 바와 같이, 접착층(104))가 필라들(202) 사이의 영역(210)에서 다양한 적합한 기술(예를 들면, 에칭) 중 임의의 것을 사용하여 제거될 수 있다. 레지스트(206)도 또한 제거될 수 있다. 도 2에서 산출되는 구조물은 급속한 구리 산화물의 형성이 불가능하며, 그래서 200℃ 이하의 온도에서 만족스러운 인터커넥트를 형성할 수 있도록 다른 구조물(예를 들면, 칩 또는 웨이퍼)과의 Cu-Cu 본딩에 적합하다.

[0040] 몇몇 예에서, 필라(202)의 형성 후에 또는 형성 중에, 양극 금속(예를 들면, Mg)의 측벽이 필라의 측면 표면에 형성될 수 있으며 필라를 둘러쌀 수 있다. 이들 양극 측벽은 필라(202)와 동일한 높이 또는 더 낮은 높이를 가질 수 있다. 이들 측벽은 도 2에 도시된 나머지 동작들 전체에 걸쳐서 유지될 수 있다.

[0041] 예시적인 집적 회로 패키지

[0042] 집적 회로(IC) 다이("칩"이라고도 함)는 일반적으로 회로 기판(예를 들면, 인쇄회로기판(PCB))과의 전기 연결을 위한 패키지에 배치된다. 패키지는 집적 회로 다이를 잠재적인 물리적 손상 및 부식으로 이어질 수 있는 수분으로부터 보호한다. 본 발명의 예는 이러한 IC 패키지를 형성하기 위해 칩-칩(chip-to-chip: C2C), 칩-웨이퍼(chip-to-wafer: C2W), 또는 웨이퍼-웨이퍼(wafer-to-wafer: W2W) 본딩에 사용될 수 있다. Cu-Cu 본딩은 본 발명의 예에 따라 C2C, C2W 또는 W2W 집적을 구현하기 위해 200℃ 미만의 온도에서 행해질 수 있다.

[0043] 많은 상이한 유형의 IC 다이가 본 발명의 예로부터 이익을 얻을 수 있고 IC 패키지에 포함될 수 있다. 일례의 유형의 IC 다이는 FPGA(field programmable gate array) 다이와 같은, 프로그래머블 IC 다이이다. FPGA는 전형적으로 프로그래머블 타일(programmable tiles)의 어레이를 포함한다. 이들 프로그래머블 타일은, 예를 들면 입출력 블록(input/output blocks: IOBs), 구성 가능한 로직 블록(configurable logic blocks: CLBs), 전용 랜덤 액세스 메모리 블록(BRAM), 멀티플라이어(multiplier), 디지털 신호 처리 블록(DSP), 프로세서, 클록 관리자, 지연 록 루프(delay lock loops: DLLs) 등을 포함할 수 있다. 다른 유형의 프로그래머블 IC 다이는 CPLD(complex programmable logic device: 콤플렉스 프로그래머블 로직 디바이스) 다이이다. CPLD는 인터커넥트 스위치 매트릭스에 의해 서로 연결되고 입출력(I/O) 리소스에 연결된 2개 이상의 "기능 블록"을 포함한다. CPLD의 각 기능 블록에는 프로그래머블 로직 어레이(PLA) 및 프로그래머블 어레이 로직(PAL) 디바이스에 사용되는 것과 유사한 2 레벨의 AND/OR 구조가 포함된다. 다른 프로그래머블 IC는 디바이스 상의 다양한 요소를 프로그램 적으로 상호연결하는, 금속층과 같은, 처리 층(processing layer)을 적용함으로써 프로그래밍된다. 이들 프로그래머블 IC는 마스크 프로그래머블 디바이스라고도 알려져 있다. "프로그래머블 IC"라는 어구는 ASIC(application-specific integrated circuit)과 같이, 부분적으로만 프로그램 가능한 디바이스도 또한 포함할 수 있다.

[0044] 기능이 향상된 보다 소형의 전자 장치에 대한 수요가 증가함에 따라, IC 패키지 기술은 단지 기존의 2D(2차원) 구조 이상으로 확장되어, 집적의 향상으로 이어지고 있다. 전통적인 2D 구조는 기판(예를 들면, SiP(system-in-package) 기판)의 바로 위에서 동일한 평면 상에 배치된 복수의 IC 다이를 포함한다. 하지만, 2.5D 및 3D 집적을 갖는 IC 패키지가 개발되어 왔고 더욱 개발 중에 있다. 2.5D 및 3D 집적의 예는 아래에 제공되어 있다.

[0045] 도 3은 본 발명의 일례에 따른, SSI(stacked silicon interconnect: 적층 실리콘 인터커넥트) 기술을 이용한 예시적인 2.5D IC 패키지(300)의 단면도이다. 2.5D IC 패키지와 기존의 2D IC 패키지 사이의 주요 차이점은 IC 다이가 배치되는 TSV(through-silicon via)가 있는 인터포저(interposer)를 포함한다는 점이다. 예를 들어, IC 패키지(300)는 제1 다이(302₁)("다이 #1"로 표시됨)와 제2 다이(302₂)("다이 #2"로 표시됨)(통칭하여 "다이(302)"로 지칭됨)를 포함한다. 다이(302)는 슈퍼 로직 영역(super logic region: SLR)으로 지칭되는 고도로 제조 가능한 FPGA 다이 슬라이스를 포함하는, 다양한 적합한 다어들 중 임의의 것을 포함할 수 있다. 개념의 예시를 용이하게 하기 위해 도 3에는 단 2개의 다이(303)만이 도시되어 있으나, 2.5D IC 패키지는 3개 이상의

다이를 포함할 수도 있음을 이해해야 한다. 각각의 다이(302)는 칩 기관(304), 디바이스 층(306), 및 금속층(308)을 포함할 수 있다. 다이(302)는 도시된 바와 같이, 마이크로범프(microbumps)(310)에 의해 인터포저(311)에 연결되는 플립 칩(flip-chip) 다이일 수 있다. 마이크로범프(310)는 구리 필라(copper pillar) 마이크로범프(구리 필라 범프, 구리 필라 μ 범프, 또는 구리 필라라고도 함)로 구현될 수 있는데, 이는 도 2의 필라(202)와 유사하게 형성될 수 있다. 마이크로범프(310)는 종래의 소더 범프(solder bump)보다 더 미세한 피치(finer pitch)를 허용한다. 구리 필라 마이크로범프를 사용하여 다이(302)와 인터포저(311) 사이에 형성된 인터커넥트는 본 발명의 예로부터 유익을 얻을 수 있는, 산화물 형성이 감소된 Cu-Cu 본딩의 일례이다.

[0046] SSI 기술은 상이한 유형 또는 실리콘 프로세스의 다이(302)가 인터포저(311) 상에 상호 연결될 수 있게 한다. 인터포저(311)는 그 위에 IC 다이(302)가 나란히 설정되고 상호 연결되는 인터커넥트 수단으로 기능한다. 인터포저(311)는 예를 들면, 패시브 실리콘 인터포저(passive silicon interposer)일 수 있다. 도 3에는 하나의 인터포저(311)만이 도시되어 있으나, IC 패키지는 몇몇 예에서 복수의 인터포저로 구현될 수도 있다. 인터포저(311)는 인터포저 기관(316), 기관(316) 위에 배치된 상단측 금속층(312), 및 기관(316) 아래에 배치된 하단측 금속층(318)을 포함할 수 있다. 몇몇 예에서, 인터포저(311)는 인터포저를 통한 고대역폭(high bandwidth), 저지연(low-latency) 연결을 제공할 수 있는 복수의 인터커넥트 라인(도시되지 않음)을 또한 포함할 수 있다. 인터포저(311)는 다이(302)와, 인터포저(311)와 패키지 기관(322) 사이에 배치된 복수의 공정 범프(eutectic bumps)(320)(예를 들면, C4(controlled-collapse chip connection) 범프) 사이의 연결을 라우팅하기 위한 TSV(314)를 또한 포함할 수 있다. TSV(314)는 다이(302)와 패키지 기관(322) 사이의 병렬 및 직렬 I/O, 전력/접지, 클로킹(clocking), 구성 신호 등을 위한 연결을 제공할 수 있다. 복수의 공정 범프(320)는 인터포저(311)를 패키지 기관(322)에, 보다 구체적으로는 패키지 기관(322)의 표면 상의 전도성 요소 및 패키지 기관(322) 내의 비아(vias)에 전기적으로 연결시킨다.

[0047] IC 패키지(300)는 패키지 기관(322) 아래에 배치된 복수의 소더 볼(solder ball)(324)을 갖는다. 소더 볼(324)은 예를 들어, 회로 기관(326)(예를 들면, PCB)의 표면 상에 배치된 전도성 패드의 매칭 배열과 전기 접촉하도록 행과 열의 어레이로 배열될 수 있다.

[0048] 도 4는 본 발명의 일례에 따른 예시적인 3D IC 패키지(400)의 단면도이다. 3D IC 패키지는 적어도 하나의 IC 다이가 (예를 들면, 인터포저 또는 다른 패시브 다이(passive die)와 같은, 개재 구성요소 없이) 다른 IC 다이의 상단에 적층되는 것을 포함하며, 이들 액티브 다이(active die)는 서로 직접 본딩될 수 있다. 하부 다이(들)는 상부 다이(들)가 하부 다이(들) 및 패키지 기관과 통신할 수 있도록 TSV를 이용할 수 있다. 예를 들어, 3D IC 패키지(400)는 제2 다이(402₂)("다이 #2"로 표시됨) 위에 장착된 제1 다이(402₁)("다이 #1"로 표시됨)(통칭하여 "다이(402)"로 지칭됨)를 포함한다. 도 4에는 단 2개의 다이(402)만이 도시되어 있으나, 독자(reader)는 3개 이상의 다이가 적층될 수도 있음을 이해할 것이다. 또한, 도시된 2개의 다이(402)는 동일한 크기지만, 다이는 상이한 치수를 가질 수도 있음을 이해해야 한다. 예를 들어, 다이 #2는 다이 #1보다 폭이 더 넓을 수 있으며, 이 경우에, 다이 #1과 동일한 평면 상에 다른 다이(도시되지 않음)가 다이 #2 위에 배치될 수도 있다.

[0049] 도 4에 도시된 바와 같이, 다이 #2는 다이 #2가 다이 #1에 전기 연결될 수 있도록 마이크로범프(310)와 연결을 위해 칩 기관(304)의 후방측(backside)에 배치된 후방측 금속층(309)을 포함할 수 있다. 다이 #2는 다이 #1이 패키지 기관(322)에 직접 전기 연결될 수 있도록 TSV(414)를 또한 포함할 수 있다.

[0050] 패키지를 제조하기 위한 예시적인 동작

[0051] 도 5는 본 발명의 일례에 따른, 반도체 구조물 및/또는 반도체 구조물을 포함하는 패키지(예를 들면, 후술되는 IC 패키지)를 제조하기 위한 예시적인 동작(500)의 흐름도이다. 동작들(500) 중 적어도 일부는 예를 들면, 반도체 처리 챔버를 포함할 수 있는, 반도체 구조물을 제조하는 시스템에 의해 수행될 수 있다.

[0052] 동작(500)은 블록(502)에서 반도체 층 위에 접착층을 배치함으로써 시작될 수 있다. 블록(504)에서, 양극 금속층이 접착층 위에 배치될 수 있다. 블록(506)에서, 음극 금속층이 양극 금속층 위에 배치될 수 있다.

[0053] 몇몇 예에 따르면, 블록(502)에서 접착층을 배치하는 것, 블록(504)에서 양극 금속층을 배치하는 것, 또는 음극 금속층을 배치하는 것 중 적어도 하나는 물리 증착법(PVD)을 이용하는 것을 포함한다.

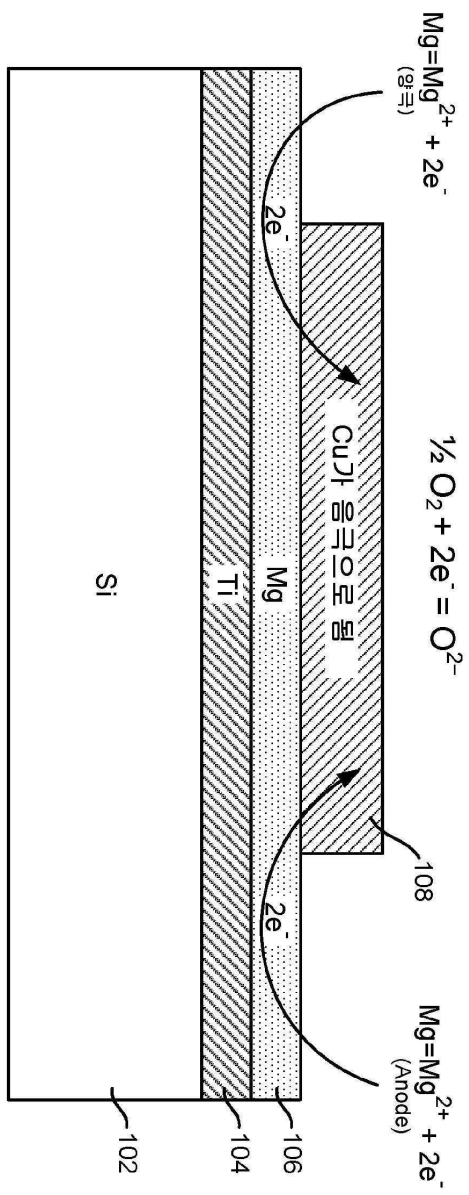
[0054] 몇몇 예에 따르면, 동작(500)은 음극 금속층 위에 복수의 필라를 형성하기 위해 리소그래피 및 전기 도금을 이용하는 것을 또한 수반한다. 복수의 필라는 음극 금속층과 동일한 조성을 가질 수 있다. 몇몇 예에서, 동작(500)은 복수의 필라들 사이의 음극 층의 적어도 일부를 제거하기 위해 음극 금속층을 에칭하는 단계를 더 포함

한다. 몇몇 예에서, 동작(500)은 복수의 필라를 포함하는 반도체 구조물의 상부 표면을 레지스트로 코팅하는 단계를 더 포함한다. 몇몇 예에서, 동작(500)은 양극 금속층이 노출되도록, 복수의 필라들 사이의 레지스트의 적어도 일부를 제거하기 위해 리소그래피를 이용하는 것을 또한 수반한다. 몇몇 예에서, 동작(500)은 반도체 층이 노출되고 레지스트가 제거되도록, 복수의 필라들 사이의 양극 층과 접착층의 적어도 일부를 에칭하는 단계를 더 포함한다.

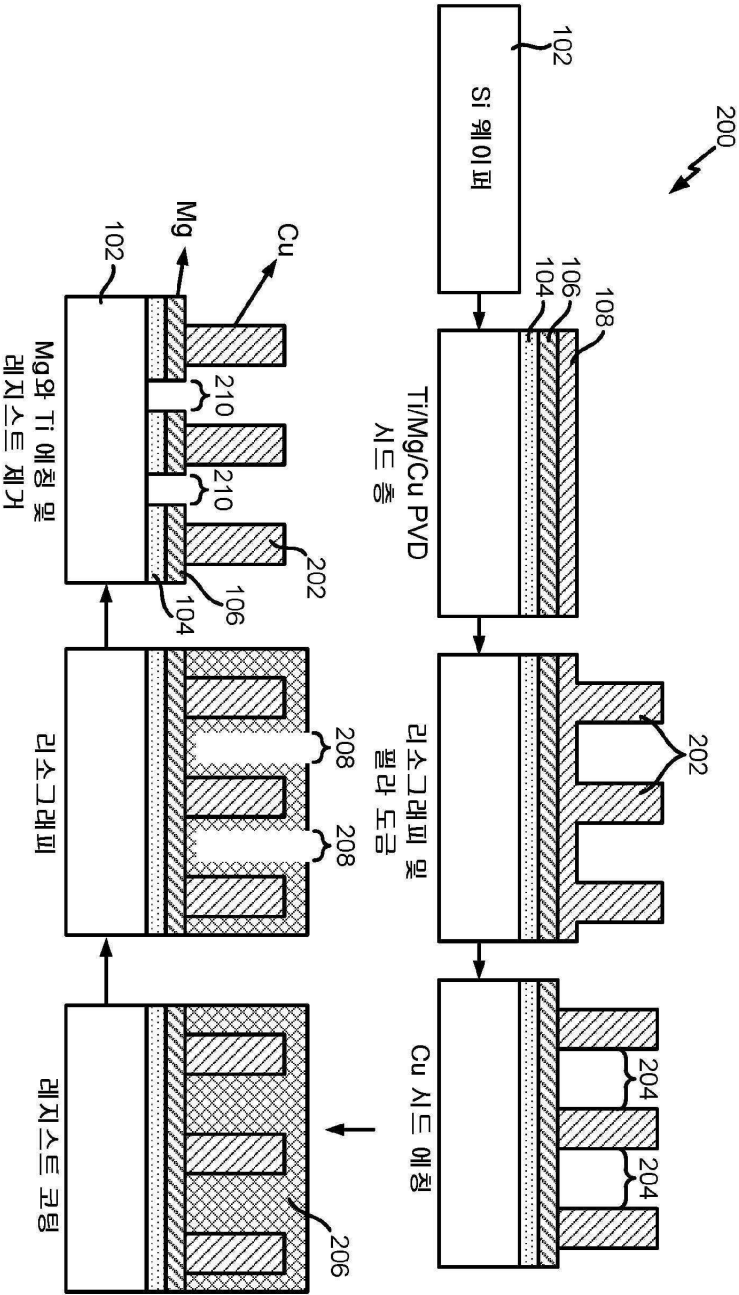
- [0055] 몇몇 예에 따르면, 양극 금속층은 마그네슘(Mg)을 포함한다.
- [0056] 몇몇 예에 따르면, 양극 금속층은 알루미늄(Al), 아연(Zn), 및 니켈(Ni)로 이루어진 그룹으로부터 선택된 원소를 포함한다.
- [0057] 몇몇 예에 따르면, 음극 금속층은 구리(Cu)를 포함한다.
- [0058] 몇몇 예에 따르면, 양극 금속층의 산화 전위(oxidation potential)는 음극 금속층의 산화 전위보다 더 크다.
- [0059] 몇몇 예에 따르면, 양극 금속층은 다공성 산화물과 연관된 금속을 포함한다. 이 경우에, 다공성 산화물의 산화 속도(oxidation rate)는 시간의 함수로서 선형일 수 있다.
- [0060] 몇몇 예에 따르면, 양극 금속층은 1.0 미만의 산화물 대 금속의 체적비를 갖는 금속을 포함한다.
- [0061] 몇몇 예에 따르면, 양극 층은 음극 금속층에 음극 보호를 제공함으로써 음극 금속층과 연관된 산화물의 성장을 억제하도록 구성된다.
- [0062] 몇몇 예에 따르면, 동작(500)은 선택적 블록(508)에서, 200℃ 미만의 온도에서 반도체 구조물의 음극 금속층을 다른 구조물의 금속층에 본딩하는 단계를 더 포함한다.
- [0063] 본 발명의 예는 산화물 형성에 대한 우려가 감소된 Cu-Cu 본딩을 위한 집적 방법을 제공하며, 그래서 이러한 본딩에 대한 어떠한 특별한 요건도 필요로 함이 없이, 감소된 온도 및 보다 빠른 사이클 타임으로 충분한 본딩을 제공한다. 본 발명의 예는 또한 보다 긴 큐(queue: Q) 또는 스테이징 시간을 가능케 할 수 있다.
- [0064] (후속의 청구범위를 포함하여) 본 명세서에서 사용되는, 항목들의 목록 중 "적어도 하나"라고 언급하는 문구는 단일 구성원을 포함하여, 이들 항목의 임의의 조합을 지칭한다. 예로서, "x, y, 및 z 중 적어도 하나"는 x, y, z, x-y, x-z, y-z, x-y-z, 및 이들의 임의의 조합(예를 들면, x-y-y 및 x-y-z)을 포함하도록 의도된다.
- [0065] 전술한 기재는 본 발명의 예에 대한 것이지만, 본 발명의 기본 범위를 벗어남이 없이 본 발명의 다른 및 추가적인 예가 도출될 수 있으며, 그 범위는 다음의 청구범위에 의해 결정된다.

도면

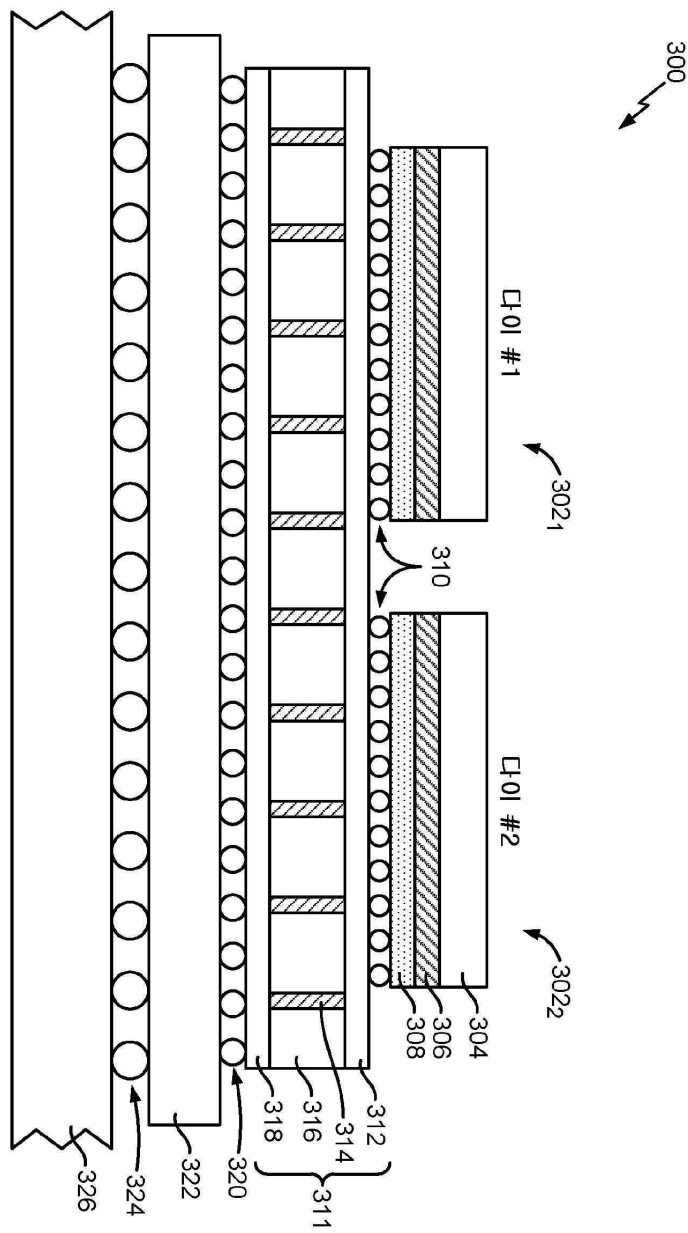
도면1



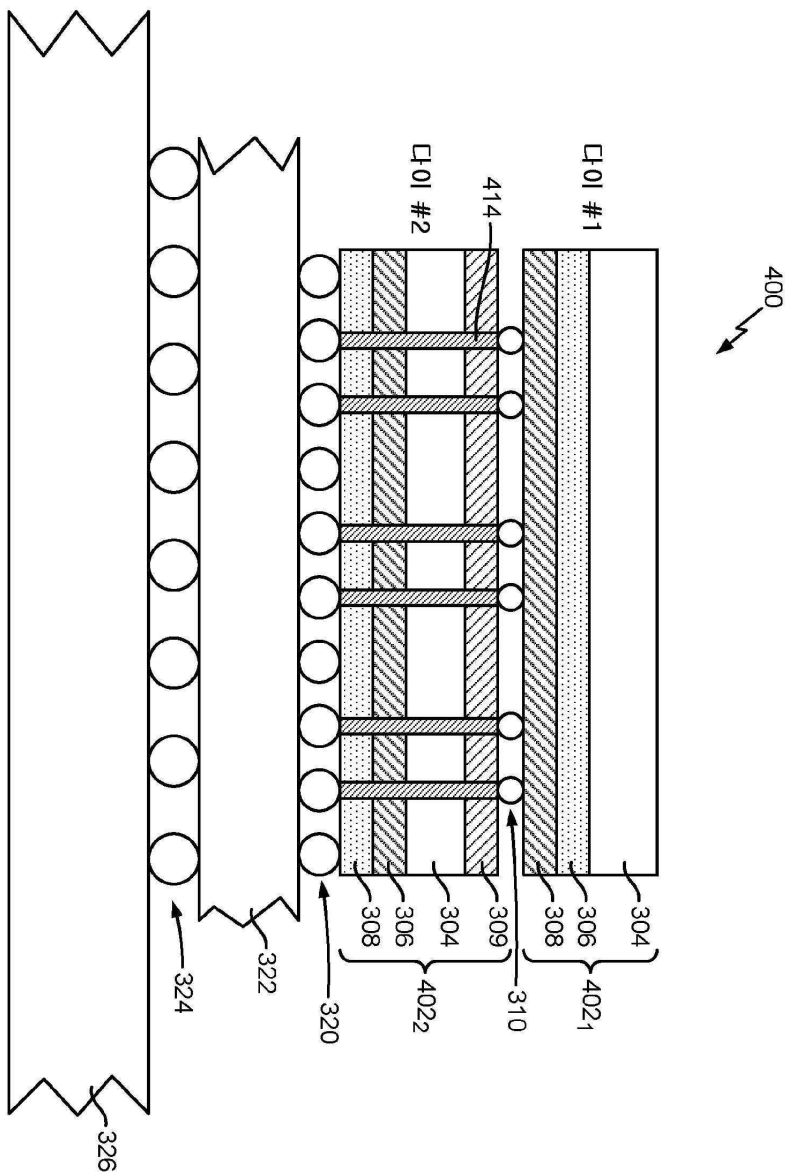
도면2



도면3



도면4



도면5

