(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3984808号
(P3984808)

(45)発行日　平成19年10月3日(2007.10.3)　(24)登録日　平成19年7月13日(2007.7.13)

(51)Int.Cl.			F I		
H04N	5/335	(2006.01)	H04N	5/335	Z
H04N	5/32	(2006.01)	H04N	5/335	E
			H04N	5/32	

請求項の数 14　(全 38 頁)

(21)出願番号	特願2001-268965(P2001-268965)
(22)出願日	平成13年9月5日(2001.9.5)
(65)公開番号	特開2002-199292(P2002-199292A)
(43)公開日	平成14年7月12日(2002.7.12)
審査請求日	平成14年12月27日(2002.12.27)
(31)優先権主張番号	特願2000-271952(P2000-271952)
(32)優先日	平成12年9月7日(2000.9.7)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2000-308076(P2000-308076)
(32)優先日	平成12年10月6日(2000.10.6)
(33)優先権主張国	日本国(JP)

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　佐藤　俊明
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　白井　英二
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　菊池　伸
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

最終頁に続く

(54)【発明の名称】信号処理装置及びそれを用いた撮像装置並びに放射線撮像システム

(57)【特許請求の範囲】

【請求項１】

複数の信号源に接続される複数の端子と、

前記複数の端子から入力される信号を直列信号に変換して出力する読み出し用回路部と、を有する信号転送装置において、

前記読み出し用回路部は、前記端子に接続された第１演算増幅器と、該第１演算増幅器の出力を受ける第２演算増幅器と、該第２演算増幅器を介して出力された出力信号をサンプリングするサンプリングスイッチと、サンプリングされた前記出力信号を蓄えるサンプリング容量と、蓄えられた前記出力信号を前記サンプリング容量から直列信号として順次読み出す読み出し用スイッチと、第３演算増幅器と、を有しており、

前記第１演算増幅器は、対応する前記端子に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第１演算増幅器の該反転入力端子と該出力端子との間に、積分容量とリセットスイッチとが並列に接続されており、

前記第３演算増幅器は、前記読み出し用スイッチを介して前記サンプリング容量に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、

前記第３演算増幅器の該反転入力端子と該出力端子との間には積分容量とリセットスイッチとが並列に接続されていることを特徴とする信号転送装置。

【請求項２】

請求項１に記載の信号転送装置において、前記第２演算増幅器は、基準電圧が供給される正転入力端子と、前記第１演算増幅器の出力を受ける反転入力端子と、出力端子と、を

有することを特徴とする信号転送装置。
【請求項３】
請求項２に記載の信号転送装置において、前記第２演算増幅器の前記反転入力端子と前記出力端子との間には、積分容量とリセットスイッチが並列に接続されていることを特徴とする信号転送装置。
【請求項４】
請求項１に記載の信号転送装置において、前記第１演算増幅器の前記出力端子と前記第２演算増幅器の前記反転入力端子との間に容量素子が配置されていることを特徴とする信号転送装置。
【請求項５】
請求項１に記載の信号転送装置において、前記サンプリング容量は、前記読み出し用スイッチにより複数の共通出力線のいずれかに接続され、前記サンプリング容量に蓄積された前記出力信号が該複数の共通出力線のいずれかに接続された前記第３演算増幅器の前記反転入力端子に入力されることを特徴とする信号転送装置。
【請求項６】
請求項１に記載の信号転送装置において、前記第１演算増幅器の位相補償容量を充放電するスイッチング回路と、前記第１演算増幅器の前記リセットスイッチの動作に応じて該スイッチング回路を制御する制御回路と、が設けられていることを特徴とする信号転送装置。
【請求項７】
入射した光又は放射線のうち少なくともいずれか一方を電気信号に変換する変換素子を有する回路部と、
前記回路部からの信号を転送する信号転送回路部と、を具備する撮像装置において、
前記信号転送回路部は、前記回路部に接続された第１演算増幅器と、該第１演算増幅器の出力を受ける第２演算増幅器と、該第２演算増幅器を介して出力された出力信号をサンプリングするサンプリングスイッチと、サンプリングされた前記出力信号を蓄えるサンプリング容量と、蓄えられた前記出力信号を前記サンプリング容量から直列信号として順次読み出す読み出し用スイッチと、第３演算増幅器と、を有しており、
前記第１演算増幅器は、前記回路部に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第１演算増幅器の該反転入力端子と該出力端子との間に、積分容量とリセットスイッチとが並列に接続されており、
前記第３演算増幅器は、前記読み出し用スイッチを介して前記サンプリング容量に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第３演算増幅器の該反転入力端子と該出力端子との間には積分容量とリセットスイッチとが並列に接続されていることを特徴とする撮像装置。
【請求項８】
請求項７に記載の撮像装置において、前記第２演算増幅器は、基準電圧が供給される正転入力端子と、前記第１演算増幅器の出力を受ける反転入力端子と、出力端子と、を有し、前記第２演算増幅器の前記反転入力端子と前記出力端子との間には、積分容量とリセットスイッチとが並列に接続されていることを特徴とする撮像装置。
【請求項９】
請求項８に記載の撮像装置において、前記第１演算増幅器の前記出力端子と前記第２演算増幅器の該反転入力端子との間に容量素子が配置されていることを特徴とする撮像装置。
【請求項１０】
請求項７乃至９のいずれか１項に記載の撮像装置において、前記サンプリングスイッチと前記サンプリング容量との間に抵抗素子が配置されたことを特徴とする撮像装置。
【請求項１１】
請求項７に記載の撮像装置において、前記サンプリング容量は、前記読み出し用スイッチにより複数の共通出力線のいずれかに接続され、前記サンプリング容量に蓄積された前

記出力信号が該複数の共通出力線のいずれかに接続された前記第３演算増幅器の前記反転入力端子に入力されることを特徴とする撮像装置。

【請求項１２】

請求項７乃至１１のいずれか１項に記載の撮像装置において、前記回路部は、薄膜光電変換素子及び薄膜スイッチング素子を有することを特徴とする撮像装置。

【請求項１３】

請求項７乃至１２のいずれか１項に記載の撮像装置において、前記回路部は、光電変換素子と、放射線を受けて光を放出する発光体とを有することを特徴とする撮像装置。

【請求項１４】

請求項１３に記載の撮像装置と、

前記撮像装置からの信号を処理する信号処理手段と、

前記信号処理手段からの信号を記録するための記録手段と、

前記信号処理手段からの信号を表示するための表示手段と、

前記信号処理手段からの信号を伝送するための伝送処理手段と、

前記放射線を発生させるための放射線源とを具備することを特徴とする放射線撮像システム。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は信号転送装置及びそれを用いた撮像装置並びに放射線撮像システムに関し、特に医療や内部非破壊検査の為のＸ線検出器や、複写機、ファクシミリなど事務機器等の画像入力部として適用することができる光電変換装置に好適に用いられるものである。

【０００２】

【従来の技術】

医療診断に用いられる放射線撮像装置は現在、放射線を人体に曝射させ、透過した放射線を蛍光体により可視光に変換し、フィルムに露光させるいわゆるフィルム方式が主流である。

【０００３】

しかしながら、現像処理工程を要する従来のフィルム方式では得られない画像情報取得の即時性からくる診断効率の向上や、記録、管理ならびに遠隔医療診断に必要な画像伝送の容易性などの理由から近年、“Ｘ線画像情報のディジタル化”の要求が高まりつつあり、最近ではＣＣＤ固体撮像素子やアモルファスシリコン光電変換素子をフィルムの代わりに用いたＸ線撮像装置が提案されてきている。

【０００４】

図２９は、特開平９－３０７６９８号公報に記載されているＸ線撮像装置に適用可能な２次元光電変換装置の一例を示す図である。

【０００５】

図２９において、１０１は光電変換回路部を示しており、１１０は入射した光を信号電荷に変換する受光領域、１１１は受光領域１１０で光電変換された信号電荷を蓄積する電極間容量、S_{1-1}～S_{3-3}はそれぞれが受光領域１１０と電極間容量１１１を有する光電変換素子、Ｍ１、Ｍ２、Ｍ３はマトリクス信号配線、T_{1-1}～T_{3-3}は光電変換素子S_{1-1}～S_{3-3}で形成された信号電荷をマトリクス信号配線Ｍ１、Ｍ２、Ｍ３に転送するスイッチング素子、Ｇ１、Ｇ２、Ｇ３はスイッチング素子T_{1-1}～T_{3-3}を駆動させるゲート駆動配線、Ｃ１、Ｃ２、Ｃ３は各マトリクス信号配線Ｍ１、Ｍ２、Ｍ３の負荷容量である。又、１０２はゲート駆動配線Ｇ１～Ｇ３に駆動用信号を印加するゲート線駆動用回路部としてのシフトレジスタである。又、１０７は光電変換素子のバイアス電源である。

【０００６】

１０３はマトリクス信号配線Ｍ１～Ｍ３より転送された並列信号を直列信号に変換して出力する読み出し用回路部を示しておりS_{RES1}、S_{RES2}、S_{RES3}は各負荷容量Ｃ１、Ｃ２、Ｃ３のリセットスイッチ、ＣＲＥＳはS_{RES1}、S_{RES2}、S_{RES3}に印加する制御信号、Ａ１

～Ａ３は各マトリクス信号配線Ｍ１～Ｍ３が正転入力端子に接続され各マトリクス信号配線からの出力信号をインピーダンス変換するバッファアンプ、Ｓｎ１～Ｓｎ３はバッファアンプＡ１～Ａ３を通して出力された出力信号をサンプリングするサンプリングスイッチ、ＳＭＰＬはサンプリングスイッチＳｎ１～Ｓｎ３に印加する電圧パルス、C_{L1}～C_{L3}はサンプリングコンデンサ、Ｂ１～Ｂ３はサンプリングされた出力信号が正転入力端子に入力されインピーダンス変換するバッファアンプ、Ｓｒ１～Ｓｒ３はバッファアンプＢ１～Ｂ３の出力を直列信号として順次読み出す読み出し用スイッチ、１０４は読み出し用スイッチ駆動用回路部としてのシフトレジスタ、１０５は出力バッファアンプである。

【０００７】

１０６はアナログ信号をデジタル信号に変換するＡ/Ｄ変換回路部である。

【０００８】

なお、図２９では簡単の為に３×３＝９画素の２次元光電変換装置を表しているが、実際の光電変換装置はその用途により更に多画素で構成される。

【０００９】

図３０は、図２９の光電変換装置の動作を説明するタイミングチャートである。

【００１０】

光電変換素子S_{1-1}～S_{3-3}で光電変換された信号電荷は光電変換素子内の電極間容量１１１に一定期間蓄積される。その後、シフトレジスタ１０２よりゲート駆動配線Ｇ１に転送用の第１の電圧パルスをｔ１時間印加すると、スイッチング素子T_{1-1}～T_{1-3}がＯＮし、第１行の光電変換素子S_{1-1}～S_{1-3}に蓄積されていた信号電荷はマトリクス信号配線Ｍ１，Ｍ２，Ｍ３の負荷容量Ｃ１、Ｃ２、Ｃ３に各々転送され、負荷容量Ｃ１、Ｃ２、Ｃ３それぞれに信号電荷が転送された後の電位をそれぞれＶ１、Ｖ２、Ｖ３とすると、電位Ｖ１、Ｖ２、Ｖ３は信号電荷量に応じて異なる。図３０では各信号電荷量が異なった場合を示している。ここまでの動作を転送動作という。

【００１１】

マトリクス信号配線Ｍ１～Ｍ３の信号電荷はそれぞれ読み出し用回路部１０３内のバッファアンプＡ１～Ａ３によりインピーダンス変換される。その後、サンプリングスイッチＳｎ１～Ｓｎ３が図中に示されるＳＭＰＬパルスによりｔ２時間だけＯＮし、サンプリングコンデンサC_{L1}～C_{L3}に信号電荷は転送される。この動作をサンプリング動作という。

【００１２】

続いて、順次シフトレジスタ１０４からの読み出しパルスＳｐ１～Ｓｐ３により読み出し用スイッチＳｒ１～Ｓｒ３が順次ｔ３時間ずつＯＮすることにより、サンプリングコンデンサC_{L1}～C_{L3}に転送されていた並列の信号電荷が各バッファアンプＢ１～Ｂ３によりインピーダンス変換された後、最終出力アンプ１０５から直列信号として読み出され、さらにＡ／Ｄ変換回路部１０６でデジタル化される。この動作を読み出し動作という。

【００１３】

その後、リセットスイッチS_{RES1}～S_{RES1}に制御信号ＣＲＥＳをｔ４時間印加して負荷容量Ｃ１～Ｃ３をリセットし、次行の読み出し動作に備える。この動作をリセット動作という。

【００１４】

以下同様に、シフトレジスタ１０２よりゲート駆動配線Ｇ２，Ｇ３を順次駆動することにより、光電変換素子S_{2-1}～S_{3-3}の全画素データが繰り返し読み出される。

【００１５】

図２９で示したマトリクス信号配線Ｍ１～Ｍ３の各々の負荷容量Ｃ１～Ｃ３は、実際はスイッチング素子T_{1-1}～T_{3-3}のゲート電極と信号配線Ｍ１～Ｍ３側の電極との交差部で形成される電極間容量（Ｃｇｓ）で構成される。例えば、負荷容量Ｃ１は信号配線Ｍ１に接続されている３個のスイッチング素子T_{1-1}、T_{2-1}、T_{3-1}のＣｇｓの和になる。負荷容量Ｃ２，Ｃ３についても同様である。すなわち、２次元光電変換回路部の画素配列をｍ行×ｎ列とすると、マトリクス信号配線Ｍｉ（ｉ＝１～ｎ）の負荷容量値Ｃｉ（ｉ＝１～ｎ）は以下の一般式で表される。

【００１６】
Ｃｉ＝Ｃｇｓ×ｍ　　（１）
光電変換素子内の電極間容量１１１に蓄積された信号電荷は、前述の転送動作によって各マトリクス信号配線Ｍｉ（ｉ＝１～ｎ）の負荷容量Ｃｉ（ｉ＝１～ｎ）に転送される。この時、負荷容量Ｃｉの電位Ｖｉは、光電変換素子内の電極間容量をＣｓ、信号電荷をＱｉとすると、
Ｖｉ＝Ｑｉ／（Ｃｓ＋Ｃｉ）＝Ｑｉ／（Ｃｓ＋ｍＣｇｓ）　　（２）
となる。転送前の電極間容量Ｃｓの電位Ｖｓは、
Ｖｓ＝Ｑｉ／Ｃｓ　　（３）
であるから、転送後の信号電圧Ｖｉはマトリクス信号配線の負荷容量Ｃｉの分小さくなる。光電変換回路部１０１のサイズにもよるが、Ｃｇｓ自体はそれなりに小さく、また図２９の例の様に画素配列が３×３のように小さければ負荷容量Ｃｉの影響は小さいが、画素数が増えてくると無視できなくなる。例えば、医療用の放射線撮像装置の光電変換回路部の大きさは、肺部を撮影する装置を例にとると、４０ｃｍ×４０ｃｍ程度必要とされており、仮に１００μｍの画素ピッチで形成すると、画素数は４０００×４０００＝１６００万と膨大な数になる。ここで、前記特開平９－３０７６９８号公報に記述されているスイッチング素子をアモルファスシリコンＴＦＴで形成した場合の一般的な数値としてＣｓ＝３ｐＦ，Ｃｇｓ＝０．０５ｐＦを用いると、電位Ｖｓと電位Ｖｉの比は
Ｖｓ：Ｖｉ＝１／Ｃｓ：１／（Ｃｓ＋４０００Ｃｇｓ）＝１：１／６８　（４）
となり、負荷容量が支配的になるのが分かる。このように転送動作により信号電荷の電位が圧縮されることは、その後の読み出し動作においてＳ／Ｎ的に不利になる。

【００１７】
すなわち、図２９の読み出し用回路部１０３において、サンプリングスイッチＳｎ１～Ｓｎ３以降の電圧ノイズをＶｎ（ＶｎはサンプリングスイッチＳｎ１～Ｓｎ３と読み出しスイッチＳｒ１～Ｓｒ３のＯＮ抵抗に起因する熱雑音およびバッファアンプＢ１～Ｂ３と出力アンプ１０５の雑音の２乗平均で表される。）とすると、Ｓ／Ｎ比はＶｉ／Ｖｎであるから、仮に転送動作で信号電圧が圧縮されなかった場合と比べると、約３６ｄＢもＳ／Ｎを劣化させることが分かる。なお、読み出し用回路部１０３では、上記Ｖｎの他にリセットスイッチS_{RES1}～S_{RES3}のＯＮ抵抗に起因する熱雑音とバッファアンプＡ１～Ａ３の雑音も存在するが、これらはＶｉと等価であるので、上記Ｓ／Ｎの議論では省略している。

【００１８】
このＳ／Ｎの問題を改善できる光電変換装置を図３１に示す。図３１において、Ｒ７及びＲ８は抵抗素子、Ｄ１～Ｄ３はマトリクス信号配線Ｍ１～Ｍ３が正転入力端子に接続され各マトリクス信号配線からの出力信号を抵抗Ｒ７、Ｒ８で決定される増幅率Ｇで増幅する非反転増幅器である。

【００１９】
又、同じ符号を付した部分については前述してあり、その説明は省略する。

【００２０】
図３１は図２９と同様に、光電変換回路部１０１が３×３＝９画素で構成されている例である。図２９との相違点は、読み出し用回路部１０３において各マトリクス信号配線Ｍ１～Ｍ３に接続されたバッファアンプＡ１～Ａ３が、抵抗Ｒ７，Ｒ８で決定される増幅率Ｇを有する非反転増幅器Ｄ１～Ｄ３に変更されている点である。

【００２１】
同様にＳ／Ｎを議論すると、光電変換された信号電荷Ｑｉは各マトリクス信号配線Ｍ１～Ｍ３の負荷容量Ｃ１～Ｃ３に転送され、負荷容量Ｃ１～Ｃ３の電位Ｖ１～Ｖ３は図２９と同様、（２）式で表される値になる。ここで、図３１の場合は非反転増幅器Ｄ１～Ｄ３によって正転入力端子に接続された負荷容量Ｃ１～Ｃ３の信号電圧Ｖ１～Ｖ３はＧ倍に増幅されて出力される。すなわち、画素構成がｍ行×ｎ列の２次元光電変換装置として一般化すると、出力電圧Ｖout は以下のように表される。

【００２２】

$$Vout = G \times Vi = G \times Qi / (Cs + Ci)$$
$$= G \times Qi / (Cs + mCgs) \quad (i = 1 \sim n) \quad (5)$$

なお、ここで非反転増幅器Ｄ１～Ｄ３の増幅率Ｇを例えば次式のように設定すると
Ｇ＝１＋（Ｒ８／Ｒ７）＝１＋（ｍＣｇｓ／Ｃｓ）　（６）
出力電圧Ｖout は（７）式のように（３）式と等しくなる。

【００２３】

Ｖout ＝Ｑｉ／Ｃｓ＝Ｖｓ　（７）

すなわち、（２）式と比較すると転送動作による信号電圧の圧縮の問題が解消され、Ｓ／Ｎが改善されることが分かる。なお、増幅率Ｇはここでは説明を簡単にする為に（６）式で表されるような値を用いたが、増幅率はＧ＞１であれば値は任意でよい。また、Ｇは可能な限り大きい値を取る方がＳ／Ｎに有利であることは明らかである。

【００２４】

【発明が解決しようとする課題】

しかしながら、上記図３１の例には同じ読み出し用回路部を異なる画素配列の２次元光電変換回路部と組み合わせて使用する際、その汎用性の点で改善の余地がある。すなわち、読み出し用回路部１０３を光電変換素子部が同一で等しい光電変換効率を有する（同一光量に対し等しい信号電荷Ｑｉを発生）が、画素配列がｋ行×ｌ列とｍ行×ｎ列の異なる２種類の光電変換回路部に対して適用する場合、（５）式によれば各々出力電圧は

Ｖout ＝Ｇ×Ｑｉ／（Ｃｓ＋ｋＣｇｓ）　（８）

Ｖout'＝Ｇ×Ｑｉ／（Ｃｓ＋ｍＣｇｓ）　（９）

と、マトリクス信号配線の負荷容量値が異なる分、大小異なる信号出力を示すことになる。このことは、例えば従来のフィルム方式のＸ線撮影装置では、撮影する部位によってフィルムサイズを変更した場合でも、フィルム感度とＸ線曝射量が同じなら、同じダイナミックレンジやＳ／Ｎが得られ、極めて汎用性が高いのに対し、機種によりそれら光電変換装置の性能に差が生じる為に、画素配列の異なる機種毎に適切な固定の増幅率Ｇを有する専用の読み出し用回路部を準備しておくか、機種毎に増幅率Ｇを回路的に設定する手段を設ける必要があることを意味している。前者の場合は、将来製品化されるものも含めて、あらゆる機種に対して個別の読み出し用回路部を準備することは事実上不可能であり、また不経済である。後者についても回路が複雑になるなどコストアップの要因となる。

【００２５】

又、上述した課題とは別に、従来より知られた演算増幅器では、その反転入力端子と出力端子との間に積分容量を設ける場合、その積分容量のリセット時間を十分に短くすることが困難であり、信号転送装置の動作スピードを向上させるためには、更なる改良の余地がある。

【００２６】

本発明の目的は、汎用性の高い信号転送装置及びそれを用いた撮像装置並びに放射線撮像システムを提供することにある。

【００２７】

加えて本発明の別の目的は、Ｓ／Ｎに優れ、かつ読み出しスピードを高速化し、光電変換回路部の多画素化に好適な信号転送装置、信号処理装置及びそれを用いた撮像装置並びに放射線撮像システムを提供することにある。

【００２８】

【課題を解決するための手段】

本発明の信号転送装置は、複数の信号源に接続される複数の端子と、前記複数の端子から入力される信号を直列信号に変換して出力する読み出し用回路部と、を有する信号転送装置において、前記読み出し用回路部は、前記各端子に接続された第１演算増幅器と、該第１演算増幅器の出力を受ける第２演算増幅器と、該第２演算増幅器を介して出力された出力信号をサンプリングするサンプリングスイッチと、サンプリングされた前記出力信号を蓄えるサンプリング容量と、蓄えられた前記出力信号を前記サンプリング容量から直列

信号として順次読み出す読み出し用スイッチと、第３演算増幅器と、を有しており、前記第１演算増幅器は、対応する前記端子に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第１演算増幅器の該反転入力端子と該出力端子との間に、積分容量とリセットスイッチとが並列に接続されており、前記第３演算増幅器は、前記読み出し用スイッチを介して前記サンプリング容量に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第３演算増幅器の該反転入力端子と該出力端子との間には積分容量とリセットスイッチとが並列に接続されていることを特徴とする。

【００２９】

又、本発明の信号転送装置は、演算増幅器を有する信号転送装置において、前記演算増幅器は、対応する前記端子に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記演算増幅器の該反転入力端子と該出力端子との間に、積分容量とリセットスイッチとが並列に接続されており、前記演算増幅器の位相補償容量を充放電するスイッチング回路と、前記演算増幅器の前記リセットスイッチの動作に応じて前記スイッチング回路を制御する制御回路と、が設けられていることを特徴とする。

【００３０】

本発明の撮像装置は、入射した光又は放射線のうち少なくともいずれか一方を電気信号に変換する変換素子を有する回路部と、前記回路部からの信号を転送する信号転送回路部と、を具備する撮像装置において、前記信号転送回路部は、前記回路部に接続された第１演算増幅器と、該第１演算増幅器の出力を受ける第２演算増幅器と、該第２演算増幅器を介して出力された出力信号をサンプリングするサンプリングスイッチと、サンプリングされた前記出力信号を蓄えるサンプリング容量と、蓄えられた前記出力信号を前記サンプリング容量から直列信号として順次読み出す読み出し用スイッチと、第３演算増幅器と、を有しており、前記第１演算増幅器は、前記回路部に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第１演算増幅器の該反転入力端子と該出力端子との間に、積分容量とリセットスイッチとが並列に接続されており、前記第３演算増幅器は、前記読み出し用スイッチを介して前記サンプリング容量に接続された反転入力端子と、基準電圧が供給される正転入力端子と、出力端子と、を備え、前記第３演算増幅器の該反転入力端子と該出力端子との間には積分容量とリセットスイッチとが並列に接続されていることを特徴とする。

【００３２】

本発明においては、前記信号配線は前記演算増幅器の反転入力端子に接続されているので、その電位は演算増幅器の正転入力端子電圧に等しくなる。従って前記信号源からの出力された信号電荷は前記演算増幅器の反転入力端子と出力端子との間に接続された前記積分容量に蓄積され、その出力電圧は信号電荷量と前記積分容量の容量値で一義的に決まる。よって、前記演算増幅器の出力電圧は前記信号配線の負荷容量の大小には依存しないので、例えば、様々な画素配列を有する光電変換回路部に汎用的に適用することが可能となる。

【００３３】

又、第１演算増幅器から出力された信号電荷はさらに別の演算増幅器に入力されるので、出力された信号電荷を適宜用途に応じて例えばインピーダンス変換すること又は、他の演算増幅器に入力させることでその信号を増幅させることも可能となる。

【００３４】

また、本発明においては、演算増幅器の位相補償容量を充放電するスイッチング回路を、リセットスイッチの動作に応じて、制御することにより、積分容量の高速リセットが可能となる。

【００３５】

【発明の実施の形態】

以下、本発明の実施形態について図面を用いて詳細に説明する。

【００３６】

（第１実施形態）
図１は本発明の第１実施形態による信号転送装置の回路図である。図１において、１１２は信号源に接続される複数の信号配線と接続される複数の端子、１０３は端子１１２を介して転送された並列信号を直列信号に変換して出力する読み出し用回路部、Ｅ１～Ｅ３は各端子１１２に接続された複数の演算増幅器において、前記端子１１２に対して初段である第１演算増幅器、Ｃｆ１は第１演算増幅器Ｅ１～Ｅ３の反転入力端子と出力端子との間に接続された第１積分容量、S_{RES1}～S_{RES3}は各第１積分容量Ｃｆ１の第１リセットスイッチ、ＣＲＥＳはS_{RES1}、S_{RES2}、S_{RES3}に印加する制御信号、ＶＲＥＦ１は第１演算増幅器Ｅ１～Ｅ３の正転入力端子が設定された第１基準電圧、Ｓｎ１～Ｓｎ３は第１演算増幅器Ｅ１～Ｅ３を通して出力された出力信号をサンプリングするサンプリングスイッチ、ＳＭＰＬはサンプリングスイッチＳｎ１～Ｓｎ３に印加する電圧パルス、C_{L1}～C_{L3}はサンプリングコンデンサ、Ｂ１～Ｂ３はサンプリングコンデンサC_{L1}～C_{L3}に蓄積された信号電荷をインピーダンス変換するバッファアンプ、Ｓｒ１～Ｓｒ３はバッファアンプＢ１～Ｂ３の出力を直列信号として順次読み出す読み出し用スイッチ、１０４は読み出し用スイッチ駆動用回路部（シフトレジスタ：ＳＲ２）、１０５は出力バッファアンプ、１１３は出力バッファアンプ１０５から出力された出力信号を用途に応じて他の回路に接続させるための端子である。

【００３７】
又、１０６はＡ／Ｄ変換回路部であり、本実施形態においては読み出し用回路部１０３からの出力信号はＡ／Ｄ変換回路部に接続されているがその限りではない。例えば、Ａ／Ｄ変換回路部１０６が読み出し用回路部１０３の中に含まれて構成され、端子１１３を介して処理回路例えばメモリ等に接続されることできる。

【００３８】
又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【００３９】
（第２実施形態）
図２は本発明の第２実施形態による撮像装置の回路図である。図２において、１０１は光電変換回路部を示しており、１１０は入射した光を信号電荷に変換する受光領域、１１１は受光領域１１０で光電変換された信号電荷を蓄積する電極間容量、S_{1-1}～S_{3-3}はそれぞれが受光領域１１０と電極間容量１１１を有する光電変換素子、Ｍ１、Ｍ２、Ｍ３は信号配線としてのマトリクス信号配線、T_{1-1}～T_{3-3}は光電変換素子S_{1-1}～S_{3-3}で形成された信号電荷をマトリクス信号配線Ｍ１，Ｍ２，Ｍ３に転送するスイッチング素子、Ｇ１、Ｇ２、Ｇ３はスイッチング素子T_{1-1}～T_{3-3}を駆動させるゲート駆動配線、Ｃ１、Ｃ２、Ｃ３は各マトリクス信号配線Ｍ１、Ｍ２、Ｍ３の負荷容量である。光電変換素子としては例えば、水素化非晶質シリコン膜を用いたＭＩＳ型或いはＰＩＮ型の薄膜光電変換素子、単結晶シリコンを用いたＰＮフォトダイオードなどが挙げられる。スイッチング素子としては、非晶質シリコン、多結晶シリコン、単結晶シリコンなどを用いた薄膜トランジスタや、周知のＭＯＳトランジスタを用いることができる。

【００４０】
１０２はゲート駆動配線Ｇ１～Ｇ３に駆動用信号を印加する駆動用回路部（シフトレジスタ：ＳＲ１）である。１０３は読み出し用回路部である。又、１０７は光電変換素子のバイアス電源である。

【００４１】
光電変換素子やスイッチング素子を薄膜素子で形成した場合には、駆動用回路部は単結晶シリコンを用いた少なくとも1個のLSIチップで構成するとよく、読み出し用回路部も同様にトランジスタ単結晶シリコンを用いた少なくとも1個のLSIチップで構成するとよい。

【００４２】
なお、図２では簡単の為に３×３＝９画素の２次元光電変換装置を表しているが、実際の撮像装置はその用途により更に多画素で構成される。

【００４３】
又、本実施形態では各マトリクス信号配線Ｍ１～Ｍ３には、（Ｅ１、Ｂ１）、（Ｅ２、Ｂ２）、（Ｅ３、Ｂ３）のように各２個の演算増幅器が接続されているが、その数は適宜決まるものであり、本実施形態の数に限定されず、他の演算増幅器があってもよい。
【００４４】
以下、全ての実施形態において演算増幅器の数は実施形態の限定されず、図示されている以外に回路内に他の演算増幅器があってもよい。
【００４５】
図３は、本実施形態の撮像装置の動作を説明するタイミングチャートである。図３において、まずゲート線駆動用回路部１０２であるところのシフトレジスタＳＲ１よりゲート駆動配線Ｇ１に転送用の第１の電圧パルスがｔ１時間印加されると、スイッチング素子T_{1-1}，T_{1-2}，T_{1-3}がＯＮし、第１行の光電変換素子S_{1-1}，S_{1-2}，S_{1-3}とマトリクス信号配線Ｍ１～Ｍ３が導通する。マトリクス信号配線Ｍ１～Ｍ３は各第１演算増幅器Ｅ１～Ｅ３の反転入力端子（－）に接続されているので、各マトリクス信号配線Ｍ１～Ｍ３の各電位Ｖ１～Ｖ３は正転入力端子電圧ＶＲＥＦ１に等しい。従って上記転送動作によって光電変換素子S_{1-1}，S_{1-2}，S_{1-3}の信号電荷は各積分積分容量Ｃｆ１に転送され、第１演算増幅器Ｅ１～Ｅ３の出力電圧Ｖｏ１～Ｖｏ３は各信号電荷量をＱｉ（ｉ＝１～３）とすると以下のように変化する。
【００４６】
Ｖｏｉ＝ＶＲＥＦ１－Ｑｉ／Ｃｆ１　（ｉ＝１～３）　（１０）
上記（１０）式と前記（５）式を比較すると明らかなように、本発明による撮像装置の出力電圧は前記マトリクス信号配線の負荷容量Ｃ１～Ｃ３に依存しない。ここで例えば積分容量Ｃｆ１の容量値を光電変換素子内の電極間容量Ｃｓと等しくおくと出力電圧は（１１）式となり、信号成分Ｑｉ／Ｃｓ＝Ｖｓは（７）式と等しくなる。すなわち上記構成においても前述の後段ノイズに対するＳ／Ｎは劣化することは無い。
【００４７】
Ｖｏｉ＝ＶＲＥＦ１－Ｑｉ／Ｃｓ＝ＶＲＥＦ１－Ｖｓ　（１１）
なお、ここでは簡単の為にＣｆ１＝Ｃｓとしたが、これには限らない。例えばＣｆ１＜Ｃｓであれば信号電圧は更に大きくなり、前述の後段ノイズに対するＳ／Ｎは更に有利になる。
【００４８】
以後の動作は図３０で示した従来例と同様であり、サンプリングスイッチＳｎ１～Ｓｎ３がＳＭＰＬパルスによりｔ２時間ＯＮし、サンプリングコンデンサC_{L1}～C_{L3}に信号は転送される。続いて、順次読み出し用スイッチ駆動用回路部１０４であるところのシフトレジスタＳＲ２からの読み出しパルスＳｐ１～Ｓｐ３により読み出し用スイッチＳｒ１～Ｓｒ３が順次ｔ３時間ずつＯＮすることにより、各バッファアンプＢ１～Ｂ３を介して出力バッファアンプ１０５から直列信号として読み出され、Ａ／Ｄ変換回路部１０６でデジタル化される。その後、リセットスイッチS_{RES1}～S_{RES3}に制御信号ＣＲＥＳをｔ４時間印加して積分容量Ｃｆ１をリセットし、次行の読み出し動作に備える。以下同様に、シフトレジスタ１０２よりゲート駆動配線Ｇ２，Ｇ３を順次駆動することにより、光電変換素子S_{2-1}～S_{3-3}の全画素データを繰り返し読み出す。
【００４９】
以上説明したように、本実施形態によれば、マトリクス信号配線Ｍ１～Ｍ３が第１演算増幅器Ｅ１～Ｅ３の反転入力端子に接続されることで、各マトリクス信号配線Ｍ１～Ｍ３の負荷容量Ｃ１～Ｃ３に依存せず、さらに信号電荷は積分容量Ｃｆ１に転送されるので、読み出し用回路部１０３は様々な画素配列を有する光電変換回路部に共通に適用することができる。
【００５０】
又、本実施形態によれば第１演算増幅器から出力された信号電荷はさらに別の演算増幅器（本実施形態においてはバッファアンプＢ１～Ｂ３）に入力されるので、出力された信号

電荷を適宜用途に応じてインピーダンス変換することが可能となった。又、バッファアンプＢ１～Ｂ３以外にも、例えば他の演算増幅器を配置させることで、第１演算増幅器から出力された信号電荷を増幅させることも可能となった。

【００５１】

以上の実施形態及び以下にのべる各実施形態を含めて、本発明に用いられる信号源としては、光及び／又は放射線を受けて電荷を発生する変換素子や、熱を感知して信号を発するセンサ、音を感知して信号を発するセンサ等が挙げられる。

【００５２】

撮像装置のように、信号源としては、光及び／又は放射線を受けて電荷を発生する変換素子を用いる場合には、変換素子を有する回路部として、ＣＭＯＳ型、ＣＣＤ型、バイポーラ型、或いは薄膜型のイメージセンサを用いることができる。

【００５３】

Ｘ線のような放射線の像を撮像する場合には、放射線を受けて可視光を放出する蛍光体やシンチレータなどと呼ばれる発光体を、光電変換素子と組み合わせて撮像装置を構成することもできる。具体的には、沃化セシウムやガドリニウム硫化酸化物などの発光体を、薄膜光電変換素子と薄膜トランジスタを有する画素アレイが形成された回路基板上に設けて、放射線撮像装置を構成することができる。

【００５４】

本発明の撮像装置および放射線撮像システムにおける放射線とはＸ線やα，β，γ線等を含み、光とは光電変換素子により検出可能な波長領域の電磁波であり、可視光を含む。

【００５５】

（第３実施形態）

図４は本発明の第３実施形態を示す信号転送装置の回路図である。図４において、Ｒ９、Ｒ１０、Ｒ１１及びＲ１２は抵抗素子、Ｋ１、Ｋ２、Ｋ３は第１演算増幅器Ｅ１、Ｅ２、Ｅ３からの出力信号が抵抗素子Ｒ９を介して反転入力端子に接続されるとともに反転入力端子と出力端子との間には抵抗素子Ｒ１０が接続された第２演算増幅器、ＶＲＥＦ２'は第２演算増幅器Ｅ１～Ｅ３の正転入力端子に抵抗素子Ｒ１１及びＲ１２を介して設定された第２基準電圧である。この構成においては、第２演算増幅器の正転入力端子には基準電源ＶＲＥＦ２'を抵抗素子Ｒ１１とＲ１２で分圧した電圧が印加されることとなる。又、第２演算増幅器Ｋ１～Ｋ３の増幅率Ｈは抵抗素子Ｒ９及びＲ１０によって決まる値である。

【００５６】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【００５７】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【００５８】

（第４実施形態）

図５は本発明の第４実施形態による撮像装置の回路図である。図５では簡単の為に３×３＝９画素の２次元光電変換装置を表しているが、実際の撮像装置はその用途により更に多画素で構成される。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【００５９】

図５に示す回路構成が図２の回路構成と異なるのは、第１演算増幅器Ｅ１～Ｅ３とバッファアンプＢ１～Ｂ３と間に増幅率Ｈを有する反転演算増幅器Ｋ１～Ｋ３を形成したことと、反転演算増幅器を複数段設けたことである。

【００６０】

本実施形態の構成を用いることで、各マトリクス信号配線Ｍ１～Ｍ３の負荷容量Ｃ１～Ｃ３に依存せずに、さらに第１演算増幅器Ｅ１～Ｅ３からの出力信号を増幅させて出力させる撮像装置を提供できることが可能となった。

【００６１】
（第５実施形態）
図６は本発明の第５実施形態を示す信号転送装置の回路図である。図６において、ＣＣ１～ＣＣ３は第１演算増幅器Ｅ１～Ｅ３の出力端子とサンプリングスイッチＳｎ１～Ｓｎ３との間に信号の交流成分のみを通過させる容量素子、Ｆ１～Ｆ３は反転入力端子に各容量素子ＣＣ１～ＣＣ３が接続された第２演算増幅器、Ｃｆ２は第２演算増幅器Ｆ１～Ｆ３の反転入力端子と出力端子との間にそれぞれ接続された第２積分容量、Ｓｄ１、Ｓｄ２、Ｓｄ３は各積分容量Ｃｆ２をリセットする第２リセットスイッチ、ＤＲＥＳは第２リセットスイッチＳｄ１～Ｓｄ３を制御するパルス信号、ＶＲＥＦ２は第２演算増幅器Ｆ１～Ｆ３の正転入力端子に設定された基準電圧である。
【００６２】
又、同じ符号を付した部分については前述してあり、その説明は省略する。
【００６３】
又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。
【００６４】
（第６実施形態）
図７は本発明の第６実施形態による撮像装置の回路図である。図７では簡単の為に３×３＝９画素の２次元光電変換装置を表しているが、実際の撮像装置はその用途により更に多画素で構成される。
【００６５】
又、同じ符号を付した部分については前述してあり、その説明は省略する。
【００６６】
図７に示す回路構成が図５の回路構成と異なるのは、図５の第２演算増幅器Ｋ１～Ｋ３を構成する抵抗素子Ｒ９、Ｒ１０のかわりに容量素子ＣＣ１～ＣＣ３が配置されて第２演算増幅器Ｆ１～Ｆ３が形成されていることである。図７では、容量素子ＣＣ１～ＣＣ３の一方の電極は第１演算増幅器Ｅ１～Ｅ３の出力端子に、もう一方の電極は第２演算増幅器Ｆ１～Ｆ３の反転入力端子（－）に接続されている。
【００６７】
図８は本発明の図７の撮像装置の第１演算増幅器Ｅ１～Ｅ３から第２演算増幅器Ｆ１～Ｆ３までと第２リセットスイッチＳｄ１～Ｓｄ３の動作を説明するタイミングチャートである。
【００６８】
ある行の読み出しが終了し、次の行の読み出しに備えるリセット動作では制御信号ＣＲＥＳが印加され、第１リセットスイッチS_{RES1}～S_{RES3}がＯＮし、第１積分容量Ｃｆ１の両端がショートされることにより、第１の積分コンデンサＣｆ１に蓄積されていた前の行の信号電荷はリセットされる。この時、第１演算増幅器Ｅ１～Ｅ３は電圧ホロワとして動作するので、その出力端子Ｐ１の電位はＶＲＥＦ１となる。しかし、この時の出力電圧はリセットスイッチS_{RES1}～S_{RES3}のＯＮ抵抗による熱雑音によってゆらぎを生じており、このゆらぎはリセット期間が終了し第１リセットスイッチS_{RES1}～S_{RES3}がＯＦＦした瞬間に第１積分容量Ｃｆ１に蓄積され、いわゆるＫＴＣノイズとして残留する。ＫＴＣノイズＲｎ（Ｖｒｍｓ）は第１積分容量Ｃｆ１の容量値にのみ依存し、以下の式で表わされる。
【００６９】
$$Rn=(KT/Cf1)^{1/2} \qquad (12)$$
ここで、Ｋはボルツマン定数、Ｔは絶対温度、Ｃｆ１は第１積分容量の容量値である。一方、ＫＴＣノイズは光電変換素子S_{1-1}～S_{3-3}の電極間容量Ｃｓからスイッチング素子T_{1-1}～T_{3-3}により信号電荷を転送する際にもスイッチング素子のＯＮ抵抗に起因する熱雑音により発生し、信号電荷に重畳して転送される。ここで例えば前記第１実施形態のようにＣｆ１＝Ｃｓとおくと両者のノイズ量は等しくなり、第１積分容量Ｃｆ１のリセットノイズ（ＫＴＣノイズ）は無視できない。Ｃｆ１＞Ｃｓとすれば第１積分容量Ｃｆ１の

リセットノイズ自体は小さくなるが、この時は信号電圧Ｑｉ／Ｃｆ１も小さくなってしまうのでＳ／Ｎは改善されない。図８の波形Ｐ１（出力端子Ｐ１の波形）において、制御信号ＣＲＥＳがＯＦＦした後の第１基準電圧ＶＲＥＦ１からのずれ量（図８ではエラーと記載）はこの第１積分容量Ｃｆ１のリセットノイズによるものである。

【００７０】

一方、第２演算増幅器Ｆ１～Ｆ３の反転入力端子（－）と出力端子との間に接続されたリセットスイッチＳｄ１～Ｓｄ３はパルス信号ＤＲＥＳにより制御され、パルス信号ＤＲＥＳは制御信号ＣＲＥＳとほぼ同時にＯＮし、制御信号ＣＲＥＳより遅れてＯＦＦする。パルス信号ＤＲＥＳが印加されている期間はリセットスイッチＳｄ１～Ｓｄ３がＯＮして第２積分容量Ｃｆ２をリセットし、第２演算増幅器Ｆ１～Ｆ３は電圧ホロワ動作をし、その出力端子Ｐ２の電位はＶＲＥＦ２となる。制御信号ＣＲＥＳがＯＦＦした直後もパルス信号ＤＲＥＳはＯＮしているので出力端子Ｐ２の電位は変化せず、ＤＣ成分である第１積分容量Ｃｆ１のリセットノイズは容量素子ＣＣ１～ＣＣ３に蓄積される。パルス信号ＤＲＥＳがＯＦＦしてもこの状態は保持され、しかる後次行の転送動作によりゲート駆動パルスＧ２が印加され、信号電荷が第１積分容量Ｃｆ１に転送されるのに応じて、第２演算増幅器Ｆ１～Ｆ３の出力電圧Ｐ２（出力端子Ｐ２の出力電圧）は変化する。この時の出力端子Ｐ１，Ｐ２の電位（Ｐ１，Ｐ２として示す）は各々次式で表される。

【００７１】

$$P1=VREF1-Qi/Cf1+Rn \qquad (13)$$

$$P2=VREF2+(Qi/Cf1)\times(CCi/Cf2) \qquad (14)$$

$$(i=1\sim3)$$

ここで（１３）式には第1積分容量Ｃｆ１のリセットノイズＲｎを付加してある。

【００７２】

上記（１３），（１４）式を比較すると、第２演算増幅器Ｆ１～Ｆ３の出力電圧には信号の交流成分のみが現れ、第１積分容量Ｃｆ１のリセットノイズがキャンセルされることが分かる。また、（１４）式より明らかなように、信号電圧は容量素子ＣＣ１～ＣＣ３と第２の積分容量Ｃｆ２の比でゲインがかかる。ここでＣＣｉ（ｉ＝１～３）＞Ｃｆ２としておけばサンプリングスイッチＳｎ１～Ｓｎ３以降のノイズに対するＳ／Ｎは更に有利になる。なお、出力電圧Ｐ２（出力端子Ｐ２の電圧）には実際は第２積分容量Ｃｆ２のリセットノイズ（ＫＴＣノイズ）が重畳されるが、そのノイズ量は入力に換算するとＣｆ２／ＣＣｉになるのに加え、前述のように第２演算増幅器Ｆ１～Ｆ３のゲインは容量の比でのみ決まるので第２積分容量Ｃｆ２の容量値を第１積分容量Ｃｆ１に比べ十分大きくすることが可能であり、その結果、第２積分容量Ｃｆ２のリセットノイズは無視することができる。よって（１４）式ではこれを省略している。

【００７３】

その後の動作については図３と同様であるので説明を省略する。

【００７４】

以上説明したように、本実施形態によれば、読み出し用回路部１０３において第１演算増幅器Ｅ１～Ｅ３の出力端子とサンプリングスイッチＳｎ１～Ｓｎ３との間に信号の交流成分のみを通過させる容量素子ＣＣ１～ＣＣ３と第２演算増幅器Ｆ１～Ｆ３を接続し、第２演算増幅器Ｆ１～Ｆ３の反転入力端子と出力端子との間に第２リセットスイッチＳｄ１～Ｓｄ３を配置させることにより、信号電荷が転送される第１積分容量Ｃｆ１のリセットノイズを除去することができるので、高Ｓ／Ｎの光電変換装置が提供できる。

【００７５】

ここで、本発明の第４実施形態と第６実施形態を比較すると、第４実施形態で示した構成もそれ自体有効ではあるが、以下１）及び２）に示す理由により、図７の第２演算増幅器Ｆ１～Ｆ３のように、抵抗素子ではなく容量素子によって信号を伝達する構成の演算増幅器の方が好適な構成である。

【００７６】
１）　図７の構成だとＣＦ１のリセットノイズが除去できる。
【００７７】
図５より明らかなように初段の第１演算増幅器Ｅ１～Ｅ３の出力は抵抗素子Ｒ９を介して次段の第２演算増幅器Ｋ１～Ｋ３に接続されているので、直流成分が通過可能である。したがって、（１３）式に示したように初段の演算増幅器Ｅ１～Ｅ３の出力に重畳された第１積分容量Cf1のリセットノイズＲｎもまた、次段の第２演算増幅器Ｋ１～Ｋ３で増幅されてしまうのでＳ／Ｎ的に不利であり、別途ノイズキャンセル回路が必要となる。
【００７８】
$Rn = (KT/Cf1)^{1/2}$　　（１２）
$P1 = VREF1 - Qi/Cf1 + Rn$　　（１３）
（１３）式で示した初段の第１演算増幅器Ｅ１～Ｅ３の出力電圧P1は図５、図７においてそれぞれ次段の第２演算増幅器Ｋ１～Ｋ３及びＦ１～Ｆ３により以下のように増幅される。
【００７９】
すなわち図７の構成では次段の演算増幅器Ｆ１～Ｆ３の出力電圧P2は
$P2 = VREF2 + (Qi/Cf1) \times (CCi/Cf2)$　（ｉ=1～3）　（１４）
一方、図５の構成では次段の第２演算増幅器Ｋ１～Ｋ３の出力電圧P2はR11、R12がおのおのR9、R10と等しいとすると
$P2 = (R10/R9) \times (VREF2' - VREF1) + (R10/R9) \times (Qi/Cf1 + Rn)$　（１５）
と表される。（１４）、（１５)式を比較すると図５の構成では積分容量Ｃｆ１のリセットノイズＲｎがゲイン倍（R10/R9）されて出力に現れてしまうことが分かる。
また、（１４）、（１５）式において
$CCi/Cf2 = R10/R9$　（ｉ=1～3）　（１６）
$VREF2 = (R10/R9) \times (VREF2' - VREF1)$　（１７）
となるよう容量値、抵抗値および基準電圧VREF2'を決定すると同一信号電荷Ｑｉに対し等しい出力電圧が得られる。図９、図１０はおのおの図５、図７に図示した初段の第１演算増幅器Ｅ１～Ｅ３の出力P1と、それぞれの次段の第２演算増幅器Ｋ１～Ｋ３及びＦ１～Ｆ３からの出力電圧P2を図示した図である。
【００８０】
２）　図７の構成だと任意の信号レベルによっても系の消費電流が変化しない。
【００８１】
図５の構成では初段の第１演算増幅器Ｅ１～Ｅ３の出力端子と次段の第２演算増幅器Ｋ１～Ｋ３の反転入力端子との間に接続された抵抗Ｒ９の両端の電位差によりこれを流れる電流値が変化する。すなわち、次段の第２演算増幅器Ｋ１～Ｋ３の反転入力端子電圧は正転入力端子電圧と等しく、第２基準電圧VREF2'を抵抗R11とR12で分圧した電圧が常に印加されており変化しない。一方、抵抗R9の他端の電圧は(13)式のごとく信号電荷Ｑｉによって変化するため抵抗R9を流れる信号電流成分i9は
$i9 = (1/R9) \times (Qi/Cf1)$　（１８）
と表される。これは例えば撮像装置において、撮影する像が明るい場合はシステムの消費電流が増加し、暗い像の場合は減少することを意味する。
【００８２】
本実施形態では簡単のために３×３画素の場合を示してあるが、前述した医療用Ｘ線撮像装置では、４０００列ものマトリクス信号配線を有している。この為、1マトリクス信号配線当りの電流変化は軽微でも全体では大きな電流変化となるので好ましくない。
【００８３】
以上説明したように、複数の演算増幅器を従属接続して信号電荷を増幅する場合、本発明第６実施形態のように各々の反転演算増幅器を、容量素子を介して接続し、電荷の移動により信号伝達せしめることが有効である。なお、上記例では２段の反転演算増幅器を従属接続した例を用いて説明したが、従属接続する反転演算増幅器の数はこれに限らない。

【００８４】
（第７実施形態）
図１１は本発明の第７実施形態を示す信号転送装置の回路図である。図１１において、Ｒ１～Ｒ３は第１演算増幅器Ｅ１～Ｅ３と容量素子ＣＣ１～ＣＣ３との間に配置された抵抗素子、Ｒ４～Ｒ６はサンプリングスイッチＳｎ１～Ｓｎ３とサンプリングコンデンサC_{L1}～C_{L3}との間に配置された抵抗素子である。
【００８５】
又、同じ符号を付した部分については前述してあり、その説明は省略する。
【００８６】
又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。
【００８７】
（第８実施形態）
図１２は本発明の第２実施形態による撮像装置の回路図である。図１２において、図７と異なる点は抵抗素子Ｒ１～Ｒ３と、抵抗素子Ｒ４～Ｒ６を配置した点である。
【００８８】
一般にランダムノイズは様々な周波数成分を有するノイズの集まりと定義することができ、観測される総ノイズ量は単位周波数当たり平均値からのゆらぎを系の通過帯域で積分した値となる。従って必要以上、すなわち光電変換によって得られた信号電荷の転送に十分な通過帯域よりも高い周波数帯域を有する検出系は系のＳ／Ｎを悪化させることがある。
【００８９】
図１２において、第１演算増幅器Ｅ１～Ｅ３のノイズは演算増幅器自体の帯域制限を受けてその出力に現れるが、このノイズはまず、第1リセットスイッチS_{RES1}～S_{RES3}がＯＦＦした瞬間に容量素子ＣＣ１～ＣＣ３に終端される。そして信号電荷が転送される際、再度信号電圧に重畳して更に第２演算増幅器Ｆ１～Ｆ３の帯域制限を受けた後、サンプリングコンデンサC_{L1}～C_{L3}に蓄積される。上記事象は各独立事象であるからサンプリングコンデンサC_{L1}～C_{L3}上には第１演算増幅器Ｅ１～Ｅ３のノイズの$\sqrt{2}$倍のノイズ電荷が蓄積されることになる。また、第２演算増幅器Ｆ１～Ｆ３のノイズも自身の帯域制限を受けてサンプリングコンデンサC_{L1}～C_{L3}に終端される。これらサンプリングコンデンサC_{L1}～C_{L3}上に蓄積されるノイズ量は第１演算増幅器Ｅ１～Ｅ３および第２演算増幅器Ｆ１～Ｆ３の帯域が、上記信号の通過帯域に関して最適に設計されていればそれでよいが、実際演算増幅器を設計、製造する場合、簡単な構成で精度良く所望の帯域を有するよう作り込むことは容易ではない。そこで本実施形態においては、抵抗素子Ｒ１～Ｒ３と容量素子ＣＣ１～ＣＣ３で所望のカットオフ周波数ｆｃ１（Ｈｚ）を有する第１のローパスフィルタを構成し、第１演算増幅器Ｅ１～Ｅ３の帯域を制限している。また、抵抗素子Ｒ４～Ｒ６とサンプリングコンデンサC_{L1}～C_{L3}とで所望のカットオフ周波数ｆｃ２（Ｈｚ）を有する第２のローパスフィルタを構成し、第２演算増幅器Ｆ１～Ｆ３の帯域を制限している。ここでカットオフ周波数ｆｃ１，ｆｃ２は各々以下の式で表される。
【００９０】
$fc1 = 1/(2\pi CCi \cdot Ri)$　（ｉ＝１～３）　（１９）
$fc2 = 1/(2\pi C_{Li} \cdot Rj)$　（ｉ＝１～３，ｊ＝４～６）（２０）
以上説明したように、本実施形態によれば、抵抗素子の挿入により容量素子と１次のローパスフィルタを容易に構成でき、各演算増幅器の高周波ノイズ成分を遮断することができるので、回路の複雑化無しに高Ｓ／Ｎの光電変換装置を提供することが可能となる。
【００９１】
（第９実施形態）
前述したＫＴＣノイズや、演算増幅器を構成するトランジスタ素子や抵抗素子が発生する熱雑音は絶対温度Ｔに依存する。また、周囲温度が上昇すると光電変換回路部において暗電流成分が増加し固定パターンノイズとなって、共にＳ／Ｎを劣化させる要因となることが知られている。従って、装置自身の消費電力を抑え発熱を最小限に留めることが求めら

れる。ここで、前述の４０００×４０００画素を有する胸部Ｘ線撮像装置を例にとると、マトリクス信号配線が４０００列分ある為これに接続される演算増幅器の総数は膨大な数に及び、読み出し用回路部１０３が光電変換装置の主たる発熱源となり、これの省電力化が要求される。

【００９２】

図１３は本発明の第９実施形態を示す信号転送装置の回路図である。図１３において、Ｈ１は読み出し用スイッチＳｒ１～Ｓｒ３の共通出力が反転入力端子に接続された第３演算増幅器、Ｃｆ３は第３演算増幅器Ｈ１の反転入力端子と出力端子との間に接続された第３積分容量、Ｓｔ1は積分容量Ｃｆ３をリセットする第3リセットスイッチ、Ｓｘ１はリセットスイッチＳｔ１を制御する駆動パルス、ＶＲＥＦ３は第３演算増幅器Ｈ１の正転入力端子に設定された第３基準電圧である。

【００９３】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【００９４】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【００９５】

（第１０実施形態）

図１４は本発明の第１０実施形態による撮像装置の回路図である。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【００９６】

図１４において、図１２と異なる点は、サンプリングコンデンサC_{L1}～C_{L3}の直後に接続されたバッファアンプＢ１～Ｂ３が削除され、サンプリングコンデンサC_{L1}～C_{L3}が直接読み出し用スイッチＳｒ１～Ｓｒ３に接続されて、各マトリクス信号配線Ｍ１～Ｍ３に接続され信号を並列処理するブロックの演算増幅器の数が各ラインあたり３個から２個に削減されている点と、読み出し用スイッチＳｒ１～Ｓｒ３後の最終出力バッファアンプ１０５が第３演算増幅器Ｈ１に置き換わっている点である。

【００９７】

上記構成により、１ラインあたり１個演算増幅器が削減されるので、例えば胸部Ｘ線撮像装置を例にあげると、都合４０００個のアナログ演算増幅器が削減されることになり、省電力の効果が大きい。

【００９８】

本実施形態によるサンプリング以降の読み出し動作について、図１５のタイミングチャートを用いて説明する。なお、サンプリング以前の動作については図８を示した第６実施形態と同じであるので、説明を省略する。

【００９９】

第３リセットスイッチＳｔ１は駆動パルスＳｘ１により読み出し用読み出しパルスＳｐ１～Ｓｐ３の各読み出しパルス間にｔ５時間ずつＯＮし、第３積分容量Ｃｆ３をリセットする。第３リセットスイッチＳｔ１がＯＮしている期間第３演算増幅器Ｈ１はバッファアンプとして動作するので、その出力電圧Ｖout は第３基準電圧ＶＲＥＦ３と等しくなる。サンプリング動作が終了後読み出し動作に入り、第１の読み出しパルスＳｐ１が印加されサンプリングコンデンサC_{L1}に蓄積された信号電荷が第３積分容量Ｃｆ３に読み出される。第１の信号電荷の読み出しが終了すると、一旦第３リセットスイッチＳｔ１がＯＮし第３の積分容量Ｃｆ３がリセットされる。次に第２の読み出しパルスＳｐ２によりサンプリングコンデンサC_{L2}に蓄積された第２の信号が再び第３積分容量Ｃｆ３に読み出され、以下この動作を繰り返す。この時の出力電圧Ｖout は以下の式で表わされる。

【０１００】

$$Vout = \{(1+Cf3/C_{Li})\,VREF3-(Cf3/C_{Li})\,VREF2\} - (Cf3/C_{Li})\,(CCi/Cf2)\,(Qi/Cf1)$$
$$(i=1\sim3) \qquad (21)$$

上式において、第２項が信号成分であり、Ｑｉは光電変換素子S_{1-1}～S_{3-3}で発生した信号電荷である。上式第１項は暗時の出力電圧レベルを示すが、第２基準電圧ＶＲＥＦ２、第３基準電圧ＶＲＥＦ３の選択はダイナミックレンジの許す範囲で任意である。例えばＶＲＥＦ２＝ＶＲＥＦ３とすれば第１項はＶＲＥＦ３となり（２１）式はシンプルにすることができる。また、上式から明らかなように第３演算増幅器Ｈ１においても第３積分容量Ｃｆ３とサンプリングコンデンサC_{Li}の比Ｃｆ３／C_{Li}でゲインをかけることが可能である。

【０１０１】

以上説明したように、本実施形態によれば読み出し用回路部において、サンプリングコンデンサC_{Li}が直接読み出し用スイッチに接続され、かつ読み出し用スイッチの共通出力から演算増幅器の積分容量に信号を読み出すので、各マトリクス信号配線に接続され信号を並列処理するブロックの演算増幅器の数が削減され、低消費電力の撮像装置が提供可能となる。

【０１０２】

（第１１実施形態）

図１６は本発明の第１１実施形態を示す信号転送装置の回路図である。図１６において、Ｃｆ１０は第１演算増幅器Ｅ１～Ｅ３に接続された第１積分容量Ｃｆ１と並列に接続された積分容量としての積分コンデンサ、Ｓｇは積分コンデンサＣｆ１０をＯＮ、ＯＦＦするためのスイッチ、ＧＡＩＮはスイッチＳｇを制御する外部制御信号である。

【０１０３】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１０４】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【０１０５】

（第１２実施形態）

図１７は本発明の第１２実施形態による撮像装置の回路図である。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１０６】

図１７において、図１４と異なる点は第１演算増幅器Ｅ１～Ｅ３に接続された積分容量Ｃｆ１と並列に積分コンデンサＣｆ１０と外部制御信号ＧＡＩＮによってＯＮ、ＯＦＦするスイッチＳｇとが接続されている点である。

【０１０７】

従って、本実施形態において他の実施形態と異なるのは、積分コンデンサＣｆ１０とスイッチＳｇは信号ゲインを可変せしめるよう作用する点である。すなわち、外部制御信号ＧＡＩＮによりＳｇがＯＮ、ＯＦＦした時の第１演算増幅器Ｅ１～Ｅ３の出力電圧Ｖｏｉ、Ｖｏｉ'（ｉ＝１～３）は信号電荷をＱｉとすると、おのおの以下のように表される。

【０１０８】

$$Voi=VREF1-Qi/(Cf1+Cf10) \qquad (i=1\sim3) \qquad (22)$$

$$Voi'=VREF1-Qi/Cf1 \quad (i=1\sim3) \qquad (23)$$

両式を比較すると明らかなようにスイッチＳｇがＯＮした時は積分容量Ｃｆ１と積分コンデンサＣｆ１０が並列接続されるので同一信号電荷Ｑｉに対して第１演算増幅器Ｅ１～Ｅ

３でインピーダンス変換された信号電圧は小さくなるので信号ゲインの変更が可能となる。

【０１０９】

本実施形態で示したように信号ゲインを可変せしめる機能はダイナミックレンジを広く使う上で有効である。すなわち、例えばより高精細な光電変換装置では画素サイズが小さくなるため信号電荷も小さくならざるを得ないが、その場合は外部制御信号ＧＡＩＮによって信号ゲインが高くなるよう設定すれば、Ａ/Ｄ変換回路部１０６の入力ダイナミックレンジをフルに使用することができる。これにより本実施形態による読み出し用回路部１０３は画素配列のみならず画素サイズの異なる光電変換装置へも汎用的に適用可能となる。

【０１１０】

又、各光電変換素子はその製造工程でのバラツキなどによって光電変換出力に個体差を生じるが、本実施形態による光電変換装置は読み出し用回路部１０３内に外部からの信号によりそのゲインが制御できるので、容易に出力バラツキを補正することができ、補正のための外部部品の低減や歩留まりの向上によってコストダウンを図ることができる。

【０１１１】

本実施形態では簡単のためにスイッチＳｇと積分コンデンサＣｆ１０を1対としゲイン切り替えを２段階としたがこれには限らない。スイッチと容量素子を複数用意し、複数の外部制御信号でゲインを制御すればより精細なゲイン調整が可能となる。

【０１１２】

又、本実施形態では第１演算増幅器Ｅ１～Ｅ３のみ可変ゲインとしたが、第２演算増幅器Ｆ１～Ｆ３及び第３演算増幅器Ｈ１でも同様の構成にてゲインを可変せしめることが可能であり同様の効果が得られる。

【０１１３】

（第１３実施形態）

画素配列が増し光電変換部が多画素化してくると、ある一定時間内に全画素の読み出しをしようとする場合各画素の読み出しに要する時間が短縮される。例えば前述の４０００×４０００画素を有する胸部Ｘ線撮像装置で、静止撮影画像を１秒あたり１フレーム読み出す場合を考えると、１画素の読み出しに許される時間は１／（４０００×４０００）＝６２．５×10^{-9}秒と極めて短時間であることが分かる。一般には全画素をシリアル出力するのではなく、例えば全画素を４分割（２０００×２０００画素単位）などし、これを並列処理して各画素の読み出し速度を下げるような工夫もされているが、より高精細の静止画像出力や高フレームレートの動画像出力に対応し、医療用Ｘ線ディジタルカメラの特徴のひとつである“即時性”を活かす為には、上記分割処理と併せて各画素の読み出し速度自体を向上することが重要となる。

【０１１４】

前記第９実施形態においてはサンプリングコンデンサC_{Li}から信号を読み出す演算増幅器が第３演算増幅器Ｈ１の１個のみである為、１画素あたりの読み出しには読み出し用パルスＳｐ１～Ｓｐ３の各ＯＮ時間ｔ３に加えて、次の信号を読み出す為に第３積分容量Ｃｆ３をリセットする為に第３リセットスイッチＳｔ１がＯＮする時間ｔ５が必要である。ここで、ＯＮ時間ｔ３はサンプリングコンデンサC_{L1}～C_{L3}から第３積分容量Ｃｆ３に転送された電荷量に対し第３演算増幅器Ｈ１が十分応答するのに必要な時間であり、第３演算増幅器Ｈ１の性能で決まる。一方、時間ｔ５は第３積分容量Ｃｆ３上の電荷を放電する為に必要な時間であり、前の電荷を十分リセットするにはｔ５≧５τ（τは第３積分容量Ｃｆ３の容量値と第３リセットスイッチＳｔ１のＯＮ抵抗との積で決まる時定数である。）なる時間が必要となる。１例として第３積分容量Ｃｆ３の容量値を１０ｐＦ、第３リセットスイッチＳｔ１のＯＮ抵抗を１ｋΩとすると、時定数τは１０×１０$^{-9}$秒であり、第３積分容量Ｃｆ３のリセットに必要な時間ｔ５はこの５倍の５０×１０$^{-9}$秒となる。従って上述の４０００×４０００画素の出力を１秒間でシリアル読み出しするのに残された時間ｔ３は６２．５×１０$^{-9}$－５０×１０$^{-9}$＝１２．５×１０$^{-9}$秒となり非常に高速に動作する第３演算増幅器Ｈ１を用意しなければならない。ここで、時定数を小さくする為に第３

積分容量Ｃｆ３の容量値を小さくする、例えば１ｐＦにすることも考えられるが、第３積分容量Ｃｆ３の容量値を小さくすることはこれのリセットノイズ（ＫＴＣノイズ）を増加させることになり好ましくない。また、第３リセットスイッチＳｔ１のＯＮ抵抗を小さくすることにも限界がある。以上説明したように、前記第９実施形態は多画素、高速読み出しが要求されるシステムにおいては改善が望まれる。

【０１１５】

図１８は上記の点を鑑み、本発明の第７実施形態を示す信号転送装置の回路図である。

【０１１６】

図１８において、Ｈ１は読み出し用スイッチＳｒ１及びＳｒ３の共通出力が反転入力端子に接続された前記第９実施形態における第３演算増幅器Ｈ１と同様の構成である第３演算増幅器、Ｈ２は読み出し用スイッチＳｒ２及びＳｒ４の共通出力が反転入力端子に接続された第３演算増幅器、Ｃｆ３'は第３演算増幅器Ｈ２の反転入力端子と出力端子との間に接続された第３積分容量、Ｓｔ2は第３積分容量Ｃｆ３'をリセットするリセットスイッチ、Ｓｘ２はリセットスイッチＳｔ２を制御する駆動パルス、ＶＲＥＦ３は第３演算増幅器Ｈ１、Ｈ２の正転入力端子に設定された第３基準電圧、Ｓｃ１は第３演算増幅器Ｈ１とＡ/Ｄ変換回路部１０６とを接続させる出力選択スイッチ、Ｌｓ１は出力選択スイッチＳｃ１を制御する駆動パルス、Ｓｃ２は第３演算増幅器Ｈ２とＡ/Ｄ変換回路部１０６とを接続させる出力選択スイッチ、Ｌｓ２は出力選択スイッチＳｃ２を制御する駆動パルスである。

【０１１７】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１１８】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【０１１９】

（第１４実施形態）

図１９は本発明の第１４実施形態による撮像装置の回路図である。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１２０】

図１９において、図１４と異なる点はサンプリングコンデンサC_{L1}～C_{L4}から信号を読み出す読み出し用スイッチＳｒ１～Ｓｒ４が１列置きに第３演算増幅器Ｈ１及び第３演算増幅器Ｈ２に接続されている点と、第３演算増幅器Ｈ１、Ｈ２の出力が出力選択スイッチＳｃ１、Ｓｃ２に各々接続され、出力選択スイッチＳｃ１、Ｓｃ２の他方の端子が共通接続されてＡ／Ｄ変換回路部１０６に入力されている点である。

【０１２１】

図２０は本実施形態のサンプリング以降の動作を説明するタイミングチャートである。サンプリング以前の動作については図８で示した第６実施形態と同様であるので、重複説明を省略する。

【０１２２】

サンプリング動作が終了後読み出し動作に入ると、まず、第１の読み出しパルスＳｐ１が印加されサンプリングコンデンサC_{L1}に蓄積された信号が第３演算増幅器Ｈ１の第３積分容量Ｃｆ３に読み出される。この時、第３演算増幅器Ｈ２の第３積分容量Ｃｆ３'のリセットスイッチＳｔ２は駆動パルスＳｘ２によりＯＮしており、この第３積分容量Ｃｆ３'はリセット状態にある。又、第３演算増幅器Ｈ１，Ｈ２の出力端子に各々接続された出力選択スイッチＳｃ１，Ｓｃ２は駆動パルスＬｓ１，Ｌｓ２により出力選択スイッチＳｃ１がＯＮ、出力選択スイッチＳｃ２がＯＦＦしており、この結果、第３演算増幅器Ｈ１の出力が選択されてＡ／Ｄ変換回路部１０６へ入力される。第１の信号の読み出しが終了すると、第３積分容量Ｃｆ３及びＣｆ３'のリセットスイッチＳｔ１，Ｓｔ２および出力選択スイッチＳｃ１，Ｓｃ２の駆動パルスＳｘ１，Ｓｘ２，Ｌｓ１，Ｌｓ２は各々極性が反転し、第３演算増幅器Ｈ１がリセット状態に入り、サンプリングコンデンサC_{L3}からの第３

の信号読み出しに備えると共に、Ａ／Ｄ変換回路部１０６へは第３演算増幅器Ｈ２が選択されて導通状態となる。そこへ第２の読み出しパルスＳｐ２によりサンプリングコンデンサ$Ｃ_{L2}$に蓄積された第２の信号が第３演算増幅器Ｈ２の第３積分コンデンサＣｆ３'に読み出され信号が出力される。

【０１２３】

以下この動作を繰り返し、各画素の信号は１列置きに第３演算増幅器Ｈ１，Ｈ２の２つの経路を通って交互に出力される。この為、Ａ／Ｄ変換回路部１０６に入力されるシリアル出力には積分容量のリセット期間ｔ５は現れず、画素単位の読み出しに必要な時間はｔ３のみとなり、非常に高速な演算増幅器を準備する必要は無くなる。なお、本実施形態では読み出し経路を２系統としたが、これには限られず、必要に応じて３系統以上としてもよいことは勿論である。

【０１２４】

以上説明したように、本実施形態によればサンプリング以降の読み出し経路を複数用意することによって、一方の演算増幅器の出力期間には他方の演算増幅器はリセット状態にし、次の信号の読み出しに備えることができるので、信号出力は間欠の無い高速読み出しが可能となる。

【０１２５】

又、本実施形態においては、駆動パルスＳｘ１及びＳｘ２が交互にＯＮ、ＯＦＦを繰り返し、さらに駆動パルスＬｓ１、Ｌｓ２によって出力選択スイッチＳｃ１及びＳｃ２を交互に選択することで第３演算増幅器Ｈ１、Ｈ２からの信号をＡ/Ｄ変換回路部１０６に交互に信号を出力する構成となっているが、その方法はこの限りではない。

【０１２６】

例えば、駆動パルスＳｘ１及びＳｘ２を同時にＯＮさせて、駆動パルスＬｓ１、Ｌｓ２のみで出力選択スイッチＳｃ１及びＳｃ２を交互に制御することでもＡ/Ｄ変換回路部１０６に交互に信号を出力させることは可能である。

【０１２７】

しかしながら、駆動パルスＳｘ１とＳｘ２が同時にｏｎし、信号が同時に伝送されると、第３演算増幅器Ｈ１、Ｈ２の出力もまた同時に変化する。これを出力選択スイッチＬｓ１とＬｓ２で切り替えてＡ/Ｄ変換回路部１０６へ出力するということは、Ｓｐ１とＳｐ２がＯＮしてから、第３の演算増幅器Ｈ１、Ｈ２の出力がＡ/Ｄ変換回路部１０６に取り込まれるまでの時間に差が出ることになる。読出し速度が速いと、例えばＬｓ１が先にＯＮすると、第３演算増幅器Ｈ１の出力は十分に所望の電圧に到達する前にＡ/Ｄ変換回路部１０６に取り込まれてしまい、第３演算増幅器Ｈ２はその後さらに時間が経過し、所望の電圧に到達してから取り込まれることになり、結果仮に第３演算増幅器Ｈ１、Ｈ２の信号が同じであっても、絵としては縞模様が出ることが考えられる。

【０１２８】

よって、年々速い読み出し速度が求められるので、駆動パルスＳｘ１及びＳｘ２を交互にＯＮさせている本実施形態の方が好ましい。

【０１２９】

（第１５実施形態）

図２１は本発明の信号転送装置を構成する演算増幅器において、信号電荷の読み出しスピードを向上させた好適な演算増幅器を有する信号転送装置の回路図である。

【０１３０】

図２１において、３は演算増幅器、Ｃ３は演算増幅器３内に配置された位相補償容量、ＳＷ３は位相補償容量Ｃ３をスイッチングするスイッチ、Ｑ１～Ｑ１３はトランジスタ、４は第１導電型のトランジスタＱ１３と第２導電型のトランジスタＱ１１、Ｑ１２よりなるレベルシフト回路とＱ１３のソース電極と位相補償容量Ｃ３とスイッチ ＳＷ３より構成されたスイッチング回路、５はスイッチング回路４を制御する制御回路、６はスイッチング回路４の制御回路５の一部を構成する奇数段のインバータ遅延回路、７はスイッチング回路４の制御回路５の一部を構成する２入力AND回路、５０は演算増幅器３の正転入力端子

、６０は演算増幅器３の反転入力端子、Ｉ１は定電流源、Ｖｖ１、Ｖｖ２、Ｖｖ３は定電圧源である。

【０１３１】

ここで、スイッチング回路４を構成するトランジスタＱ１２のゲートは基準電圧を供給するところの電源ＶＲＥＦ１に接続されている。インバータ遅延回路６と２入力ＡＮＤ回路の一方の入力端子にはリセットスイッチ$Ｓ_{RES1}$を駆動するところの制御信号ＣＲＥＳが、２入力ＡＮＤ回路の他方の入力端子にはインバータ遅延回路６の出力がおのおの接続されている。

【０１３２】

なお、制御手段５のインバータ遅延回路６を１乃至２以上のシフトレジスタより構成し、最終段のシフトレジスタの反転出力端子を制御回路５の論理積ゲートの入力端子に接続するようにしても良い。また、制御回路５のインバータ遅延回路をＲＣ回路等の時定数回路及びそれに直列に接続されるインバータより構成し、インバータの出力端子を制御手段５の論理積ゲートの入力端子に接続するようにしても良い。

【０１３３】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１３４】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【０１３５】

（第１６実施形態）

図２２は本発明の第１６実施形態による撮像装置の回路図である。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１３６】

図２２において$Ｃ_{1-1}$、$Ｃ_{2-1}$、$Ｃ_{3-1}$は各光電変換素子$Ｓ_{1-1}$、$Ｓ_{2-1}$、$Ｓ_{3-1}$の電極間容量１１１の各容量値であり、$Ｑ_{1-1}$、$Ｑ_{2-1}$、$Ｑ_{3-1}$は各光電変換素子$Ｓ_{1-1}$、$Ｓ_{2-1}$、$Ｓ_{3-1}$で光電変換され電極間容量１１１に蓄積された信号電荷である。

【０１３７】

又、図２２では本明細書における他の実施形態と比べやすいように、演算増幅器３として例えば図１４で用いられている第１演算増幅器Ｅ１のように光電変換素子$Ｓ_{1-1}$、$Ｓ_{2-1}$、$Ｓ_{3-1}$に対して初段の演算増幅器を配置しているが、本発明の演算増幅器の配置箇所はこれに限定されない。例えば、図１４で図示されている第２演算増幅器Ｆ１～Ｆ３及び／又は、第３演算増幅器Ｈ１等にも適用できる。

【０１３８】

ここで、本発明の撮像装置の動作について図２３を用いて説明する。

【０１３９】

まず、受光領域としての光電変換素子$Ｓ_{1-1}$、$Ｓ_{2-1}$、$Ｓ_{3-1}$において光電変換の結果得られた信号電荷は光電変換素子内の電極間容量１１１に一定期間蓄積される（図２３には図示していない）。

【０１４０】

その後シフトレジスタ１０２より第１の転送パルスがスイッチ$Ｔ_{1-1}$にｔ１時間印加されると光電変換素子$Ｓ_{1-1}$と演算増幅器３の反転入力端子とが導通し、信号電荷$Ｑ_{1-1}$が第１積分容量Ｃｆ１に転送され演算増幅器３の出力が変化して出力信号を後段の処理回路へ伝達する（読み出し動作）。

【０１４１】

さらに、次の光電変換素子$Ｓ_{2-1}$を読み出すために前画素の信号電荷を蓄積した第１積分容量Ｃｆ１をリセットする必要がある。そこで、制御信号ＣＲＥＳを印加することでリセットスイッチ$Ｓ_{RES1}$がＯＮすると演算増幅器３の差動入力トランジスタのうちＱ１がＯＮしＱ２がＯＦＦするので、位相補償容量Ｃ３はバイアス電流２Ｉで充電されるが、本実施形態ではこれに加え第１リセットスイッチ$Ｓ_{RES1}$の制御信号ＣＲＥＳがＨｉになると同時

に制御手段５の出力がＨｉになってスイッチＳＷ３がＯＮしＱ１３のソース電極と位相補償容量Ｃ３とが導通する。これにより位相補償容量Ｃ３はトランジスタＱ１３の出力インピーダンスおよびスイッチＳＷ３のＯＮ抵抗と位相補償容量Ｃ３の容量値で決まる時定数τ３によっても充電される。またトランジスタＱ１３の出力インピーダンスおよびスイッチＳＷ３のＯＮ抵抗はおのおのサイズを大きくすることが可能なので、時定数τ３は充分小さくすることができ演算増幅器３のスルーレートは向上する。

【０１４２】

しかる後インバータ遅延回路６による遅延時間ｔ３を経ると制御回路５の出力はＬｏとなるのでスイッチＳＷ３がＯＦＦし演算増幅器３はバッファアンプ動作にはいる。ここで前記レベルシフト回路を構成するトランジスタＱ１２とＱ１３の各ゲート－ソース間電圧が等しくなるようトランジスタサイズおよび定電流源であるトランジスタＱ１１の電流値を調整しておけば、位相補償容量Ｃ３の電位は演算増幅器３がバッファアンプ動作をした時の値に等しくなるので強制リセット期間ｔ３の後、速やかに演算増幅器３の出力電圧はＶＲＥＦ１に安定し、リセット時間ｔ２の短縮が可能となる。

【０１４３】

その後リセット期間が終了すると読み出し動作にはいり、光電変換装置１０１の次画素の信号電荷がシフトレジスタ１０２とスイッチング素子T_{2-1}により第１積分容量Ｃｆ１に読み出される。

【０１４４】

本実施形態では演算増幅器３の位相補償容量Ｃ３をスイッチング回路４により強制的に充電せしめるので充電過渡電流Ｉ"が発生するが、Ｃ３の電位が所望の電位ＶＲＥＦ１に到達するまでの期間、すなわち最大ｔ３時間に限られるので消費電力の増大を必要最低限に抑えることが可能となった。

【０１４５】

（第１７実施形態）

図２４は本発明の信号転送装置を構成する演算増幅器において、信号電荷の読み出しスピードを向上させた好適な演算増幅器を有する信号転送装置の回路図である。

【０１４６】

図２４において、７はコンパレータ、８はラッチ回路、Ｑ１４は定電流源であるところの第２導電型のトランジスタ、１０はトランジスタＱ１４とスイッチＳＷ３で構成された演算増幅器３の位相補償容量Ｃ３を充電するスイッチング回路、９はスイッチング回路１０を制御するコンパレータ７とラッチ回路８より構成された制御回路である。又、コンパレータ７の反転入力端子には演算増幅器３の出力端子が、正転入力端子には基準電圧ＶＲＥＦ１がおのおの接続されている。一方ラッチ回路８のデータ入力端子には電源、クロック入力端子にはリセットスイッチS_{RES1}を駆動するところの制御信号ＣＲＥＳ、リセット端子には前記コンパレータ７の出力端子がおのおの接続され、正転データ出力端子はスイッチＳＷ３を駆動する。

【０１４７】

又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１４８】

本実施形態の特徴は、リセット時において、スイッチＳＷ３がＯＮしてバイアス電流２Ｉに加え定電流Ｉ'"もさらに加わって位相補償容量Ｃ３を充電することである。

【０１４９】

又、本発明の信号転送装置は以下に述べる撮像装置に好適に用いることができ、信号転送装置の動作については、これを用いた撮像装置を例に挙げて後述するものとする。

【０１５０】

（第１８実施形態）

図２５は本発明の第１８実施形態による撮像装置の回路図である。又、同じ符号を付した部分については前述してあり、その説明は省略する。

【０１５１】

図２５において、図２２と異なる点はスイッチング回路１０を制御する制御回路をコンパレータ７とラッチ回路８より構成したことである。

【０１５２】

又、図２５では本明細書における他の実施形態と比べやすいように、演算増幅器３として例えば図１４で用いられている第１演算増幅器Ｅ１のように光電変換素子S_{1-1}、S_{2-1}、S_{3-1}に対して初段の演算増幅器を配置しているが、本発明の演算増幅器の配置箇所はこれに限定されない。例えば、図１４で図示されている第２演算増幅器Ｆ１～Ｆ３及び／又は、第３演算増幅器Ｈ１等にも適用できる。

【０１５３】

ここで、本発明の撮像装置の動作について図２６を用いて説明する。

【０１５４】

まず、受光領域としての光電変換素子S_{1-1}、S_{2-1}、S_{3-3}において光電変換の結果得られた信号電荷は光電変換素子内の電極間容量１１１に一定期間蓄積される（図２５には図示していない）。

【０１５５】

その後シフトレジスタ１０２より第１の転送パルスがスイッチT_{1-1}にｔ１時間印加されると光電変換素子S_{1-1}と演算増幅器３の反転入力端子とが導通し、信号電荷Q_{1-1}が第１積分容量Ｃｆ１に転送され演算増幅器３の出力が変化して出力信号を後段の処理回路へ伝達する（読み出し動作）。

【０１５６】

さらに、次の光電変換素子S_{2-1}を読み出すために前画素の信号電荷を蓄積した第１積分容量Ｃｆ１をリセットする必要がある。そこで、制御信号ＣＲＥＳを印加させることでリセットスイッチS_{RES1}をＯＮさせる。その瞬間、演算増幅器Ｅ１の出力は前画素の信号出力状態すなわちＶＲＥＦ１よりも低い状態にあるのでコンパレータ７の出力はＨｉとなっているためラッチ回路８はイネーブルとなり制御信号ＣＲＥＳがＨｉになると同時に出力データはＨｉとなってスイッチＳＷ３がＯＮしトランジスタＱ１４と位相補償容量Ｃ３とが導通する。これにより位相補償容量Ｃ３はＱ１４が供給する定電流Ｉ'"でも充電されるので演算増幅器３のスルーレートは向上する。

【０１５７】

$$１／ＳＲ（ｔ／Ｖ）＝Ｃ３／（２Ｉ＋Ｉ"'）\qquad（２４）$$

しかる後位相補償容量Ｃ３が充電され演算増幅器３の出力電圧がリセット期間バッファアンプとして動作する時の所望の電圧ＶＲＥＦ１を超えた瞬間コンパレータ７の出力はＬｏに反転するのでラッチ回路８はリセット状態となり、スイッチＳＷ３がＯＦＦし演算増幅器３はバッファアンプ動作にはいり安定する。

【０１５８】

その後リセット期間が終了すると読み出し動作にはいり、光電変換装置１０１の次画素の信号電荷がシフトレジスタ１０２とスイッチング素子T_{2-1}により積分コンデンサＣｆ１に読み出される。

【０１５９】

本実施形態ではスイッチング回路１０により供給される定電流Ｉ'"によって演算増幅器３の位相補償容量Ｃ３が強制的に充電されるが、これは演算増幅器３の出力電圧が所望の電位ＶＲＥＦ１に到達するまでの期間に限られ、またコンパレータ７自身の消費電流はバイアス電流Ｉに比べて小さくできるので消費電力の増大を低く抑えつつリセット時間ｔ２の短縮が可能となった。

【０１６０】

次に、本発明の一実施形態による放射線撮像システムについて説明する。前述した各実施形態による撮像装置はこの撮像装置として用いることができる。

【０１６１】

図２７（ａ）は本発明による放射線撮像装置としてのＸ線検出装置の実装例の模式的構成図、図２７（ｂ）は図２７（ａ）のＡ－Ａ'線における模式的断面図である。

【０１６２】
６０１１は非晶質シリコン光電変換素子と非晶質シリコンＴＦＴ（共に図示されていない）が複数個形成されたセンサ基板（ａ－Ｓｉセンサ基板）、ＳＲ１はシフトレジスタ、６０１０はシフトレジスタＳＲ１と検出用集積回路ＩＣが実装されたフレキシブル回路基板、ＰＣＢ１はフレキシブル回路基板６０１０によってａ－Ｓｉセンサ基板６０１１と接続された回路基板、ＰＣＢ２も同様にフレキシブル回路基板６０１０によってａ－Ｓｉセンサ基板６０１１と接続された回路基板であり、上述した本発明の信号転送装置を有するLSIチップ（IC）が、こちらのフレキシブル回路基板に実装されている。６０１２はａ－Ｓｉセンサ基板６０１１複数枚が接着された大型の光電変換装置を構成する基台、６０１４はメモリ、６０１３はメモリ６０１４をＸ線から保護するための鉛板、６０１８は処理回路、６０１９はコネクタ、６０２０は全体を収納するカーボンファイバー製のケース、６０３０はａ－Ｓｉセンサ基板６０１１に入射されるＸ線を可視光に変換するためのシンチレーターである。シンチレーター６０３０としては例えばＣｓＩが蒸着されている。

【０１６３】
図２８は本発明の放射線撮像システムとしてのＸ線診断システムを示しており、前述した撮像装置の応用例を示したものである。

【０１６４】
図２８において、６０５０はＸ線チューブ、６０６０はＸ線チューブから発生されたＸ線、６０４０は撮像装置としてのイメージセンサ、６０６１は患者あるいは被験者、６０６２は被験者６０６１の胸部、６０７０は画像処理を行うイメージプロセッサ、６０８０及び６０８１はディスプレイ、６０９０は電話回線などの伝送手段、６１００はフィルムプロセッサ、６１１０は記録手段としてのフィルムである。

【０１６５】
図２８で図示されているＸ線診断システムの動作の流れとは、Ｘ線チューブ６０５０で発生したＸ線６０６０は患者あるいは被験者６０６１の胸部６０６２を透過し、シンチレーターを上部に実装した光電変換装置からなるイメージセンサ６０４０に入射する。この入射したＸ線には患者６０６１の体内部の情報が含まれている。Ｘ線の入射に対応してシンチレーターは発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換されイメージプロセッサ６０７０により画像処理され制御室のディスプレイ６０８０で観察できる。

【０１６６】
又、この情報は電話回線６０９０等の伝送手段により遠隔地へ転送でき、別の場所のドクタールームなどディスプレイ６０８１に表示もしくは光ディスク等の記録手段に記録することができ、遠隔地の医師が診断することも可能である。またフィルムプロセッサ６１００によりフィルム６１１０等の記録手段に記録することもできる。

【０１６７】
（比較例）
本発明の第１６実施形態及び第１８実施形態の比較例として以下２つの比較例１、２をあげる。

【０１６８】
図３２は比較例１の撮像装置の回路図である。図３３は比較例１である図３２の動作を説明するタイミングチャートである。

【０１６９】
図３４は比較例２の撮像装置の回路図である。図３５は比較例２である図３４の動作を説明するタイミングチャートである。

【０１７０】
比較例１が第１６実施形態及び第１８実施形態と異なる点は、第１６実施形態及び第１８実施形態で配置されているスイッチング回路４及び制御回路５、スイッチング回路９及び制御回路１０を比較例１は配置していない構成という点である。

【０１７１】

図３２において、Ｖ１はバイアス電源１０７の電圧値である。
【０１７２】
又、同じ符号を付した部分については前述してあり、その説明は省略する。
【０１７３】
ここで、図３３を用いて図３２の撮像装置の動作を説明する。
【０１７４】
まず、光電変換素子S_{1-1}～S_{3-1}において光電変換の結果得られた信号電荷Q_{1-1}～Q_{3-1}は光電変換素子内の電極間容量１１１にそれぞれ一定期間蓄積される。
【０１７５】
その後シフトレジスタ１０２より第１の転送パルスがスイッチT_{1-1}にｔ１時間印加されると第１の光電変換素子S_{1-1}と演算増幅器３の反転入力端子とが導通し、信号電荷Q_{1-1}が積分容量Ｃｆ１に転送され演算増幅器３の出力が変化して信号を後段の処理回路へ伝達する（読み出し動作）。
【０１７６】
この時の演算増幅器３の出力電圧Ｖｏは以下の式で与えられる。
【０１７７】
$$Vo=VREF1-Q_{1-1}/Cf1 \qquad (25)$$
同時に、演算増幅器３は反転演算増幅器であるから電極間容量上の電荷は容量値をC_{1-1}とすると（２６）式で示される値に初期化される。
【０１７８】
$$Qo=C_{1-1}\times(VREF1-V11) \qquad (26)$$
次にリセットスイッチS_{RES1}が制御信号ＣＲＥＳによってｔ２時間ＯＮして積分容量Ｃｆ１の両端をショートすることで前画素の信号電荷Q_{1-1}をリセットし次画素の信号電荷の読み出しに備える（リセット動作）。
【０１７９】
この時演算増幅器３はバッファアンプとして動作するので、出力電圧Ｖｏは
$$Vo=VREF1 \qquad (27)$$
となる。
【０１８０】
再びシフトレジスタ１０２により第２の転送パルスがスイッチT_{2-1}に印加されると新たに第２の光電変換素子S_{2-1}の信号電荷Q_{2-1}が積分容量Ｃｆ１に読み出される。以下リセット、読み出しの動作を順次繰り返すことにより全画素の信号電荷の読み出しが完了する。
【０１８１】
（２５）式より明らかなように演算増幅器３の出力電圧Ｖｏは各光電変換素子S_{1-1}～S_{3-1}で光電変換された信号電荷量Q_{1-1}～Q_{3-1}に応じて変化する。図３３は各信号電荷量が異なった場合を示し、また各光電変換素子S_{1-1}～S_{3-1}は均一であり、したがってその電極間容量値C_{1-1}～C_{3-1}はおのおの等しいとしている。
【０１８２】
すなわち、ｎを任意の整数とすると、多画素の撮像装置において、
$$C_{1-1}=C_{2-1}=\cdots=C_{n-1} \qquad (28)$$
が成立する。
【０１８３】
そこで、図３２で示した撮像装置の全画素の読み出しに必要な時間Ｔtotalは光電変換素子S_{1-1}～S_{3-1}における信号電荷の蓄積時間ｔ０と全画素数分の信号電荷の転送時間ｔ１と積分容量Ｃｆ１のリセット時間ｔ２の総和で表される。
【０１８４】
$$Ttotal=t0+(t1+t2)\times n \qquad (29)$$
（２９）式において蓄積時間ｔ０は全画素一括での蓄積が可能なので画素総数ｎによらないが、信号電荷の転送およびリセット時間ｔ１、ｔ２は画素毎に必要なため、例えば２次

元光電変換装置などのように画素が多画素化してくると全体の処理時間が増加してしまうことから、動画像など高速な信号処理が必要な光電変換装置の読み出し回路ではこれらの時間の短縮が要求される。

【０１８５】

一方、比較例２である図３４は図３２で示した撮像装置において一般的に用いられる演算増幅器３の内部回路を合わせて示した図である。図３５はそのタイミングチャートである。

【０１８６】

次に、図３４を用いてリセット時の演算増幅器３の動作を説明する。

【０１８７】

一般に差動入力トランジスタ対を構成する第１導電型のトランジスタＱ１、Ｑ２のゲート電位が変化するとそのドレイン電流は以下のように変化する。

【０１８８】

$$IQ1 = I + \Delta I \quad (30)$$

$$IQ2 = I - \Delta I \quad (31)$$

Ｑ１、Ｑ２のドレインは定電流源を構成する第２導電型のトランジスタＱ３、Ｑ４のドレインとおのおの接続され、その差電流が第２導電型のゲート接地トランジスタＱ５、Ｑ６へ入力される。Ｑ５を通過した電流は第１導電型トランジスタＱ７～Ｑ１０で構成されるカレントミラー回路に入力され、この出力電流すなわちＱ８のドレイン電流とＱ６を通過した電流との差電流が位相補償容量Ｃ３を充放電することで出力電圧を変化せしめる。

【０１８９】

$$IQ8 = I' - (I + \Delta I) \quad (32)$$

$$IQ6 = I' - (I - \Delta I) \quad (33)$$

$$IQ6 - IQ8 = 2\Delta I \quad (34)$$

出力電圧の変化は反転入力端子であるところのＱ２のゲート電極へフィードバックされΔＩ＝０となるよう安定する。

【０１９０】

リセットスイッチS_{RES1}がＯＮするとその瞬間出力端子は前画素の信号出力状態にあるので（２５）式に示したようにトランジスタＱ２のゲート電位はＱ１のゲート電位よりも低くなるためＱ１はＯＮしＱ２はＯＦＦする。これにより生じるＱ１、Ｑ２のドレイン電流変化は、

$$\Delta I = I \quad (35)$$

となるから位相補償容量Ｃ３は差動対Ｑ１、Ｑ２のバイアス電流２Ｉで充電され、出力電圧を１Ｖ変化せしめるのに必要な時間、すなわち演算増幅器３のスルーレートＳＲの逆数は（３６）式のように表される。

【０１９１】

$$1/SR\,(t/V) = C3/2I \quad (36)$$

したがってリセット時間ｔ２には（３６）式に最大信号電圧Ｖｓｉｇｍａｘを乗じた時間が最低必要になる。

【０１９２】

$$t2 \gg Vsigmax/SR$$

$$= Vsigmax \times (C3/2I) \quad (37)$$

（３７）式よりリセット時間ｔ２を短縮するには位相補償容量値Ｃ３を小さくするか、バイアス電流値２Ｉを大きくすればよいことがわかる。しかしながら、リセット時、演算増幅器３はバッファアンプとなるので位相補償容量値を小さくすると系が不安定になってしまう。そのためリセット時でも安定するようＣ３は比較的大きい値が通常用いられるが、これを充電しスルーレートＳＲを高めるには大きなバイアス電流値が必要となる。このバイアス電流はリセット期間のみならず読み出し期間も消費されるＤＣ電流となるので、システム全体の消費電力の増大につながり好ましくなかった。

【０１９３】

そこで消費電力の増大を抑えつつ、また位相補償容量値を減少させ系を不安定にさせることなくリセット時間ｔ２を短縮し、信号電荷の読み出しスピードを向上させた信号電荷の読み出し回路が求められた。

【０１９４】

信号電荷Q_{1-1}～Q_{3-1}を積分容量Ｃｆ１へ転送するのに必要な時間ｔ１は通常転送スイッチT_{1-1}～T_{3-1}の転送効率、すなわちスイッチT_{1-1}～T_{3-1}のＯＮ抵抗Ｒｏｎと演算増幅器３の入力容量Ｃ０と積分容量Ｃｆ１の和との積で決まる時定数τ１から決定される。すなわち転送スイッチT_{1-1}～T_{3-1}は通常ＴＦＴなどで構成されるが、これらは画素毎に設けられるのでＯＮ抵抗を低くする為にスイッチのサイズを大きくすると画素の開口率が下がり感度が低下するといった問題が生じるので、ＯＮ抵抗の低減には限界がある。したがって十分な転送効率を確保するには、

$$t1 \gg 5\tau 1 \qquad (38)$$

$$\tau 1 = Ron \times (C0 + Cf1) \qquad (39)$$

程度の時間が必要である。

【０１９５】

一方、リセット時、積分容量Ｃｆ１はリセットスイッチS_{RES1}がＯＮすることでスイッチS_{RES1}のＯＮ抵抗とＣｆ１との時定数τ２でリセットされるが、スイッチS_{RES1}のＯＮ抵抗は十分小さくすることが可能であるためこの場合時定数τ２はｔ２を決定する支配的な要因とはならず、リセット時間ｔ２は通常演算増幅器３の応答速度で決定される。

【０１９６】

第１６実施形態及び第１８実施形態においては、演算増幅器３の位相補償容量Ｃ３を充放電するスイッチング回路はリセット期間、すなわち信号電荷を読み出す容量素子を前記第スイッチング素子がＯＮしてリセットする期間の中で、前記制御回路によって決まる期間ＯＮすることにより強制的に位相補償容量を充放電しこの電位を所望の電位へ到達せしめるよう動作するので、比較例１、２と比べて好適な演算増幅器である。

【０１９７】

【発明の効果】

以上説明したように、本発明によれば、読み出し用回路部の信号出力電圧は信号配線の負荷容量の大小に依存せず、さらには、読み出し用回路部の初段の第１演算増幅器から出力された信号をさらに演算増幅器に入力させることにより、出力された信号電荷を適宜用途に応じて例えばインピーダンス変換すること又は、他の演算増幅器に入力させることでその信号を増幅させることも可能となった信号転送装置の提供が可能となる。

【０１９８】

又、本発明によれば、読み出し用回路部の第１演算増幅器の出力端子に直列接続された容量素子が信号の交流成分のみを通過せしめるよう作用するので、例えばリセット動作時に発生するＫＴＣノイズがキャンセルされた高Ｓ／Ｎの光電変換装置及び信号レベルによって消費電流が変化しない信号転送装置の提供が可能となる。

【０１９９】

又、本発明によれば、読み出し用回路部の第１演算増幅器に直列接続された抵抗素子と容量素子によってローパスフィルタを形成することにより信号通過帯域以上の高周波領域のノイズ成分を遮断するので、高Ｓ／Ｎの信号転送装置の提供が可能となる。

【０２００】

又、本発明によれば、読み出し用回路部のシリアル変換出力を司る演算増幅器は、サンプリングコンデンサに蓄積された信号電荷を直接積分コンデンサに読み出すので、シリアル変換に必要とされる演算増幅器の数を削減でき、システムの低消費電力化が実現されると共に、発熱によって暗電力成分が増し固定パターンノイズが増加することの少ない、高Ｓ／Ｎの信号転送装置の提供が可能となる。

【０２０１】

又、本発明によれば、読み出し用回路部のシリアル変換出力を司る演算増幅器を複数用意することにより高速な読み出しが可能となり、高精細静止画像出力や動画像出力に適した

信号転送装置の提供が可能となる。

【０２０２】

又、本発明によれば、読み出し用回路部に外部からの制御信号により増幅率を変更する手段を有するので信号出力のゲイン補正が可能となり、信号電荷量が異なる様々な用途において十分なダイナミックレンジを保有する汎用性の極めて高い光電変換装置の提供が可能となる。また、光電変換素子の出力バラツキを補正し、均一な出力を有する信号転送装置の安価での提供が可能となる。

【０２０３】

又、本発明による信号電荷の読み出し回路は、反転演算増幅器と前記演算増幅器の反転入力端子と出力端子との間に接続された信号電荷を読み出す積分容量をリセットする期間に、前記演算増幅器の位相補償容量を強制的に充放電するためのスイッチング回路と、前記スイッチング回路を制御する制御回路とを有するのでリセット時間の短縮が可能となり、例えば動画像を扱う２次元光電変換装置など多画素で、高速な信号読み出しが必要な光電変換装置に好適な信号転送装置の提供が可能となる。

【０２０４】

本発明によれば、読み出し用回路部の信号出力電圧は信号配線の負荷容量の大小に依存せず、さらには、読み出し用回路部の初段の第１演算増幅器から出力された信号をさらに演算増幅器に入力させることにより、出力された信号電荷を適宜用途に応じて例えばインピーダンス変換すること又は、他の演算増幅器に入力させることでその信号を増幅させることも可能となった撮像装置の提供が可能となる。

【０２０５】

又、本発明によれば、読み出し用回路部の第１演算増幅器の出力端子に直列接続された容量素子が信号の交流成分のみを通過せしめるよう作用するので、例えばリセット動作時に発生するＫＴＣノイズがキャンセルされた高Ｓ／Ｎの光電変換装置及び信号レベルによって消費電流が変化しない撮像装置の提供が可能となる。

【０２０６】

又、本発明によれば、読み出し用回路部の第１演算増幅器に直列接続された抵抗素子と容量素子によってローパスフィルタを形成することにより信号通過帯域以上の高周波領域のノイズ成分を遮断するので、高Ｓ／Ｎの撮像装置の提供が可能となる。

【０２０７】

又、本発明によれば、読み出し用回路部のシリアル変換出力を司る演算増幅器は、サンプリングコンデンサに蓄積された信号電荷を直接積分コンデンサに読み出すので、シリアル変換に必要とされる演算増幅器の数を削減でき、システムの低消費電力化が実現されると共に、発熱によって暗電力成分が増し固定パターンノイズが増加することの少ない、高Ｓ／Ｎの撮像装置の提供が可能となる。

【０２０８】

又、本発明によれば、読み出し用回路部のシリアル変換出力を司る演算増幅器を複数用意することにより高速な読み出しが可能となり、高精細静止画像出力や動画像出力に適した撮像装置の提供が可能となる。

【０２０９】

又、本発明によれば、読み出し用回路部に外部からの制御信号により増幅率を変更する手段を有するので信号出力のゲイン補正が可能となり、信号電荷量が異なる様々な用途において十分なダイナミックレンジを保有する汎用性の極めて高い光電変換装置の提供が可能となる。また、光電変換素子の出力バラツキを補正し、均一な出力を有する撮像装置の安価での提供が可能となる。

【０２１０】

又、本発明による信号電荷の読み出し回路は、反転演算増幅器と前記演算増幅器の反転入力端子と出力端子との間に接続された信号電荷を読み出す積分容量をリセットする期間に、前記演算増幅器の位相補償容量を強制的に充放電するためのスイッチング回路と、前記スイッチング回路を制御する制御回路とを有するのでリセット時間の短縮が可能となり、

例えば動画像を扱う２次元光電変換装置など多画素で、高速な信号読み出しが必要な光電変換装置に好適な撮像装置の提供が可能となる。

【図面の簡単な説明】

【図１】本発明の第１実施形態信号転送装置の回路図である。

【図２】本発明の第２実施形態による撮像装置の回路図である。

【図３】本発明の第２実施形態による撮像装置の動作を説明するタイミングチャートである。

【図４】本発明の第３実施形態による信号転送装置の回路図である。

【図５】本発明の第４実施形態による撮像装置の回路図である。

【図６】本発明の第５実施形態によるの信号転送装置の回路図である。

【図７】本発明の第６実施形態による撮像装置の回路図である。

【図８】本発明の第６実施形態による撮像装置の動作を説明するタイミングチャートである。

【図９】本発明の図５に係る反転演算増幅器の出力電圧を説明する図である。

【図１０】本発明の図７に係る反転演算増幅器の出力電圧を説明する図である。

【図１１】本発明の第７実施形態による信号転送装置の回路図である。

【図１２】本発明の第８実施形態による撮像装置の回路図である。

【図１３】本発明の第９実施形態による信号転送装置の回路図である。

【図１４】本発明の第１０実施形態による撮像装置の回路図である。

【図１５】本発明の第１０実施形態による撮像装置の動作を説明するタイミングチャートである。

【図１６】本発明の第１１実施形態によるの信号転送装置の回路図である。

【図１７】本発明の第１２実施形態による撮像装置の回路図である。

【図１８】本発明の第１３実施形態による信号転送装置の回路図である。

【図１９】本発明の第１４実施形態による撮像装置の回路図である。

【図２０】本発明の第１４実施形態による撮像装置の動作を説明するタイミングチャートである。

【図２１】本発明の第１５実施形態による信号転送装置の回路図である。

【図２２】本発明の第１６実施形態による撮像装置の回路図である。

【図２３】本発明の第１６実施形態による撮像装置の動作を説明するタイミングチャートである。

【図２４】本発明の第１７実施形態による信号転送装置の回路図である。

【図２５】本発明の第１８実施形態による撮像装置の回路図である。

【図２６】本発明の第１８実施形態による撮像装置の動作を説明するタイミングチャートである。

【図２７】（ａ）は本発明による放射線撮像装置の実装例の模式的構成図、（ｂ）は図２７（ａ）のＡ－Ａ’線における模式的断面図である。

【図２８】本発明による放射線撮像装置の放射線撮像システムへの応用例を示したものである。

【図２９】第１の従来例である光電変換装置の回路図である。

【図３０】第１の従来例である光電変換装置の動作を説明するタイミングチャートである。

【図３１】第２の従来例である光電変換装置の回路図である。

【図３２】比較例１である撮像装置の回路図である。

【図３３】比較例１である撮像装置の動作を説明するタイミングチャートである。

【図３４】比較例２である撮像装置の回路図である。

【図３５】比較例２である撮像装置の動作を説明するタイミングチャートである。

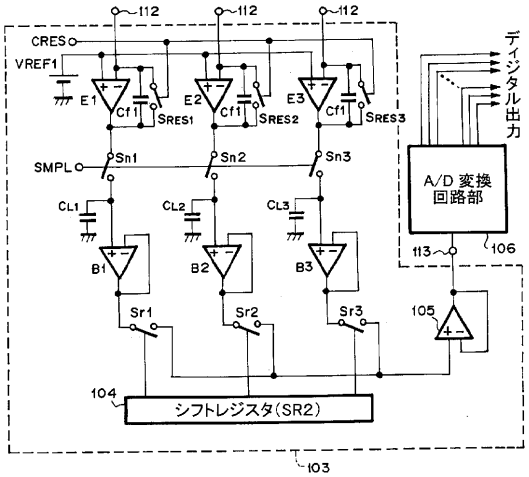
【符号の説明】

１０１　光電変換回路部

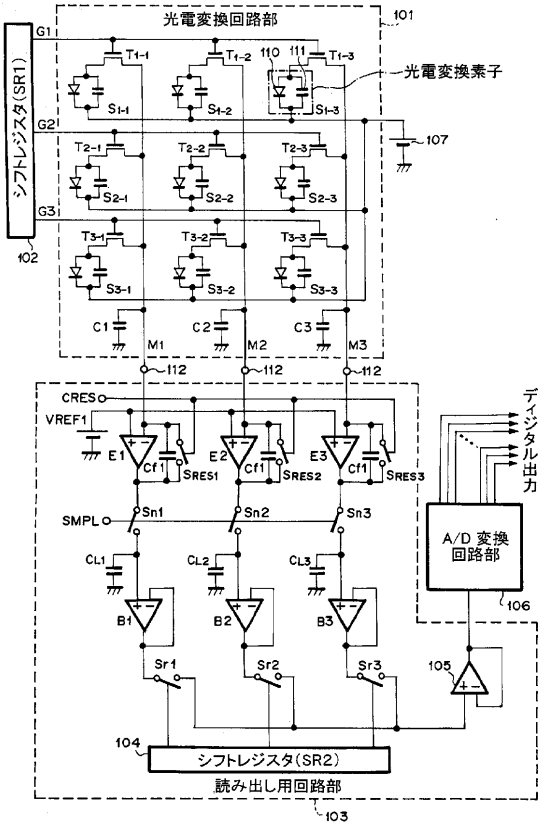
１０２　駆動用回路部

１０３　読み出し用回路部
１０４　読み出し用スイッチ駆動用回路部
１０５　出力バッファアンプ
１０６　Ａ／Ｄ変換回路部
１０７　バイアス電源
１１０　受光領域
１１１　電極間容量
１１２　端子
１１３　端子
Ｂ１～Ｂ３　バッファアンプ
Ｃ１～Ｃ３　負荷容量
Ｃｆ１　第１積分容量
C_{L1}～C_{L3}　サンプリングコンデンサ
ＣＲＥＳ　制御信号
Ｅ１～Ｅ３　第１演算増幅器
Ｇ１～Ｇ３　ゲート駆動配線
ＳＭＰＬ　電圧パルス
S_{1-1}～S_{3-3}　光電変換素子
Ｓｎ１～Ｓｎ３　サンプリングスイッチ
Ｓｒ１～Ｓｒ３　読み出し用スイッチ
S_{RES1}～S_{RES3}　第１リセットスイッチ
T_{1-1}～T_{3-3}　スイッチング素子
ＶＲＥＦ１　第１基準電圧
Ｍ１～Ｍ３　マトリクス信号配線

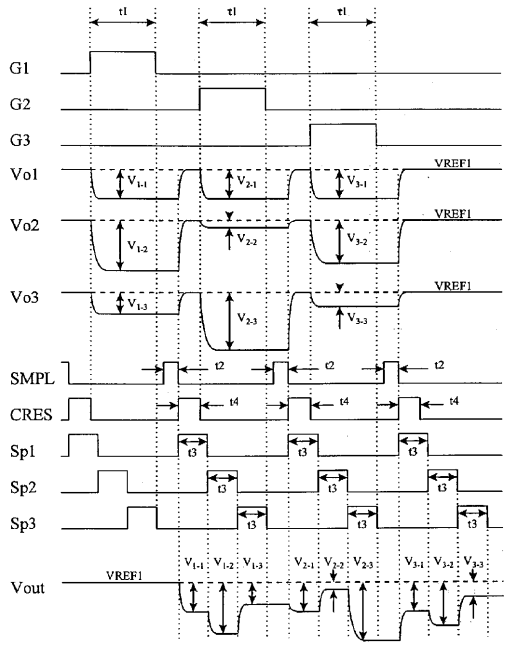
【図１】



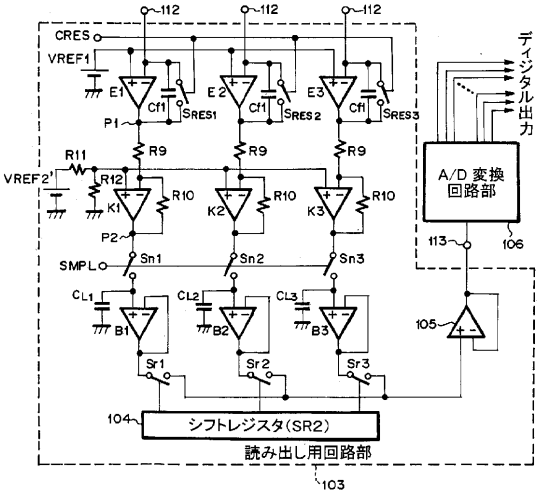
【図２】



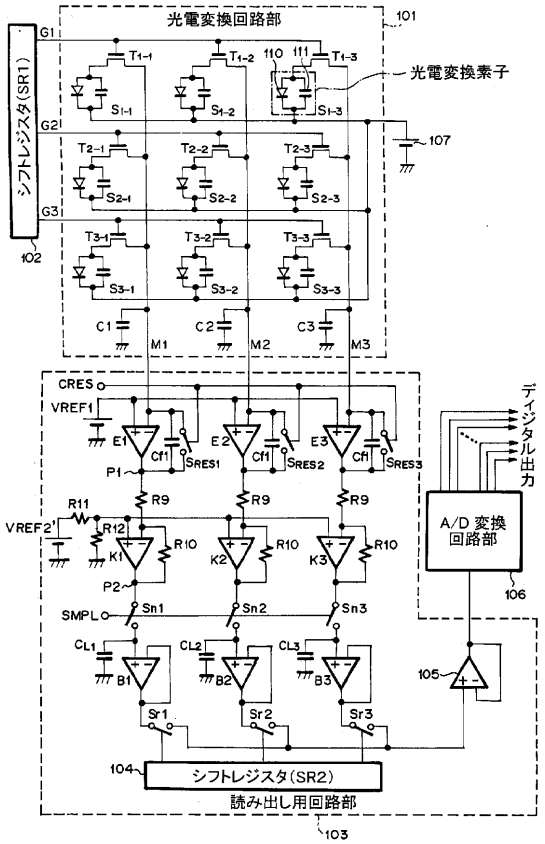
【図３】


τ1
G1
G2
G3
Vo1
Vo2
Vo3
VREF1
SMPL
CRES
Sp1
Sp2
Sp3
Vout
t2
t3
t4

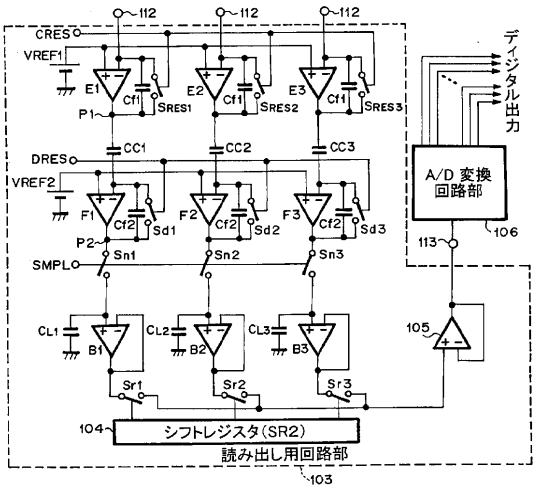
【図４】


CRES
VREF1
VREF2'
SMPL
E1
E2
E3
Cf1
SRES1
SRES2
SRES3
P1
P2
R9
R10
R11
R12
K1
K2
K3
Sn1
Sn2
Sn3
CL1
CL2
CL3
B1
B2
B3
Sr1
Sr2
Sr3
A/D 変換回路部
ディジタル出力
シフトレジスタ(SR2)
読み出し用回路部
103
104
105
106
112
113

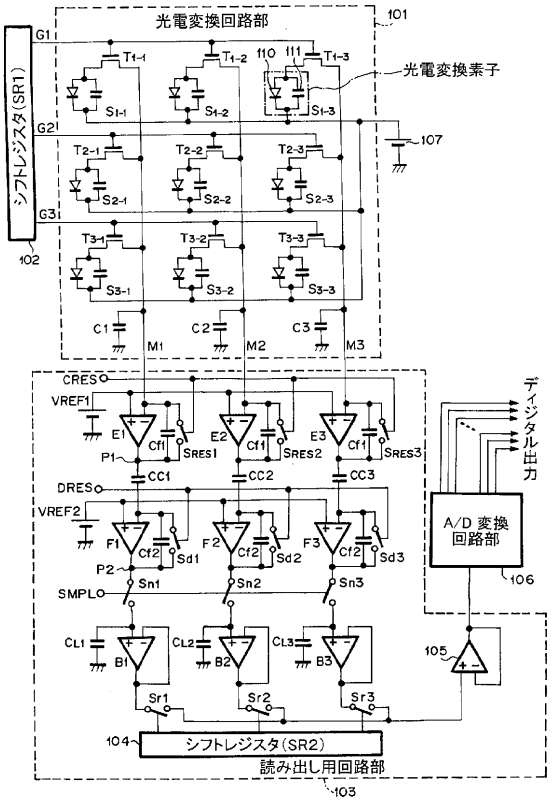
【図５】


光電変換回路部
101
シフトレジスタ(SR1)
102
光電変換素子
107
G1
G2
G3
CRES
VREF1
VREF2'
SMPL
E1
E2
E3
Cf1
SRES1
SRES2
SRES3
P1
P2
R9
R10
R11
R12
K1
K2
K3
Sn1
Sn2
Sn3
CL1
CL2
CL3
B1
B2
B3
Sr1
Sr2
Sr3
C1
C2
C3
M1
M2
M3
A/D 変換回路部
ディジタル出力
シフトレジスタ(SR2)
読み出し用回路部
103
104
105
106

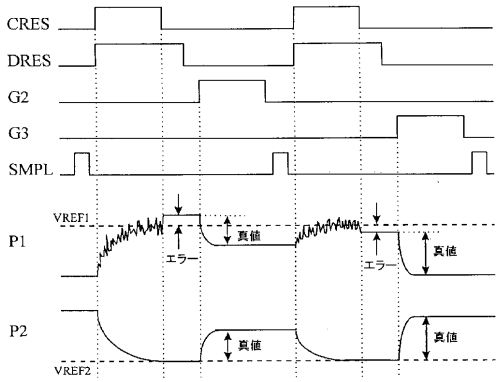
【図６】


CRES
VREF1
VREF2
DRES
SMPL
E1
E2
E3
F1
F2
F3
Cf1
Cf2
SRES1
SRES2
SRES3
Sd1
Sd2
Sd3
CC1
CC2
CC3
P1
P2
Sn1
Sn2
Sn3
CL1
CL2
CL3
B1
B2
B3
Sr1
Sr2
Sr3
A/D 変換回路部
ディジタル出力
シフトレジスタ(SR2)
読み出し用回路部
103
104
105
106
112
113

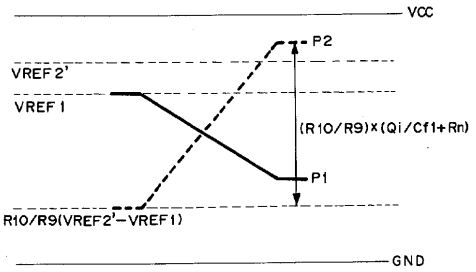
【図７】



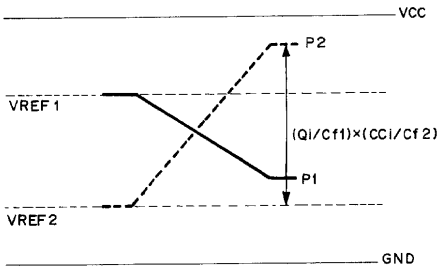
【図８】



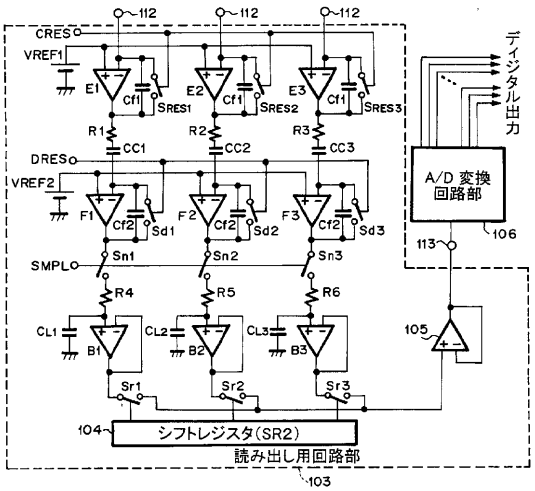
【図９】



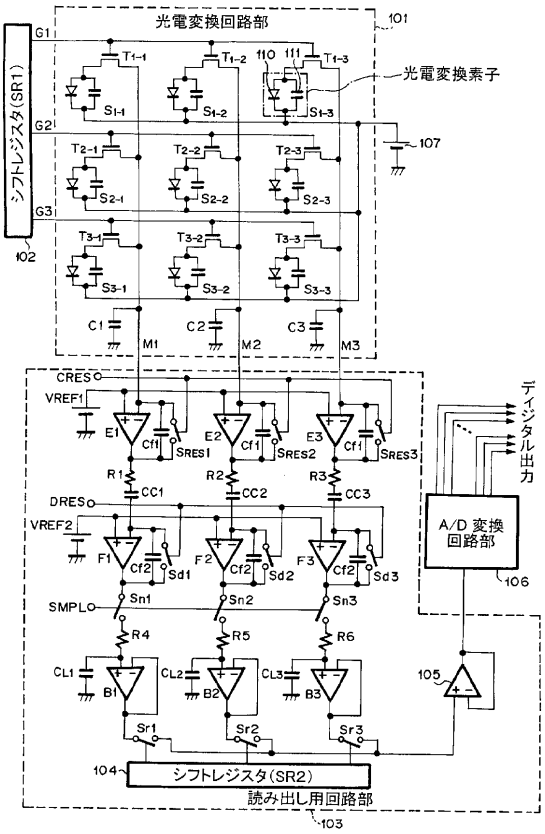
【図１０】



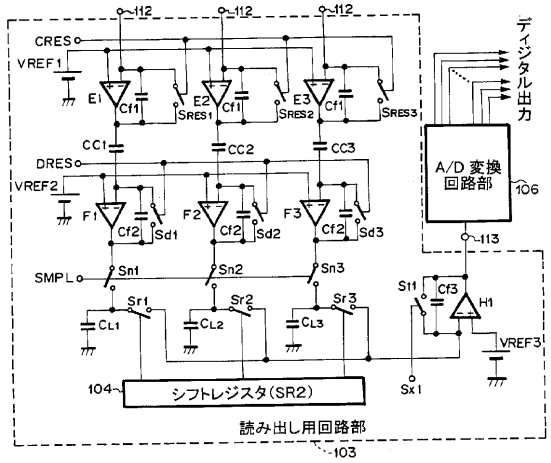
【図１１】



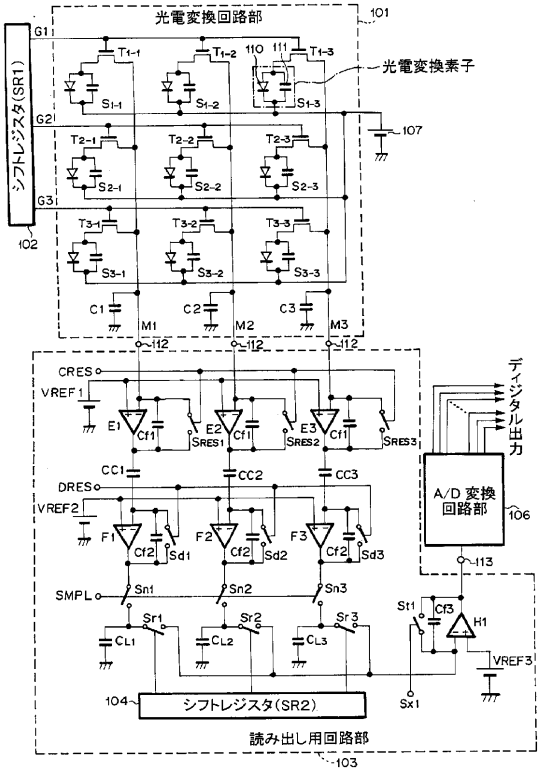
【図１２】



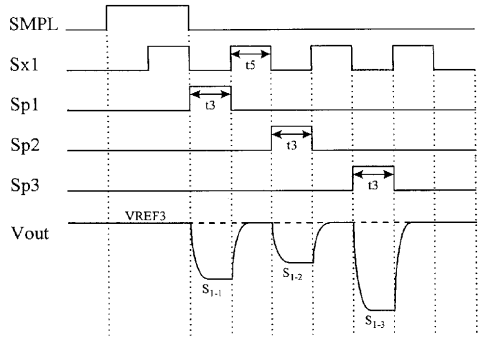
【図１３】



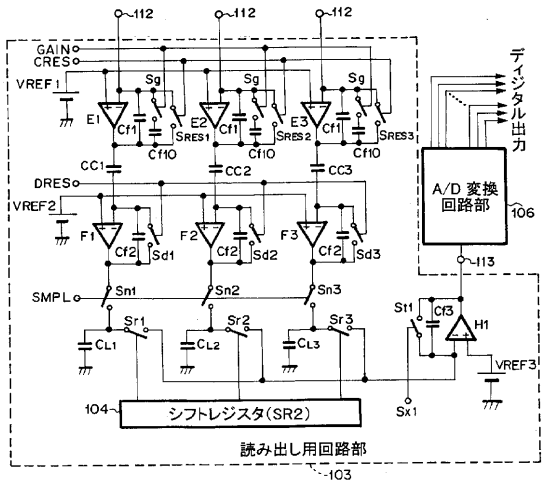
【図１４】



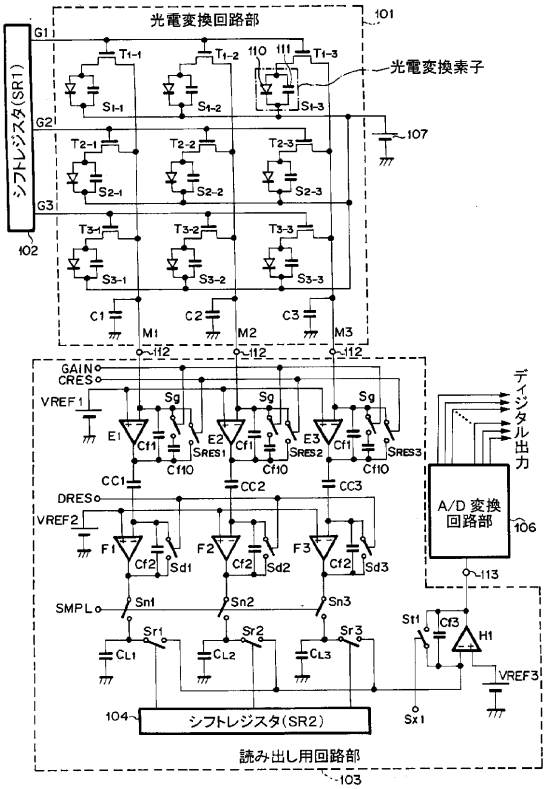
【図１５】



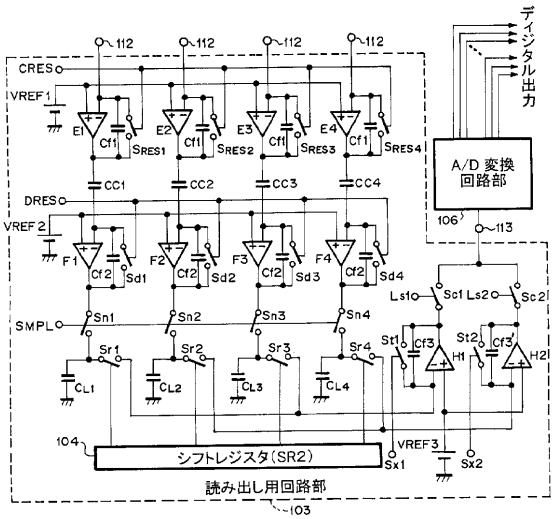
【図１６】



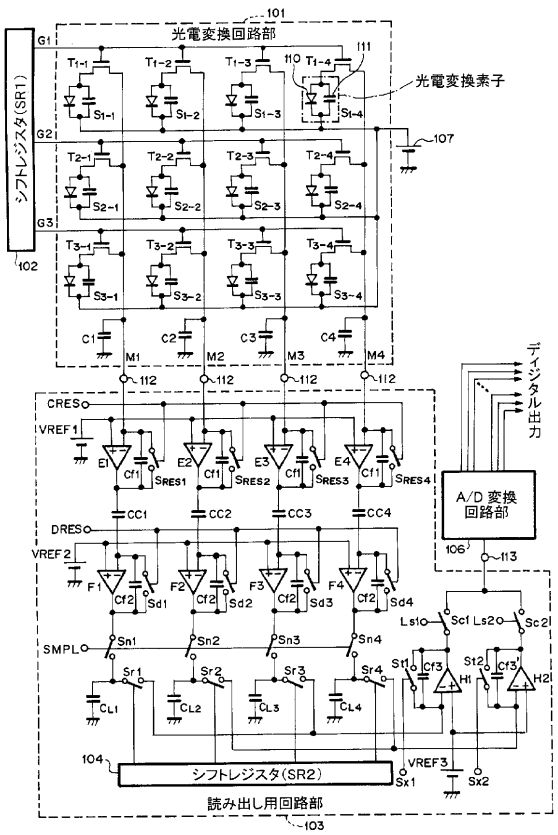
【図１７】



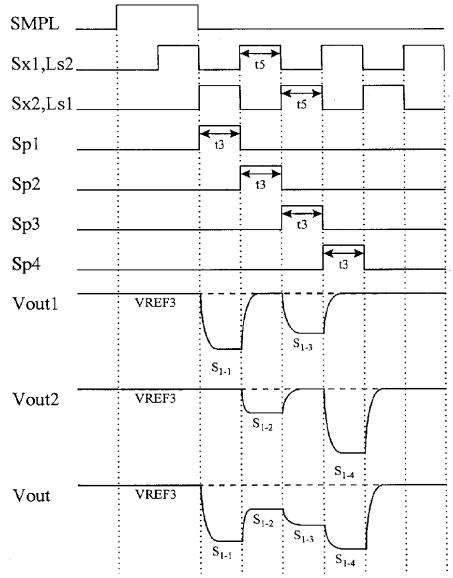
【図１８】



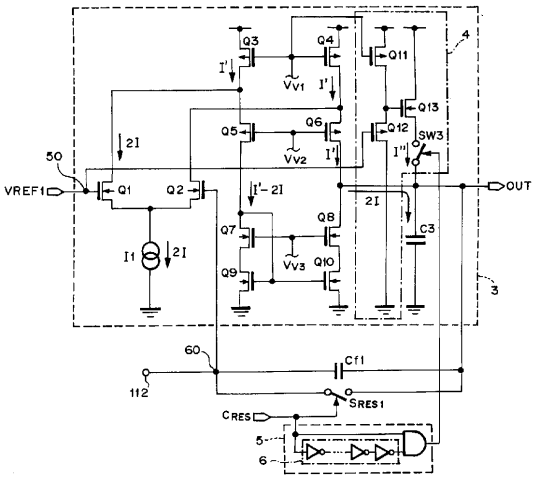
【図１９】



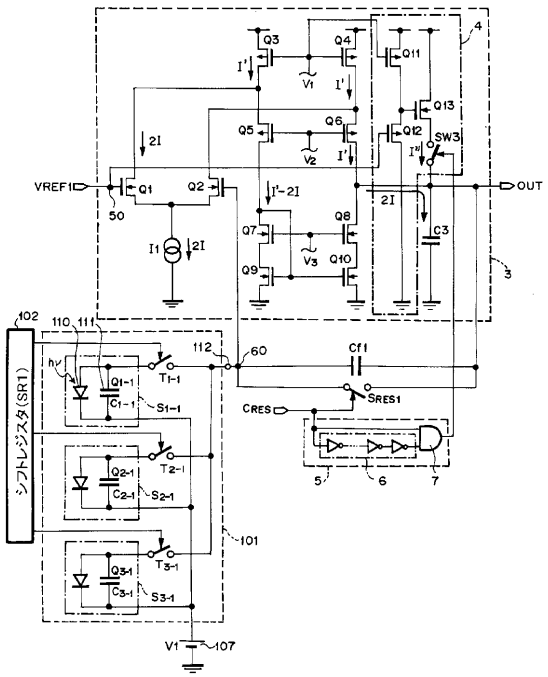
【図２０】



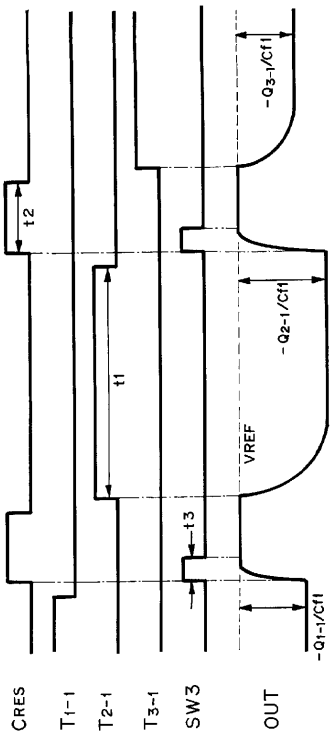
【図２１】



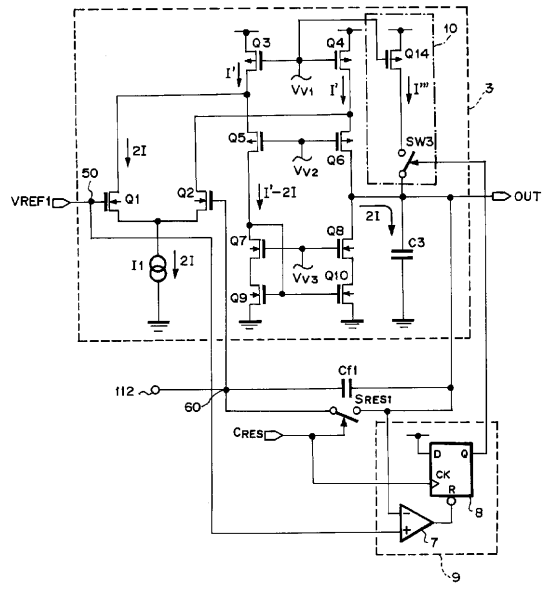
【図２２】



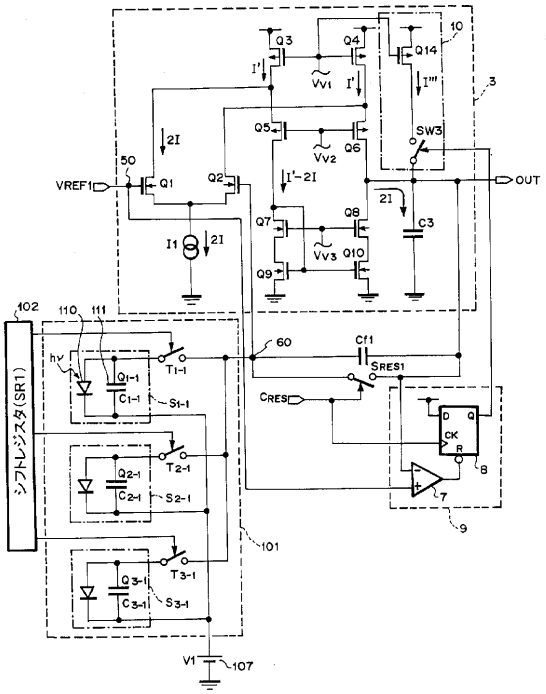
【図２３】



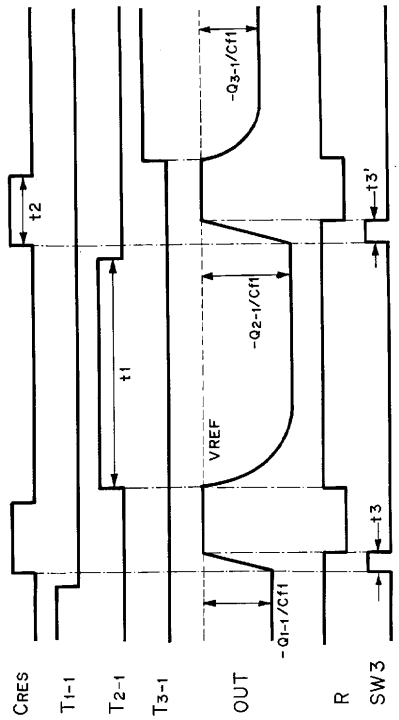
【図２４】



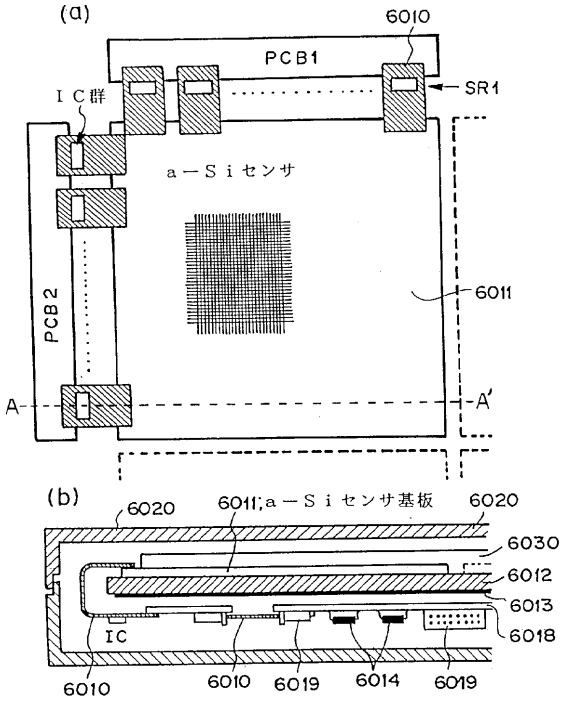
【図２５】



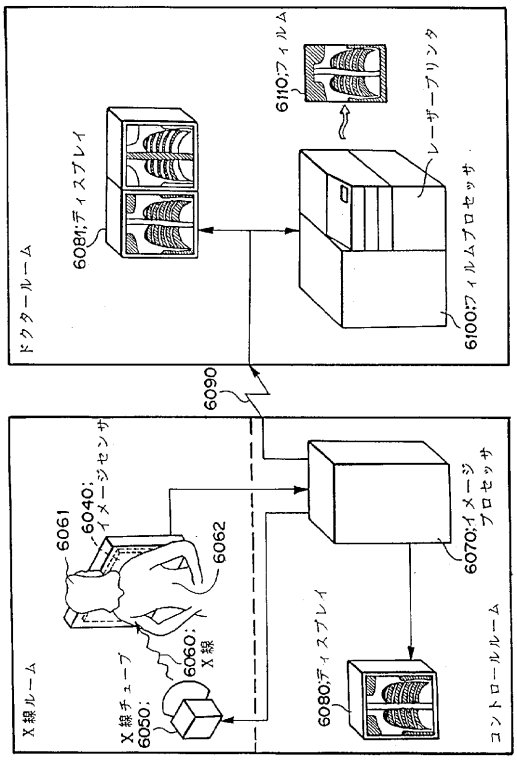
【図２６】



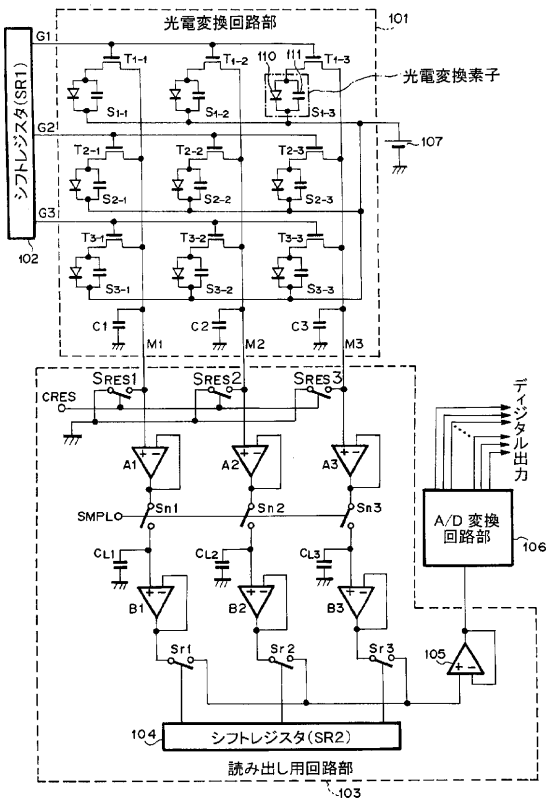
【図２７】



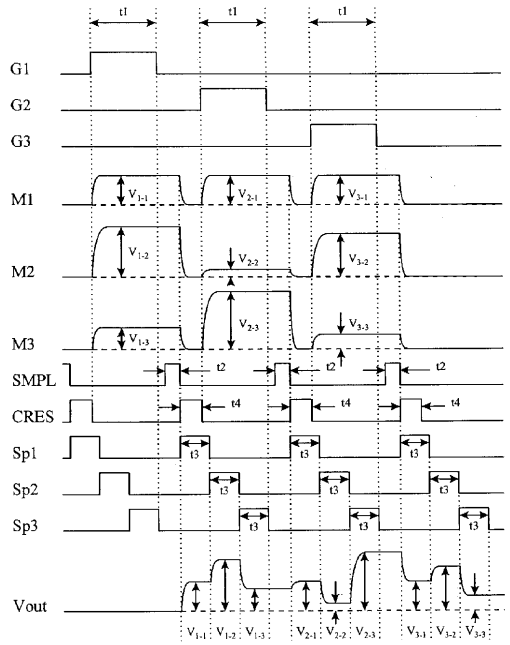
【図２８】



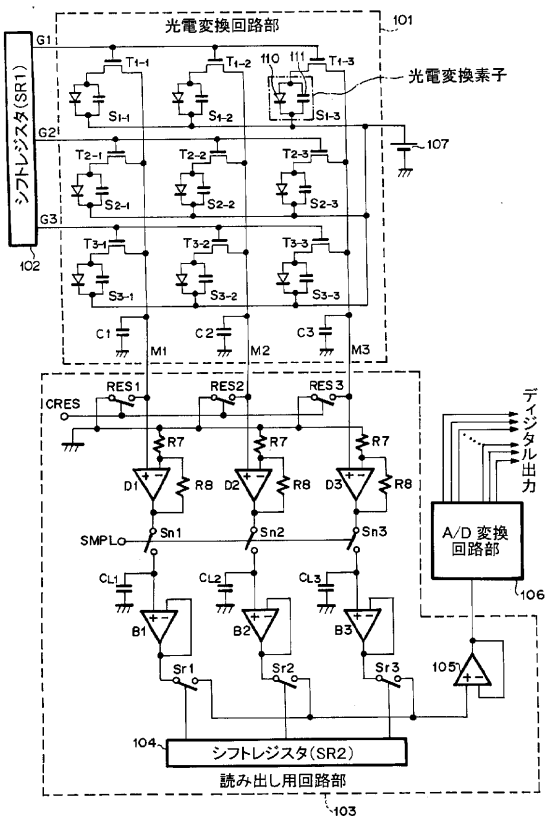
【図２９】



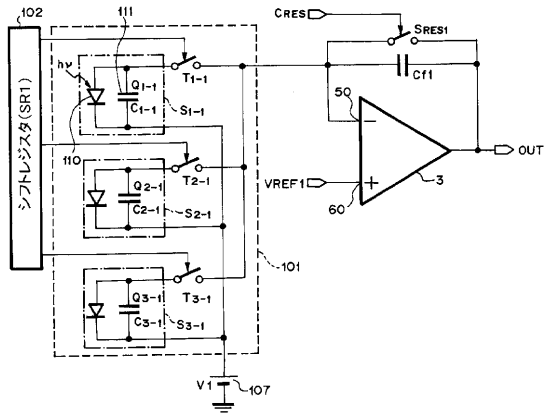
【図３０】



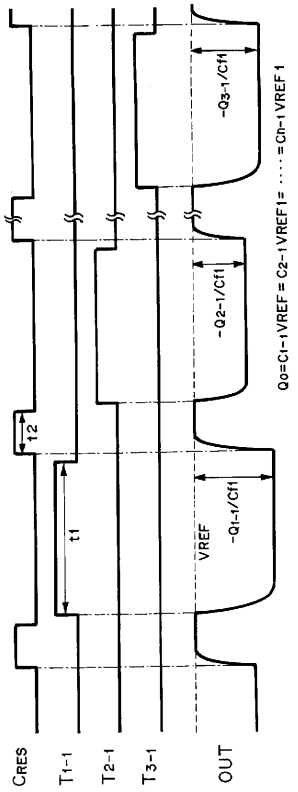
【図３１】



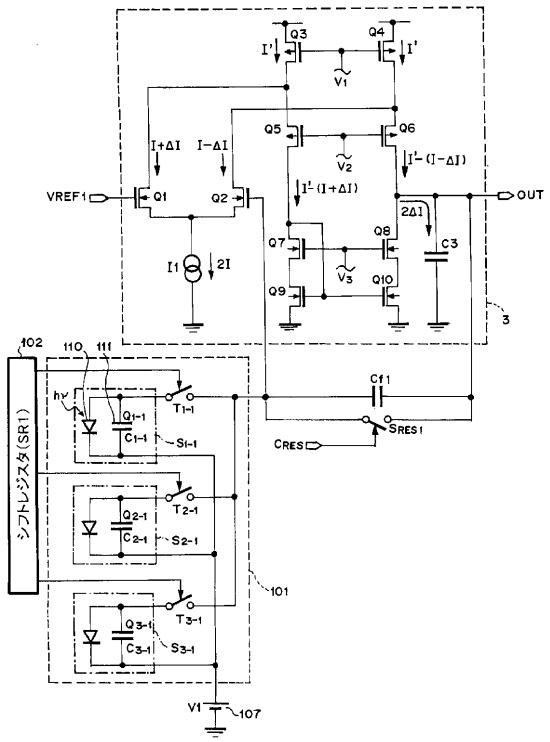
【図３２】



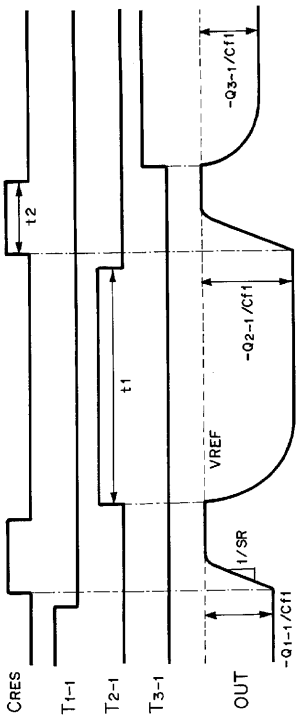
【図３３】



【図３４】


Q3
Q4
I'
V1
Q5
Q6
I+ΔI
I−ΔI
V2
I'−(I−ΔI)
I'−(I+ΔI)
VREF1
Q1
Q2
OUT
2ΔI
Q7
Q8
C3
I1
2I
V3
Q9
Q10
3
102
110
111
Cf1
hν
Q1-1
C1-1
T1-1
SRES1
CRES
S1-1
シフトレジスタ(SR1)
T2-1
Q2-1
C2-1
S2-1
101
T3-1
Q3-1
C3-1
S3-1
V1
107

【図３５】


-Q3-1/Cf1
t2
-Q2-1/Cf1
t1
VREF
1/SR
-Q1-1/Cf1
CRES
T1-1
T2-1
T3-1
OUT

フロントページの続き

(72)発明者　海部　紀之
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内
(72)発明者　森下　正和
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　松田　岳士

(56)参考文献　特開平０４－３６７１５６（ＪＰ，Ａ）
特開２０００－１８８７２４（ＪＰ，Ａ）
特開２０００－１６５７４７（ＪＰ，Ａ）
特開平０１－１９４６５４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N　5/30 - 5/335