

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 8 月 29 日 (29.08.2024)



(10) 国际公布号
WO 2024/174403 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2023/096885
- (22) 国际申请日: 2023 年 5 月 29 日 (29.05.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310137930.0 2023年2月20日 (20.02.2023) CN
- (71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。
- (72) 发明人: 艾学正(**AI, Xuezheng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王祥升(**WANG, Xiangsheng**); 中国北京市大兴区北京经济技术开发区景

园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。王桂磊(**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。桂文华(**GUI, Wenhua**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。赵超(**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

- (74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路 38 号 (B 座) 21 层 2108, Beijing 100083 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 半导体器件及其制造方法、电子设备

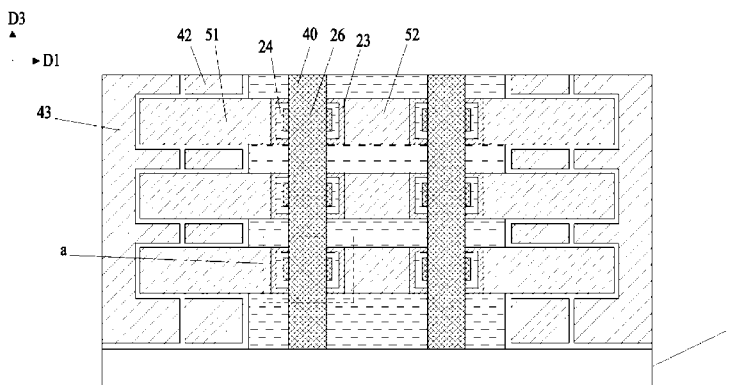


图 1A

(57) **Abstract:** A manufacturing method for a semiconductor device, the method comprising: by means of a one-step patterning process, forming a laminated structure into a patterned laminated structure, and forming a through hole, wherein the patterned laminated structure comprises a patterned conductive layer and a patterned insulating layer, which are alternately disposed in sequence; the through hole penetrates the patterned laminated structure in a direction perpendicular to a substrate; the patterned conductive layer and the patterned insulating layer are exposed from a side wall of the through hole; and the through hole is configured to accommodate a word line.

(57) 摘要: 一种半导体器件的制造方法, 包括: 通过一次构图工艺, 使叠层结构形成图案化叠层结构, 以及形成通孔, 所述图案化叠层结构包括依次交替设置的图案化导电层和图案化绝缘层, 所述通孔在垂直于衬底的方向上贯穿所述图案化叠层结构, 所述通孔的侧壁露出所述图案化导电层和所述图案化绝缘层, 所述通孔配置为容纳所述字线。



WO 2024/174403 A1

PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

半导体器件及其制造方法、电子设备

本申请要求于 2023 年 2 月 20 日提交中国专利局、申请号为 202310137930.0、发明名称为“3D 存储器及其制造方法、电子设备”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本申请中。

技术领域

本公开实施例涉及但不限于半导体技术的器件设计和制造领域，尤指一种半导体器件及其制造方法、电子设备。

背景技术

半导体存储从应用上可划分为易失性存储器（RAM，包括 DRAM 和 SRAM 等），以及非易失性存储器（ROM 和非 ROM）。以 DRAM 为例，传统已知的 DRAM 有多个重复的“存储单元”，每个存储单元有一个电容和晶体管。电容可以存储 1 位数据，充放电后，电容存储电荷的多少可以分别对应二进制数据“1”和“0”。晶体管是控制电容充放电的开关。

为了尽可能降低产品的成本，人们希望在有限的衬底上做出尽可能多的存储单元。自从摩尔定律问世以来，业界提出了各种半导体结构设计和工艺优化，以满足人们对当前产品的需求。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开实施例提供一种半导体器件及其制造方法、电子设备。

一方面，本公开实施例提供一种半导体器件的制造方法，所述半导体器件包括多层沿垂直于衬底的方向堆叠的存储单元、沿垂直于所述衬底方向延伸的字线，所述存储单元包括：晶体管和电容，所述晶体管包括第一电极、第二电极、沿垂直于所述衬底的方向延伸的栅电极、环绕所述栅电极且与所述栅电极相绝缘的半导体层，所述电容包括第一极板和第二极板。所述半导体器件的制造方法包括：

提供衬底，在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜，形成叠层结构；

通过一次构图工艺，使所述叠层结构形成图案化叠层结构，以及形成通孔；所述图案化叠层结构包括依次交替设置的图案化导电层和图案化绝缘层；所述通孔在垂直于所述衬底的方向上贯穿所述图案化叠层结构，所述通孔的侧壁露出所述图案化导电层和所述图案化绝缘层；所述通孔配置为容纳所述字线。

在一些实施例中，所述通过一次构图工艺，使所述叠层结构形成图案化叠层结构，以及形成通孔，包括：通过一个膜层上的掩膜图形，对所述叠层结构进行构图工艺，使所述叠层结构形成图案化叠层结构，以及形成通孔。所述掩膜图形为同时具有架构和孔结构的图形。

在一些实施例中，所述膜层为光刻胶。

在一些实施例中，所述膜层为硬掩膜层。

在一些实施例中，半导体器件的制造方法，还包括：形成填满所述通孔的第一牺牲层；形成环绕所述图案化叠层结构侧壁的填充层；去除部分所述填充层以及部分所述图案化绝缘层，将部分所述图案化导电层暴露，使暴露的所述图案化导电层作为所述第一极板，在去除所述填充层和所述图案化绝缘层的区域形成所述第二极板；刻蚀去除所述第一牺牲层；在平行于所述衬底的平面上，朝远离所述通孔的方向刻蚀所述图案化导电层，所述通孔使得所述图案化导电层形成彼此分离的第一电极和第二电极；在所述通孔的侧壁依次沉积相互绝缘的半导体薄膜和栅电极薄膜，形成所述半导体层、所述栅电极和所述字线。

在一些实施例中，所述形成填满所述通孔的第一牺牲层包括：

在所述衬底上沉积第一牺牲层薄膜，所述第一牺牲层薄膜覆盖所述衬底的部分表面、覆盖所述图案化叠层结构的侧面和上表面以及将所述通孔填满；

对所述第一牺牲层薄膜进行构图工艺，将覆盖所述衬底表面的第一牺牲层薄膜以及覆盖所述图案化叠层结构的侧面和上表面的第一牺牲层薄膜去除，保留将所述通孔填满的第一牺牲层薄膜，形成所述第一牺牲层。

在一些实施例中，所述形成环绕所述图案化叠层结构侧壁的填充层之后，所述制造方法还包括：研磨所述填充层的表面，使所述填充层远离所述衬底一侧的表面与所述图案化叠层结构远离所述衬底一侧的表面平齐。

在一些实施例中，去除部分所述填充层以及部分所述图案化绝缘层，将部分所述图案化导电层暴露，使暴露的所述图案化导电层作为第一极板，在去除所述填充层和所述图案化绝缘层的区域形成第二极板之前，所述制造方法还包括：

去除所述膜层图案至少一侧的所述填充层以及所述图案化绝缘层，将所述图案化导电层的一端暴露；

在暴露的所述图案化导电层的一端上形成支撑层，所述支撑层包括固定槽，所述固定槽将暴露的所述图案化导电层的一端固定。

在一些实施例中，所述支撑层包括绝缘材料。

本公开实施例还提供一种如上所述的半导体器件的制造方法制造而成的半导体器件，包括：多层沿垂直于衬底的方向堆叠的存储单元、字线，其中，所述字线沿着垂直于所述衬底的方向延伸且贯穿不同层的所述存储单元。所述存储单元包括：晶体管和电容，所述晶体管包括第一电极、第二电极、沿垂直于所述衬底的方向延伸的栅电极、环绕所述栅电极且与所述栅电极相绝缘的半导体层，所述半导体层在所述栅电极的侧壁上延伸形成沿着垂直于所述衬底方向延伸的环形的半导体层；所述电容包括第一极板和第二极板。

在一些实施例中，半导体器件还包括支撑层，所述支撑层位于所述第一极板远离所述栅电极一侧，所述支撑层包括固定槽，所述固定槽的开口朝向所述第一极板的一端，所述第一极板的一端伸入所述固定槽中。

在一些实施例中，所述第二极板位于所述支撑层与所述字线之间，所述第二极板环绕所述第一极板，所述第二极板在所述第一极板的侧壁上延伸形成沿着平行于所述衬底方向延伸的环形。

本公开实施例还提供一种电子设备，包括上述任一实施例所述的半导体器件。

本公开实施例提供了一种半导体器件及其制造方法、电子设备，通过一次构图工艺，同时形成图案化叠层结构和通孔 K1，简化了工艺流程，易于实施，提高生产效率，具有易于工艺实现、生产成本低和良品率高等优点。

在阅读并理解了附图和详细描述后，可以明白其他方面。

附图概述

附图用来提供对本公开技术方案的进一步理解，并且构成说明书的一部分，与本公开实施例一起用于解释本公开的技术方案，并不构成对技术方案的限制。

5 图 1A 为一示例性实施例提供的半导体器件沿垂直于衬底方向的截面图；

图 1B 为一示例性实施例提供的半导体器件沿平行于衬底方向的截面图；

图 1C 为一示例性实施例提供的半导体器件沿垂直于衬底方向的截面示意图的局部放大图；

10 图 1D 为一示例性实施例提供的半导体器件沿垂直于衬底方向的截面示意图的另一局部放大图；

图 2 为一示例性实施例提供的半导体器件的制造过程中形成堆叠结构后的示意图；

图 3A 为一示例性实施例提供的半导体器件的制造过程中放置第一掩模版后的示意图；

图 3B 为一示例性实施例提供的半导体器件的制造过程中形成图案化导电层、图案化绝缘层以及通孔后的示意图一；

15 图 3C 为一示例性实施例提供的半导体器件的制造过程中形成图案化导电层、图案化绝缘层以及通孔后的示意图二；

图 3D 为一示例性实施例提供的半导体器件的制造过程中形成图案化导电层、图案化绝缘层以及通孔后的示意图三；

20 图 4A 为一示例性实施例提供的半导体器件的制造过程中形成第一牺牲层薄膜后的示意图；

图 4B 为一示例性实施例提供的半导体器件的制造过程中形成第一牺牲层后的示意图；

图 4C 为一示例性实施例提供的半导体器件的制造过程中形成填充层后的示意图；

图 5A 为一示例性实施例提供的半导体器件的制造过程中放置第二掩模版后的示意图；

图 5B 为一示例性实施例提供的半导体器件的制造过程中形成凹槽后的示意图；

25 图 5C 为一示例性实施例提供的半导体器件的制造过程中形成支撑层后的示意图一；

图 5D 为一示例性实施例提供的半导体器件的制造过程中形成支撑层后的示意图二；

图 6A 为一示例性实施例提供的半导体器件的制造过程中形成第一镂空部分和第二镂空部分后的示意图一；

30 图 6B 为一示例性实施例提供的半导体器件的制造过程中形成第一镂空部分和第二镂空部分后的示意图二；

图 7A 为一示例性实施例提供的半导体器件的制造过程中形成第二极板后的示意图一；

图 7B 为一示例性实施例提供的半导体器件的制造过程中形成第二极板后的示意图二；

图 8 为一示例性实施例提供的半导体器件的制造过程中去除第一牺牲层后的示意图；

35 图 9A 为一示例性实施例提供的半导体器件的制造过程中形成第一电极和第二电极后的示意图一；

图 9B 为一示例性实施例提供的半导体器件的制造过程中形成第一电极和第二电极后的示意图二；

图 10A 为一示例性实施例提供的半导体器件的制造过程中形成半导体层和栅极绝缘层后的示意图；

图 10B 为一示例性实施例提供的半导体器件的制造过程中形成第二牺牲层后的示意图；

5 图 11A 为一示例性实施例提供的半导体器件的制造过程中刻蚀第二牺牲层后的示意图；

图 11B 为一示例性实施例提供的半导体器件的制造过程中回刻第二牺牲层后的示意图。

10 详述

下文中将结合附图对本公开实施例进行详细说明。在不冲突的情况下，本公开实施例及实施例中的特征可以相互任意组合。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。

15 本公开的实施方式并不一定限定附图所示尺寸，附图中一个或多个部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

本公开中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，并不表示任何顺序、数量或者重要性。

20 在本公开中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述构成要素的方向适当地改变。因此，不局限于在公开中说明的词句，根据情况可以适当地更换。

25 在本公开中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是物理连接或信号连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据情况理解上述术语在本公开中的含义。

30 在本公开中，晶体管可以包含栅极（还可以称为栅电极）、沟道以及第一极（下述中的第一电极 51）和第二极（下述中的第二电极 52），其中，第一电极可以为漏电极、第二电极可以为源电极，或者第一电极可以为源电极、第二电极可以为漏电极。源电极还可以称为漏电极端子、漏区域或漏极，漏电极还可以称为源电极端子、源区域或源极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本公开中，“源电极”和“漏电极”可以互相调换。

35 在本公开中，“连接”或“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的传输，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

40 在本公开中，“平行”是指大约平行或几乎平行，比如，两条直线形成的角度为 -10° 以

上且 10°以下的状态，因此，也包括该角度为-5°以上且 5°以下的状态。另外，“垂直”是指大约垂直，比如，两条直线形成的角度为 80°以上且 100°以下的状态，因此，也包括 85°以上且 95°以下的角度的状态。

在本公开中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。
5 与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

本公开所说的“A 和 B 同层设置”包含位于同一个膜层上的相同材料或不同材料形成的膜层。示例性的，A 和 B 通过同一种材料形成同一个膜层后经同一次图案化工艺或不同的图案化工艺形成。同层设置的 A 和 B 可以是位于一个水平面上但是不必须位于同一个膜层上，或位于同一个膜层的不同区域但是不必须位于相同的水平面上。

10 本公开实施例中的“A 和 B 为一体式结构”可以包含在一个膜层上图案化形成连接的膜层为一体式。比如 A 和 B 使用相同的材料成一个膜层并通过同一次图案化工艺同时形成具有连接关系的结构。

本公开实施例中，通过刻蚀去除层间的半导体层，可以降低或消除寄生 MOS 管（简称寄生 MOS）。

15 图 1A 为一示例性实施例提供的半导体器件沿垂直于衬底方向的截面示意图；图 1C 和图 1D 可以为示例性实施例提供的半导体器件沿垂直于衬底方向的截面示意图的局部放大图。其中，图 1C 和图 1D 可以为图 1A 中 a 处的放大图；垂直于衬底的方向可以为图 1A 中的第三方向 D3。如图 1A 和图 1C 所示，本实施例提供的半导体器件可以包括：
20 多层沿垂直于衬底 1 的方向堆叠的存储单元、字线 40，其中，所述字线 40 沿着垂直于所述衬底 1 的方向延伸且贯穿不同层的所述存储单元。

如本文所用，术语“衬底”意指并包括其上形成诸如垂直场效应晶体管的材料的基底材料或构造。衬底可以是半导体衬底、支撑结构上的基础半导体层、金属电极或具有形成在其上的一个或多个层、结构或区域的半导体衬底。衬底可以是常规的硅衬底或包括半导体材料层的其他体衬底。

25 所述存储单元可以包括：晶体管，所述晶体管包括第一电极 51、第二电极 52、沿垂直于所述衬底的方向延伸的栅电极 26，环绕所述栅电极 26 且与所述栅电极 26 相绝缘的半导体层 23，所述半导体层 23 在所述栅电极 26 的侧壁上延伸形成沿着垂直于所述衬底方向延伸的环形的半导体层。第一电极 51 和第二电极 52 位于栅电极 26 在第一方向 D1 的相对两侧，至少部分半导体层 23 分别位于第一电极 51 与栅电极 26 之间，以及第二电
30 极 52 与栅电极 26 之间。其中，所述第一电极 51 和所述第二电极 52 之间的沟道为水平沟道；至少部分相邻层的所述存储单元的所述晶体管的半导体层 23 在垂直于所述衬底的方向上间隔设置，所述栅电极 26 连接所述字线 40。其中，第一方向 D1 平行于衬底所在平面。

其中，字线为垂直堆叠的多个晶体管共用的引线，该引线或多个晶体管的栅极连接。
35 在图 1A 所示的叠层结构中，字线 40 可以为纵向延伸的一根线，被三个晶体管共用。栅极是指一个晶体管的栅电极，在图 1A 中，栅极 26 可以为字线 40 的一部分。字线 40 整体上沿着纵向（例如第三方向 D3）延伸，但是其不同位置的横截面大小可以相同或不同，比如，字线 40 上与每个晶体管的有效沟道对应的区域为有效栅极，该有效栅极的横截面可以大于字线 40 上的其他区域（比如图 1D 所示）或小于其他区域，本申请不做限定。
40 所述的其他区域可以是不与晶体管的有效沟道对应的区域，比如，为两个纵向堆叠的晶体管之间的区域。

本实施例提供的半导体器件，在垂直于所述衬底 1 方向，相邻层的晶体管的半导体层

间隔设置，可以降低或消除至少部分层间的寄生 MOS，提高器件稳定性。所述的间隔设置可以理解为：相邻层的晶体管的相邻半导体层之间是隔断的，比如孔内壁形成的半导体层在隔断区域被挖空，或被改性，使得隔断区域无法起到半导体的作用。

水平沟道为沟道中载流子传输方向整体上在平行于衬底的平面内。

- 5 在一示例性实施例中，不同层的所述存储单元的所述晶体管的半导体层 23 在垂直于所述衬底的方向上间隔设置。例如，全部相邻层的所述存储单元的所述晶体管的半导体层 23 在垂直于所述衬底的方向上间隔设置，从而可以消除全部相邻层间的寄生 MOS，提高器件稳定性。

- 10 在一示例性实施例中，所述半导体层 23 可以为全环绕型，在栅电极 26 的侧壁上全环绕，即，半导体层 23 沿平行于衬底的方向的横截面为闭环。示例性的，所述半导体层 23 为环形，且环形形状与栅电极 26 的横截面外轮廓形状相适应。示例性的，所述栅电极 26 的横截面比如为方形等结构。

- 15 在一示例性实施例中，如图 1A 和图 1C 所示，所述栅电极 26 包括中间部分 261 和位于所述中间部分 261 外侧的周边部分 262，中间部分 261 仅沿垂直于所述衬底 1 的方向延伸，中间部分 261 可以与字线 40 在所述衬底 1 的正投影完全交叠。中间部分 261 可以与字线 40 一体成型，采用相同的材料通过同一制造工艺制造而成。周边部分 262 环绕中间部分 261 的四周，周边部分 262 可以在中间部分 261 的侧壁上全环绕，至少部分周边部分 262 与中间部分 261 的侧壁接触，周边部分 262 与字线 40 在所述衬底 1 的正投影不交叠，与半导体层 23 在所述衬底 1 的正投影存在交叠。

- 20 在一示例性实施例中，所述晶体管还可以包括环绕所述栅电极 26 侧壁的栅极绝缘层 24，所述栅极绝缘层 24 位于栅电极 26 与半导体层 23 之间，将栅电极 26 与半导体层 23 绝缘。

在一示例性实施例中，不同层的晶体管可以共用一个沿着垂直所述衬底方向延伸的环状的栅极绝缘层 24。

- 25 在一示例性实施例中，至少部分相邻层的晶体管的栅极绝缘层 24 在垂直于所述衬底的方向上间隔设置。

在一示例性实施例中，不同层晶体管的栅极绝缘层 24 在垂直于所述衬底的方向上间隔设置。

- 30 在一示例性实施例中，沿垂直于所述衬底方向，同一晶体管的所述第一电极 51 和第二电极 52 可以位于同一导电膜层。所述第一电极 51 和第二电极 52 可以由一个导电膜层图案化形成，所述导电膜层与所述衬底的上表面大约平行。第一电极 51 和第二电极 52 可以同层设置。即所述第一电极 51 和所述第二电极 52 可以通过同一次图案化工艺同时形成，但本公开实施例不限于此，可以通过不同图案化工艺分别制造所述第一电极 51 和所述第二电极 52。

- 35 在一示例性实施例中，不同晶体管的所述第一电极 51 或所述第二电极 52 可以位于不同的导电膜层。

在一示例性实施例中，不同层的堆叠的晶体管可以共用一条沿着垂直所述衬底方向延伸的所述字线 40。

- 40 在一示例性实施例中，不同层的晶体管对应的半导体层 23 可以位于所述字线 40 的侧壁且分别位于沿垂直所述衬底的方向延伸的不同区域。

在一示例性实施例中，所述间隔设置的所述半导体层 23 之间露出绝缘层，所述绝缘

层为位于所述栅电极 26 和所述半导体层 23 之间的栅极绝缘层 24。本实施例提供的方案，通过栅极绝缘层 24 隔离第一电极 51 和栅电极 26，避免过刻导致第一电极 51 暴露，导致第一电极 51 和栅电极 26 之间发生短路。

图 1B 为一示例性实施例提供的半导体器件沿平行于衬底方向的截面图。在一示例性实施例中，如图 1B 所示，同层的所述存储单元形成分别沿第一方向 D1 和第二方向 D2 分布的阵列，每层所述存储单元还包括：位线 30，所述位线 30 与同层同一列的晶体管的所述第二电极 52 连接。图 1B 中示出了每层包括三行两列存储单元，但本公开实施例不限于此，每层可以包括其他行数和列数的存储单元，比如，可以只包括一个存储单元。所述第一方向 D1 可以平行于所述衬底，所述第二方向 D2 可以平行于所述衬底，第一方向 D1 和第二方向 D2 交叉。在一些实施例中，所述第一方向 D1 和第二方向 D2 可以垂直。

在一示例性实施例中，相邻两列的存储单元的晶体管的第二电极 52 连接到同一位线 30。同层相邻两列的晶体管的所述第二电极 52 与所述位线 30 可以为一体式结构。

在一示例性实施例中，所述晶体管的第二电极 52 可以是该第二电极 52 所连接的位线 30 的一部分。

在一示例性实施例中，所述位线 30 可以沿第二方向 D2 延伸。

在一示例性实施例中，所述第一电极 51 可以沿第一方向 D1 延伸。

在一示例性实施例中，所述半导体器件还可以包括数据存储元件。

在一示例性实施例中，所述数据存储元件可以为电容，即形成 1T1C 的存储结构。但本公开实施例不限于此，可以和其他晶体管组成 2T0C 的存储结构，等等。

在一示例性实施例中，如图 1A 和图 1B 所示，所述电容可以包括第一极板 41 和第二极板 42，所述第一极板 41 与所述第一电极 51 连接。所述第二极板 42 环绕第一极板 41，且与所述第一极板 41 相绝缘，所述第二极板 42 在所述第一极板 41 的侧壁上延伸形成沿着平行于所述衬底方向延伸的环形。

在一示例性实施例中，如图 1A 和图 1B 所示，所述半导体器件还可以包括支撑层 43，所述支撑层 43 位于第一极板 41 远离所述栅电极 26 一侧，所述第二极板 42 位于所述支撑层 43 与所述字线 40 之间。所述支撑层 43 包括固定槽 44，所述固定槽 44 的开口朝向所述第一极板 41 的一端，所述第一极板 41 远离所述位线 30 的一端伸入所述固定槽 44 中，使所述支撑层 43 将所述第一极板 41 固定，以保证第一极板 41 的机械稳定性。所述半导体器件在制造过程中，可以先将第一极板 41 暴露，然后，形成支撑层 43，通过支撑层 43 将第一极板 41 的一端固定，保证第一极板 41 的机械稳定性，最后，形成环绕第一极板 41 的第二极板 42。

在一示例性实施例中，所述第一极板 41 与所述第一电极 51 可以为一体式结构。

在一示例性实施例中，不同层的相同列的所述电容的所述第二极板 42 可以连接为一体式结构。如图 1B 所示，不同层的第一列的所述电容的所述第二极板 42 连接为一体式结构。不同层的第二列的所述电容的所述第二极板 42 连接为一体式结构，即，不同层的相同列的所述电容共用同一极板作为第二极板 42。

在一示例性实施例中，所述电容还可以包括设置在所述第一极板 41 和第二极板 42 之间的第三绝缘层 13。第三绝缘层 13 作为第一极板 41 和第二极板 42 之间的介质。

在一示例性实施例中，如图 1B 所示，在平行于衬底方向的截面上，所述半导体器件还可以包括检测引脚 61，所述检测引脚 61 设置在所述存储单元的一侧，检测引脚 61 与每层所述存储单元的位线 30 电连接，检测单元可以与检测引脚 61 电连接，通过检测引脚

61 向所述存储单元的位线 30 输入检测信号，检测存储单元。

在一示例性实施例中，沿垂直于衬底方向相邻的晶体管的所述第一电极在垂直衬底的方向的投影重叠，所述第二电极在垂直衬底的方向的投影重叠，所述栅电极在垂直衬底的方向的投影重叠。本实施例提供的方案，在工艺过程中，可以通过导电层和绝缘层的相对堆叠再通过一个掩膜形成多层堆叠的第一电极、第二电极以及通孔 K1，实现工艺简单。另外，可以使得半导体器件的结构更为紧凑。

本申请实施例的半导体器件可以和电容器组成 1T1C 的存储结构，或者，和其他晶体管组成 2T0C 的存储结构，等等。

下面通过本实施例半导体器件的制造过程进一步说明本实施例的技术方案。本实施例中所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，是相关技术中成熟的制造工艺。本实施例中所说的“光刻工艺”包括涂覆膜层、掩模曝光和显影，是相关技术中成熟的制造工艺。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，涂覆可采用已知的涂覆工艺，刻蚀可采用已知的方法，在此不做限定。在本实施例的描述中，需要理解的是，“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺或光刻工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”还需构图工艺或光刻工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。经过构图工艺或光刻工艺后的“层”中包含至少一个“图案”。

本实施例中，每层包括多个存储单元，但本公开实施例不限于此，每层可以包括一个存储单元。

在一示例性实施例中，半导体器件的制造过程可以包括：

步骤 101，在衬底 1 上依次交替沉积第一绝缘薄膜 10 和第一导电薄膜 11 形成叠层结构，如图 2 所示。

在一示例性实施例中，可以利用化学气相沉积（Chemical Vapor Deposition, CVD）方法沉积所述第一绝缘薄膜 10 和第一导电薄膜 11。

如本文所用，术语“衬底”意指并包括其上形成诸如垂直场效应晶体管的材料的基底材料或构造。衬底可以是半导体衬底、支撑结构上的基础半导体层、金属电极或具有形成在其上的一个或多个层、结构或区域的半导体衬底。衬底可以是常规的硅衬底或包括半导体材料层的其他衬底。在一示例性实施例中，所述衬底可以为半导体衬底，比如可以是硅衬底。

在一示例性实施例中，所述第一绝缘薄膜 10 可以是介质常数较小的介质层，比如二氧化硅（ SiO_2 ）等。

在一示例性实施例中，所述第一导电薄膜 11 可以包括但不限于氮化钛（TiN）/钨（W）的多层结构。

图 2 中示出的叠层结构包括四层第一绝缘薄膜 10 和三层第一导电薄膜 11，仅为示例，在其他实施例中，所述叠层结构可以包括更多或更少层交替设置的第一绝缘薄膜 10 和第一导电薄膜 11。

步骤 102，在形成前述图案的衬底 1 的基础上，先将第一掩膜版 2（可以理解为掩膜图形）形成在所述叠层结构远离衬底 1 一侧的表面上，如图 3A 所示。掩膜图形可以是光刻（PR, Photoresist）胶或硬掩膜层上的图形。硬掩膜（Hardmask）层可以使用 SiO_2 、 Si_3N_4 、TiN、非晶碳（ACHM）等，主要用于多重曝光工艺等。在一些示例中，可以在形成前述

图案的衬底上涂覆光刻胶，通过将光刻胶的部分去除，形成掩膜图形。

在一些示例中，如图 3A 至图 3C 所示，掩膜图形可以为同时具有架构和孔结构的图形。掩膜图形的架构可以大致为鱼骨形状。例如，掩膜图形的架构可以包括“丰”字型结构以及与“丰”字型结构的一端连接的矩形块。比如，“丰”字型结构可以包括沿第一方向 D1 延伸的六个分支以及沿第二方向 Y 延伸的一个主支，六个分支可以在第一方向 D1 上对称地设置

5 在主支的两侧，矩形块可以与主支的一端连接。六个分支可以均为沿第一方向 D1 延伸的条状，主干可以为沿第二方向 Y 延伸的条状。分支和主干在衬底的正投影形状可以大致为矩形，矩形块沿第一方向 D1 的长度可以大于主干沿第一方向 D1 的长度。

10 在一些示例中，掩膜图形的孔结构可以包括按照三行两列阵列排布的六个孔，沿第一方向 D1 排布的两个孔为一行，沿第二方向 D2 排布的三个孔为一列。六个孔分别位于“丰”字型结构的六个分支上。在一些示例中，在平行于衬底的平面上，孔的正投影形状可以为矩形，比如可以为方形。本实施例对此并不限定。在另一些示例中，孔的正投影形状可以为其他形状，比如可以为圆形等。

15 本示例通过一个掩膜图形可以一次性刻蚀形成半导体器件的架构部分和设置字线的通孔，可以避免单独刻蚀通孔产生对位偏差影响半导体器件的尺寸结构电学特性以及整个结构的微缩效果的情况，从而保证半导体器件的结构尺寸稳定性，有利于实现微缩效果，可以提升半导体器件的良率；而且通过一次性刻蚀形成半导体器件的架构区域和设置字线的通孔，可以减少刻蚀工艺，简化工艺，降低成本。

20 随后，通过第一掩膜版 2，对所述叠层结构进行构图工艺，使所述叠层结构形成图案化叠层结构，使多个第一导电薄膜 11 形成图案化导电层 12，使多个第一绝缘薄膜 10 形成图案化绝缘层 14，以及形成多个通孔 K1。所述图案化叠层结构包括依次交替设置的图案化导电层 12 和图案化绝缘层 14。所述通孔 K1 沿着垂直于所述衬底方向延伸，在垂直于所述衬底的方向上贯穿所述图案化叠层结构，如图 3B 和图 3C 所示。其中，图案化导电层 12 与图案化绝缘层 14 在衬底 1 的正投影可以完全交叠，即图案化导电层 12 的尺寸和形状与图案化绝缘层 14 的尺寸和形状相同。

30 图 3C 为一示例性实施例提供的半导体器件的制造过程中形成图案化导电层、图案化绝缘层以及通孔后的示意图二。图 3C 为平行于所述衬底方向的截面图。在一示例性实施例中，如图 3C 所示，图案化导电层 12 可以包括位线 30、多个第一子部 21 和多个第二子部 22，位线 30 连接第一子部 21 和第二子部 22，所述第一子部 21 可以沿第一方向 D1 延伸，所述第二子部 22 可以沿第一方向 D1 延伸，所述位线 30 可以沿第二方向 D2 延伸。多个第一子部 21 沿着第二方向 D2 间隔排布，多个第一子部 21 的一端均与位线 30 连接。多个第二子部 22 沿着第二方向 D2 间隔排布，多个第二子部 22 的一端均与位线 30 连接。所述第一子部 21 在后续形成一个晶体管的第一电极 51 和第二电极 52，所述第二子部 22 在后续形成相邻的另一晶体管的第一电极 51 和第二电极 52。

35 图 3D 为一示例性实施例提供的半导体器件的制造过程中形成图案化导电层、图案化绝缘层以及通孔后的示意图三。图 3D 为垂直于所述衬底方向的截面图，图 3D 可以为图 3C 中 aa' 方向的截面图。在一示例性实施例中，如图 3D 所示，通孔 K1 贯穿多个图案化导电层 12 和多个图案化绝缘层 14，所述通孔 K1 的侧壁露出每层图案化导电层 12 和每层图案化绝缘层 14。其中，所述第一子部 21 和所述第二子部 22 均设置有所述通孔 K1。所述通孔 K1 可以沿垂直于所述衬底的方向延伸。所述通孔 K1 的底壁可以暴露或不暴露所述衬底。

40 在一示例性实施例中，可以通过第一掩膜版 2 对所述叠层结构进行干法刻蚀，可以采

用高深宽比刻蚀 (High Aspect ratio Etch, HAR ET) 方式进行刻蚀, 在一示例性实施例中, 深宽比 (Aspect ratio) $>6:1$ 。

在一示例性实施例中, 所述通孔 K1 在平行于所述衬底的平面上的正投影可以是方形。然而, 本实施例对此并不限定。

- 5 在一示例性实施例中, 所述通孔 K1 在平行于所述衬底的平面上的正投影位于所述图案化导电层 12 的正投影内。比如, 在平行于所述衬底的平面上, 贯穿第一子部 21 的通孔 K1 的正投影位于所述第一子部 21 的正投影内, 贯穿第二子部 22 的通孔 K1 的正投影位于所述第二子部 22 的正投影内。

- 10 步骤 103, 在形成前述图案的衬底 1 的基础上, 在衬底 1 上沉积第一牺牲层薄膜 15, 第一牺牲层薄膜 15 覆盖衬底 1 的部分表面、覆盖所述图案化叠层结构的侧面和上表面以及将通孔 K1 填满, 第一牺牲层薄膜 15 将通孔 K1 填满, 使所述叠层结构远离衬底 1 一侧的表面平齐, 如图 4A 所示。

- 15 步骤 104, 在形成前述图案的衬底 1 的基础上, 对第一牺牲层薄膜 15 进行构图工艺, 将覆盖衬底 1 表面的第一牺牲层薄膜 15 以及覆盖所述图案化叠层结构的侧面和上表面的第一牺牲层薄膜 15 刻蚀去除, 保留将通孔 K1 填满的第一牺牲层薄膜 15, 形成第一牺牲层 16, 第一牺牲层 16 将通孔 K1 填满, 如图 4B 所示。

步骤 105, 在形成前述图案的衬底 1 的基础上, 在衬底 1 上形成填充层 17, 填充层 17 与所述图案化叠层结构同层设置, 环绕所述图案化叠层结构的侧壁, 与图案化叠层结构的侧壁接触。

- 20 研磨所述填充层 17 的表面, 使所述填充层 17 远离所述衬底一侧的表面与所述图案化叠层结构远离所述衬底一侧的表面平齐, 填充层 17 与所述图案化叠层结构组成形状规则的膜层图案, 示例的, 形状规则的膜层图案可以为长方体形状, 如图 4C 所示。

其中, 填充层 17 可以采用绝缘材料, 例如氧化物。

- 25 步骤 106, 在形成前述图案的衬底 1 的基础上, 将第二掩模版 3 放置在所述膜层图案远离衬底 1 一侧的表面上, 如图 5A 所示。

- 30 随后, 通过第二掩模版 3 对所述膜层图案进行构图工艺, 去除所述膜层图案相对两侧的部分填充层 17 以及部分所述图案化绝缘层 14, 形成凹槽 18, 凹槽 18 暴露出部分衬底 1 的表面, 暴露出所述第一子部 21 远离所述位线 30 的一端 (包括第一子部 21 的端面和部分侧面), 以及, 暴露出所述第二子部 22 远离所述位线 30 的一端 (包括第二子部 22 的端面和部分侧面), 如图 5B 所示。

- 35 随后, 在所述凹槽 18 内依次沉积第二绝缘薄膜和支撑层材料, 使第二绝缘薄膜形成第二绝缘层 19, 使支撑层材料形成支撑层 43。第二绝缘层 19 覆盖所述第一子部 21 暴露出的区域以及所述第二子部 22 暴露出的区域, 即第二绝缘层 19 覆盖所述第一子部 21 远离所述位线 30 的端面以及部分侧壁, 以及所述第二子部 22 远离所述位线 30 的端面以及部分侧壁, 第二绝缘层 19 设置在支撑层 43 与所述第一子部 21 暴露出的区域之间, 以及与所述第二子部 22 暴露出的区域之间。

- 40 支撑层 43 形成在暴露的所述第一子部 21 远离所述位线 30 的一端, 以及暴露的所述第二子部 22 远离所述位线 30 的一端。支撑层 43 包括固定槽, 所述固定槽将暴露的所述第一子部 21 远离所述位线 30 的一端, 以及暴露的所述第二子部 22 远离所述位线 30 的一端固定。支撑层 43 用于支撑所述第一子部 21 和所述第二子部 22, 在形成第二极板 42 的过程中, 保证所述第一子部 21 和所述第二子部 22 的机械稳定性, 如图 5C 和图 5D 所示,

其中，图 5D 为平行于所述衬底方向的截面图。

其中，支撑层 43 可以采用绝缘材料，例如氧化物。支撑层 43 采用绝缘材料可以避免与后续形成的第二极板 42 产生电容，影响器件性能。

5 步骤 107，在形成前述图案的衬底 1 的基础上，去除位于电容区域的填充层 17 以及图案化绝缘层 14。暴露出所述第一子部 21 的部分侧面，以及，暴露出所述第二子部 22 的部分侧面。在同层相邻的第一子部 21 暴露的侧面之间，以及，相邻层中第一子部 21 暴露的侧面之间形成第一镂空部分 71；在同层相邻的第二子部 22 暴露的侧面之间，以及，相邻层中第二子部 22 暴露的侧面之间形成第二镂空部分 72。其中，电容区域为第一极板 41 和第二极板 42 所形成电容的区域，电容区域位于支撑层 43 与位线 30 之间。

10 在平行于衬底方向，第一镂空部分 71 位于支撑层 43 与通孔 K1 之间，第一镂空部分 71 环绕第一子部 21 暴露的侧面；第二镂空部分 72 位于支撑层 43 与通孔 K1 之间，第二镂空部分 72 环绕第二子部 22 暴露的侧面，如图 6A 和图 6B 所示。其中，图 6B 为平行于所述衬底方向的截面图。

15 步骤 108，在形成前述图案的衬底 1 的基础上，在第一镂空部分 71 和第二镂空部分 72 中依次沉积第三绝缘薄膜和导体材料，使第三绝缘薄膜形成第三绝缘层 13，使导体材料形成第二极板 42，第三绝缘层 13 覆盖所述第一子部 21 暴露出的区域以及所述第二子部 22 暴露出的区域，如图 7A 和图 7B 所示，图 7B 为平行于所述衬底方向的截面图。

20 其中，所述第二极板 42 环绕所述第一极板 41，所述第二极板 42 位于支撑层 43 与栅电极 26 之间，所述第二极板 42 在所述第一极板 41 的侧壁上延伸形成沿着平行于所述衬底方向延伸的环形。

第三绝缘层 13 作为电容极板间的介质，第二极板 42 作为电容的一个电极，暴露的第一子部 21 或者暴露的第二子部 22 作为电容的另一个电极，即第一极板。

在一示例性实施例中，可以通过原子层沉积（Atomic Layer Deposition, ALD）方式沉积所述第三绝缘薄膜和导体材料。

25 在一示例性实施例中，所述第三绝缘薄膜可以是 High-K 介质材料，比如介电常数 $K \geq 3.9$ 的介质材料。所述 High-K 介质材料可以包括但不限于以下至少之一：氧化硅，三氧化二铝（ Al_2O_3 ），氧化铪。

在一示例性实施例中，所述导体材料包括但不限于以下至少之一：多晶硅，钨，氮化钛。

30 步骤 108，在形成前述图案的衬底 1 的基础上，刻蚀去除位于通孔 K1 中的第一牺牲层 16，如图 8 所示。图 8 为平行于所述衬底方向的截面图。

35 步骤 109，在平行于所述衬底方向，朝远离所述通孔 K1 的方向刻蚀所述图案化导电层 12，将每层的所述图案化导电层 12 的第一子部 21 和第二子部 22 上的所述通孔 K1 朝远离所述通孔 K1 的方向刻蚀，对所述通孔 K1 位于图案化导电层 12 的区域向远离所述通孔 K1 的方向扩充，使所述通孔 K1 在衬底 1 的正投影的面积扩大，使得每层所述图案化导电层 12 形成彼此分离的第一电极 51 和第二电极 52，如图 9A 和图 9B 所示。其中，图 9A 为平行于所述衬底方向的截面图，图 9B 为垂直于所述衬底方向的截面图，图 9B 为图 9A 中 bb' 方向的截面图。

40 不对所述通孔 K1 位于图案化绝缘层 14 的区域进行刻蚀，使得在平行于所述衬底的平面上，位于图案化绝缘层 14 的通孔 K1 在衬底的正投影落入位于图案化导电层 12 的通孔 K1 在衬底的正投影内，即，所述通孔 K1 形成多个哑铃型的结构。

在一示例性实施例中，可以利用湿法刻蚀，选用对图案化绝缘层 14 和图案化导电层 12 的刻蚀选择比很高的酸溶液，将图案化导电层 12 向远离通孔 K1 的方向横向蚀刻一定厚度 L。由于高刻蚀选择比，对图案化绝缘层 14 几乎没有蚀刻。以通孔 K1 平行于衬底的截面为正方形为例，此时，位于图案化导电层 12 的通孔 K1 的边长为 D，位于图案化绝缘层 14 的通孔 K1 的边长为 d，且 $D=d+2*L$ 。在一示例性实施例中，所述 D 比如为 80nm 至 110nm，所述 d 比如为 $50\text{nm} \pm 10\%$ ，所述 L 比如为 15nm 至 30nm，比如 D 可以为 80nm，L 可以是 15nm，或者，D 为 90nm，L 为 20nm，或者，D 为 100nm，L 为 25nm，或者，D 为 110nm，L 为 30nm。

步骤 110，形成半导体层 23、栅极绝缘层 24 和第二牺牲层 25。

所述形成半导体层 23、栅极绝缘层 24 和第二牺牲层 25 包括：在所述通孔 K1 的侧壁依次沉积半导体薄膜和栅极绝缘薄膜，形成半导体层 23 和栅极绝缘层 24；沉积完半导体层 23 和栅极绝缘层 24 之后，位于寄生 MOS 区域 300 的通孔 K1 的尺寸比位于晶体管沟道区域 200 的通孔 K1 在第一方向 D1 的尺寸小，如图 10A 所示。图 10A 为垂直于所述衬底方向的截面图。

随后，在所述通孔 K1 沉积第二牺牲层薄膜，形成第二牺牲层 25，第二牺牲层 25 将通孔 K1 填满。所述第二牺牲层 25 作为后续刻蚀寄生 MOS 区域 300 侧壁的半导体层 23 和栅极绝缘层 24 时对晶体管沟道区域 200 的半导体层 23 的保护层。所述第二牺牲层 25 填充所述通孔 K1，位于晶体管沟道区域 200 中的第二牺牲层 25 在第一方向 D1 的尺寸，比位于寄生 MOS 区域 300 中的第二牺牲层 25 在第一方向 D1 的尺寸大，便于在后续去除寄生 MOS 区域 300 的导体 23 和栅极绝缘层 24 时保护晶体管沟道区域 200 的半导体层 23，如图 10B 所示。图 10B 为垂直于所述衬底方向的截面图。

在一示例性实施例中，所述第二牺牲层薄膜的材料可以是导电材料，比如和后续的栅电极薄膜的材料一致，从而在刻蚀去除所述寄生 MOS 区域 300 侧壁的半导体层 23 和栅极绝缘层 24 之后，沉积栅电极薄膜之前不用再去掉所述第二牺牲层 25，可直接沉积栅电极薄膜，作为保护层的第二牺牲层 25 和沉积的栅电极薄膜一起作为最终器件的栅电极。但本公开实施例不限于此，牺牲层薄膜的材料可以和栅电极薄膜不一致，在刻蚀去除所述寄生 MOS 区域 300 侧壁的半导体层 23 和栅极绝缘层 24 之后，沉积栅电极薄膜之前不用去除所述第二牺牲层 25 即可。

在一示例性实施例中，可以通过 ALD 方式沉积所述半导体薄膜、所述栅极绝缘薄膜和所述第二牺牲层薄膜。

在一示例性实施例中，所述半导体薄膜包括但不限于以下至少之一：铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO)、氧化铟锡 (Indium Tin Oxide, ITO)、氧化铟锌 (Indium Zinc Oxide, IZO)。使用 IGZO 作为半导体层时，具备低漏电，刷新时间短的优势。

在一示例性实施例中，所述栅极绝缘薄膜可以是 High-K 介质材料，比如介电常数 $K \geq 3.9$ 的介质材料。所述 High-K 介质材料可以包括但不限于以下至少之一：氧化硅，三氧化二铝 (Al_2O_3)，氧化铪。

在一示例性实施例中，所述第二牺牲层薄膜包括但不限于以下至少之一：氧化铟锡 (Indium Tin Oxide, ITO)、TiN/W、掺铝氧化锌 (Aluminum doped Zinc Oxide, AZO)，氧化铟锌 (Indium Zinc Oxide, IZO)。

步骤 111，去除位于寄生 MOS 区域 300 的通孔 K1 的半导体层 23 和栅极绝缘层 24。

在一示例性实施例中，可以利用掩模版 (mask)，打开通孔 K1，依次利用第一干法刻蚀 (且为各向异性的干法刻蚀)、湿法刻蚀 (且为各向同性的湿法刻蚀) 和第二干法刻

蚀（且为各向异性的干法刻蚀）的三步刻蚀进行寄生 MOS 区域 300 侧壁的半导体层 23 和栅极绝缘层 24 的去除。即，所述去除寄生 MOS 区域 300 的半导体层 23 和栅极绝缘层 24 可以包括：利用第一干法刻蚀刻蚀所述第二牺牲层 25，由于各向异性刻蚀，位于寄生 MOS 区域 300 的通孔 K1 侧壁的第二牺牲层 25 会被完全刻蚀，位于晶体管沟道区域 200 的通孔 K1 侧壁的第二牺牲层 25 会保留部分，如图 11A 所示，图 11A 为垂直于所述衬底方向的截面图。

由于位于晶体管沟道区域 200 的通孔 K1 侧壁剩余的第二牺牲层 25 太厚，导致在后续利用干法刻蚀寄生 MOS 区域 300 的半导体层 23 和栅极绝缘层 24 时，可能会挡住下一层寄生 MOS 区域 300 的半导体层 23 和栅极绝缘层 24 的刻蚀，因此，利用湿法刻蚀，对位于晶体管沟道区域 200 的通孔 K1 侧壁保留的第二牺牲层 25 进行回刻（recess），且回刻时保留部分第二牺牲层 25 作为晶体管沟道区域 200 的半导体层 23 和栅极绝缘层 24 的保护层，避免后续干法刻蚀寄生 MOS 区域 300 的半导体层 23 和栅极绝缘层 24 时对晶体管沟道区域 200 的半导体层 23 和栅极绝缘层 24 造成损坏，即第二牺牲层 25 作为内侧墙（inner spacer）保护晶体管沟道区域 200 的半导体层 23 和栅极绝缘层 24。如图 11B 所示，图 11B 为垂直于所述衬底方向的截面图。

利用干法刻蚀，从顶层刻蚀到底层，将位于所述寄生 MOS 区域 300 的通孔 K1 的侧壁的半导体层 23 和栅极绝缘层 24 完全刻蚀掉。

步骤 112，形成栅电极 26。

在一些示例中，形成栅电极 26 包括：在所述通孔 K1 内沉积栅电极薄膜，形成所述栅电极 26，所述栅电极 26 填充所述通孔 K1，如图 1A 所示。

在一示例性实施例中，可以通过 ALD 沉积所述栅电极薄膜。

在一示例性实施例中，所述栅电极薄膜可以包括但不限于以下至少之一：氧化铟锡（Indium Tin Oxide, ITO）、TiN/W、掺铝氧化锌（Aluminum doped Zinc Oxide, AZO），氧化铟锌（Indium Zinc Oxide, IZO）。

步骤 113，刻蚀去除图案化叠层结构位于存储单元一侧的部分，形成通孔 K2，在所述通孔 K2 内沉积导电薄膜，使导电薄膜形成检测引脚 61，检测引脚 61 与每层所述存储单元的位线 30 电连接，如图 1B 所示。

本实施例提供的方案，通过一次构图工艺，同时形成图案化叠层结构和通孔 K1，简化了工艺流程，易于实施，提高生产效率，具有易于工艺实现、生产成本低和良品率高等优点。

本公开实施例还提供了一种电子设备，包括前述任一实施例所述的半导体器件。所述电子设备可以为：存储装置、智能电话、计算机、平板电脑、人工智能设备、可穿戴设备或移动电源等。存储装置可以包括计算机中的内存等，此处不作限定。

虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种半导体器件的制造方法, 所述半导体器件包括多层沿垂直于衬底的方向堆叠的存储单元、沿垂直于所述衬底方向延伸的字线, 所述存储单元包括: 晶体管和电容, 所述晶体管包括第一电极、第二电极、沿垂直于所述衬底的方向延伸的栅电极、环绕所述栅电极且与所述栅电极相绝缘的半导体层, 所述电容包括第一极板和第二极板; 所述半导体器件的制造方法包括:

提供衬底, 在所述衬底上依次交替沉积第一绝缘薄膜和导电薄膜, 形成叠层结构;

通过一次构图工艺, 使所述叠层结构形成图案化叠层结构, 以及形成通孔; 所述图案化叠层结构包括依次交替设置的图案化导电层和图案化绝缘层; 所述通孔在垂直于所述衬底的方向上贯穿所述图案化叠层结构, 所述通孔的侧壁露出所述图案化导电层和所述图案化绝缘层, 所述通孔配置为容纳所述字线。

2. 根据权利要求 1 所述的半导体器件的制造方法, 其中, 所述通过一次构图工艺, 使所述叠层结构形成图案化叠层结构, 以及形成通孔, 包括: 通过一个膜层上的掩膜图形, 对所述叠层结构进行构图工艺, 使所述叠层结构形成图案化叠层结构, 以及形成通孔; 所述掩膜图形为同时具有架构和孔结构的图形。

3. 根据权利要求 2 所述的半导体器件的制造方法, 其中, 所述膜层为光刻胶。

4. 根据权利要求 2 所述的半导体器件的制造方法, 其中, 所述膜层为硬掩膜层。

5. 根据权利要求 1 至 4 中任一项所述的半导体器件的制造方法, 还包括:

形成填满所述通孔的第一牺牲层;

形成环绕所述图案化叠层结构侧壁的填充层;

去除部分所述填充层以及部分所述图案化绝缘层, 将部分所述图案化导电层暴露, 使暴露的所述图案化导电层作为所述第一极板, 在去除所述填充层和所述图案化绝缘层的区域形成所述第二极板;

刻蚀去除所述第一牺牲层;

在平行于所述衬底的平面上, 朝远离所述通孔的方向刻蚀所述图案化导电层, 所述通孔使得所述图案化导电层形成彼此分离的第一电极和第二电极;

在所述通孔的侧壁依次沉积相互绝缘的半导体薄膜和栅电极薄膜, 形成所述半导体层、所述栅电极和所述字线。

6. 根据权利要求 5 所述的半导体器件的制造方法, 其中, 所述形成填满所述通孔的第一牺牲层包括:

在所述衬底上沉积第一牺牲层薄膜, 所述第一牺牲层薄膜覆盖所述衬底的部分表面、覆盖所述图案化叠层结构的侧面和上表面以及将所述通孔填满;

对所述第一牺牲层薄膜进行构图工艺, 将覆盖所述衬底表面的第一牺牲层薄膜以及覆盖所述图案化叠层结构的侧面和上表面的第一牺牲层薄膜去除, 保留将所述通孔填满的第一牺牲层薄膜, 形成所述第一牺牲层。

7. 根据权利要求 5 所述的半导体器件的制造方法, 所述形成环绕所述图案化叠层结构侧壁的填充层之后, 所述制造方法还包括: 研磨所述填充层的表面, 使所述填充层远离所述衬底一侧的表面与所述图案化叠层结构远离所述衬底一侧的表面平齐。

8. 根据权利要求 5 所述的半导体器件的制造方法, 所述去除部分所述填充层以及部

分所述图案化绝缘层,将部分所述图案化导电层暴露,使暴露的所述图案化导电层作为第一极板,在去除所述填充层和所述图案化绝缘层的区域形成第二极板之前,所述制造方法还包括:

5 去除所述膜层图案至少一侧的所述填充层以及所述图案化绝缘层,将所述图案化导电层的一端暴露;

在暴露的所述图案化导电层的一端上形成支撑层,所述支撑层包括固定槽,所述固定槽将暴露的所述图案化导电层的一端固定。

9. 根据权利要求8所述的半导体器件的制造方法,其中,所述支撑层包括绝缘材料。

10 10. 一种根据权利要求1至9中任一项所述的半导体器件的制造方法制造而成的半导体器件,包括:多层沿垂直于衬底的方向堆叠的存储单元、字线,其中,所述字线沿着垂直于所述衬底的方向延伸且贯穿不同层的所述存储单元;

15 所述存储单元包括:晶体管和电容,所述晶体管包括第一电极、第二电极、沿垂直于所述衬底的方向延伸的栅电极、环绕所述栅电极且与所述栅电极相绝缘的半导体层,所述半导体层在所述栅电极的侧壁上延伸形成沿着垂直于所述衬底方向延伸的环形的半导体层;所述电容包括第一极板和第二极板。

11. 根据权利要求10所述的半导体器件,还包括:支撑层,所述支撑层位于所述第一极板远离所述栅电极的一侧,所述支撑层包括固定槽,所述固定槽的开口朝向所述第一极板的一端,所述第一极板的一端伸入所述固定槽中。

20 12. 根据权利要求11所述的半导体器件,其中,所述第二极板位于所述支撑层与所述字线之间,所述第二极板环绕所述第一极板,所述第二极板在所述第一极板的侧壁上延伸形成沿着平行于所述衬底方向延伸的环形。

13. 一种电子设备,包括如权利要求10至12任一所述的半导体器件。

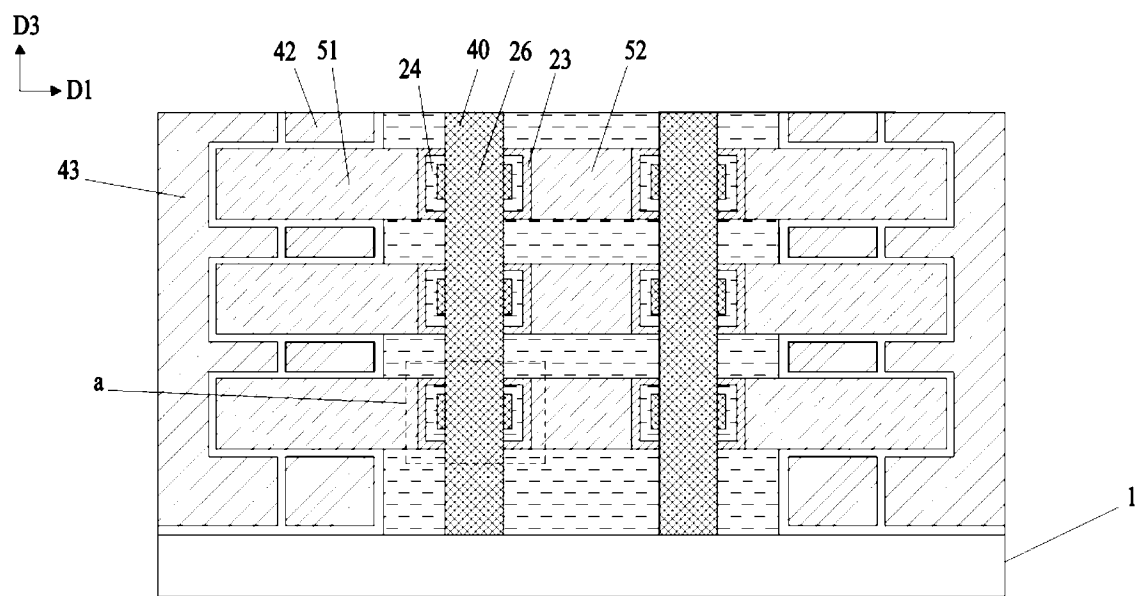


图 1A

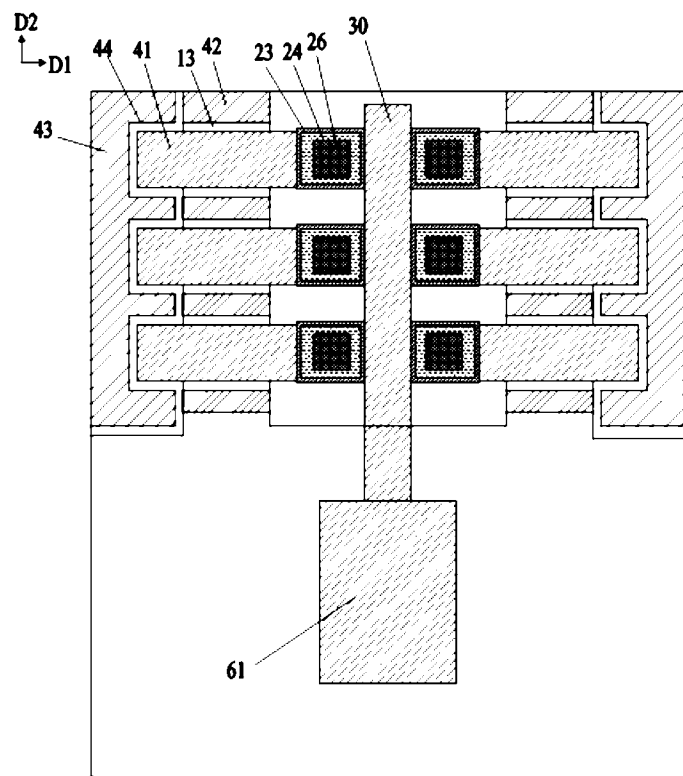


图 1B

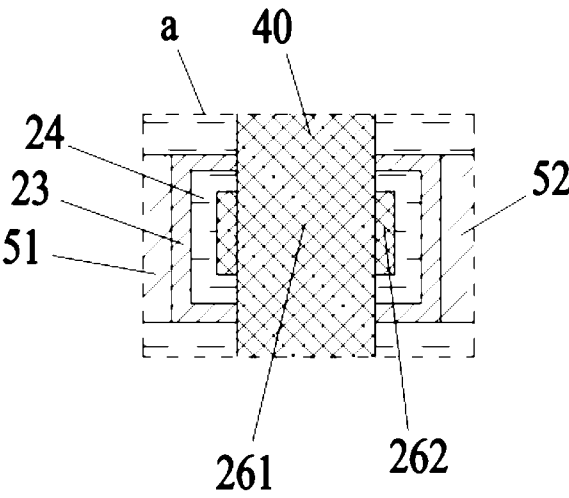


图 1C

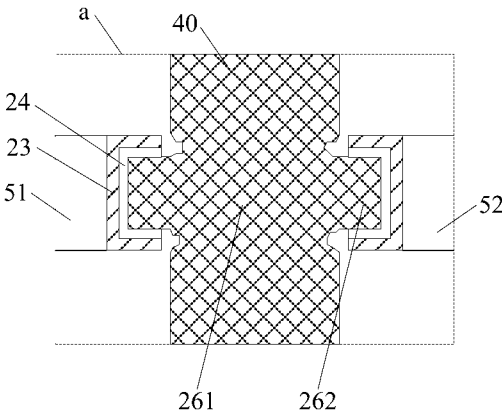


图 1D

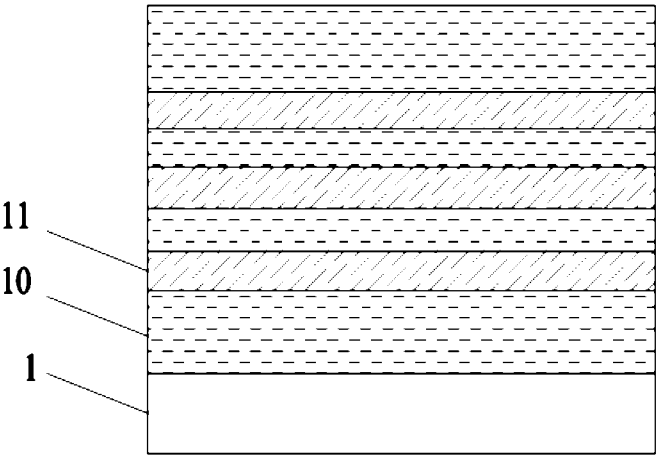


图 2

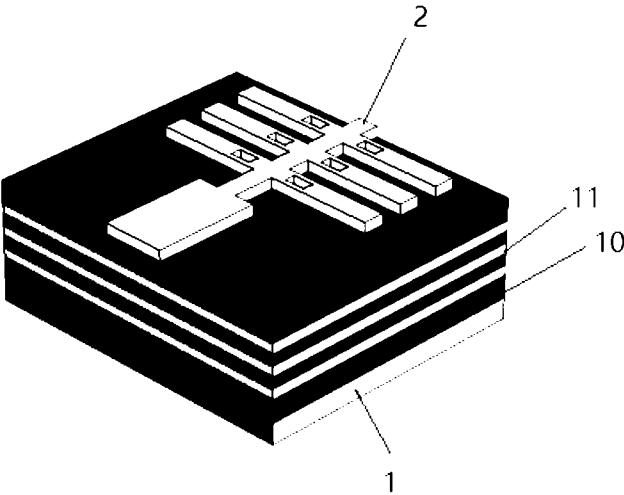


图 3A

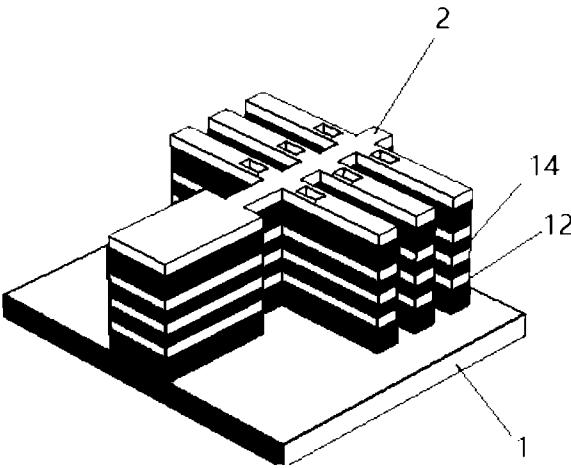


图 3B

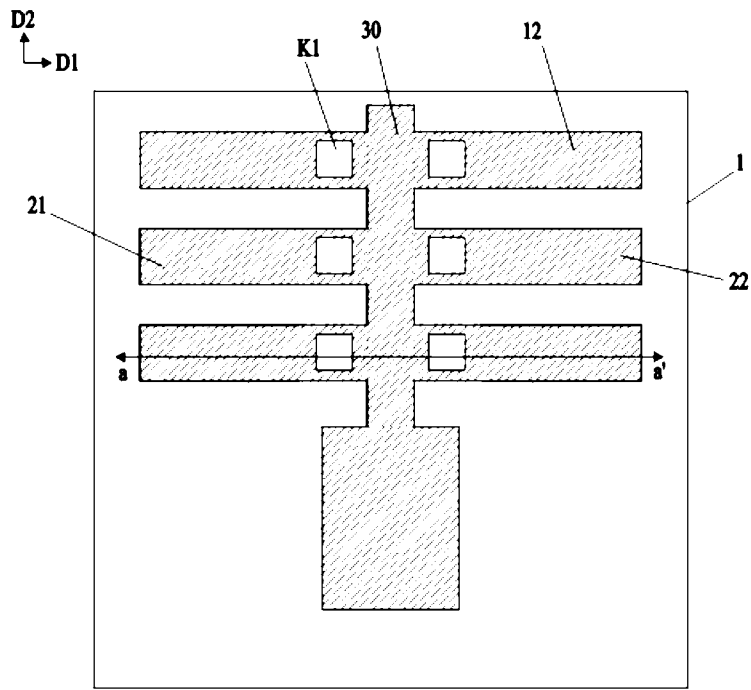


图 3C

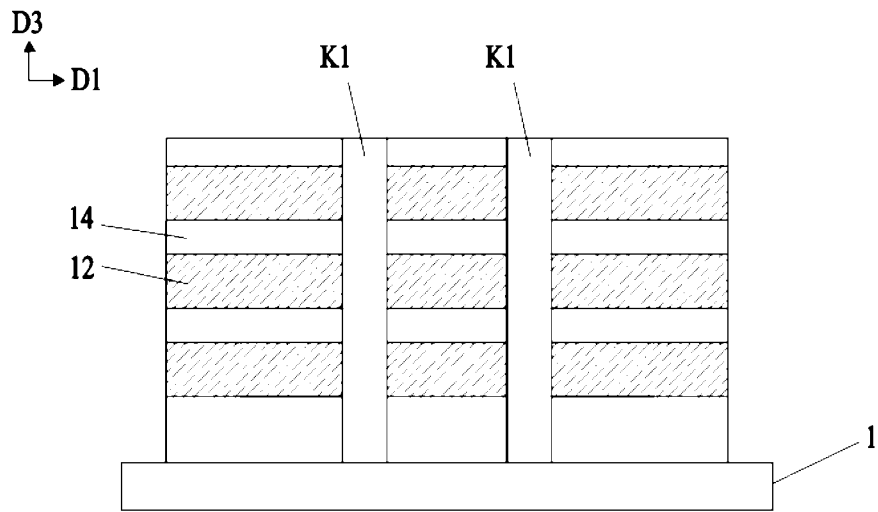


图 3D

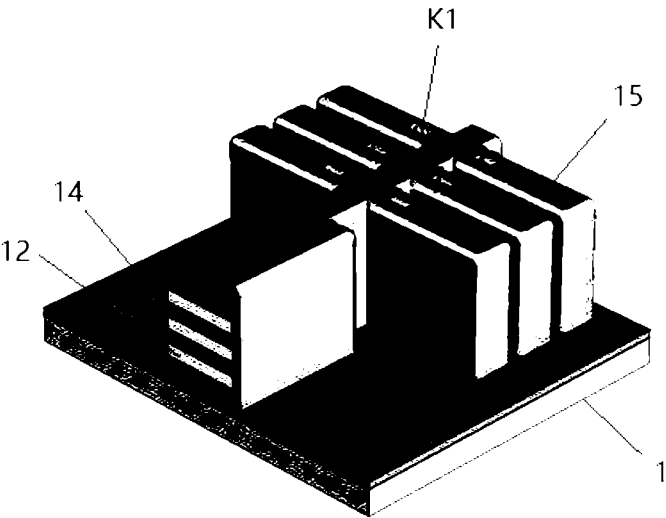


图 4A

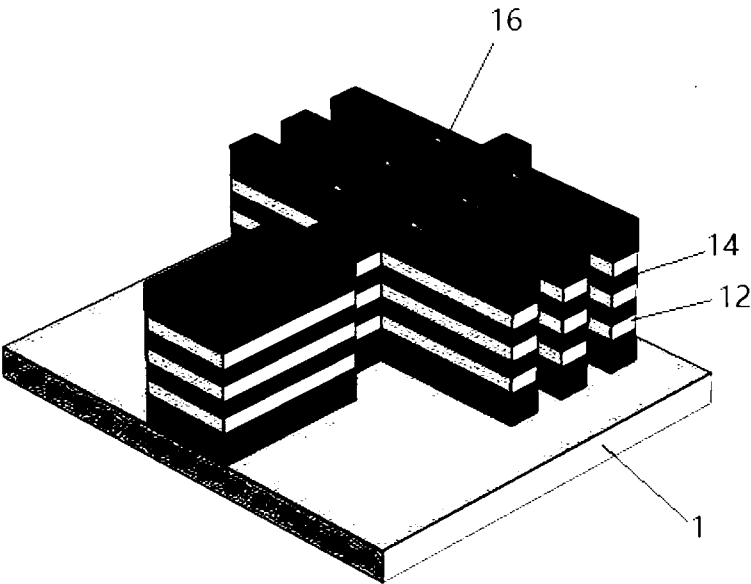


图 4B

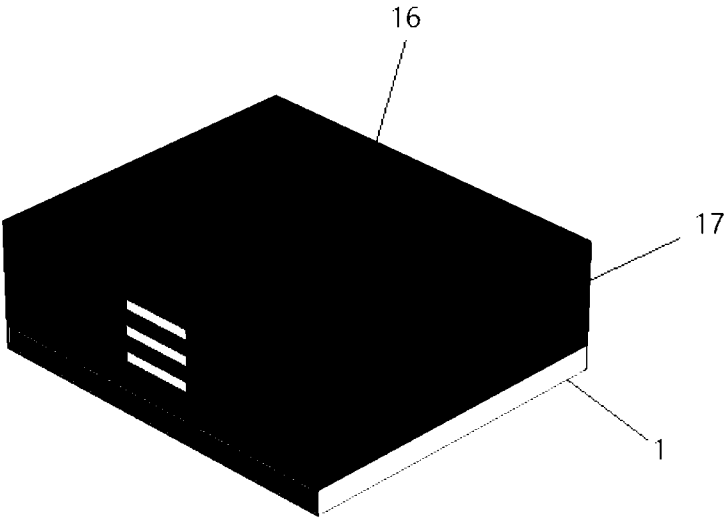


图 4C

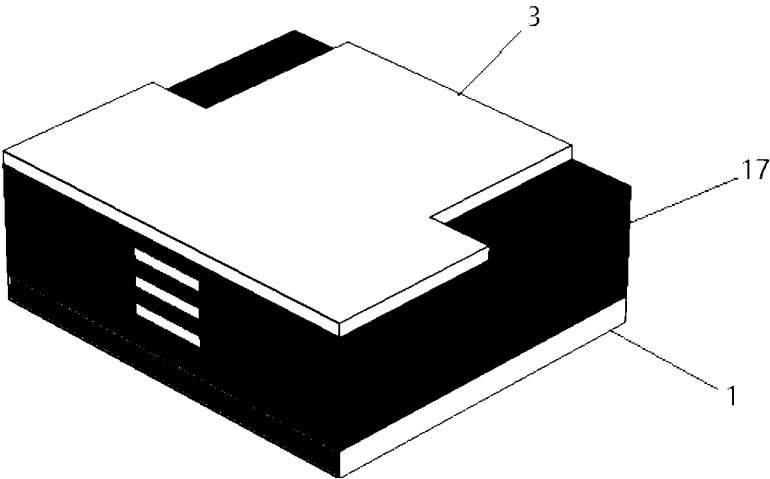


图 5A

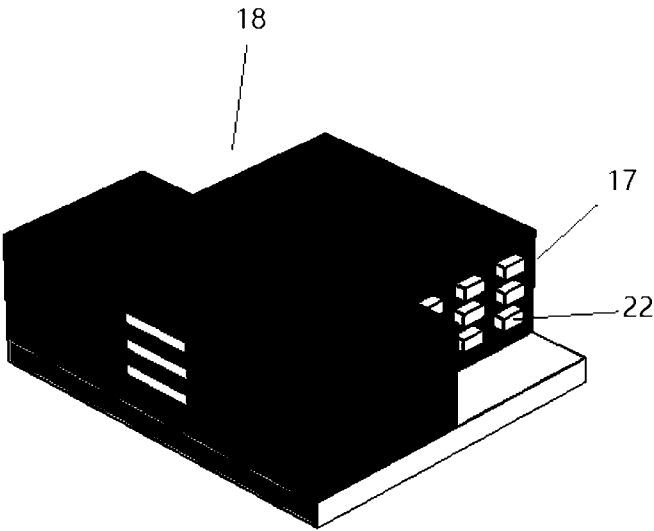


图 5B

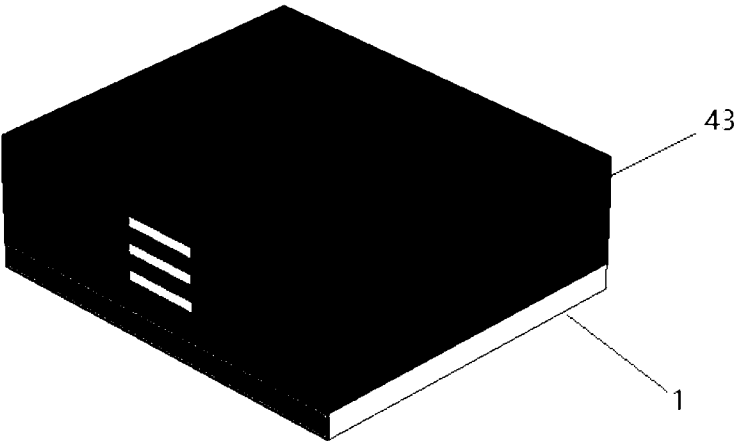


图 5C

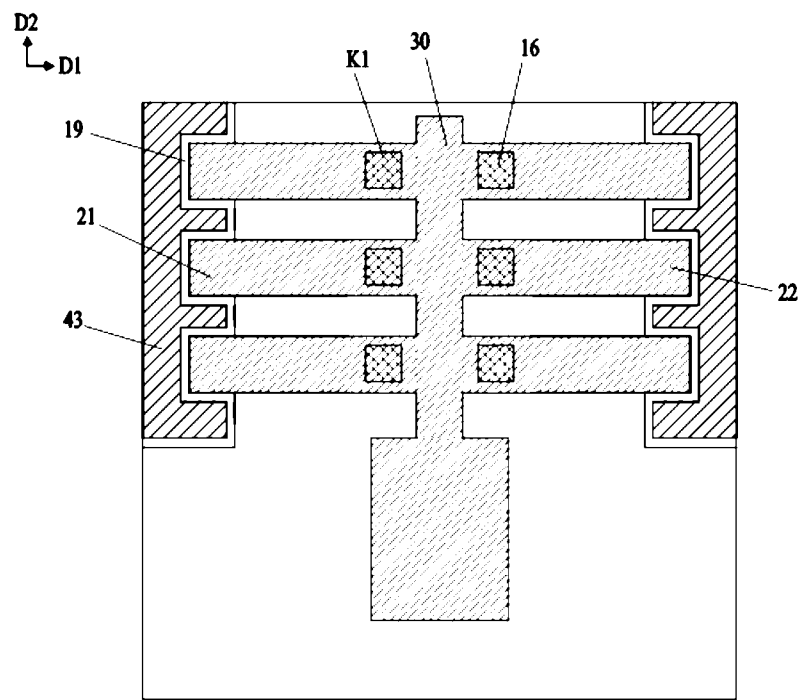


图 5D

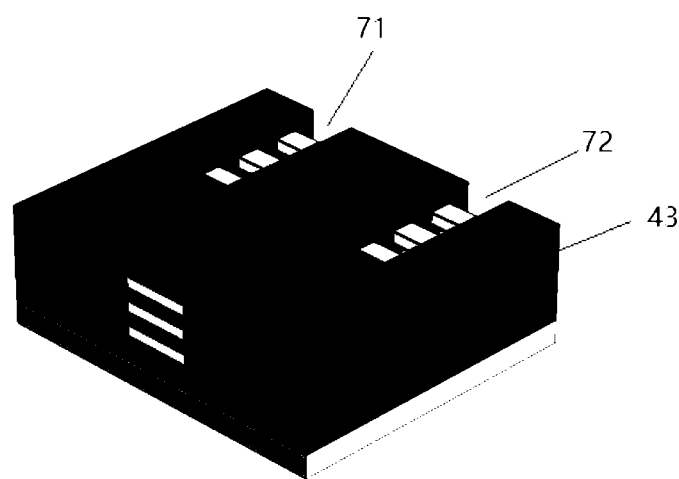


图 6A

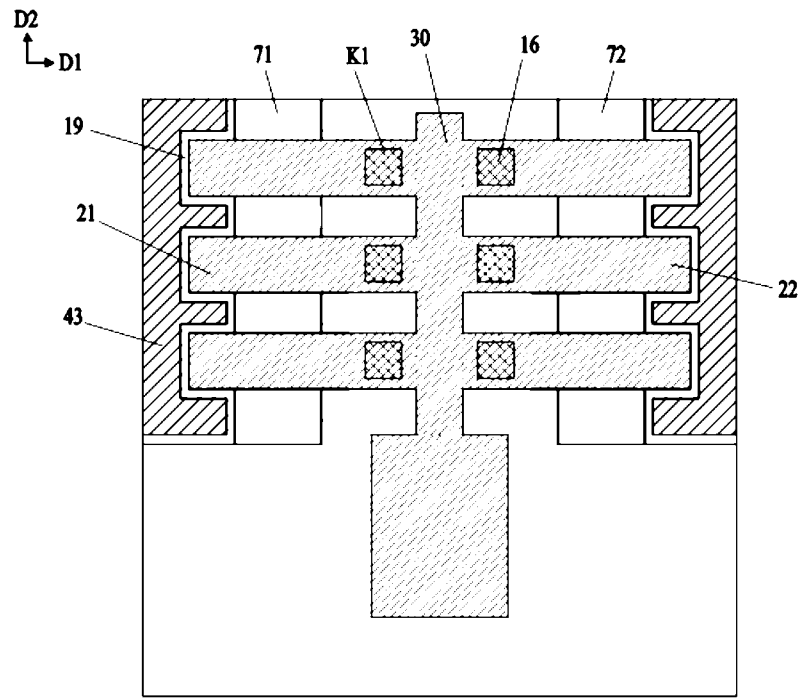


图 6B

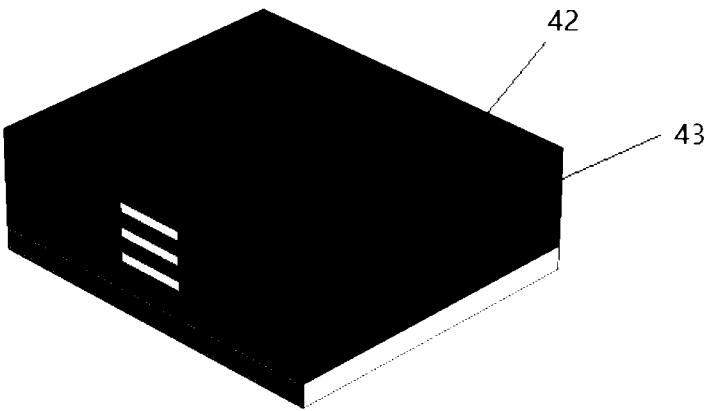


图 7A

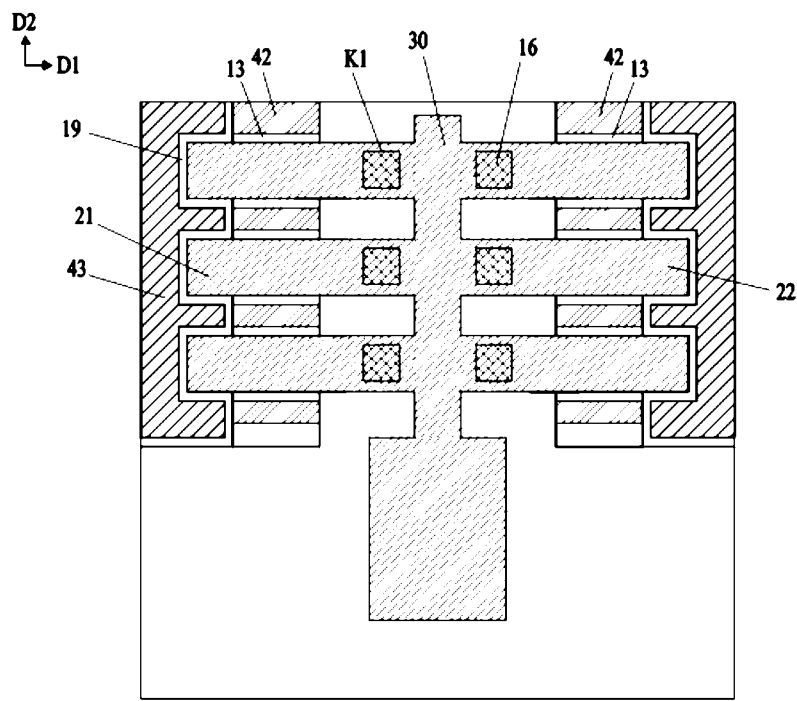


图 7B

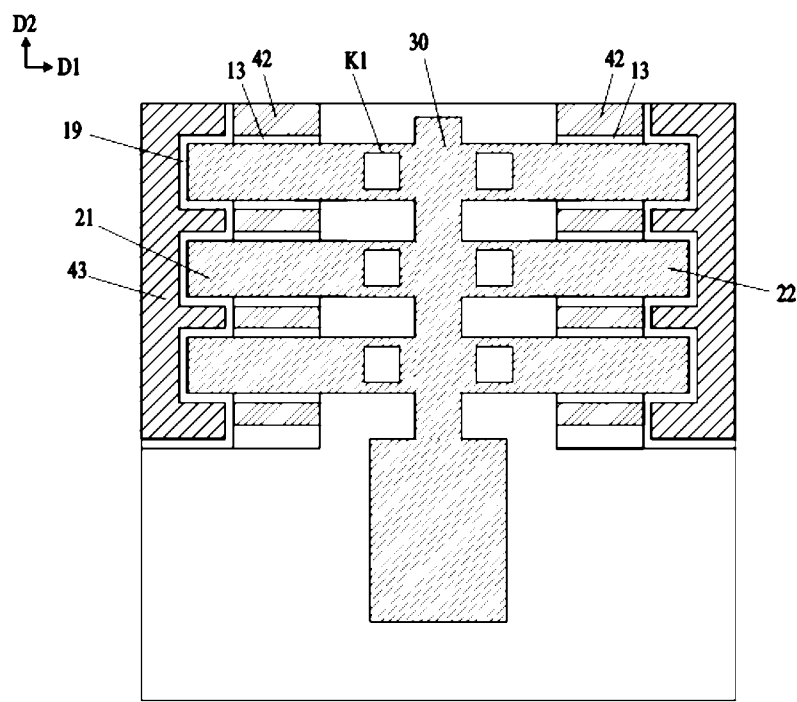


图 8

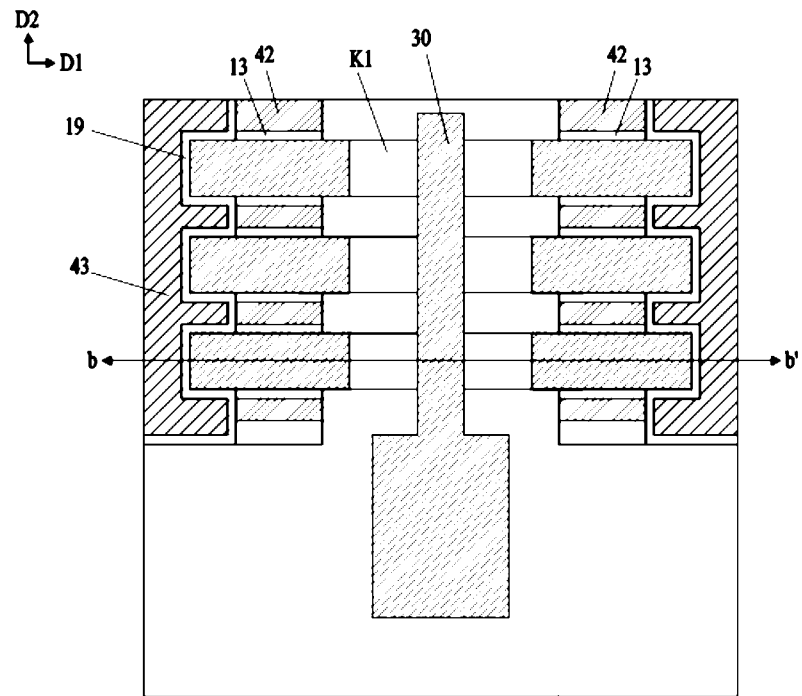


图 9A

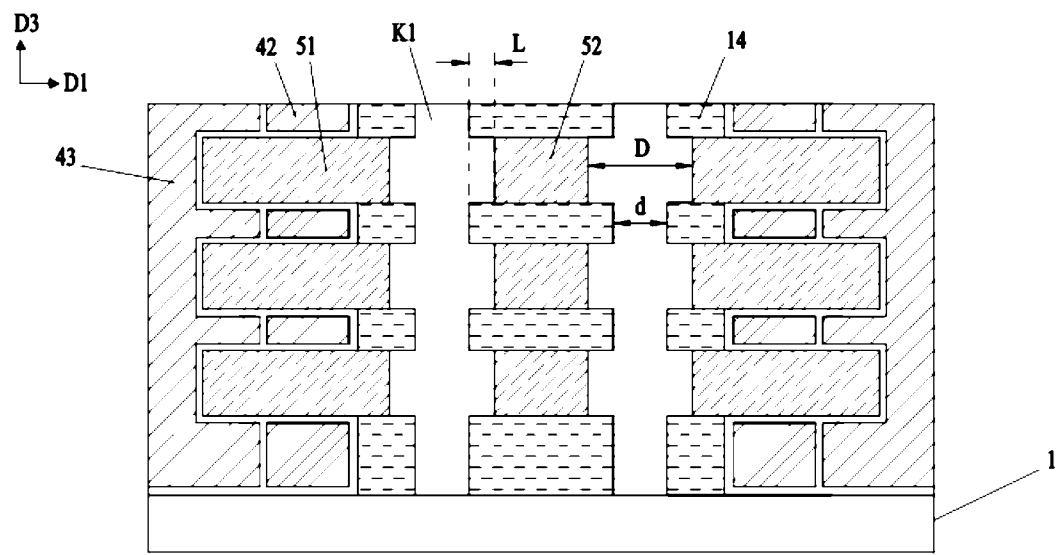


图 9B

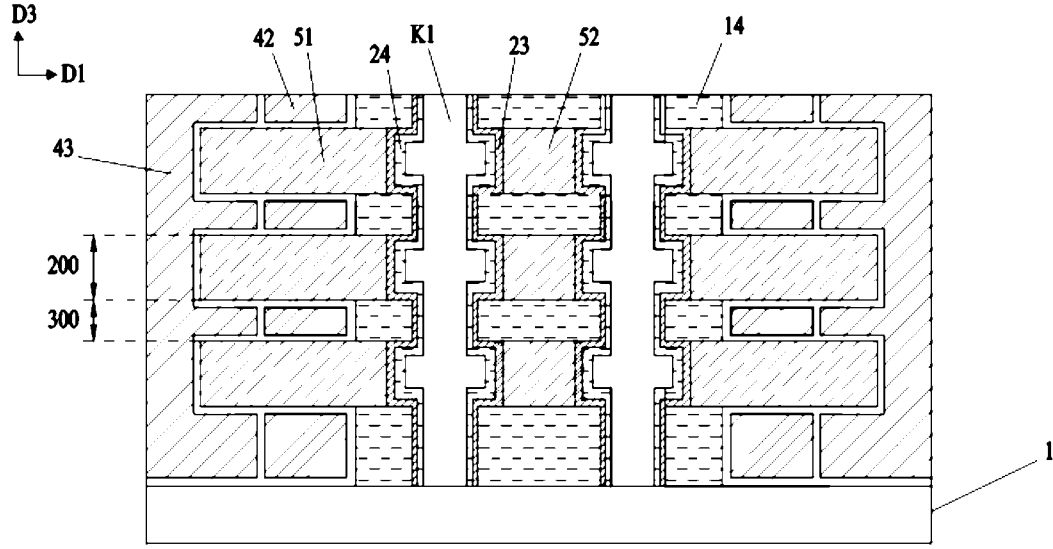


图 10A

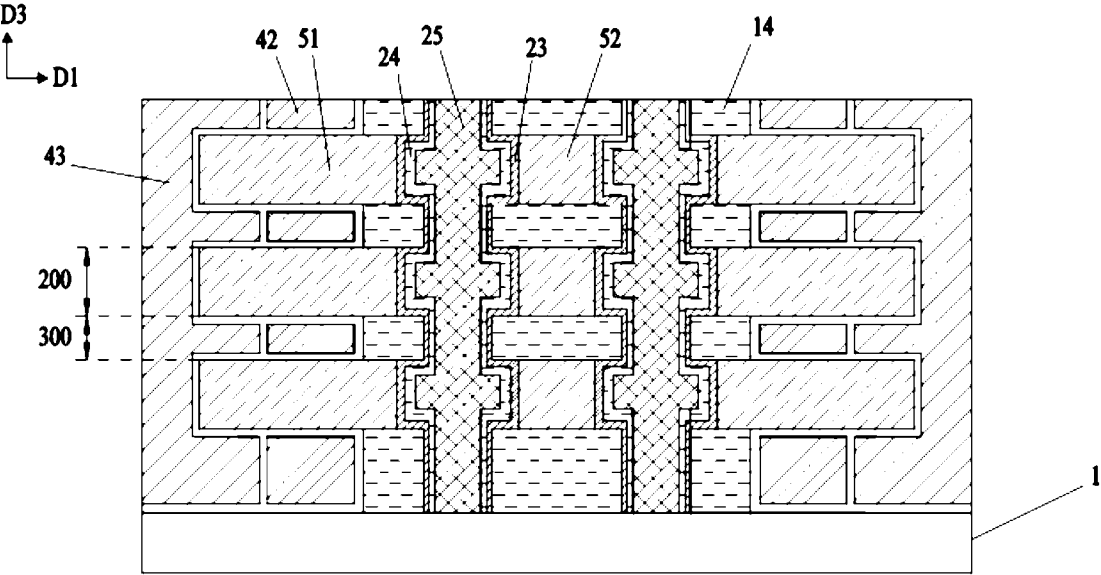


图 10B

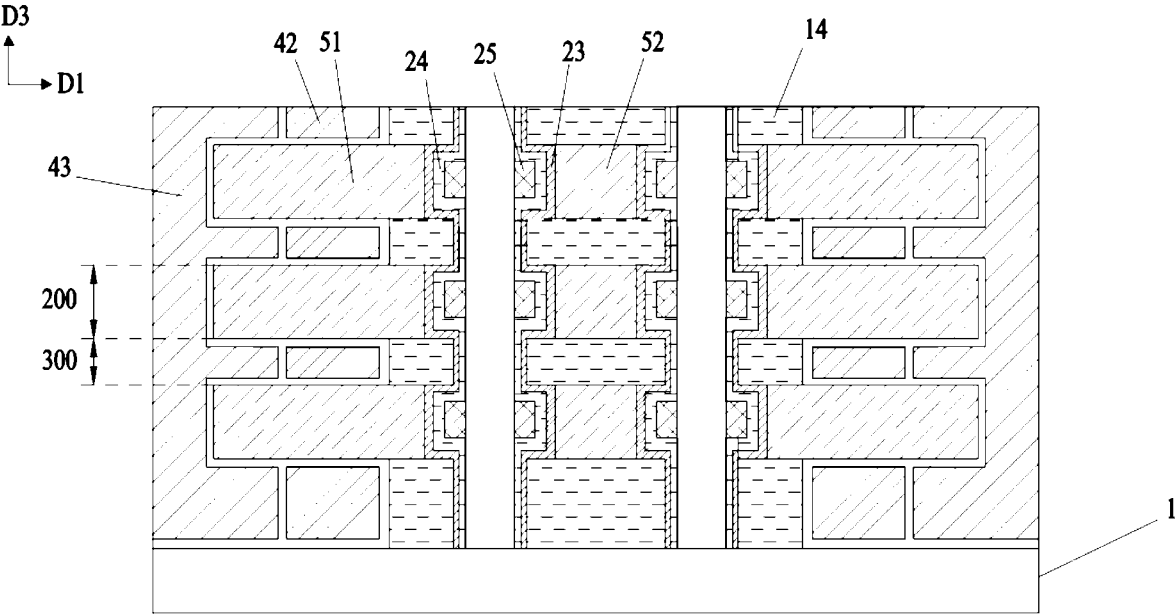


图 11A

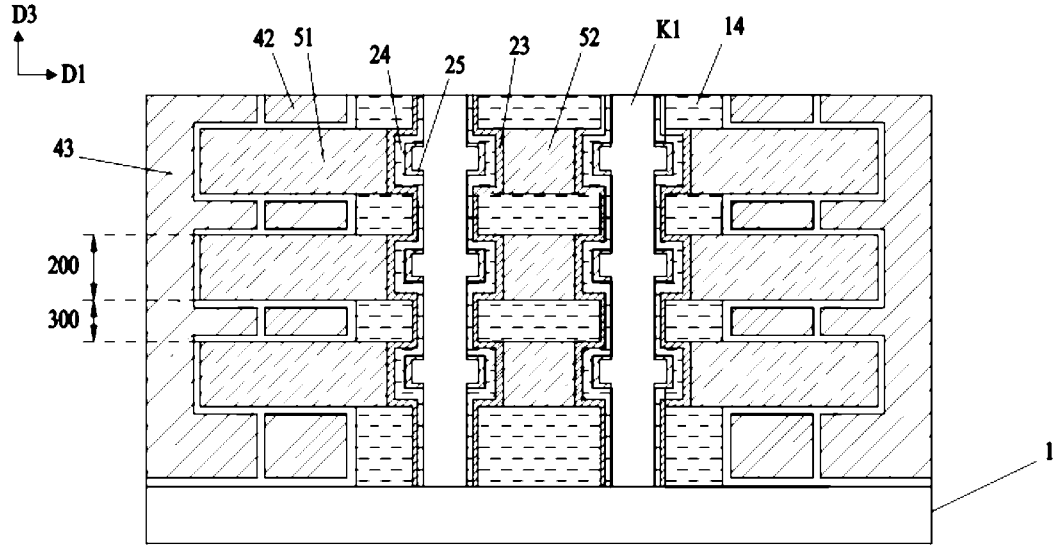


图 11B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/096885

A. CLASSIFICATION OF SUBJECT MATTER H10B12/00(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H01L, H10B Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS, CNTXT, CNKI, SIPOABS, DWPI: 存储, 记忆, 三维, 字线, 垂直, 栅极, 栅电极, 电容, storage, memory, 3D, three dimensional, word line, vertical, gate electrode, capacitor		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115346988 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 15 November 2022 (2022-11-15) description, paragraphs [0037]-[0125], and figures 1-19	1-4, 10-13
A	CN 115332264 A (SAMSUNG ELECTRONICS CO., LTD.) 11 November 2022 (2022-11-11) entire document	1-13
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 30 October 2023		Date of mailing of the international search report 31 October 2023
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/096885

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115346988	A	15 November 2022	None			
CN	115332264	A	11 November 2022	KR	20220153308	A	18 November 2022
				US	2022367479	A1	17 November 2022
				TW	202301566	A	01 January 2023

A. 主题的分类

H10B12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L, H10B

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT, CNKI, SIPOABS, DWPI: 存储, 记忆, 三维, 字线, 垂直, 栅极, 栅电极, 电容, storage, memory, 3D, three dimensional, word line, vertical, gate electrode, capacitor

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115346988 A (北京超弦存储器研究院) 2022年11月15日 (2022 - 11 - 15) 说明书第[0037]-[0125]段, 图1-19	1-4,10-13
A	CN 115332264 A (三星电子株式会社) 2022年11月11日 (2022 - 11 - 11) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年10月30日

国际检索报告邮寄日期

2023年10月31日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

徐颖

电话号码 (+86) 62412106

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/096885

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115346988	A	2022年11月15日	无			
CN	115332264	A	2022年11月11日	KR	20220153308	A	2022年11月18日
				US	2022367479	A1	2022年11月17日
				TW	202301566	A	2023年1月1日