

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5312453号

(P5312453)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

H03K 19/0175 (2006.01)

H03K 19/00 101Q

H03K 19/00 101S

請求項の数 15 (全 22 頁)

(21) 出願番号	特願2010-510622 (P2010-510622)	(73) 特許権者	593138296
(86) (22) 出願日	平成20年6月6日(2008.6.6)		モーセッド・テクノロジーズ・インコーポ
(65) 公表番号	特表2010-529759 (P2010-529759A)		レイテッド
(43) 公表日	平成22年8月26日(2010.8.26)		Mosaid Technologies
(86) 国際出願番号	PCT/CA2008/001069		Incorporated
(87) 国際公開番号	W02008/148197		カナダ国 ケイ2ケイ 2エックス1 オ
(87) 国際公開日	平成20年12月11日(2008.12.11)		ンタリオ, オタワ, ハインズ・ロード 1
審査請求日	平成23年1月20日(2011.1.20)		1, スイート 203
(31) 優先権主張番号	60/942, 798	(74) 代理人	100070150
(32) 優先日	平成19年6月8日(2007.6.8)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 入力／出力バッファの動作インピーダンス制御

(57) 【特許請求の範囲】

【請求項 1】

結合型駆動及び終端回路であって：

第1の複数のトランジスタを有する可変インピーダンス・プルアップ回路網、第2の複数のトランジスタを有する可変インピーダンス・プルダウン回路網、前記プルアップ回路網の終端構成を設定する第1の複数の制御ビット、前記プルダウン回路網の終端構成を設定する第2の複数の制御ビット、前記プルアップ回路網の駆動構成を設定する第3の複数の制御ビット、前記プルダウン回路網の駆動構成を設定する第4の複数の制御ビット、を有し、

前記回路は、前記可変インピーダンス・プルアップ回路網が前記第1の複数の制御ビットに基づきプルアップ回路網終端インピーダンスを有するよう構成され、前記可変インピーダンス・プルダウン回路網が前記第2の複数の制御ビットに基づきプルダウン回路網終端インピーダンスを有するよう構成され、該プルアップ回路網及び該プルダウン回路網は共同して分割終端として動作する終端動作モードを有し、

前記回路は、

ハイ出力を駆動するために、前記プルアップ回路網が前記第3の複数の制御ビットに基づきオンに切り替えられたとき特定のインピーダンスを生成するよう構成され、

ロー出力を駆動するために、前記プルダウン回路網が前記第4の複数の制御ビットに基づきオンに切り替えられたとき特定のインピーダンスを生成するよう構成される、

10

20

駆動動作モードを有し、

前記プルアップ回路網及び前記プルダウン回路網のそれぞれは、オンに切り替えられたトランジスタの数を変化させることにより、所望のインピーダンスを有するよう構成され、

前記第 1 乃至第 4 の複数の制御ビットは、互いに独立である、
ことを特徴とする回路。

【請求項 2】

コア・ロジック、

対応する I / O パッドをそれぞれ有する複数の I / O (入力 / 出力)、

I / O 毎に、対応する請求項 1 に記載の結合型駆動及び終端回路、

を有し、

該結合型駆動及び終端回路は、前記コア・ロジックからの出力を生成し、前記コア・ロジックへの外部入力を終端するよう動作する、

ことを特徴とするコア・ロジック。

【請求項 3】

前記プルアップ及びプルダウン回路網は、駆動動作モードと終端動作モードとの間で転換するときに、2つのインピーダンス設定の間で動的に切り替えられる、

ことを特徴とする請求項 2 記載の装置。

【請求項 4】

I / O 毎に、AND - OR - AND ロジックを有し、ハイへの駆動を示す第 1 の入力とローへの駆動を示す第 2 の入力と終端を示す第 3 の入力とを受信し、相応して 2 つのインピーダンス設定の間で切り替えるブリドライバ・ロジック、

を更に有する請求項 2、3 の何れか一項記載の装置。

【請求項 5】

基準インピーダンスに対して前記インピーダンスを校正する校正ロジック、

と結合する請求項 1 に記載の回路。

【請求項 6】

コア・ロジック、

対応する入力パッドをそれぞれ有する複数の入力、

対応する出力パッドをそれぞれ有する複数の出力、

恒久的に終端モードになるようにされた、入力パッド毎の対応する請求項 1、5 の何れか一項記載の結合型駆動及び終端回路、

恒久的に駆動モードになるようにされた、出力パッド毎の対応する請求項 1 記載の結合型駆動及び終端回路、

を有する装置。

【請求項 7】

前記複数の制御ビットは、トランジスタ当たり 1 ビットを有する、請求項 1 に記載の結合型駆動及び終端回路。

【請求項 8】

前記プルアップ回路網は、並列に共に結合された複数のトランジスタを有し、

前記プルアップ回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御され、

前記プルダウン回路網は、並列に共に結合された複数のトランジスタを有し、

前記プルダウン回路網の可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御される、

ことを特徴とする請求項 1、5 の何れか一項に記載の結合型駆動及び終端回路。

【請求項 9】

請求項 1、5、8 の何れか一項に記載の結合型駆動及び終端回路、

校正の実行で用いられる前記結合型駆動及び終端回路の少なくとも一部の複製、

を有する装置。

10

20

30

40

50

【請求項 10】

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を校正する段階、

(2) データ出力が論理ローのとき、駆動モードのためにプルダウン回路網を校正する段階、

(3) 終端モードのためにプルアップ回路網を校正する段階、

(4) 終端モードのためにプルダウン回路網を校正する段階、

の4段階で実行される校正を制御する制御部、
を更に有する請求項9に記載の装置。

【請求項 11】

10

前記プルアップ回路網は複数のp型MOSFETトランジスタを有し、

前記プルダウン回路網は複数のn型MOSFETトランジスタを有し、

当該装置は、

(1) n型素子の出力インピーダンスを校正し、データ出力が論理ローのとき、駆動モードのために何個の前記n型トランジスタがイネーブルされるべきかを決定する段階、

(2) p型素子の出力インピーダンスを校正し、データ出力が論理ハイのとき、駆動モードのために何個の前記p型トランジスタがイネーブルされるべきかを決定する段階、

(3) n型素子の終端を校正し、終端モードのために何個の前記n型トランジスタがイネーブルされるべきかを決定する段階、

(4) p型素子の終端を校正し、終端モードのために何個の前記p型トランジスタがイネーブルされるべきかを決定する段階、

20

の4段階で実行される校正を制御する制御部、を更に有する請求項9に記載の装置。

【請求項 12】

前記プルアップ回路網及び前記プルダウン回路網は、全体がn型トランジスタ又はp型トランジスタでそれぞれ形成され、

当該装置は：

(1) データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を校正する段階、

(2) 終端モードのためにプルアップ回路網を校正する段階、

の2段階で実行される校正を制御する制御部、

30

を更に有する請求項9に記載の装置。

【請求項 13】

前記オンに切り替えられたトランジスタの数は、温度計コードを用いて徐々に変化する、

ことを特徴とする請求項1に記載の装置。

【請求項 14】

前記温度計コードに変換されるオンに切り替えられたトランジスタの数を、グレイコードを用いて符号化する、

ことを特徴とする請求項13に記載の装置。

【請求項 15】

40

結合型駆動及び終端を提供する方法であって：

終端モードで、可変インピーダンス・プルアップ回路網を第1の複数の制御ビットに基づきプルアップ回路網終端インピーダンスを有するよう構成し、可変インピーダンス・プルダウン回路網を第2の複数の制御ビットに基づきプルダウン回路網終端インピーダンスを有するよう構成し、該プルアップ回路網及び該プルダウン回路網は分割終端として共同して動作し、該プルアップ回路網及び該プルダウン回路網のそれぞれは同一のインピーダンスを提供するよう大きさの定められた複数のトランジスタを有し、該プルアップ回路網及び該プルダウン回路網のそれぞれはオンに切り替えられたトランジスタの数を徐々に変化させることにより、所望のインピーダンスを有するよう構成される段階、

駆動モードで、ハイ出力を駆動するために、前記プルアップ回路網を第3の複数の制御

50

ビットに基づき第1の駆動インピーダンスを生成するよう構成する段階、

前記駆動モードで、ロー出力を駆動するために、前記プルダウン回路網を第4の複数の制御ビットに基づき第2の駆動インピーダンスを生成するよう構成する段階、

を有し、

前記第1乃至第4の複数の制御ビットは、互いに独立である、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力／出力バッファの動作インピーダンス制御に関する。

【背景技術】

【0002】

同期型ダイナミック・ランダム・アクセス・メモリ（SDRAM）メモリ制御部は、パーソナル・コンピュータ内で並びに通常、マイクロプロセッサ及びSDRAMが製品内に組み込まれ制御機能及び該製品のユーザ・インタフェースを定める多様な電子製品内で用いられている。SDRAMメモリ制御部は、プログラムを動作させるときに、マイクロプロセッサに高速SDRAMへの効率的なアクセスを可能にする。

【0003】

チップ製造者は、シリコン技術の電氣的性能及び経済的効果を益々向上させながら、シリコン・プロセスの形状を容赦なく縮小するので、システムに適用するとき、クロック・レート及びデータ・レートが新たな生成と重なってしまうような、チップ間の物理インタフェースにおける深刻な信号の完全性問題が生じる。高いクロック・レートでは、信号の完全性は、主にメモリ制御チップとSDRAMチップとの間の相互接続における伝送線の影響により、屢々損なわれてしまう。

【0004】

反射、減衰、クロストーク及びグラウンド・バウンスを含む伝送線の影響は、全てチップ間の相互接続における信号品質を低下させてしまう。チップ間相互接続における反射は、正しく管理されないと、高速システム内の信号の完全性を完全に破壊しうる。

【0005】

全ての伝送線は、導体の形状及び該導体の周囲にある絶縁材の誘電率により定められる特性インピーダンス及び特有の信号速度を有する。伝送線を往復して伝搬する信号の反射は、制御されないと、存続不可能な点まで信号品質を低下させうる。しかしながら、伝送線の一端を駆動する回路の信号源インピーダンス及び該伝送線の他端にある終端インピーダンスが該伝送線の特性インピーダンスと整合している場合は、如何なる信号反射も伝送線内で生じない。半導体回路、通常はCMOS（相補型金属酸化膜半導体）トランジスタを用い、プリント基板（PCB）のトレース上で信号をオフチップで駆動し、該プリント基板上の他のチップの半導体回路により受信されるようにするとき、該トレースの受信端が伝送線のインピーダンスと厳密に整合する特定のインピーダンスで終端されない場合、重大な信号反射が屢々生じる。

【0006】

以前は、高速信号は、PCBトレースの特性インピーダンスより遙かに低い出力インピーダンスを有するI/O（入力／出力）バッファで駆動されていた。PCBトレースは、該トレースの特性インピーダンスに整合する抵抗値を有する固定抵抗を用いて終端されていた。幾つかの用途では、信号の完全性を向上するために、固定抵抗も駆動バッファと直列に配置されていた。DDR（ダブル・データ・レート）SDRAMの出現は、信号源インピーダンスと終端インピーダンスを内部化する方法の発見へと半導体産業を導き、これらの新しいメモリ・システム内のPCBトレースのインピーダンスを整合するために必要な固定外部抵抗を配置した。動機は、常に価格低下及び省電力化である。整合した終端インピーダンスが存在する場合、DDRメモリ・システムで良好な信号の完全性が得られることが明確に実証された。終端が伝送線の端へ伝搬する信号を吸収する限り、如何なる反射も生じない。これらのシステムでは、伝送線を駆動する回路の信号源インピーダンスは

10

20

30

40

50

、意図的にPCBトレースの特性インピーダンスよりも低くされ、より良好な雑音排除性のためにより大きな信号の振れを生成した。

【0007】

CMOS I/O回路は、特定の条件下で伝送線インピーダンスと非常に良好に整合するように設計されうるが、回路について期待されるプロセス、電圧及び温度(PVT)の全範囲に渡り2:1を屢々超える大きなインピーダンス変化を示す。PVT変化に対抗するため、回路設計者は、オフチップ・ドライブ(Off-Chip Drive: OCD)及びオンダイ・ターミネーション(On-Die Termination: ODT)のために幾らかの調整機能を組み込んできた。

【0008】

今日では、特に、高速通信機ロジック(HSTL)及びDDRの応用で、設定可能な出力インピーダンスのための多くの解決法が用いられている。多くの場合には、出力インピーダンス制御のためにわずか2つの設定しかない。多くの場合に、出力インピーダンスは、基準インピーダンスに対して動的に設定されない。

【先行技術文献】

【非特許文献】

【0009】

【特許文献1】米国特許第5,107,230号明細書

【特許文献2】米国特許第5,134,311号明細書

【特許文献3】米国特許第5,194,765号明細書

【特許文献4】米国特許第5,457,407号明細書

【特許文献5】米国特許第5,666,078号明細書

【特許文献6】米国特許第5,955,894号明細書

【特許文献7】米国特許第6,021,071号明細書

【特許文献8】米国特許第6,049,221号明細書

【特許文献9】米国特許第6,060,907号明細書

【特許文献10】米国特許第6,087,847号明細書

【特許文献11】米国特許第6,118,310号明細書

【特許文献12】米国特許第6,166,563号明細書

【特許文献13】米国特許第6,255,874号明細書

【特許文献14】米国特許第6,275,062号明細書

【特許文献15】米国特許第6,307,424号明細書

【特許文献16】米国特許第6,326,802号明細書

【特許文献17】米国特許第6,501,293号明細書

【特許文献18】米国特許第6,509,757号明細書

【特許文献19】米国特許第6,864,704号明細書

【特許文献20】米国特許第6,885,959号明細書

【特許文献21】米国特許第6,894,529号明細書

【特許文献22】米国特許第7,119,549号明細書

【特許文献23】米国特許第7,135,884号明細書

【特許文献24】米国特許第7,417,452号明細書

【特許文献25】米国特許出願第2004-0183565A1号明細書

【特許文献26】米国特許出願第2005-0226080A1号明細書

【特許文献27】米国特許出願第2006-0226868A1号明細書

【特許文献28】米国特許出願第2006-0255830A1号明細書

【特許文献29】米国特許出願第2007-0057691A1号明細書

【特許文献30】米国特許出願第2007-0126466A1号明細書

【特許文献31】米国特許出願第2007-0126467A1号明細書

【非特許文献1】Jedec Standard, DDR2 SDRAM Specification, JESD79-2E (Revision of JESD79-2D)

10

20

30

40

50

, Apr. 2008, Jedec Solid State Technology Association

【非特許文献2】Jedec Standard, Stub Series Terminated Logic for 1.8V (SSTL_18), JESD8-15A, Addendum 15 to JESD8 Series (Revision of JESD8-15), Sep. 2003, Jedec Solid State Technology Association

【非特許文献3】EIA/Jedec Standard, Stub Series Terminated Logic for 3.3 Volts (SSTL_3), EIA/JESD8-8, Aug. 1996, Electronic Industries Association, Engineering Department

【非特許文献4】Jedec Standard, DDR2 SDRAM Specification, JESD79-2B (Revision of JESD79-2A), Jan. 2005, Jedec Solid State Technology Association

【非特許文献5】Jedec Standard, Stab Series Terminated Logic for 2.5V (SSTL_2), JESD8-9B (Revision of JESD8-9A), May 2002, Jedec Solid State Technology Association

【非特許文献6】Supplementary European Search Report, European Patent Application No. 08757205.3, Jul. 16, 2010

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、入力／出力バッファの動作インピーダンス制御を行うシステム及び方法を提供する。

【課題を解決するための手段】

【0011】

<要約>

第1の広範な態様によると、本発明は結合型駆動及び終端回路を提供する。当該開路は：可変インピーダンス・プルアップ回路網；可変インピーダンス・プルダウン回路網；前記プルアップ回路網の構成を設定する少なくとも1つの制御入力；前記プルダウン回路網の構成を設定する少なくとも1つの制御入力；前記可変インピーダンス・プルアップ回路網がプルアップ回路網終端インピーダンスを有するよう構成され；前記可変インピーダンス・プルダウン回路網がプルダウン回路網終端インピーダンスを有するよう構成され；該プルアップ回路網及び該プルダウン回路網は共同して分割終端として動作する終端動作モードを有する装置；ハイ出力を駆動するために、前記プルアップ回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成され；ロー出力を駆動するために、前記プルダウン回路網がオンに切り替えられたとき特定のインピーダンスを生成するよう構成される；駆動モードを有する装置；を有する。

【0012】

幾つかの実施例では、装置は、コア・ロジック；対応するI/Oパッドをそれぞれ有する複数のI/O（入力／出力）；I/O毎に、対応する上記結合型駆動及び終端回路；を有し、該結合型駆動及び終端回路は、前記コア・ロジックからの出力を生成し、前記コア・ロジックへの外部入力を終端するよう動作する。

【0013】

幾つかの実施例では、前記プルアップ及びプルダウン回路網は、駆動モードと終端モードとの間で転換するときに、2つのインピーダンス設定の間で動的に切り替えられ。

【0014】

幾つかの実施例では、当該装置は、I/O毎に、AND-OR-ANDロジックを有し、ハイへの駆動を示す第1の入力とローへの駆動を示す第2の入力と終端を示す第3の入力とを受信し、相応して2つのインピーダンス設定の間で切り替えるブリドライバ・ロジック；を更に有する。

【0015】

幾つかの実施例では、当該回路は、基準インピーダンスに対して前記インピーダンスを較正する較正ロジック；と結合される。

【0016】

幾つかの実施例では、装置は、コア・ロジック；対応する入力パッドをそれぞれ有する複数の入力；対応する出力パッドをそれぞれ有する複数の出力；恒久的に終端モードになるようにされた、入力パッド毎の対応する上記結合型駆動及び終端回路；恒久的に駆動モードになるようにされた、出力パッド毎の対応する上記結合型駆動及び終端回路；を有する。

10

【0017】

幾つかの実施例では、装置は、上記結合型駆動及び終端回路；前記結合型駆動及び終端回路が駆動モード又は終端モードであるかに応じて前記制御入力を生成する制御部；を有する。

【0018】

幾つかの実施例では、前記プルアップ回路網は、並列に共に結合された複数のトランジスタを有し；前記プルアップ回路網の前記可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御され；前記プルダウン回路網は、並列に共に結合された複数のトランジスタを有し；前記プルダウン回路網の前記可変インピーダンスは、前記複数のトランジスタのうちの特定の数を選択的にオンに切り替えることにより制御される；ことを特徴とする。

20

【0019】

幾つかの実施例では、装置は、上記結合型駆動及び終端回路；キャリブレーションの実行で用いられる前記結合型駆動及び終端回路の少なくとも一部の複製；を有する。

【0020】

幾つかの実施例では、装置は、(1)データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正する段階；(2)データ出力が論理ローのとき、駆動モードのためにプルダウン回路網を較正する段階；(3)終端モードのためにプルアップ回路網を較正する段階；(4)終端モードのためにプルダウン回路網を較正する段階；の4段階で実行される較正を制御する制御部；を更に有する。

30

【0021】

幾つかの実施例では、前記プルアップ回路網は複数のp型MOSFETトランジスタを有し、前記プルダウン回路網は複数のn型MOSFETトランジスタを有し、当該装置は、(1)n型素子の出力インピーダンスを較正し、データ出力が論理ローのとき、駆動モードのために何個の前記n型トランジスタがイネーブルされるべきかを決定する段階；(2)p型素子の出力インピーダンスを較正し、データ出力が論理ハイのとき、駆動モードのために何個の前記p型トランジスタがイネーブルされるべきかを決定する段階；(3)n型素子の終端を較正し、終端モードのために何個の前記n型トランジスタがイネーブルされるべきかを決定する段階；(4)p型素子の終端を較正し、終端モードのために何個の前記p型トランジスタがイネーブルされるべきかを決定する段階；の4段階で実行される較正を制御する制御部；を更に有する。

40

【0022】

幾つかの実施例では、前記プルアップ回路網及び前記プルダウン回路網は、全体がn型トランジスタ又はp型トランジスタでそれぞれ形成され、当該装置は：(1)データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正する段階；(2)終端モードのためにプルアップ回路網を較正する段階；の2段階で実行される較正を制御する制御部；を更に有する。

50

【 0 0 2 3 】

幾つかの実施例では、前記プルアップ回路網は複数の p 型 MOSFET トランジスタを有し、前記プルダウン回路網は複数の n 型 MOSFET トランジスタを有し、当該装置は：(1) n 型素子の出力インピーダンスを較正し、データ出力が論理ローのとき、駆動モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；(2) n 型素子の終端を較正し、終端モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを決定する段階；の 2 段階で実行される較正を制御する制御部；を更に有する。

【 0 0 2 4 】

幾つかの実施例では、当該装置は、共通の較正值を各結合型駆動及び終端回路に渡す相互接続；を更に有する。幾つかの実施例では、前記相互接続は、1 又は複数の温度計コードを用いて前記較正值を供給する、ことを特徴とする。

10

【 0 0 2 5 】

幾つかの実施例では、前記プルアップ回路網は複数の p 型トランジスタを有し、前記プルダウン回路網は複数の n 型トランジスタを有し、前記相互接続は：データ出力が論理ローのとき、駆動モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを設定する第 1 の較正值；データ出力が論理ハイのとき、駆動モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを設定する第 2 の較正值；終端モードのために何個の前記 n 型トランジスタがイネーブルされるべきかを設定する第 3 の較正值；終端モードのために何個の前記 p 型トランジスタがイネーブルされるべきかを設定する第 4 の較正值；を供給する；ことを特徴とする。

20

【 0 0 2 6 】

幾つかの実施例では、装置は、複数の上記結合型駆動及び終端回路；共通の較正值を各結合型駆動及び終端回路に渡す相互接続；各結合型駆動及び終端回路毎に存在し、特定の結合型駆動及び終端回路が論理ローを出力するか若しくは論理ハイを出力する駆動モードであるか又は終端モードであるかに応じて、前記較正值のうちの 1 つを選択的に適用するブリドライバ；を有する。

【 0 0 2 7 】

別の広範な態様によると、本発明は、終端トランジスタを兼ねる駆動トランジスタ；を有する結合型 ODT (オンダイ終端) 及び OCD (オフチップ駆動) 回路を提供する。

30

【 0 0 2 8 】

別の広範な態様によると、本発明は、少なくとも 1 つのプルダウン・トランジスタに結合された少なくとも 1 つのプルアップ・トランジスタ；該プルアップ・トランジスタ及び該プルダウン・トランジスタの間に結合された入力；を有し、該少なくとも 1 つのプルダウン・トランジスタ及び該少なくとも 1 つのプルアップ・トランジスタは、該入力を終端するよう動作する、ことを特徴とするオンチップ終端回路を提供する。

【 0 0 2 9 】

幾つかの実施例では、前記少なくとも 1 つのプルアップ・トランジスタは、選択的にイネーブルされうる第 1 の複数のトランジスタを有し、前記少なくとも 1 つのプルダウン・トランジスタは、選択的にイネーブルされうる第 2 の複数のトランジスタを有し、前記第 1 及び第 2 の複数のトランジスタのうちのイネーブルされる数は、当該回路の終端インピーダンスを設定する、ことを特徴とする。

40

【 0 0 3 0 】

別の広範な態様によると、本発明は、結合型駆動及び終端を提供する方法を提供する。当該方法は：終端動作モードで、プルアップ回路網終端インピーダンスを有するよう可変インピーダンス・プルアップ回路網を構成し、プルダウン回路網終端インピーダンスを有するよう可変インピーダンス・プルダウン回路網を構成し、該プルアップ回路網及び該プルダウン回路網は、分割終端として共同して動作する段階；駆動動作モードで、ハイ出力を駆動するために、前記プルアップ回路網を第 1 の駆動インピーダンスを生成するよう構成する段階；前記駆動動作モードで、ロー出力を駆動するために、前記プルダウン回路網

50

を第 2 の駆動インピーダンスを生成するよう構成する段階；を有する。

【 0 0 3 1 】

幾つかの実施例では、当該方法は：前記終端モードと前記駆動モードとの間で動作モードを選択する段階；を更に有する。

【 0 0 3 2 】

幾つかの実施例では、プルアップ終端インピーダンスを有するよう前記プルアップ回路網を構成する段階は、該プルアップ回路網を形成する複数のトランジスタのうちの特定数を選択的にオンに切り替える段階を有し；プルダウン終端インピーダンスを有するよう前記プルダウン回路網を構成する段階は、該プルダウン回路網を形成する複数のトランジスタのうちの特定数を選択的にオンに切り替える段階を有する；ことを特徴とする。幾つかの実施例では、当該方法は：前記プルアップ終端インピーダンス、前記プルダウン終端インピーダンス、前記第 1 の駆動インピーダンス及び前記第 2 の駆動インピーダンスを校正するために更に校正を実行する段階；を更に有する。

10

【 0 0 3 3 】

幾つかの実施例では、校正を実行する段階は：データ出力が論理ハイのとき、駆動モードのために前記プルアップ回路網を校正する段階；データ出力が論理ローのとき、駆動モードのために前記プルダウン回路網を校正する段階；終端モードのために前記プルアップ回路網を校正する段階；終端モードのために前記プルダウン回路網を校正する段階；を更に有する、ことを特徴とする。

【 0 0 3 4 】

20

幾つかの実施例では、校正を実行する段階は：データ出力が論理ハイのとき、駆動モードのために前記プルアップ回路網を校正し、第 1 の校正結果を生成する段階；該第 1 の校正結果を用いて、データ出力が論理ローのとき、駆動モードのために前記プルダウン回路網を校正する段階；終端モードのために前記プルアップ回路網を校正し、第 2 の校正結果を生成する段階；該第 2 の校正結果を用いて、終端モードのために前記プルダウン回路網を校正する段階；を有する、ことを特徴とする。

【 0 0 3 5 】

本発明の実施例は、添付の図面を参照してより詳細に説明される。

【図面の簡単な説明】

【 0 0 3 6 】

30

【図 1】従来のセル構造と本発明の実施例により提供されるセル構造とのフロアの比較である。

【図 2 A】本発明の実施例により提供される結合型オンチップ駆動 / オンダイ・ターミネーションのブロック図である。

【図 2 B】本発明の実施例により提供される、クワッド・データ・レートの用途に適した結合型オンチップ駆動 / オンダイ・ターミネーションのブロック図である。

【図 2 C】どのようにキャリブレーションが実行されるかを説明する回路図である。

【図 2 D】本発明の実施例により提供される、DDR3 の用途に適した結合型オンチップ駆動 / オンダイ・ターミネーションのブロック図である。

【図 3】本発明の実施例により提供される I / O セル構造の詳細なブロック図である。

40

【図 4 A】図 3 のコア・ロジック機能の論理図である。

【図 4 B】図 4 A の論理図の真理値表である。

【図 5】結合型の駆動及び終端を提供する方法のフローチャートである。

【図 6】図 5 の方法を校正する第 1 の方法のフローチャートである。

【図 7】図 5 の方法を校正する第 2 の方法のフローチャートである。

【発明を実施するための形態】

【 0 0 3 7 】

図 1 を参照すると、2 つの異なる DDR 入力 / 出力 (I / O) セル構造のフロアプランが示される。通常、従来のセル構造 30 は、コア・インタフェース・ロジック 10、レベル変換及び入力バッファ 12、ブリドライバ 14、オンダイ・ターミネーション (ODT

50

）１６、オフチップ・ドライバ（ＯＣＤ）１８、静電放電（ＥＳＤ）クランプ・ダイオード２０及びボンド／プローブ・パッド２２を有する。例えば、非特許文献１を参照のこと。

【００３８】

概ね、本発明の実施例により提供されるセル構造３２も、コア１０、レベル変換及び入力バッファ１２、プリドライバ１４、ＥＳＤ２０及びパッド２２を有する。しかしながら、本実施例では、オンダイ・ターミネーション１６及びオフチップ・ドライバ１８は別個の要素ではなく、結合されたオフチップ・ドライバ／オンダイ駆動（ＯＣＤ／ＯＤＴ）３４が提供される。

【００３９】

図１のセルＩ／Ｏ構造３２は、ＳＤＲＡＭメモリ素子のようなメモリ素子に結合されるメモリ制御部のＩ／Ｏとして用いられることを目的としているが、Ｉ／Ｏ構造は、実際のメモリ素子自体及び例えばＣＰＵ、ＦＰＧＡ、制御部、メモリ等を含む任意の高速ＣＭＯＳチップ間相互接続での他の用途も考えられる。

【００４０】

留意すべき点は、従来の構造３０では、別個のＯＤＴ及びＯＣＤが存在し、例えば可能な実装に特有の寸法は高さ２６０μｍ及び幅４０μｍになることである。ＯＤＴ１６は、通常、抵抗を用いて実施され、ＯＣＤ１８は、通常、トランジスタを用いて実施される。

【００４１】

新規なセル構造３２では、結合型ＯＤＴ／ＯＣＤが存在し、例えば可能な実装に特有の寸法はセル構造が全体で高さ２００μｍを有することである。ＯＤＴ及びＯＣＤは、共有トランジスタを用いて実施される。

【００４２】

図１は、ＯＣＤ／ＯＤＴ機能がセル構造内に実施された特定の例である。概して、本例で提供される結合型ＯＣＤ／ＯＤＴ回路は、終端及び駆動の両方を必要とする如何なるセル構造内で用いられてもよい。更に別の実施例では、結合型ＯＣＤ／ＯＤＴ回路は、専用の終端及び駆動機能を有するセル内に、それぞれ設計及び試験の簡略化のために利用されている同じ回路の別の存在と共に実施される。

【００４３】

図２Ａを参照すると、結合型ＯＣＤ／ＯＤＴの簡易ブロック図が示される。図示のように、可変抵抗プルアップ回路網４０は、可変抵抗プルダウン回路網４２にそれぞれスイッチ５０、５２を介して結合されている。スイッチ５０は、閉じられると、プルアップ回路網４０をＩ／Ｏパッド４６及びＥＳＤ構造（図示されない）に結合する。スイッチ５０は、ＯＤＴ／ＯＣＤプルアップ回路網の全体に動的なオン／オフ制御を提供する入力４１を有する。スイッチ５２は、閉じられると、プルダウン回路網４２をＩ／Ｏパッド４６及びＥＳＤ構造に結合する。同様に、スイッチ５２は、ＯＤＴ／ＯＣＤプルダウン回路網の全体に動的なオン／オフ制御を提供する入力４３を有する。

【００４４】

制御４１は、ＯＤＴ及びＯＣＤ機能のそれぞれに対してプルアップ回路網を高速でオン及びオフに切り替えることを可能にする。同様に、制御４３は、ＯＤＴ及びＯＣＤ機能のそれぞれに対してプルダウン回路網を高速でオン及びオフに切り替えることを可能にする。第１及び第２のオン／オフ制御４１、４３は、出力を生成するか又は入力を受信するために、プルアップ及びプルダウン抵抗回路網をオン又はオフに動的に切り替える。

【００４５】

通常、パッド４６は、ＰＣＢトレースを介してＳＤＲＡＭのようなメモリ素子（図示されない）に結合される。プルアップ回路網４０は、ＯＤＴ及びＯＣＤのそれぞれに対しインピーダンス制御入力を提供する制御入力４８を有する。プルダウン回路網４２は、ＯＤＴ及びＯＣＤのそれぞれに対しインピーダンス制御を提供する制御入力５３を有する。入力バッファ５１も示される。入力バッファは、パッド４６からの信号を受信し、該信号をコア（図示されない）へ受信回路（図示されない）を介して転送するよう結合される。

10

20

30

40

50

【 0 0 4 6 】

可変抵抗回路網 4 0、4 2 の両者は、主として、可変抵抗を有するトランジスタ回路網である。幾つかの実施例では、これらの可変抵抗回路網は、回路の入り及び切りを切り替えてそれにより該回路のオン状態の抵抗値を変化させるトランジスタのセットを有する。回路網のオフ状態の抵抗値は、実質的に、漏れ電流のみを示す開回路の抵抗値である。幾つかの実施例では、第 1 及び第 2 の抵抗制御 (4 8、5 3) は準静的制御である。準静的制御では、特定の較正された抵抗値に設定されると、抵抗回路網の動作条件が抵抗値を有意に変化させない限り、再び状態を変更する必要がない。再較正の状態、抵抗制御の状態は変化し、異なる動作条件に対して所望の抵抗値を達成しうる。

【 0 0 4 7 】

ODT モードで動作するために、第 1 及び第 2 のオン/オフ制御 4 1、4 3 は、プルアップ回路網 4 0 及びプルダウン回路網 4 2 をそれぞれオンに切り替える。更に、インピーダンス制御入力 4 8、5 3 は、プルアップ回路網 4 0 及びプルダウン回路網 4 2 の抵抗値を終端のために較正された値に設定するために用いられる。受信した信号は、パッド 4 6 を介して入力され、入力バッファ 5 1 を通過し、回路の残りの部分 (図示されない) へ渡される。プルアップ回路網内及びプルダウン回路網内の両方のトランジスタを同時にオンに切り替えることにより、出力ドライバは、分割終端抵抗回路網のインピーダンス動作を生成するために用いられうる。換言すると、制御部の出力トランジスタは、入力信号を終端するために用いられうる。

【 0 0 4 8 】

OCD モードで動作するために、論理ハイ (High) が出力されるべきとき、制御入力 4 1、4 3 は、プルアップ回路網 4 0 をオンに切り替え、プルダウン回路網 4 2 をオフに切り替える。更に、インピーダンス制御 4 8 はプルアップ回路網 4 0 の抵抗値をプルアップ回路網を駆動するために較正された値に設定するために用いられる。論理ロー (Low) が出力されるべきとき、制御入力 4 1、4 3 は、プルダウン回路網 4 2 をオンに切り替え、プルアップ回路網 4 0 をオフに切り替える。更に、インピーダンス制御入力 5 3 はプルダウン回路網 4 0 の抵抗値をプルダウン回路網を駆動するために較正された値に設定するために用いられる。留意すべき点は、OCD 及び ODT 機能は相互に排他的であることである。

【 0 0 4 9 】

クワッド・データ・レート (QDR) S R A M (静的ランダム・アクセス・メモリ) は、独立した入力及び出力パッドを有する種類の S R A M である。共通 I / O セル設計の別個の存在は入力及び出力の両方に用いられ、それにより設計を単純にできるので、統合型 ODT / OCD はこれらの素子を結合するために更に適用されうる。本例では、所与の統合型 OCD / ODT の存在は、恒久的に ODT 又は OCD の一方になるよう設計される。

【 0 0 5 0 】

図 2 B は、図 1 と同様の統合型 ODT / OCD 機能がクワッド・データ・レート (QDR) S R A M 制御部のために用いられ、QDR S R A M と電気経路を通じて通信する特定の例を示す。図示した例では、電気経路は、制御部から S R A M までに、制御部のチップ・ボンドパッド 8 0、制御部のパッケージ・リード 8 2、ボール 8 4、回路基板トレース 8 6、別のボール 8 8、S R A M のパッケージ・リード 9 0 及び S R A M のチップ・ボンドパッド 9 2 を有する。図は原寸に比例していない。原寸では、通常、回路基板トレース 8 6 は電気経路の全ての他の要素よりもかなり長い。電気経路は、完全な総合接続ノードとして動作しない。従って幾らかの寄生抵抗、インダクタンス及びキャパシタンスが、高速信号に深刻な伝送線の影響を与えうる該電気経路に関連付けられる。留意すべき点は、追加の受信回路 (例えば、受信バッファ等) は図示されないが、少なくとも ODT に用いられている回路の存在のために存在している。

【 0 0 5 1 】

出力インピーダンスは、オンに切り替えられている QDR 出力ドライバ内のトランジスタの数に関して逆に変化する。図 2 B に戻ると、概して、プルアップ回路網 4 0 内に少な

10

20

30

40

50

くとも幾つかの（例えば16）NMOSトランジスタ43が存在し、プルダウン回路網42内にも同数のNMOSトランジスタ45が存在する。幾つかの実施例では、キャリブレーションを目的として、プルアップ回路網40のみがオンに切り替えられればよい。何故なら、回路網A内及びB内の両方のトランジスタは、同一種類（本例ではNMOS）であり、キャリブレーション電圧（ $V_O = V_{DDQ} / 2$ ）で同一のプルアップ及びプルダウンインピーダンスを提供するような大きさに設計されているからである。

【0052】

図2Cを参照すると、同一種類のトランジスタにより形成されるプルアップ回路網及びプルダウン回路網を有する回路内でどのようにキャリブレーションが実行されるかの例であるモデルが示される。I/Oセルの複製がキャリブレーションの目的に用いられる。プルアップ回路網は $R_{PU}200$ として示され、プルダウン回路網は $R_{PD}202$ として示される。切り替えは、 R_{PU} が常に接続され、 R_{PD} が常に切断されるようにされる。これは、単一のスイッチ203として示されるが、図2Aのスイッチ50、52と等価な1対のスイッチを用いて及び/又は可変抵抗プルアップ回路網及びプルダウン回路網を実施するトランジスタを用いて、開かれている図2Aのスイッチ50及び閉じられているスイッチ52と等価に R_{PU} を接続して、実施されてもよい。複製回路は、パッド204を通じて、図示された例では50である基準抵抗 R_{ZQ} に結合される。複製回路の出力201は、アナログ比較器206の1つの入力にも結合される。アナログ比較器206は、図示された例では $V_{DDQ} / 2$ に設定された基準電圧に結合された第2の入力を有する。アナログ比較器206の出力 $Z_{COMP}208$ は、回路の出力201が基準電圧よりも低いときローであり、回路の出力201が基準電圧よりも高いときハイである。出力 $Z_{COMP}208$ は、出力 V_O201 が基準電圧と等しいとき不定である。出力インピーダンスを較正するために、 $R_{PU}200$ は、（回路構成を変化させることにより、例えば抵抗値に貢献するトランジスタの数を変化させることにより） $Z_{COMP}208$ が「0」から「1」に切り替わるまで変化される。この変化が生じると、出力電圧は基準電圧を超え、回路構成は実際のI/Oセルの出力インピーダンスの設定に使用されると判明する。留意すべき点は、出力 V_O201 が $V_{DDQ} / 2$ に非常に近いとき、同一の電流を有する各抵抗の両端の電圧が等しいので、プルアップ抵抗の値は較正抵抗 R_{ZQ} の値に非常に近いことである。

【0053】

幾つかの実施例では、アナログ比較器206は、DDR入力バッファを用いて実施される。このようなバッファは、精度や利得よりも速度のために設計された特殊なアナログ比較器である。このようなアナログ比較器の出力は、デジタルであり、該アナログ比較器の複数のアナログ入力の相対値に依存して、ある論理レベルから別の論理レベルへ急に切り替わるように設計される。

【0054】

例えば、出力インピーダンスを較正し、図2Cに示された50の抵抗に整合するようにするために、オンに切り替えられたトランジスタの数は、基準駆動プルアップ回路網のプルアップ・トランジスタのゲートに印加される選択/イネーブル信号を変化させることにより、出力 V_O201 が $V_{DDQ} / 2$ より大きい可能な限り近くなるまで、徐々に変化されうる。QDR出力ドライバの適正な較正はこの設定になり、基準QDR出力ドライバが設定されると、出力ドライバのトランジスタの正しい数(X)は、較正基準ドライバの設定を共有する全てのQDRドライバ内で、通常動作中はオンに切り替えられる。例えば、プルアップ回路網内の $X = 16$ 個のトランジスタが伝送線がハイに駆動されるときオンに切り替えられ、プルダウン回路網内の $X = 16$ 個のトランジスタが伝送線がローに駆動されているときオフに切り替えられる。

【0055】

図2Bのプルアップ回路網及びプルダウン回路網は、両方ともn型トランジスタを有する。これは、QDR用途に特に適する。以上に詳細に説明したように、これは、簡単な較正を実行することを可能にする。より詳細には、同一種類のトランジスタで形成されたプ

ルアップ回路網及びプルダウン回路網を特徴とする如何なる実装においても、較正值はプルアップ回路網及びプルダウン回路網に対して同一なので、プルアップ及びプルダウン回路網の一方又は他方のみしか、ODT及びOCDのそれぞれについて較正される必要がない。

【0056】

図2A及び2Bの例では、プルアップ回路網は該プルアップ回路網をイネーブルする切り替え素子から分離して示され、プルダウン回路網は該プルダウン回路網をイネーブルする切り替え素子から分離して示される。しかしながら、幾つかの実施例では、切り替え機能は、プルアップ及びプルダウン回路網の一部を形成するトランジスタにより実施される。

10

【0057】

図2DはDDR3制御部のための出力ドライバの例を示す。DDR3出力ドライバは、図2Bに示されたQDR制御部出力ドライバに多少似ているが、プルアップ回路網40がNMOSTランジスタではなくPMOSTランジスタ47を有する。このため、PMOST及びNMOSTランジスタが異なる抵抗特性を有しうるので、プルアップ回路網及びプルダウン回路網の較正を別個に実行しなければならない。また、ODTモード動作のために受信バッファ（図示されない）もある。DDR3では、各I/Oは、入力及び出力モードの両方で相互排他的な時間の間に動作する。

【0058】

プルアップ回路網内及びプルダウン回路網内の両方のトランジスタを同時にオンに切り替えることにより、DDR3出力ドライバは、分割終端抵抗回路網のインピーダンス動作を生成するために用いられうる。換言すると、DDR3制御部の出力トランジスタは、入力信号を終端するために用いられうる。

20

【0059】

図3を参照して、図1のセル構造32と合致するI/Oセル構造の詳細な実施が以下に説明される。以下に記載されるように、図3の回路は、試験を目的とするテスト入力及び通常の入力を有するとして示される。理解されるべき点は、テスト入力及び対応する回路が該回路の通常動作に影響を与えることなく省略されうることである。図1と共通の要素は同様の参照符号を有する。特に、回路は、コア・ロジック10、レベル変換器12、プリドライバ14、プルアップp型トランジスタ $P<15:0>110$ 及びプルダウンn型トランジスタ $N<15:0>112$ を有する結合型OCD/ODTトランジスタ34、ESDクランプ・ダイオード116及びESDクランプ・ダイオード118を有するESD20並びにパッド120を有するとして示される。本例では、プリドライバ14は、16個のプルアップ・トランジスタ110を駆動する16個のプリドライバ88及び16個のプルダウン・トランジスタ112を駆動するプリドライバ90を有すると仮定するが、この数は実装時固有である。

30

【0060】

プルアップ・トランジスタ110は、PAD内部ネット(PADI)と付された点でプルダウン・トランジスタ112に結合される。また、PADIをパッド22に結合する抵抗 R_p 117も示される。抵抗 R_p は、出力トランジスタを拡散ESD効果から保護するために用いられる広いレイアウト面積の拡散抵抗である。抵抗は、出力トランジスタへのESD電流を制限する。該ESD電流は、大きすぎると、トランジスタのスナップ・バックを生じ、トランジスタを損傷しうる。このトランジスタを配置することにより、スナップ・バックの発生を防ぐ。抵抗 R_p はPAD ESD構造20の一部である。PADIは、入力バッファ（図示されない）にも114で結合される。

40

【0061】

回路は、 $V_{DD}60$ 、 $V_{SS}62$ 、 $V_{DDQ}61$ 及び $V_{SSQ}63$ のための結合部を有する。これらはI/Oセルの電源線端子である。電源線は、シリコン・チップの周辺に沿って配置されたI/Oセルに電力を分配するために用いられる金属バスである。 V_{DDQ} は、例えば公称でDDR1では2.5V、DDR2では1.8V及びDDR3では1.5

50

Vに設定されるI/O電源に結合される。V_{SSQ}は、V_{DDQ}電源のI/O接地帰路である。V_{DD}端子は、現代の深サブミクロン技術では、通常、1.0乃至1.2ボルトの範囲内の電圧に設定されるコア電源に結合される。V_{SS}は、V_{DD}電源のコア接地帰路である。両方とも公称0.0ボルトであるが、V_{SSQ}及びV_{SS}は別個のオンダイ接地網である。2つの接地は、コアをI/O切り替え雑音から絶縁するために分離される。

【0062】

コア・ロジック10は、S_J、D_O、D_J、O_E、O_J、T_Eを有する入力66を受信する回路64を有する。これらの入力の機能は以下の通りである。

【0063】

S_Jは、ローのとき通常の入力(D_O及びO_E)を選択し、ハイのときテスト入力(D_J及びO_J)を選択する。

10

【0064】

D_Oは、O_E = 1のときパッドへの通常のリデータ出力である。パッドはD_O = 1のときハイであり、パッドはD_O = 0のときローである。

【0065】

D_Jは、O_J = 1のときパッドへのテスト・データ出力である。パッドはD_J = 1のときハイであり、パッドはD_J = 0のときローである。

【0066】

O_Eは、通常のリデータイネーブルである。O_E = 1のとき、オフチップ駆動(O_{CD})はイネーブルされ、オンダイ終端(O_{DT})はディスエーブルされる。O_E = 0のとき、O_{CD}はディスエーブルされ(トリステート)、O_{DT}はT_E = 1ならばイネーブルされる。

20

【0067】

O_Jは、テスト出力イネーブルであり、O_Eと同一の機能を有する。

【0068】

T_Eは、終端イネーブルである。これは、パッド・ドライバ・トランジスタを分割終端として動作させる。T_E = 1のとき、終端は、O_{CD}がトリステート(O_E(又はO_J) = 1)のときオンに切り替わる。これは、通常、駆動のみの用途ではローであり、データI/O用途ではハイである。

【0069】

30

コア・ロジック64の出力は、以下のように動作するD_{PU}68、T_{ON}70及びD_{PD}72を有する。

【0070】

D_{PU}は駆動プルアップ制御である。これがハイのとき、駆動プルアップ・トランジスタがオンに切り替えられる。ローのとき、駆動プルアップ・トランジスタはオフに切り替えられる。D_{PD}は駆動プルダウン制御である。これがハイのとき、駆動プルダウン・トランジスタがオンに切り替えられる。ローのとき、駆動プルダウン・トランジスタはオフに切り替えられる。

【0071】

T_{ON}は終端オン制御である。ハイのとき、プルアップ及びプルダウン・トランジスタの両方がイネーブルされ、一緒にオンに切り替えられ、O_E又はO_Jがローになるとき分割終端を形成する。ローのとき、終端機能は完全にディスエーブルされ、O_E又はO_Jの状態により影響されない。

40

【0072】

3つの出力D_{PU}68、T_{ON}70及びD_{PD}72は、レベル変換器12への入力である。レベル変換器12は、I/Oプリドライバ88、90を駆動するために用いられるD_{PU}68、T_{ON}70及びD_{PD}72を高電位にしたものであるD_{PUH}78、T_{ONH}80、D_{PDH}82及びT_{ONH}84を有する。

【0073】

64ビットのインピーダンス制御バスがあり、プルアップ・トランジスタ110及びプ

50

ルダウン・トランジスタ 112 を制御するために用いられる ZIOH<63:0>として参照される。インピーダンス制御バス ZIOH は、どのように図 2A のインピーダンス制御入力を実施されうるかの特定の例である。各ブリドライバは、以下に詳細に説明するように、インピーダンス制御バスの特定のビット並びにレベル変換された出力 DPUH78、TONH80、DPDH82 及び TONH84 の特定のビットを受信する。ZIOH<63:0>は以下を有する。

【0074】

OCDモードでプルアップ・トランジスタ 110 を制御し、トランジスタ毎に 1 ビットを有する 16 ビットの ZIOH<31:16>。

【0075】

ODTモードでプルアップ・トランジスタ 110 を制御し、トランジスタ毎に 1 ビットを有する 16 ビットの ZIOH<63:48>。

【0076】

OCDモードでプルダウン・トランジスタ 112 を制御し、トランジスタ毎に 1 ビットを有する 16 ビットの ZIOH<15:0>。ODTモードでプルダウン・トランジスタ 112 を制御し、トランジスタ毎に 1 ビットを有する 16 ビットの ZIOH<47:32>。

【0077】

各ブリドライバ 88 は、ANDゲート 92 及び ANDゲート 94 を有する。ANDゲート 92、94 は、ORゲート 96 に結合される出力をそれぞれ有する。ORゲート 96 は、対応する反転バッファ 98 を通る出力を有する。反転バッファ 98 の出力は、複数のプルアップ・トランジスタ 110 のうちの 1 つのゲートを駆動する。ANDゲート 92 は、DPUH78 (A1) 及び ZIOH<31:16>の複数のビットのうちの 1 つ (A2) を受信する。ANDゲート 94 は、TONH80 (B1) 及び ZIOH<63:48>の複数のビットのうちの 1 つ (B2) を受信する。

【0078】

同様に、各ブリドライバ 90 は、ANDゲート 100 及び ANDゲート 102 を有する。ANDゲート 100、102 は、ORゲート 104 に結合される出力をそれぞれ有する。ORゲート 104 は、対応する非反転バッファ 106 を通る出力を有する。非反転バッファ 106 の出力は、複数のプルアップ・トランジスタ 120 のうちの 1 つのゲートを駆動する。ANDゲート 100 は、DPDH82 (C1) 及び ZIOH<15:0>の複数のビットのうちの 1 つ (C2) を受信する。ANDゲート 102 は、TONH84 (D1) 及び ZIOH<47:32>の複数のビットのうちの 1 つ (D2) を受信する。

【0079】

AND-OR-ANDロジックは、ブリドライバ 88、90 内に組み込まれ、駆動及び終端インピーダンスの独立した制御のために高速マルチプレクサとして動作する。AND-OR-ANDロジックは、駆動するとき任意の数のプルアップ及びプルダウン・トランジスタをオン及びオフに交互に切り替え、終端するとき任意の数のプルアップ及びプルダウン・トランジスタをオン及びオフに一緒に切り替えることを可能にする。ブリドライバ・ロジックは、ZIOH<63:0>により選択されていない全てのOCD/ODTトランジスタ 34 をオフに切り替え、それらが切り替わるのを防ぐ。選択されたOCD/ODTトランジスタのみが高速で切り替わる。

【0080】

図 4A に、図 3 の回路 64 の実施の詳細な例が示される。図 3 のように、入力 68 (SJ、DO、DJ、OE、OJ、TE を有する) 及び出力 DPU68、DPD70 及び TON72 がある。DO 及び DJ は、出力 DD204 を生成する第 1 のマルチプレクサ 200 への入力である。OE 及び OJ は、出力 EE206 を生成する第 2 のマルチプレクサ 202 への入力である。DD204 は、ANDゲート 208 の第 1 の入力及び ANDゲート 210 の反転入力に結合される。ANDゲート 208 の出力は DPU68 である。EE206 は、ANDゲート 208 の第 2 の入力及び ANDゲート 210 の第 2 の入力に結合され

10

20

30

40

50

る。ANDゲート210の出力はDPD70である。EE206は、ANDゲート212の第1の反転入力にも結合される。TEは、ANDゲート212の第2の入力に結合される。ANDゲート212の出力はTON72である。

【0081】

概して、図4Bの214に示されるように、回路64の真理値表は、どのようにDPU、DPD及びTONがSJ、DO、DJ、OE、OJ及びTEに応じて生成されるかを示す。

【0082】

プリドライバ88、90は、レベル変換されたDPUH、TONH、TPDHに応じて動作する。通常動作(SJ=0)は、類似するテスト動作と対立するものとして説明される。

10

【0083】

<OCDモード>

OCDモード動作では、OEはハイになり出力をイネーブルする。TEの状態は、OEがハイである限り関係ない。DOは、生成されるべき出力を反映して如何なる瞬間も0又は1になる。DOが1のとき(行216、217)、複数のプルアップ・トランジスタ110のうちの対応する1つは、ZIOH<31:16>の各「1」に対してプリドライバ88によりオンに切り替えられる。同様に、DOが0のとき(行218、219)、複数のプルダウン・トランジスタ112のうちの対応する1つは、ZIOH<15:0>の各「1」に対してオンに切り替えられる。

20

【0084】

<ODTモード>

アクティベートされているODTモードを生じさせる唯一の入力の組は次の通りである。OEがローになり出力をディスエーブルし、TE=1になりODTをイネーブルする(TON=1)。これは、真理値表214の行220である。TONが1なら、複数のプルアップ・トランジスタ110のうちの対応する1つは、プリドライバ88によりZIOH<63:48>の各「1」に対してオンに切り替えられ、複数のプルダウン・トランジスタ112のうちの対応する1つは、ZIOH<47:32>の各「1」に対してオンに切り替えられる。

30

【0085】

<校正>

幾つかの実施例では、校正機構は、ODT及びOCDモードに用いられるべき適切なトランジスタ数を識別するために、特に何個のプルアップ及び/又はプルダウン・トランジスタがこれらのモードのそれぞれでオンに切り替えられるべきかを識別するために提供される。幾つかの実施例では、校正は、装置の動作中に、周期的に、動的に実行され、変化する動作条件下での調整を可能にする。

【0086】

幾つかの実施例では、4段階の校正が次の通り実行される。

(1) n型素子の出力インピーダンスの校正：これは、DOが0のとき、何個のn型トランジスタ112がOCDモード中にイネーブルされるべきかを決定する。

40

(2) p型素子の出力インピーダンスの校正：これは、DOが1のとき、何個のp型トランジスタ110がOCDモード中にイネーブルされるべきかを決定する。

(3) n型素子の終端の校正：これは、何個のn型トランジスタ112がODT中にイネーブルされるべきかを決定する。

(4) p型素子の終端の校正：これは、何個のp型トランジスタ110がODT中にイネーブルされるべきかを決定する。

【0087】

より一般的には、プルアップ回路網の校正及びプルダウン回路網の校正は、同様の方法で実行されうる。説明された回路は、大部分は、ピン毎に複製される。しかしながら、幾つかの実施例では、校正はピン毎に実行されない。むしろ、校正は1回実行され、同一の

50

較正結果が全てのピンに適用されることが期待される。この期待は、複数のピンの結合型 O C D / O D T に用いられているトランジスタが、同一の集積回路の部分であり、従って同様の特性を有する場合に妥当である。幾つかの実施例では、結合型 O C D / O D T の複製は、全ての I / O の較正を目的として用いられる。

【 0 0 8 8 】

結合型 O C D / O D T 内に含まれるトランジスタの数は、プログラム可能な所望の範囲に応じて及びトランジスタの抵抗 / 駆動特性に応じて選択されうる。幾つかの実施例では、トランジスタのセットが用いられ、30 乃至 90 の範囲のプログラム可能な範囲を提供するが、これは勿論、実装時固有である。

【 0 0 8 9 】

幾つかの実施例では、制御部はグレイコードを用いて抵抗値を符号化し、温度計コード出力に変換される。温度計コードの各コードワードは、単一の 0 のセット又は複数の 1 に続く単一の 0 のセット又はコードワードを満たす複数の 0 を有する。このような温度計コードの使用は、連続するトランジスタのセット（プルアップ又はプルダウン）がイネーブルされるのを保証する。特定の例では、4 ビット・コードが用いられ、16 個の可能な順列の 1 つを示す。該順列の 1 つは、トランジスタ毎に 1 ビットを有する 16 ビットの温度計コードに変換される。インピーダンス・コード（Z I O H < 6 3 : 0 >）が変化している間にドライバ出力が生じるという誤動作を防ぐために、2 進から温度計への方式ではなくグレイから温度計への復号化方式が用いられる。

【 0 0 9 0 】

示された例は全て結合型 O C D / O D T 回路に関する。より一般的には、結合型駆動及び終端を提供する回路が提供される。図 5 は、結合型の駆動及び終端を提供する方法のフローチャートである。当該方法は、段階 5 0 1 で開始する。段階 5 - 1 では、終端動作モードで、プルアップ回路網終端抵抗を有するように可変抵抗プルアップ回路網を設定し、プルダウン回路網終端抵抗を有するよう可変抵抗プルダウン回路網を設定し、プルアップ回路網及びプルダウン回路網は分割終端として共同して動作する。段階 5 - 2 では、駆動動作モードで、ハイ出力を駆動するために、第 1 の駆動インピーダンスを生成するようにプルアップ回路網を設定する。段階 5 - 3 では、駆動動作モードで、ロー出力を駆動するために、第 2 の駆動インピーダンスを生成するようにプルダウン回路網を設定する。図 5 の段階を実行する順序は、明らかに駆動と終端の順序及び駆動モード中に駆動されているデータの両方に依存する。

【 0 0 9 1 】

図 6 は、図 5 の方法を較正する第 1 の方法のフローチャートである。当該方法は段階 6 - 1 で開始する。段階 6 - 1 では、データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正する。当該方法は段階 6 - 2 へ続く。段階 6 - 2 では、データ出力が論理ローのとき、駆動モードのためにプルダウン回路網を較正する。当該方法は段階 6 - 3 へ続く。段階 6 - 3 では、終端モードのためにプルアップ回路網を較正する。当該方法は段階 6 - 4 へ続く。段階 6 - 4 では、終端モードのためにプルダウン回路網を較正する。

【 0 0 9 2 】

図 7 は、図 5 の方法を較正する第 2 の方法のフローチャートである。当該方法は段階 7 - 1 で開始する。段階 7 - 1 では、データ出力が論理ハイのとき、駆動モードのためにプルアップ回路網を較正し、第 1 の較正結果を生成する。当該方法は段階 7 - 2 へ続く。段階 7 - 2 では、データ出力が論理ローのとき、第 1 の較正結果を用い駆動モードのためにプルダウン回路網を較正する。これは、プルダウン回路網及びプルアップ回路網に用いられるトランジスタが同一のプロセスを用いて形成され、当然に同一の較正が両トランジスタに用いられうることを前提とする。当該方法は段階 7 - 3 へ続く。段階 7 - 3 では、終端モードのためにプルアップ回路網を較正し、第 2 の較正結果を生成する。当該方法は段階 7 - 4 へ続く。段階 7 - 4 では、第 2 の較正結果を用い終端モードのためにプルダウン回路網を較正する。

【 0 0 9 3 】

記載した実施例は、可変抵抗プルアップ回路網、可変抵抗プルダウン回路網、終端抵抗及び基準抵抗を参照した。より一般的には、実施例は、可変インピーダンス・プルアップ回路網、可変インピーダンス・プルダウン回路網、終端インピーダンス及び基準インピーダンスを用いてもよい。

【 0 0 9 4 】

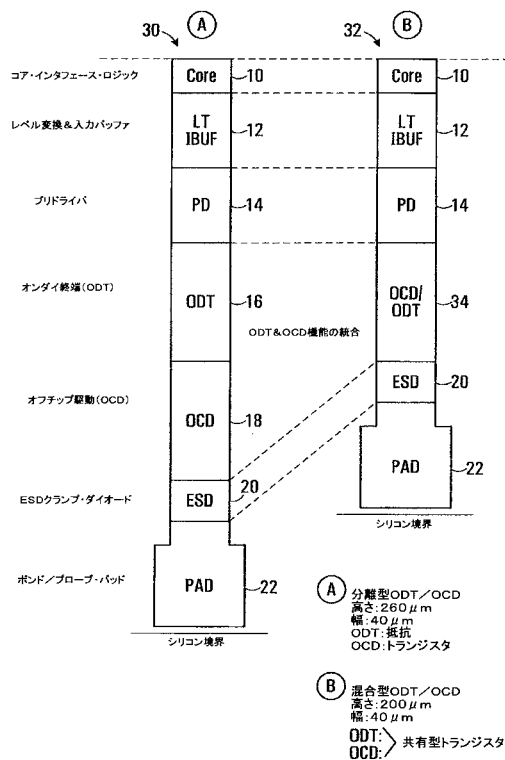
上述の教示を踏まえ本発明の多くの変更及び変形が可能である。従って、本発明は、本願明細書に特に記載された以外にも、特許請求の範囲内で実施されることが理解されるべきである。

【 0 0 9 5 】

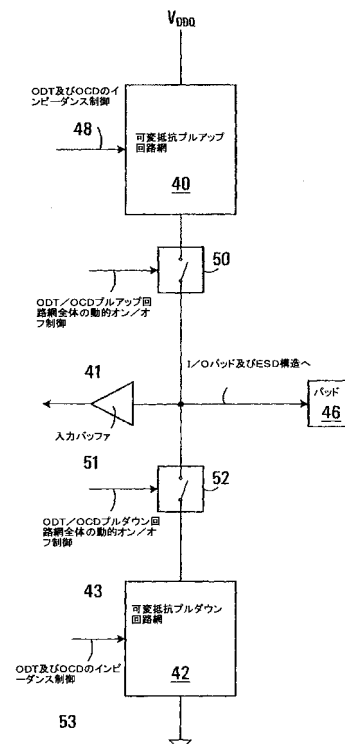
本出願は2007年6月8日出願の米国特許仮出願番号60/942,798号に基づく優先権を主張するものであり、米国特許出願番号60/942,798号の全内容を本出願に援用する。

10

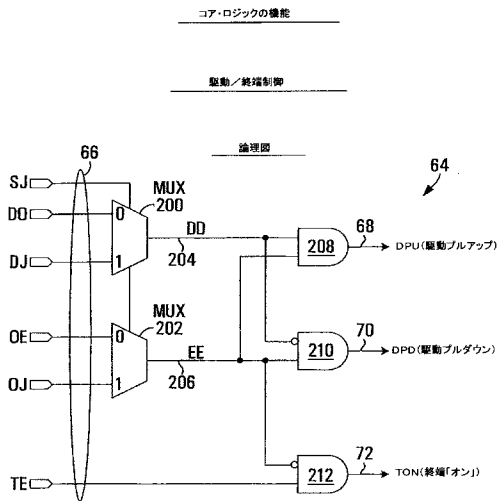
【 図 1 】



【 図 2 A 】



【図 4 A】



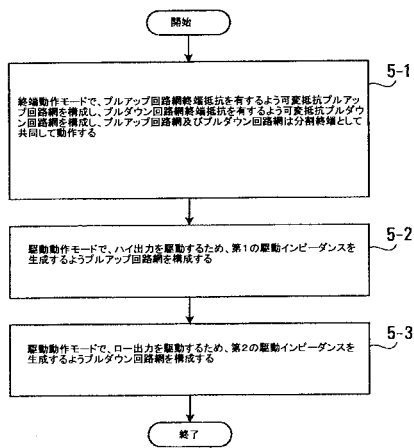
【図 4 B】

真値表

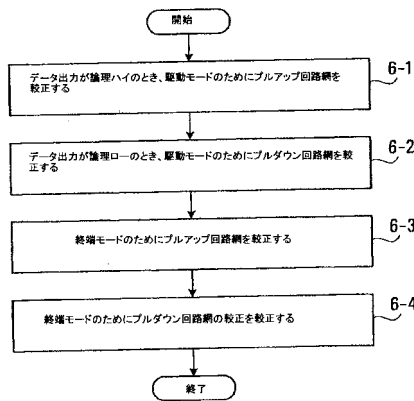
入力						出力			PADにおける効果	モード
SJ	DO	DJ	OE	OJ	TE	DPU	DPD	TON		
215 216 218 0	X	X	0	X	0	0	0	0	フローティング 駆動:L(ロー) 駆動:H(ハイ)	通常の 高速
	0	X	1	X	0	0	1	0		
	1	X	1	X	0	1	0	0		
220 217 219 1	X	X	0	X	1	0	0	1	終端「オン」 駆動:L(ロー) 駆動:H(ハイ)	試験
	0	X	1	X	1	0	1	0		
	1	X	1	X	1	1	0	0		
	X	X	X	0	0	0	0	0	フローティング 駆動:L(ロー) 駆動:H(ハイ)	
	X	0	X	1	0	0	1	0		
	X	1	X	1	0	1	0	0		
	X	X	X	0	1	0	0	1	終端「オン」 駆動:L(ロー) 駆動:H(ハイ)	
	X	0	X	1	1	0	1	0		
	X	1	X	1	1	1	0	0		

論理状態X、0、1は:
X=「DON'T CARE」入力、不定出力
0=論:ロー (Low); 非アサート作用
1=真:ハイ (High); アサート作用

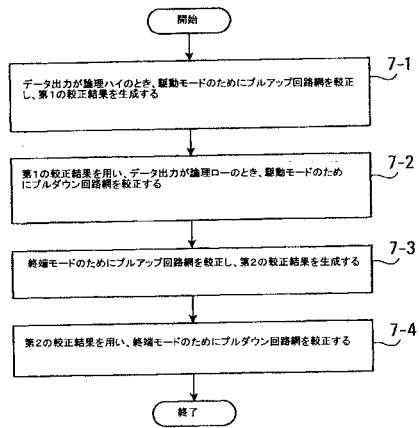
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 ミラー, ブルース

カナダ国 ケイ２エス １ビー６ オンタリオ, スティッツヴィル, フェーンバンク・ロード 6
0 6 6

審査官 宮島 郁美

(56)参考文献 特開２００５－１３０２１７(ＪＰ, Ａ)

特開２００３－１３３９４３(ＪＰ, Ａ)

特開２００５－０６５２４９(ＪＰ, Ａ)

米国特許出願公開第２００７／０１２６４６６(ＵＳ, Ａ１)

米国特許出願公開第２００６／０２２６８６８(ＵＳ, Ａ１)

(58)調査した分野(Int.Cl., ＤＢ名)

H 0 3 K 1 9 / 0 0 , 1 9 / 0 1 - 1 9 / 0 8 2 , 1 9 / 0 9 2 - 1 9 / 0 9 6