



## [12] 发明专利申请公开说明书

[21] 申请号 200410055056.3

[43] 公开日 2005 年 3 月 9 日

[11] 公开号 CN 1591693A

[22] 申请日 2004.4.29

[21] 申请号 200410055056.3

[30] 优先权

[32] 2003. 4. 29 [33] EP [31] 03392005.9

[32] 2003. 5. 15 [33] US [31] 10/438,682

[71] 申请人 戴洛格半导体公司

地址 联邦德国泰克 - 纳伯恩

[72] 发明人 托马斯·阿克杰

[74] 专利代理机构 北京市柳沈律师事务所

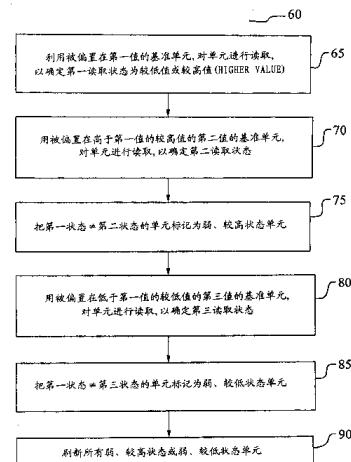
代理人 王志森 黄小临

权利要求书 5 页 说明书 10 页 附图 5 页

[54] 发明名称 预检测数据丢失的闪速存储器

## [57] 摘要

一种检测并纠正非易失性存储装置中的弱编程单元的新方法。 提供多个非易失性存储单元。 一读取所选单元的装置将所选单元的特性和基准单元的特性比较。 如所选单元超过基准单元则所选单元的读取状态是高。 如所选单元小于基准单元则所选单元的读取状态是低。 随着基准单元被偏置到第一值，通过读取所选单元获得第一读取状态。 随着基准单元被偏置到一大于第一值的第二值，通过读取所选单元获得第二读取状态。 如第一和第二读取状态不匹配，则所选单元被标记为弱编程的高。 随着基准单元被偏置到一小于第一值的第三值，通过读取所选单元获得第三读取状态。 如第一和第三读取状态不匹配，则所选单元被标记为弱编程的。 如所选单元被弱编程，则刷新所选单元。



1. 一种检测并纠正非易失性存储装置中的弱编程单元的方法，包括：  
提供多个非易失性存储单元；
- 5 提供一种装置，其通过将所述所选单元的特性和一个基准单元的特性进行比较来读取所选单元，其中如果所述所选单元超过所述基准单元，则所述所选单元的读取状态为高，并且如果所述所选单元小于所述基准单元，则所述所选单元的读取状态为低；  
通过用被偏置到第一值的所述基准单元读取所述所选单元来获得第一读  
10 取状态；  
通过用被偏置到第二值的所述基准单元读取所述所选单元来获得第二读  
取状态，其中所述第二值大于第一值；  
如果所述第一和第二读取状态不匹配，就把所述所选单元标记为弱编程、  
高；  
15 通过用被偏置到第三值的所述基准单元读取所述所选单元来获得第三读  
取状态，其中所述第三值小于第一值；  
如果所述第一和第三读取值不匹配，就把所述所选单元标记为弱编程、  
低；  
如果所述所选单元是被弱编程的，就刷新所述所选单元。  
20 2. 根据权利要求1的所述方法，其中一直执行所述获得第一读取状态的  
步骤，并且所有其他的所述步骤仅仅在测试模式中执行。  
3. 根据权利要求2的所述方法，其中由微处理器装置来控制所述测试模  
式。  
25 4. 根据权利要求1的所述方法，其中下述步骤由微处理器装置来执行，  
即，如果所述第一和第二读取状态不匹配就把所述所选单元标记为弱编程、  
高；和如果所述第一和第三读取状态不匹配就把所述所选单元标记为弱编程、  
低。  
30 5. 根据权利要求1的所述方法，其中每个所述非易失性存储单元都能存  
储多于两个的存储器状态，并且其中执行获得第一、第二、及第三读取状态  
的和把所述所选单元标记为弱编程、高及把所述所选单元标记为弱编程、低  
的所述步骤对于每个所述多于两个的存储器状态都执行。

6. 根据权利要求 1 的所述方法，还包括在所述步骤或获取第二读取状态之前，把所述所选单元的第一读取状态存储到单个存储装置中。

7 根据权利要求 1 的所述方法，还包括一个通过所述第一、第二、和第三读取状态的大多数表决来确定所述所选单元的经筛选的读取状态的步骤。

5 8. 根据权利要求 7 的所述方法，其中由微处理器装置来执行下述步骤，即，通过所述第一、第二、和第三读取状态的大多数表决来确定所述所选单元的经筛选的读取状态的步骤。

9. 根据权利要求 7 的所述方法，其中每个所述的非易失性存储单元都能存储多于两个的存储器状态，并且对于多于两个的每个所述存储器状态重复 10 确定经筛选的读取状态的所述步骤。

10. 根据权利要求 1 的所述方法，其中读取所选单元的所述装置由下述电路组成：

一个第一所述基准单元，其所述栅极设置为所述第一值；

15 一个第一比较器，被连至所述基准单元和所述所选单元，其中所述第一读取状态是所述第一比较器的输出；

一个第二所述基准单元，其所述栅极设置为所述第二值；

一个第二比较器，被连至所述基准单元和所述所选单元，其中所述第二读取装置是所述第二比较器的输出；

一个第三所述基准单元，其所述栅极设置为所述第三值；和

20 一个第三比较器，被连至所述基准单元和所述所选单元，其中所述第三读取状态是所述第三比较器的输出。

11. 根据权利要求 1 的所述方法，其中，在一个基于来自所述微处理器装置的信号的读取操作期间，从所述非易失性存储装置中有选择性地把所述第一、第二、和第三读取状态输出到一个微处理器装置。

25 12. 根据权利要求 1 的所述方法，其中在一个读取操作期间，一直从所述非易失性存储装置中把所述第一、第二、和第三读取状态输出到一个微处理器装置。

13. 一种非易失性存储装置，包括：

多个非易失性存储单元；和

30 一个装置，其通过比较所述所选单元和基准单元的特性确定所选单元的读取状态，其中所述基准单元具有一个被偏置到一读取值的栅极，和如果所

述所选单元超过所述基准单元，则所述所选单元的读取状态为高，并且如果所述所选单元小于所述基准单元，则所述所选单元的读取状态为低，并进一步包括：

- 一个第一所述基准单元，其所述栅极设置为第一值；
- 5       一个第一比较器，被连至所述基准单元和所述所选单元，其中所述第一读取状态是所述第一比较器的输出；
- 一个第二所述基准单元，其所述栅极设置为所述第二值；
- 一个第二比较器，被连至所述基准单元和所述所选单元，其中所述第二读取状态是所述第二比较器的输出；
- 10      一个第三所述基准单元，其所述栅极设置为第三值；和
- 一个第三比较器，被连至所述基准单元和所述所选单元，其中所述第三读取状态是所述第三比较器的输出。

14. 根据权利要求 13 的所述装置，其中每个所述非易失性存储单元都能存储多于两个的存储器状态，并且其中于两个的每个所述存储器状态包括一个确定读取状态的额外的所述装置。

15. 根据权利要求 13 的所述装置，还包括一个装置，其在一个基于来自所述微处理器装置的外部信号的读取操作期间，从所述非易失性存储装置中有选择性地输出所述第一、第二、和第三读取状态到一个微处理器装置。

16. 根据权利要求 13 的所述装置，其中在一个读取操作期间，一直从所述非易失性存储装置中输出所述第一、第二、和第三读取状态到一微处理器装置。

17. 根据权利要求 13 的所述装置，还包括一个微处理器装置。

18. 根据权利要求 17 的所述装置，其中所述微处理器装置能够标记任一所述单元，其中由于弱编程高所以所述第二读取状态与所述第一读取状态不匹配。

19. 根据权利要求 17 的所述装置，其中所述微处理器装置能够标记任一所述单元，其中由于弱编程低所以所述第三读取状态与所述第一读取状态不匹配。

20. 根据权利要求 17 的所述装置，其中所述微处理器装置能够把所述单元的所述第一读取状态存储到一个单独的存储装置中。

21. 根据权利要求 17 的所述装置，其中一个所述微处理器装置能够通过

第一、第二、和第三读取状态的大多数表决，确定任一所述所选单元的经筛选的读取状态。

22. 根据权利要求 17 的所述装置，其中每个所述非易失性存储单元都能存储多于两个的存储器状态，并且其中对多于两个的每个所述存储器状态执行额外的所述大多数表决。  
5

23. 一种电路装置，包括：

一个非易失性存储装置，其进一步包括：

多个非易失性存储单元；和

一个装置，其通过比较所述所选单元和基准单元的特性确定所选单元的  
10 读取状态，其中所述基准单元具有一个被偏置到一读取值的栅极，和如果所述所选单元超过所述基准单元，则所述所选单元的读取状态为高，并且如果所述所选单元小于所述基准单元，则所述所选单元的读取状态为低，并进一步包括：

一个第一所述基准单元，其所述栅极设置为第一值；

15 一个第一比较器，被连至所述基准单元和所述所选单元，其中所述第一读取状态是所述第一比较器的输出；

一个第二所述基准单元，其所述栅极设置为所述第二值；

一个第二比较器，被连至所述基准单元和所述所选单元，其中所述第二读取装置是所述第二比较器的输出；

20 一个第三所述基准单元，其所述栅极设置为第三值；和

一个第三比较器，被连至所述基准单元和所述所选单元，其中所述第三读取状态是所述第三比较器的输出；和

一个微处理器装置，其能标记任一所述所选单元，其中由于弱编程高所以所述第二读取状态与所述第一读取状态不匹配，和能标记任一所述单元，  
25 其中所述第三读取状态与所述弱编程低的第一读取状态不匹配。

24. 根据权利要求 23 的所述装置，其中每个所述非易失性存储单元都能存储多于两个的存储器状态，并且其中多于两个的每个所述存储器状态包括一个确定读取状态的额外的所述装置。

25. 根据权利要求 23 的所述装置，还包括一个装置，其在一个基于来自  
30 所述微处理器装置的信号的读取操作期间，从所述非易失性存储装置中有选择性地输出所述第一、第二、和第三读取状态到一个微处理器装置。

26. 根据权利要求 23 的所述装置，其中在一个读取操作期间，一直从所述非易失性存储装置中输出所述第一、第二、和第三读取状态到一微处理器装置。

5 27. 根据权利要求 23 的所述装置，还包括一个连至所述微处理器装置的独立的存储装置。

28. 根据权利要求 23 的所述装置，其中所述微处理器装置能用存储于所述独立的存储装置中的数据比较所述第二和第三读取状态。

10 29. 根据权利要求 23 的所述装置，其中所述微处理器装置能够通过第一、第二、和第三读取状态的大多数表决来确定任一所选单元的经筛选的读取状态。

30. 根据权利要求 21 的所述装置，其中每个所述非易失性存储单元都能存储多于两个的存储器状态，并且其中对多于两个的每个所述存储器状态执行额外的所述大多数表决。

## 预检测数据丢失的闪速存储器

### 5 技术领域

本发明涉及非易失性存储装置，尤其是，涉及一种防止在非易失性存储装置中的数据保存错误的方法和电路。

### 背景技术

10 非易失性存储器在基于微处理器的系统中是最重要的部件。通过使用诸如闪速存储器这样的非易失性、可重编程的存储器，实现了最大的系统灵活性。通过在闪速存储器中存储操作程序或关键的系统参数，能够在现场迅速并永久地改变系统特性。

现在，参见图 1，以原理图 22 和截面 10 的形式示出了一种典型的闪速存储单元。闪速单元 10 是一种 MOS 晶体管的形式，其中该 MOS 晶体管具有一个在衬底区 12 上所形成的源极 16 和漏极 14。形成了一种复式栅极，其包括一个控制栅极 (CG) 20 和一个浮动栅极 (FG) 18。通过象本领域中公知的那样偏置控制栅极 20、漏极 14 和源极 16，可以操作该晶体管。浮动栅极 18 包括一个导电区，该导电区由一个第一电介质区 17 与衬底 12 电隔离及由一个第二电介质区 19 与控制栅极 20 电隔离。如同在任一 MOS 晶体管中一样，当在控制栅极 20 上加一个足够大的偏压以产生一个从漏极 14 传送电荷到源极 16 的通道区时，所述装置导通。按照阈值电压 ( $V_{TH}$ ) 限定必要的控制栅极偏置。如同在本领域中所公知的，电荷，可以以电子的形式，被移入浮动栅极 18 或从浮动栅极 18 移出。在浮动栅极 18 上的电荷的出现，将改变装置 10 的  $V_{TH}$ 。这种情况可以被用来产生数字存储单元，其中按照出现大量电荷限定了第一状态，按照缺乏电荷限定了第二状态。为了编程或擦除单元 10 的状态，可以对控制栅极 20、漏极 14、和源极 16 的组合加一个较大的电压偏置，以使电荷移入浮动栅极 18 或使电荷从浮动栅极 18 移出。为了读出单元 10 的状态，控制栅极 20 可以被偏置到一个电压，由此所述装置将导通 (ON) 或关断 (OFF)，这取决于浮动栅极的充电状态。如果装置是导通的，则从漏极 14 到源极 16 的电压偏置将使电流流动。可以象在本领域中所公知

的那样，检测有或没有这种电流流动，以确定单元 10 的状态。

现在，参见图 2，示出了一个用于读取闪速单元的典型的电路图。示出了集成电路装置的一部分 30，其展示了非易失性单元的一个阵列 32。通过用本领域中公知的方法评价(assert)它的字线 WL 42 和位线 BL，来选取所述存储器阵列的一个特定单元 34。WL 电压被连至单元 34 的控制栅极，及 BL 电压  $V_{BL}$  被连至漏极。所述单元的电流  $I_{CELL}$  是单元 34 的漏极到源极 (drain - to - source) 电流 ( $I_{DS}$ )。如果所述单元的阈值电压 ( $V_{TH}$ ) 大于 WL 电压，则单元 34 将关断并且  $I_{CELL}$  将变得非常小。如果单元的  $V_{TH}$  小于 WL 电压，则单元 34 将导通并且  $I_{CELL}$  将变得大得多。

为了确定所述的相对  $V_{TH}$ ，及由此确定单元 34 的逻辑状态，使用了一个基准单元 36。基准单元 36 包括一个具有一个固定  $V_{TH}$  的可比较的闪速装置。基准单元 36 的控制栅极被偏置到一个基准电压  $V_{REF}$  并且漏极被偏置到一个位线电压  $V_{BL}$ 。产生了一个基准电流  $I_{REF}$ 。用一个比较器 40 来比较基准电流  $I_{REF}$  和单元电流  $I_{CELL}$ 。所述比较器输出端 46 是经解码的 CELL STATE (单元状态)，其是高或低。

通常，闪速存储器阵列中的每个单元的逻辑状态按下列程序在工厂中测试。理论上，所述装置的被隔离的浮动栅极和所述固态特征，将使数据保存时间非常长。然而，在本领域中已知一个对单元的保存特性的统计分布，并且一些数据单元将显示出比平均值明显短的数据保存时间。还进一步发现了，这些漏电单元，随着时间的过去会具有一个非恒定数量的浮动栅极电荷。如果，例如，一个单元在编程期间被充足了电，则最初所述单元将读取“X”的正确单元状态，但是随后在所述浮动栅极已经被充分放电时将读取“Y”的一个不正确单元状态。对照于一组或脉冲串失效，这种被缩短的数据保存单元将引起单个位的失效。在某些应用中，尤其是自动或工业控制系统，由这种存储器错误所导致的产品事故，是个严重的问题。因此，防止这种存储器错误是很有好处的。

几种现有技术发明涉及了在非易失性存储器中检测位错误的方法。Sacki 的美国专利 6,483,745 B2，讲授了一种检测并纠正非易失性单元中软错误的方法及电路。利用三个不同的基准晶体管对所述单元读取三次。一个基准是标准的读取基准，一个基准是用于一个编程状态阈值的，及一个基准是用于一个擦除状态阈值的。通过比较三个读取中的每个的结果，能够确定所述

单元状态和容限。Auclair et al 的美国专利 6, 049, 899 描述了一种检测非易失性存储器阵列中软错误的方法和电路。利用可变控制栅极电压或利用可变基准电流对单元进行读取以由此估计所述单元的状态和容限(margin)。刷新容限不足的单元。Yoshida et al 的美国专利 6, 525, 960 B2, 公开了一种写多个值的方法和电路、非易失性存储器阵列。公开了一种纠正不稳定单元的方法。

### 发明内容

本发明的主要目的，是提供一种高效并且完全可制造的集成电路装置。

本发明的又一个目的，是提供一种检测并纠正非易失性存储装置中弱 10 (weak)单元状态的方法。

本发明的再一个目的，是预防非易失性存储装置中的位错误。

本发明的再一个目的，是用一种有效的方法选择性地刷新非易失性存储装置中的存储单元。

本发明的再一个目的，是提供一种持续检测弱单元状态的方法。

15 本发明的再一个目的，是提供一种用于多电平(level)非易失性存储装置和用于二进制非易失性存储器的方法。

本发明又一目的，是提供一种能够检测弱编程单元状态的非易失性存储装置。

根据本发明的所述目的，实现了一种检测并纠正非易失性存储装置中的弱编程单元的方法。所述方法包括提供多个非易失性存储单元。一种读取所 20 选单元的装置对所选单元的特性(performance)和基准单元的特性进行比较。如果所选的单元超过基准单元则所选单元的读取状态为高。如果所选的单元小于基准单元则所选单元的读取状态为低。随着基准单元被偏置到一个第一值，通过读取所选单元获得一个第一读取状态。随着基准单元被偏置到一个大于第一值的第二值，通过读取所选单元获得一个第二读取状态。如果第一和第二读取状态不匹配，则所选单元被标记为弱编程的、为高。随着基准单元被偏置到一个小于第一值的第三值，通过读取所选单元获得一个第三读取状态。如果第一和第三读取状态不匹配，则所选单元被标记为弱编程的、为低。如果所选单元被弱编程，则刷新所选单元。

而且根据本发明的目的，实现了一种非易失性存储装置。该装置包括多个非易失性存储单元和一个通过比较所选单元和基准单元的特性确定所选单

元的读取状态的装置。所述基准单元具有一个被偏置到一读取值的栅极。所述读取状态是基于所述比较的一个较高(upper)值或是一个较低(lower)值。确定读取状态的所述装置，还包括一个栅极设置为第一值的第一基准单元。一个第一比较器，被连至所述基准单元和所选单元。所述第一读取状态是所述第一比较器的输出。第二基准单元的栅极设置为一第二值。第二比较器被连至所述基准单元和所选单元。第三基准单元的栅极设置为一第三值。第三比较器被连至所述基准单元和所选单元。所述第三读取状态是所述第三比较器的输出。

## 10 附图说明

所附附图中展示了本说明书的重要部分，其示出了：  
图 1 示出了一种现有技术的非易失性存储单元。  
图 2 示出了一种读取非易失性存储器中的所选单元的现有技术方法。  
图 3 示出了本发明的方法的优选实施例。  
图 4 示出了本发明的装置的第一优选实施例。  
图 5 示出了本发明的装置的第二优选实施例。  
图 6 示出了本发明的装置的第三优选实施例。  
图 7 示出了本发明的装置的第四优选实施例。

## 20 具体实施方式

本发明的优选实施例公开了检测并纠正弱编程闪速存储单元的方法。说明读取闪速存储单元的体系结构。对于本领域中普通技术人员来说，应该很清楚，本发明能够在不脱离本发明的范围的情况下被实施和扩展。

现在，参见图 3，示出了本发明的方法 60 的优选实施例。下面，将给出并讨论本发明的几个重要特征。通过描述期间所涉及的图 4 所示出的第一具体装置，进一步说明了所述方法 60。再次参见图 4，示出了集成电路装置 100 的第一优选实施例。所述装置 100 包括非易失性装置的一个阵列 104。所述非易失性单元可以包括利用任一公知结构和方法所形成的闪速单元。可以使用叠式栅极或分离栅极装置。此外，可以象本领域中公知的那样利用各种选址结构。一个特定单元 106 作为阵列内的“所选”单元来说明。作为关键特征，选址和偏置装置允许一个固定读偏压被强加于单元 106 的 WL 122 上，

和允许一个固定 BL 偏压  $V_{BL}$  被强加在单元 106 的漏极上，由此产生一个单元电流  $I_{CELL}$ 。在上面所描述的现有技术的装置，先假定相对的单元电流  $I_{CELL}$  将取决于所选单元 106 的阈值电压  $V_{TH}$ 。最后，所述  $V_{TH}$  还将取决于在单元 106 的浮动栅极上所存储的电荷。

5 包括一装置 108，其通过比较所选单元 108 的特性和几个基准单元 110、  
114、及 118 的特性来确定所选单元 106 的读取状态。尤其是，确定读取状态  
的装置 108 包括一第一基准单元 110 和第一比较器 138，一个第二基准单元  
114 和第二比较器 146 以及一个第三基准单元 118 和第三比较器 154。通过这  
种新颖的配置，能够独立地将所选单元 106 的漏极电流  $I_{CELL}$  和三个不同的、  
10 基准单元漏极电流  $I_{NORM}$ 、 $I_{UPPER}$ 、及  $I_{LOWER}$  进行比较。所述第一基准单元控  
制栅极被偏置到一个第一读取值 ( $V_{NORM}$ )。这种第一读取值  $V_{NORM}$  126 最好  
等于一较高状态值和较低状态值之间的一个中点。利用第一比较器 138 对第  
一基准 110 的漏极电流和所选单元 106 进行比较。第一比较器 138 的输出端  
142，是所述第一读取状态 (CELL STATE1，单元状态)。例如，如果  $I_{CELL}$   
15 大于  $I_{NORM}$ ，则 CELL STATE1 是“较高状态”(其还可被限定成一个“1”或  
“0”)。如果  $I_{CELL}$  小于  $I_{NORM}$ ，则 CELL STATE1 是“较低状态”。因此，所述  
第一比较器 138 设置为用来执行一个和在现有技术中一样的通常读取功能。

作为一个重要特征，第二基准单元 114 和第二比较器 138 提供一种装置，  
用于相对一个高于所述标准第一读取阈值  $V_{NORM}$  126 的第二阈值电平  
20  $V_{UPPER}$  130 来测试所选单元 106。第二基准单元 114 的控制栅极在一个读取操  
作期间设置为第二读取值  $V_{UPPER}$  130。可以利用第二比较器 146 对所述由第  
二基准单元 114 所产生的漏极电流  $I_{UPPER}$  和所选单元 106 的漏极电流  $I_{CELL}$  进  
行比较。所述第二读取状态 CELL STATE2 是第二比较器 146 的输出 150。在  
所述优选结构中，如果  $I_{CELL}$  大于  $I_{UPPER}$ ，则 CELL STATE2 是“upper state (较  
25 高状态)”，及如果  $I_{CELL}$  小于  $I_{UPPER}$ ，则 CELL STATE2 是“lower state (较低  
状态)”。以类似的方式，第三基准单元 118 和第三比较器 154 提供了一种针  
对第三阈值电平  $V_{LOWER}$  134 检测所选单元的装置，其中第三阈值电平  $V_{LOWER}$   
134 低于  $V_{NORM}$  126 的标准读取值。所述第三基准单元 118 的控制栅极，在一  
个读取操作期间设置为第三读取值  $V_{LOWER}$ 。可以利用第三比较器 154 对所述  
30 由第三基准单元 118 所产生的漏极电流  $I_{LOWER}$  和所选单元 106 的漏极电流  
 $I_{CELL}$  进行比较。所述第三读取状态 CELL STATE3 是第三比较器 154 的输出

158。在优选结构中，如果  $I_{CELL}$  大于  $I_{LOWER}$ ，则 CELL STATE3 是“upper state (较高状态)”，及如果  $I_{CELL}$  小于  $I_{LOWER}$ ，则 CELL STATE3 是“lower state (较低状态)”。

再次参见图 3，现在将描述检测并纠正上述非易失性存储装置中的弱单元状态的优选方法 60。方法 60 包括，第一，在步骤 65 利用第一读取值读取所选单元以确定第一读取状态。所选单元可以包括一组单元，诸如一个字节 (8 位) 或一个字 (16 位)。然而，每个单元，或位，都使用如图 4 所示的第一基准单元 110 和比较器 138 单独读取。

再次参见图 3，在步骤 70，所选单元在第二读取值处被读取，在这里第二读取值大于第一读取值。再次参见图 4，所述第二读取相应于利用第二基准单元 114 的读取值，其中所述第二基准单元 114 被偏置在第二基准值  $V_{UPPER}$  处并利用第二比较器 146 进行比较。再次参见图 3，作为一个重要的步骤，在步骤 75 中，任一第二读取状态与第一读取状态不匹配的单元，被标记为弱、较高状态单元。再次参见图 4 的实施例，对 CELL STATE2 150 读数 (reading) 和 CELL STATE1 142 读数进行比较，对于所选单元 106 来说，如果 CELL STATE2 与 CELL STATE1 不相等，则可以推断出单元 106 被编程为所述“较高”状态。此外，还可以推断出所述单元仅仅被弱编程为“较高”状态。换句话说，当第一读取比较器 142 指示所述单元处于“较高”状态时，单元 106 已经被放电到不再传递更加严格的  $V_{UPPER}$  阈值的程度。根据本发明的描述，该单元 106 有失效的风险。另外，如果 CELL STATE2 等于 CELL STATE1，则不是单元 106 处于“较低”状态就是单元 106 强烈地处于“较高”状态，并且因此不再有失效的危险。

再次参见图 3，在步骤 80，以小于第一读取值的第三读取值读取所选单元。再次参见图 4，所述第三读取相应于利用第三基准单元 118 的读取，其中所述第三基准单元 118 被偏置在第三基准值  $V_{LOWER}$  处并利用第三比较器 154 进行比较。再次参见图 3，作为一个重要的步骤，在步骤 85 中，任一其中第三读取状态与第一读取状态不匹配的单元，被标记为弱、较低状态单元。再次参见图 4 的具体实施例，对 CELL STATE3 158 的读数和 CELL STATE1 142 的读数进行比较，对于所选单元 106 来说，如果 CELL STATE3 与 CELL STATE1 不相等，则可以推断出单元 106 被编程为所述“较低”状态。此外，还可以推断出所述单元 106 仅仅被弱编程为“较低”状态。换句话说，当第

一读取比较器 142 指示所述单元处于“较高”状态时，单元 106 已经被放电到不再传递更加严格的数据。根据本发明的技术，单元 106 有失效的风险。另外，如果 CELL STATE3 等于 CELL STATE1，则不是单元 106 处于“较高”状态就是单元 106 强烈地处于“较低”状态，并且因此不再有失效的危险。

再次参见图 3，在步骤 90，刷新全部弱、“较高”状态或弱、“较低”状态的单元。即，通过如上所述那样比较第一、第二、和第三读取，本发明的方法可以检测非易失性阵列中特定的、弱编程位单元。这些弱编程单元向所述存储器系统呈现潜在的位错误。所述存储器系统通过下述方式做出响应，10 即把这些单元重新编程到他们现有的状态，不是“较高”就是“较低”，以便把这些单元恢复到一个强编程环境。

现在参见图 5 和 6，示出了本发明的第二和第三优选实施例。每个实施例都示出了一个闪速存储装置，其中如上所述，所述闪速存储装置包括三个读数比较器和一个微处理器装置。尤其参见图 5，第二具体实施例示出了闪速存储器 200 和一个微处理器 232。所述闪速存储器 200 包括一个非易失性存储器阵列 204 和一个读取部分，其包括一个标准比较器 212、一个高比较器 208、及一个低比较器 216。作为一个额外的重要特征，示出了一个装置 220，其选择并提供一个特定读取通道给所述闪速存储器输出 224。一个来自微处理器的信号 228，以一个字节（8 位）或一个字（16 位）为基准，被用来选取标准、较高、及较低阈值数据读数中的任意一个作为数据读取值 224，以便被输入到微处理器 232 中。

微处理器装置 232 通常利用标准阈值比较器 212 通过数据读取通道 224 来读出数据值。存储器阵列 204 的一个部分、或块可以这样被传输进微处理器装置 232 并接着被存储于诸如 RAM 这样的第二级存储器结构中。接着，25 微处理器装置 232 可以进入一个测试模式，其中比较器控制信号 228 为数据读数选取较高基准比较信号或较低基准比较信号。例如，可以利用较高阈值基准比较器 208 读出存储器阵列 204 部分。然后，所述微处理器装置能够对存于所述 RAM 中的较高阈值数据读数和标准阈值数据读数进行比较。接着，微处理器装置 232 能够标记任一位，其中由于将被刷新的一个“弱”位，标准和较高阈值读数不一致。所述微处理器装置 232 通过经由 DATA WRITE 线 30 226 写这些单元（location），能够接着刷新这些位单元（bit location）。

类似地，微处理器装置 232 能够进入一个测试模式，其中比较器控制信号 228 选取较低基准比较器 LOWER REF216。接着，微处理器装置能够较低阈值数据读数和将存于所述 RAM 中的标准阈值数据读数进行比较。微处理器装置 232 能够标记任一位，其标准和低阈值读数与要被刷新的“弱”位不一致。接着，所述微处理器装置 232 能够通过经由 DATA WRITE 线 226 写这些位置，来刷新这些位单元。

再参见图 6，示出了本发明的第三优选实施例。在该实施例中，闪速存储装置 300 包括一个存储器阵列 304 和一个进一步包括一个 NORMAL 阈值比较器 312、一个 UPPER 阈值比较器 308、及一个 LOWER 阈值比较器 316 的读取装置。在该实施例中，在每个读取操作的时候，阈值比较器 308、312、和 316 中的每一个都经由 UPPER READ（较高读取）320 总线、NORM READ（标准读取）324 总线和 LOWER READ（较低读取）328 总线，从闪速存储装置 300 中输出。因此，微处理器装置 332 可以持续监视对于“弱”数据位的到来的读取数据。作为优选的途径，如在下面表 1 中所示出的，利用一个表决方案，微处理器装置 332 筛选在 UPPER READ320、NORM READ 324、及 LOWER READ 328 线上的输入数据字节/字的每个位，以检测并纠正弱位。如果数据位被检测为“弱”，则微处理器 332 利用所述 DATA WRITE 总线 326 刷新这些位。

表 1 用于弱位的检测和纠正的表决方案

较高阈值	标准阈值	较低阈值	表决值
低	低	低	低
低	低	高	低，需要刷新
低	高	高	高，需要刷新
高	高	高	高

现在，参见图 7，示出了本发明的第四实施例。在原有的实施例中，非易失性存储单元被编程为“0”或“1”的二进制电平。本发明是可扩展编程为多电平的非易失性存储器。例如，可以将所述单元编程为三电平中的任何一种。在该情况下，所述单元可以具有值 0、1、或 2。在图 7 中示出了该构思的又一个扩展。在这里，所选单元 404 是可编程为 4 个中的任一电平别(0, 1, 2, 或 3)。为了读取这样的一个单元 404，需要三个比较器 CN1 467、CN2 464、和 CN3 461。为了执行对弱编程单元的这种新的检测和纠正，需要六个

额外的比较器 CL1 468、CU1 466、CL2 465、CU2 463、CL3 462、和 CU3 460。

利用字线信号 WL 408 偏置所选单元 404 以产生一个单元电流  $I_{CELL}$ 。在 9 个基准单元 REF1-REF9 450-458 中产生了基准电流。如所示，每个基准单元都被偏置到一个特定的栅偏压。尤其是，用一个电平 1 偏压  $V_{LEVEL1}440$  来 5 产生所述  $I_{LEVEL1}$  电流。用于电平 1 的标准电平比较器 CN1 467 将  $I_{LEVEL1}$  与  $I_{CELL}$  进行比较。所述 CELL STATE LEVEL 1 信号对应于电平 1 的状态并且也 对应于在第一实施例中所描述的第一读数。利用电平 1 的较高比较器 CU1 466，测出电平 1 状态的较高容限 (upper margin)。一个电平 1 的较高基准 10  $V_{UPPER1}436$ ，偏置 REF7 单元以产生  $I_{UPPER1}$ 。 $I_{UPPER1}$  被用来测定相应于信号 CELL STATE LEVEL 1 UPPER MARGIN (单元状态电平 1 较高容限) 476 且还相应于第一实施例的第二读数的电平 1 的较高容限。第一实施例的第三 15 读数，相应于所述 CELL STATE LEVEL 1 LOWER MARGIN (单元状态电平 1 较低容限) 478。 $V_{LOWER1}$  信号 446 被用来产生 REF9 458 中的  $I_{LOWER1}$  电流。

每个电平 1、2、和 3 都需要三个比较器以执行所述状态检测和所述弱编 15 程状态检测。电平 1 使用 CL1 468、CN1 467、和 CU1 466。电平 2 使用 CL2 465、CN2 464、和 CU2 463 来产生 CELL STATE LEVEL 2 LOWER MARGIN (单元状态电平 2 较低容限) 475、CELL STATE LEVEL 2 (单元状态电平 2) 474、和 CELL STATE LEVEL 2 UPPER MARGIN (单元状态电平 2 较高容限) 473。电平 3 使用 CL3 462、CN3 461、和 CU3 460 来产生 CELL STATE LEVEL 20 3 LOWER MARGIN (单元状态电平 3 较低容限) 472、CELL STATE LEVEL 3 (单元状态电平 3) 471、和 CELL STATE LELVE 3 UPPER MARGIN (单元状态电平 3 较高容限) 470。电平 0 不需要额外的比较器。通常，一个可编程单元需要 3 个用于除了“0”电平外的每个编程电平的比较器。更通常地，对于一个 n-电平单元来说，需要  $3 \times (N-1)$  个比较器。

25 现在，将总结本发明的优点。实现了一种有效且完全可制造的集成电路 装置。实现了一种检测并纠正非易失性存储装置中的弱单元状态的方法。防 止了非易失性存储装置中的位错误。实现了一种选择性地刷新非易失性存储 装置中的存储单元的有效方法。实现了一种持续检测非易失性存储装置的弱 单元状态的方法。本发明可扩展到多电平存储装置。实现了一种能够检测弱 30 单元状态的非易失性存储装置。

如在优选实施例中所示出的，本发明的新方法和装置提供了一种替代现

有技术的有效且可制造的方案。

虽然，已经参照其优选实施例详细示出并描述了本发明，但是本领域技术人员应该想到在不脱离本发明的精神和范围的情况下所做出的各种形式和细节上的改变。

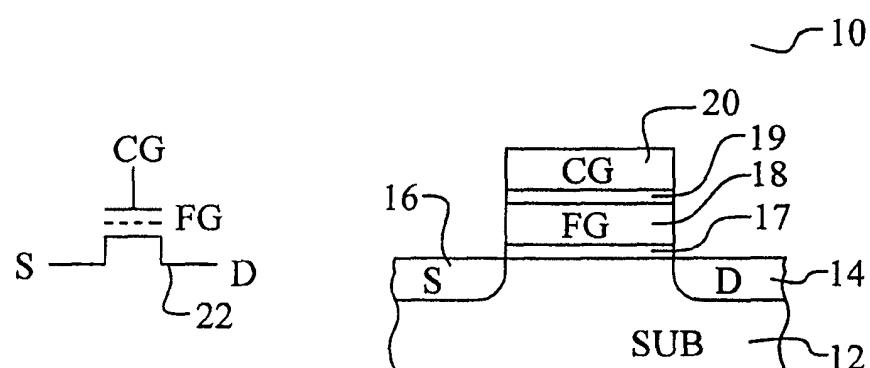


图 1

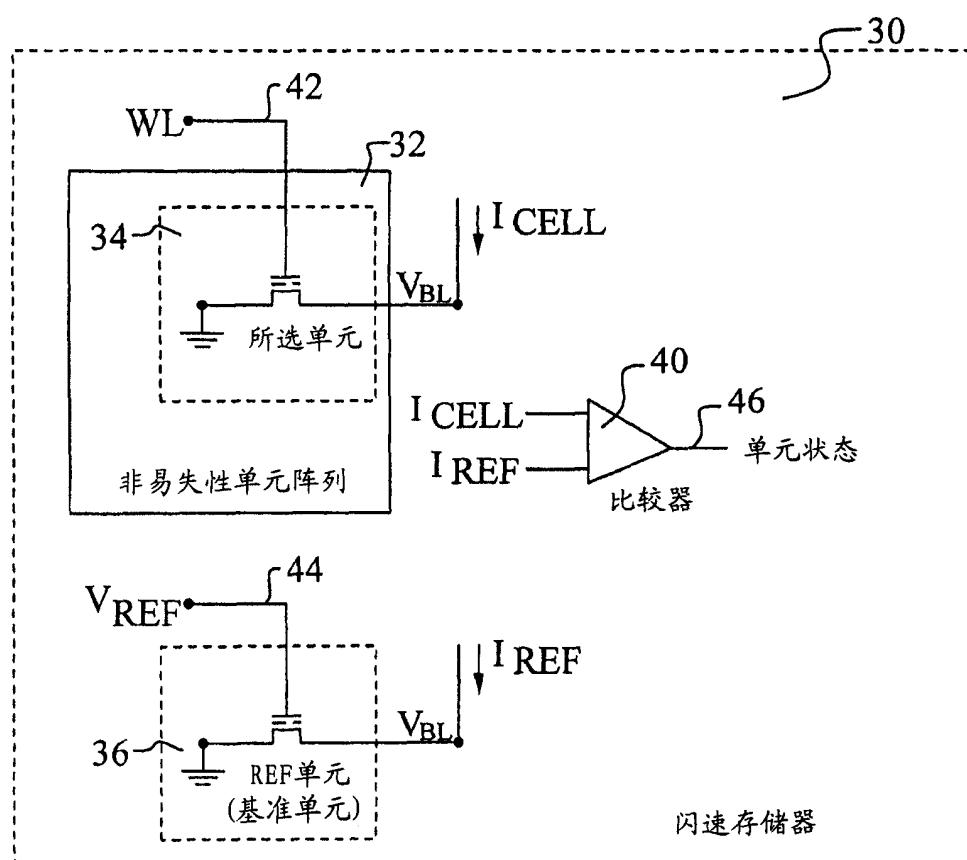


图 2

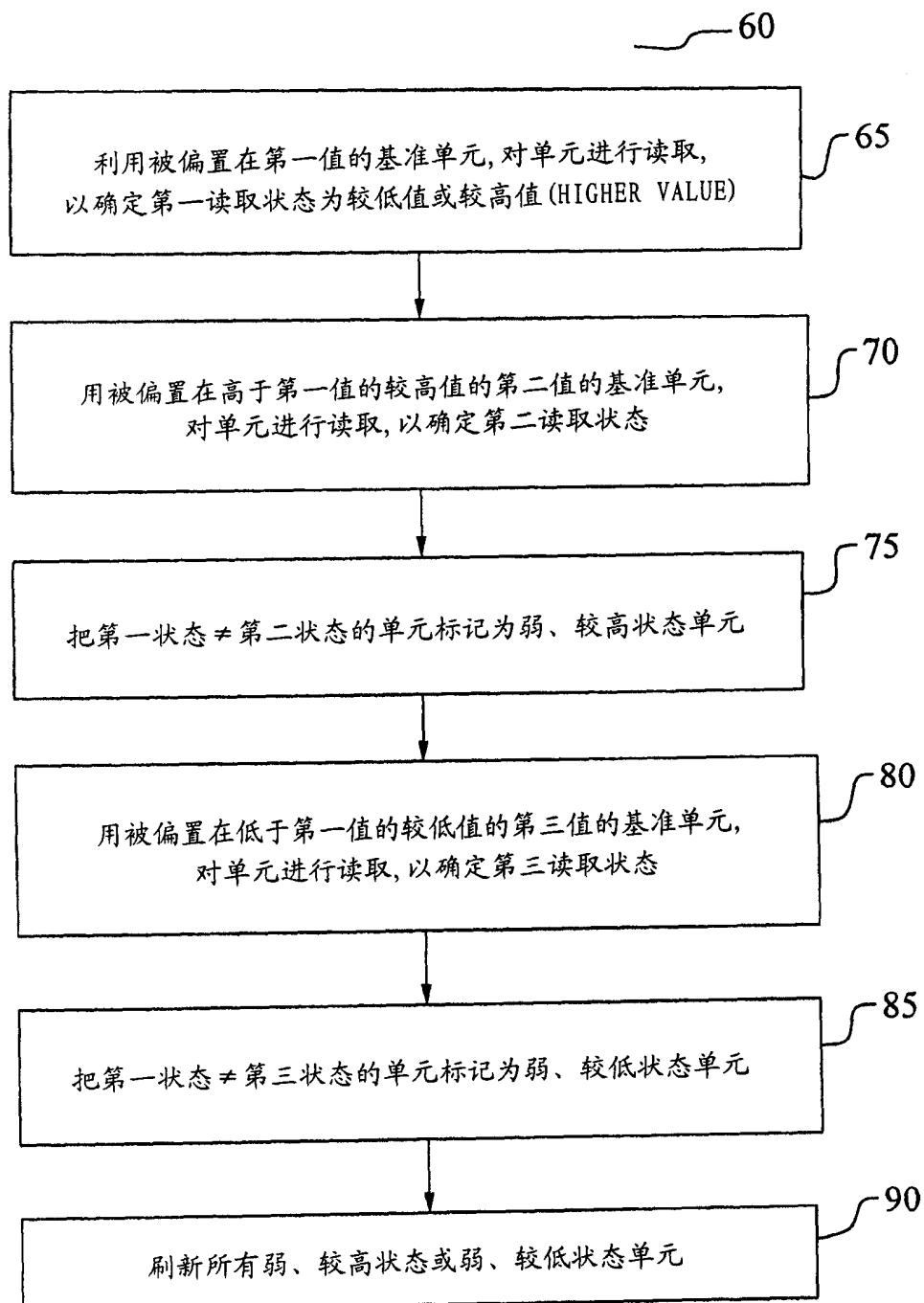


图 3

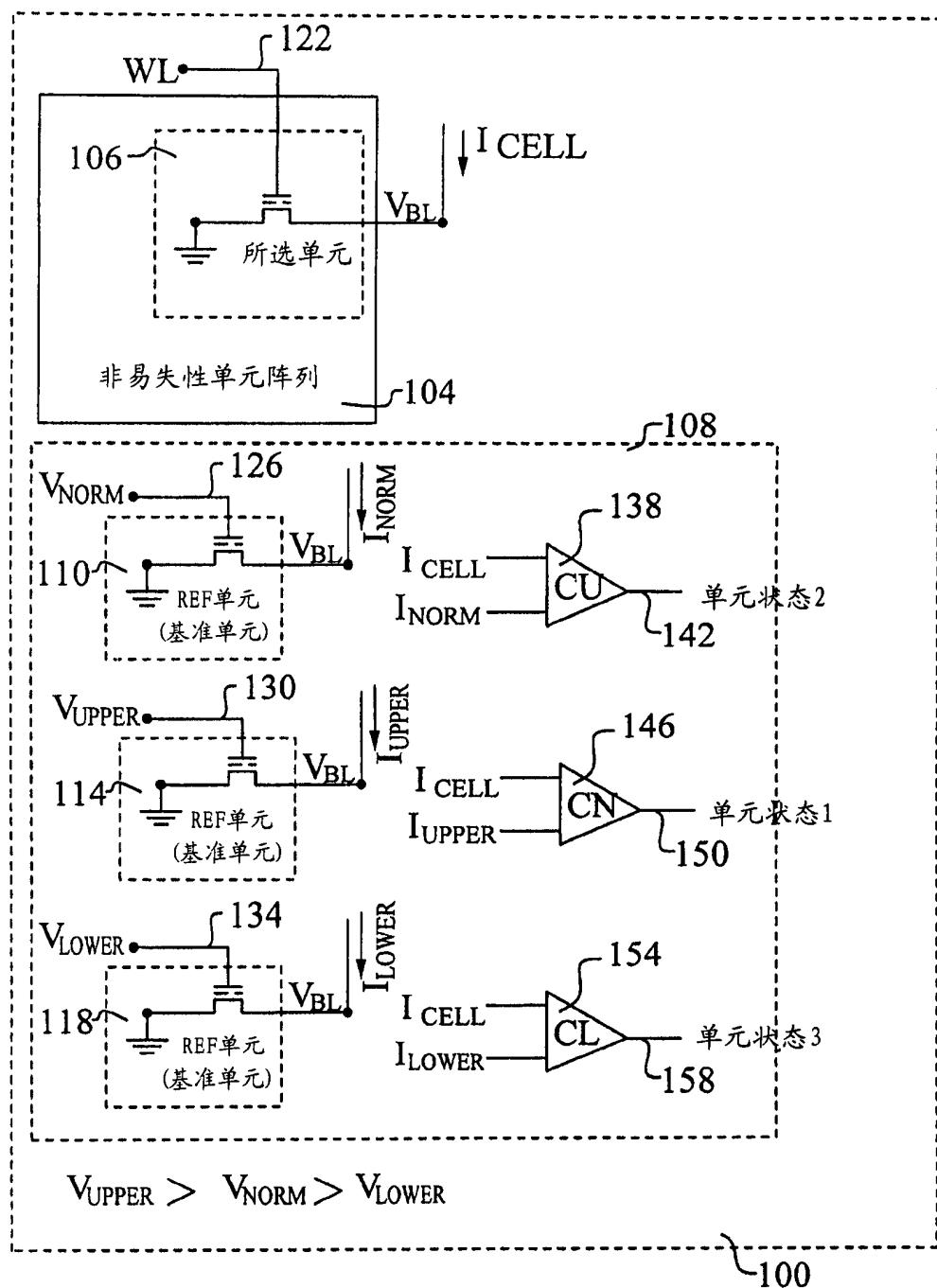


图 4

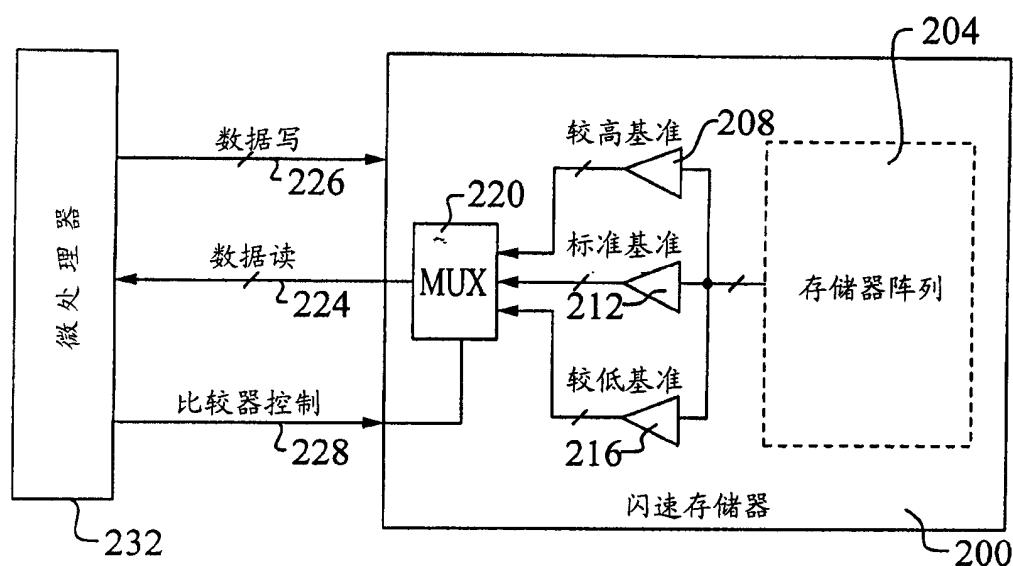


图 5

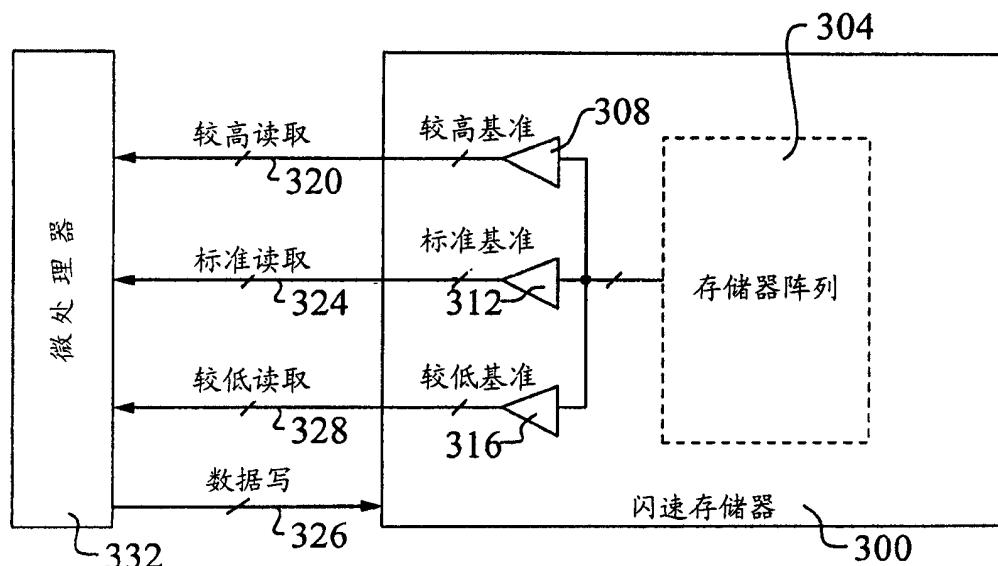


图 6

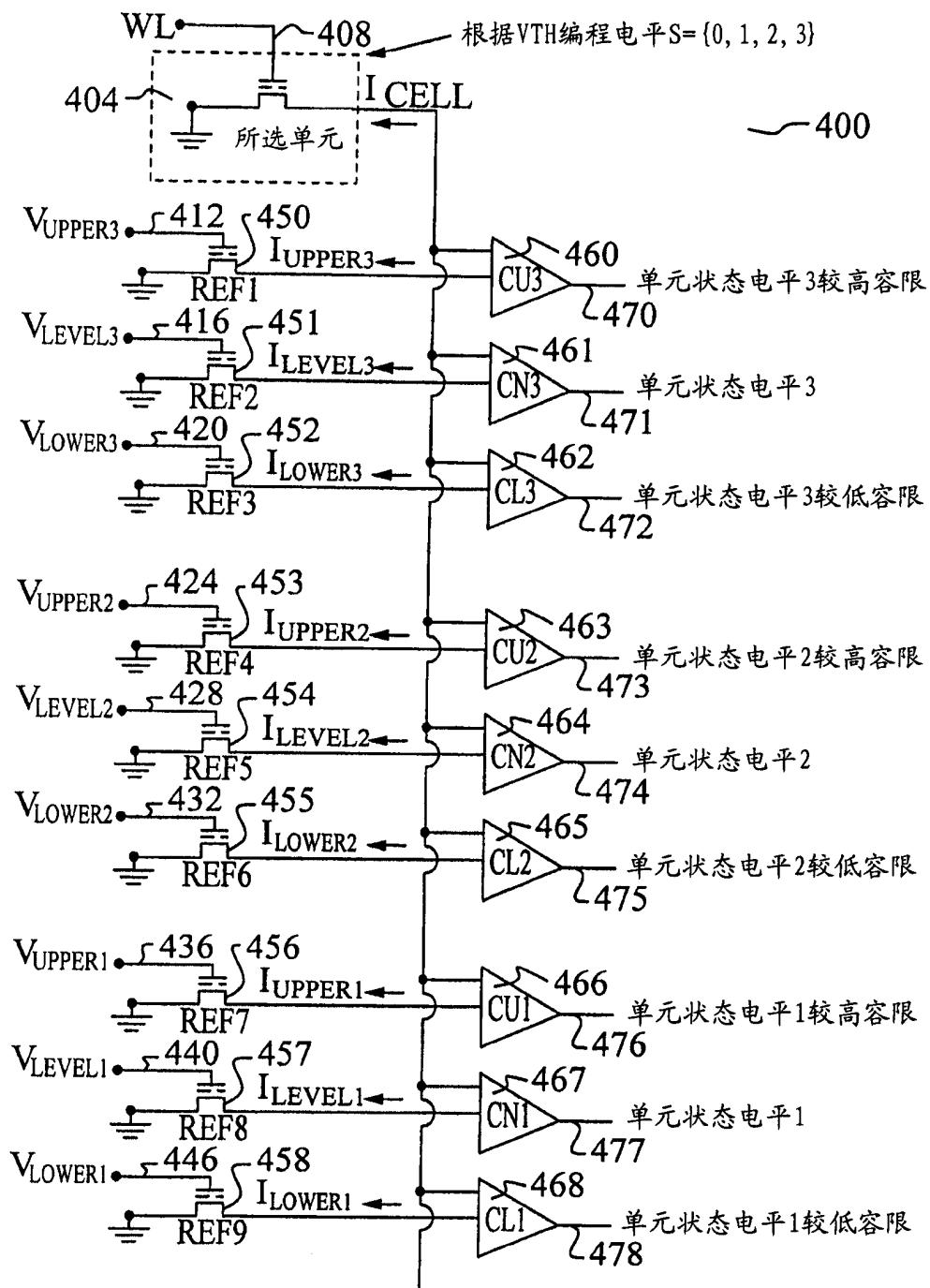


图 7