(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0095113
(43) 공개일자 2013년08월27일

(51) 국제특허분류(Int. Cl.)
H03M 1/38 (2006.01)
(21) 출원번호 10-2012-0016566
(22) 출원일자 2012년02월17일
심사청구일자 2012년02월17일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김철우
서울특별시 성북구 길음동 1283 길음뉴타운 605-1301
박세진
전라북도 전주시 완산구 서신동 대우대창아파트 101동 1205호
(뒷면에 계속)
(74) 대리인
특허법인무한

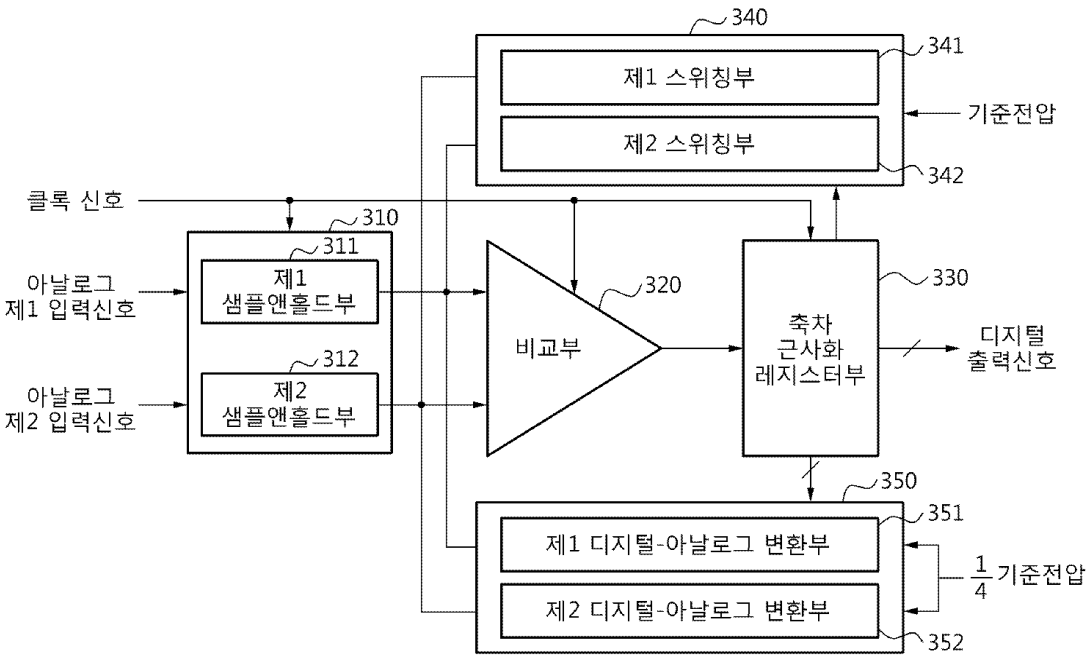
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **축차 비교형 아날로그 디지털 변환기 및 변환 방법**

(57) 요 약

본 발명은 축차 비교형 아날로그 디지털 변환기 및 그 변환방법을 제안한다.실시예에 따른 축차 비교형 아날로그 디지털 변환기는 클록신호를 이용하여 아날로그의 제1 입력신호와 아날로그의 제2 입력신호의 전압 크기를 샘플링하고 유지하는 동작을 수행하는 샘플앤홀드부와, 샘플앤홀드부에 의해 샘플링된 제1 입력신호와 샘플링된 제2 입력신호의 전압크기를 비교하고, 디지털-아날로그 변환부에서 생성한 제1 입력신호와 제2 입력신호의 전압 크기를 비교하는 비교부와, 비교부의 비교 결과에 따라 변환될 디지털 값의 최상위 비트의 값을 결정하고, 비교부로의 입력신호들 중에서 최상위 비트의 값에 대응하는 입력신호를 1/4 기준전압으로 리셋시키는 스위칭부와, 비교부의 비교 결과에 따라 최상위 비트의 다음 비트들의 값을 결정하는 축차 근사화 레지스터부 및 스위칭부와 축차 근사화 레이스터부에서 결정된 디지털 값과 축차 근사화 레이스터부의 클록신호를 수신해서 제1 입력신호와 제2 입력신호의 비교대상 전압을 생성하는 디지털-아날로그 변환부를 포함해서 스위칭 에너지 소모량과 칩 면적을 감소시킨다.

대 표 도



(72) 발명자

아으링거젭

방글라데시 샤키라 샴나가 호왈반기

이호규

경기도 의왕시 내손1동 반도1차아파트 106동 1303호

이 발명을 지원한 국가연구개발사업

과제고유번호	20110020128
부처명	한국연구재단
연구사업명	기초연구실육성사업
연구과제명	그린 스마트패치 및 응용 소프트웨어 연구
주관기관	고려대학교 산학협력단
연구기간	2011.09.01 ~ 2012.08.31

특허청구의 범위

청구항 1

클록신호를 이용하여 아날로그의 제1 입력신호와 아날로그의 제2 입력신호의 전압 크기를 샘플링하고 유지하는 동작을 수행하는 샘플앤홀드부;

상기 샘플앤홀드부에 의해 샘플링된 제1 입력신호와 샘플링된 제2 입력신호의 전압크기를 비교하고, 디지털-아날로그 변환부에서 생성한 제1 입력신호와 제2 입력신호의 전압 크기를 비교하는 비교부;

상기 비교부의 비교 결과에 따라 변환될 디지털 값의 최상위 비트의 값을 결정하고, 상기 비교부로의 입력신호들 중에서 상기 최상위 비트의 값에 대응하는 입력신호를 1/4 기준전압으로 리셋시키는 스위칭부;

상기 비교부의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하는 축차 근사화 레지스터부; 및

상기 스위칭부와 상기 축차 근사화 레이스터부에서 결정된 디지털 값과 상기 축차 근사화 레이스터부의 클록신호를 수신해서 상기 제1 입력신호와 상기 제2 입력신호의 비교대상 전압을 생성하는 상기 디지털-아날로그 변환부를 포함하는

축차 비교형 아날로그 디지털 변환기.

청구항 2

제1항에 있어서,

상기 스위칭부는,

상기 최상위 비트의 값이 1이면 상기 비교부로의 입력신호들 중에서 상기 제1 입력신호의 전압을 1/4 기준전압으로 리셋하고,

상기 최상위 비트의 값이 0이면 상기 비교부로의 입력신호들 중에서 상기 제2 입력신호의 전압을 1/4 기준전압으로 리셋하는

축차 비교형 아날로그 디지털 변환기.

청구항 3

제1항에 있어서,

상기 디지털-아날로그 변환부는,

n이 디지털 해상도일 때, 2^{n-1}개의 캐패시터들을 포함하는

축차 비교형 아날로그 디지털 변환기.

청구항 4

제1항에 있어서,

상기 디지털-아날로그 변환부는,

아래 <수학식 1>에 해당하는 평균 스위칭 에너지를 소모하는

축차 비교형 아날로그 디지털 변환기.

[수학식 1]

$$E_{avg,prop} = 2^{n-5} + \sum_{i=1}^{n-2} \left(2^{n-7-i}\right) CV_{ref}^2$$

여기서, $E_{avg,prop}$는 평균 스위칭 에너지이고, n은 디지털 해상도이고, C는 커패시터 값이고, V_{ref}는 기준전압이다.

청구항 5

제1항에 있어서,

상기 제1 입력신호는,

아날로그 입력신호의 포지티브 신호 또는 아날로그 입력신호의 네거티브 신호 중 하나이고,

상기 제2 입력신호는,

상기 제1 입력신호가 상기 포지티브 신호이면 네가티브 신호이고 상기 제1 입력신호가 상기 네가티브 신호이면 포지티브 신호임을 특징으로 하는

축차 비교형 아날로그 디지털 변환기.

청구항 6

아날로그의 제1 입력신호와 아날로그의 제2 입력신호를 수신하는 단계;

상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압의 크기를 비교해서 최상위 비트의 값을 결정하는 단계;

상기 최상위 비트의 값에 따라 상기 제1 입력신호와 상기 제2 입력신호 중 하나의 전압값을 1/4 기준값으로 재설정하는 리셋 단계;

다음 순서의 비트의 값을 결정하기 위해 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 비교하고 비교 결과에 따라 상기 다음 순서의 비트의 값을 결정하는 비교단계;

상기 비교단계의 결정된 비트 값에 따라 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 재설정하는 재설정 단계; 및

디지털 해상도에 포함된 모든 비트의 값이 결정될 때까지 상기 비교단계와 상기 재설정 단계를 반복하는 반복단계를 포함하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

청구항 7

제6항에 있어서,

상기 리셋 단계는,

상기 최상위 비트의 값이 1이면 상기 제1 입력신호의 전압을 1/4 기준전압으로 리셋하고,

상기 최상위 비트의 값이 0이면 상기 제2 입력신호의 전압을 1/4 기준전압으로 리셋하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

청구항 8

제6항에 있어서,

상기 최상위 비트의 값을 결정하는 단계와 상기 비교단계는,

상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 비교한 결과 상기 제1 입력신호의 전압이 상기 제2 입력신호의 전압 보다 크면 비트값을 1로 결정하고,

상기 제1 입력신호의 전압이 상기 제2 입력신호의 전압 보다 작거나 같으면 상기 제1 입력신호의 전압이 크면 비트값을 0로 결정하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

청구항 9

제6항에 있어서,

상기 재설정 단계는,

상기 비교단계에서 결정된 상기 다음 순서의 비트의 값이 1이면, 상기 제1 입력신호의 전압과 제2 입력신호의 전압을 아래<수학식 1>과 같이 재설정하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

[수학식 1]

$$V_{new+} = V_{+} - V_{ref}/2^{i-1}$$

$$V_{new-} = V_{-}$$

여기서, V_{new+}는 재설정된 제1 입력신호의 전압이고, V_{+}는 현재의 제1 입력신호이고, V_{ref}는 기준전압이고, i는 디지털 해상도에서 현재 비트의 순번이고, V_{new-}는 재설정된 제2 입력신호의 전압이고, V_{-}는 현재의 제2 입력신호이다.

청구항 10

제6항에 있어서,

상기 재설정 단계는,

상기 비교단계에서 결정된 상기 다음 순서의 비트의 값이 0이면, 상기 제1 입력신호의 전압과 제2 입력신호의 전압을 아래<수학식 1>과 같이 재설정하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

[수학식 1]

$$V_{new+} = V_{+}$$

$$V_{new-} = V_{-} - V_{ref}/2^{i-1}$$

여기서, V_{new+}는 재설정된 제1 입력신호의 전압이고, V_{+}는 현재의 제1 입력신호이고, V_{ref}는 기준전압이고, i는 디지털 해상도에서 현재 비트의 순번이고, V_{new-}는 재설정된 제2 입력신호의 전압이고, V_{-}는 현재의 제2 입력신호이다.

청구항 11

제6항에 있어서,

상기 제1 입력신호는,

아날로그 입력신호의 포지티브 신호 또는 아날로그 입력신호의 네거티브 신호 중 하나이고,

상기 제2 입력신호는,

상기 제1 입력신호가 상기 포지티브 신호이면 네가티브 신호이고 상기 제1 입력신호가 상기 네가티브 신호이면 포지티브 신호임을 특징으로 하는

축차 비교형 아날로그 디지털 변환기의 변환 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 축차 비교형 아날로그 디지털 변환기에 관한 것으로서, 더욱 상세하게는 스위칭 에너지 소모량과 칩 면적을 감소시키는 축차 비교형 아날로그 디지털 변환기에 관한 것이다.

배 경 기 술

[0002] 최근 고령화 사회가 사회의 이슈가 되고 있는 가운데, 고령화 사회에 따른 헬스케어 분야가 관심을 받고 있다. 이러한 헬스케어 분야는 사용자에 대한 끊임없는 모니터링을 요구하고 있으며, 이를 위하여 저전력 소모 특성에 대한 요구가 증가하고 있다. 휴대용 헬스케어 기기들의 경우, 사용자에 대한 장시간 모니터링이 필요로 함으로서 휴대용 기기를 구동시키는 구동 전압을 태양에너지, 온도에너지 등을 이용하는 에너지 하베스팅 기술을 이용하여 자체 공급하거나, 낮은 구동 전압을 이용하여 기기의 사용시간을 증가시키고 있다. 이렇게 낮아지는 기기의 구동 전압은 아날로그 회로의 설계에 어려움을 주고 있다. 하지만 디지털 회로의 경우 아날로그 회로에 비해 낮아지는 구동 전압에 영향을 적게 받아, 저전력 설계가 가능하게 된다. 이에 디지털 회로가 주 구성요소인 축차 비교형 아날로그-디지털 변환기가 최근 각광 받고 있다.

[0003] 자연계의 아날로그 신호를 디지털로 변환시켜 주는 아날로그-디지털 변환기는, 인간의 몸에서 발생하는 모든 아날로그 신호를 검출하여 디지털로 변환시켜주는 역할을 하는데 필수적인 회로로서, 모든 헬스케어 기기들에 사용되고 있다. 특히 이 축차 비교형 아날로그-디지털 변환기는 작은 면적과 최소한의 스위칭 에너지를 사용함으로써 모든 휴대용 헬스케어 기기뿐 만 아니라 휴대용 전자기기에 적합하다.

[0004] 도 1는 일반적인 축차 비교형 아날로그-디지털 변환기의 구성을 도시한 도면이다.

[0005] 도 1을 참조하면, 축차 비교형 아날로그-디지털 변환기(100)는 샘플앤홀드(Sample & Hold)부(110), 비교부(120), 축차 근사화 레지스터부(130), 디지털-아날로그 변환부(150)를 포함하여 구성될 수 있다.

[0006] 샘플앤홀드부(110)는 차동형 아날로그 입력 신호들을 디지털 신호로 바꿔주기 위해 일정시간 동안 입력 신호를 샘플링 한 뒤, 샘플링 한 신호들을 디지털-아날로그 변환부(150) 내의 커패시터 열에 저장해 주는 역할을 한다. 샘플앤홀드부(110)는 아날로그 제1 입력신호를 처리하는 제1 샘플앤홀드부(111)와 아날로그 제2 입력신호를 처리하는 제2 샘플앤홀드부(112)로 구성될 수 있다. 이때, 아날로그 제1 입력신호는 아날로그의 포지티브 신호이고, 아날로그 제2 입력신호는 아날로그의 네거티브 신호일 수 있다.

[0007] 그리고, 커패시터 열은 샘플앤홀드부(110)의 샘플링 커패시터와 디지털-아날로그 변환기(150) 내부의 커패시터로서 역할을 동시에 한다.

[0008] 비교부(120)는 샘플앤홀드부(110)가 샘플링 하여 유지하고 있는 샘플링 신호와 축차 근사화 레지스터부(130)의 결과 값에 의해 조절되는 디지털-아날로그 변환부(150)의 출력신호의 조합을 비교한 뒤, 결과값을 출력하는 역할을 한다.

[0009] 축차 근사화 레지스터부(130)는 비교부(120)의 비교 결과 값에 따라 최상위 비트부터 최하위 비트까지의 디지털 출력 신호를 결정한다.

[0010] 또한, 축차 근사화 레지스터부(130)는 다음 비트의 출력 신호를 결정하기 위한 비교기의 기준전압을 생성하기 위해서 디지털-아날로그 변환부(150)의 디지털 제어 신호를 출력하는 역할을 한다.

[0011] 디지털-아날로그 변환부(150)는 축차 근사화 레지스터부(130)의 디지털 제어 신호와 아날로그 기준 전압을 입력으로 받아, 디지털 제어 신호에 맞는 새로운 아날로그 기준 전압을 생성하여 비교부(120)로 제공한다. 디지털-아날로그 변환부(150)는 제1 입력신호에 대한 새로운 아날로그 기준 전압을 생성하는 제1 디지털-아날로그 변환부(151)와 제2 입력신호에 대한 새로운 아날로그 기준 전압을 생성하는 제2 디지털-아날로그 변환부(152)로 구성될 수 있다.

[0012] 도 2는 3비트 축차 비교형 아날로그-디지털 변환기에서 샘플앤홀드부, 비교부및 디지털-아날로그 변환부의 회로를 도시한 도면이다.

[0013] 도 2에서 보는 바와 같이 3비트의 일반적인 축차 비교형 아날로그-디지털 변환기(100)의 경우 모두 8개의 유닛 커패시터가 필요로 하게 된다.

[0014] 이러한 일반적인 축차 비교형 아날로그-디지털 변환기(100)의 경우 유닛 커패시터의 개수가 ^{2N}개(N: 아날로그-디지털 변환기 해상도) 필요하게 되며, 일반화된 축차 비교형 아날로그-디지털 변환기(100)는 아래 <수학식 1>과 같은 평균 스위칭 에너지를 소모하게 된다.

[0015] [수학식 1]

$$E_{avg,mono} = \sum_{i=1}^{n-1} (2^{n-2-i}) CV_{ref}^2$$

[0016]

[0017] 여기서, $E_{avg,mono}$는 평균 스위칭 에너지이고, n은 디지털 해상도이고, C는 커패시터 값이고, V_{ref}는 기준전압이다.

발명의 내용

해결하려는 과제

[0018] 본 발명의 실시예는 축차 비교형 아날로그 디지털 변환기 및 변환 방법을 제공한다.

[0019] 본 발명의 실시예는 최상위 비트 값에 따라 샘플링 된 입력 신호를 1/4 기준 전압으로 리셋 시킴으로써 스위칭 에너지 소모량을 감소시키고, 축차 비교형 아날로그-디지털 변환기의 제작에 필요한 칩 면적을 감소 시키는 축차 비교형 아날로그 디지털 변환기 및 변환 방법을 제공한다.

과제의 해결 수단

[0020] 본 발명의 실시예에 따른 축차 비교형 아날로그 디지털 변환기는, 클록신호를 이용하여 아날로그의 제1 입력신호와 아날로그의 제2 입력신호의 전압 크기를 샘플링하고 유지하는 동작을 수행하는 샘플앤홀드부와, 상기 샘플앤홀드부에 의해 샘플링된 제1 입력신호와 샘플링된 제2 입력신호의 전압크기를 비교하고, 디지털-아날로그 변환부에서 생성한 제1 입력신호와 제2 입력신호의 전압 크기를 비교하는 비교부와, 상기 비교부의 비교 결과에 따라 변환될 디지털 값의 최상위 비트의 값을 결정하고, 상기 비교부로의 입력신호들 중에서 상기 최상위 비트의 값에 대응하는 입력신호를 1/4 기준전압으로 리셋시키는 스위칭부와, 상기 비교부의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하는 축차 근사화 레지스터부 및 상기 스위칭부와 상기 축차 근사화 레이스터부에서 결정된 디지털 값과 상기 축차 근사화 레이스터부의 클록신호를 수신해서 상기 제1 입력신호와 상기 제2 입력신호의 비교대상 전압을 생성하는 상기 디지털-아날로그 변환부를 포함한다.

[0021] 이때, 상기 스위칭부는 상기 최상위 비트의 값이 1이면 상기 비교부로의 입력신호들 중에서 상기 제1 입력신호의 전압을 1/4 기준전압으로 리셋하고, 상기 최상위 비트의 값이 0이면 상기 비교부로의 입력신호들 중에서 상기 제2 입력신호의 전압을 1/4 기준전압으로 리셋한다.

[0022] 이때, 상기 제1 입력신호는 아날로그 입력신호의 포지티브 신호 또는 아날로그 입력신호의 네거티브 신호 중 하나이고, 상기 제2 입력신호는 상기 제1 입력신호가 상기 포지티브 신호이면 네가티브 신호이고 상기 제1 입력신호가 상기 네가티브 신호이면 포지티브 신호일 수 있다.

[0023] 본 발명의 실시예에 따른 축차 비교형 아날로그 디지털 변환기의 변환 방법은, 아날로그의 제1 입력신호와 아날로그의 제2 입력신호를 수신하는 단계와, 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압의 크기를 비교해서 최상위 비트의 값을 결정하는 단계와, 상기 최상위 비트의 값에 따라 상기 제1 입력신호와 상기 제2 입력신호 중 하나의 전압값을 1/4 기준값으로 재설정하는 리셋 단계와, 다음 순서의 비트의 값을 결정하기 위해 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 비교하고 비교 결과에 따라 상기 다음 순서의 비트의 값을 결정하는 비교단계와, 상기 비교단계의 결정된 비트 값에 따라 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 재설정하는 재설정 단계 및 디지털 해상도에 포함된 모든 비트의 값이 결정될 때까지 상기 비교단계와 상기 재설정 단계를 반복하는 반복 단계를 포함한다.

[0024] 이때, 상기 리셋 단계는 상기 최상위 비트의 값이 1이면 상기 제1 입력신호의 전압을 1/4 기준전압으로 리셋하고, 상기 최상위 비트의 값이 0이면 상기 제2 입력신호의 전압을 1/4 기준전압으로 리셋한다.

[0025] 이때, 상기 최상위 비트의 값을 결정하는 단계와 상기 비교단계는, 상기 제1 입력신호의 전압과 상기 제2 입력신호의 전압을 비교한 결과 상기 제1 입력신호의 전압이 상기 제2 입력신호의 전압 보다 크면 비트값을 1로 결정하고, 상기 제1 입력신호의 전압이 상기 제2 입력신호의 전압 보다 작거나 같으면 상기 제1 입력신호의 전압이 크면 비트값을 0으로 결정할 수 있다.

발명의 효과

[0026] 본 발명에 따르면, 축차 비교형 아날로그-디지털 변환기를 구성하는 샘플앤홀드 블록의 샘플된 입력 신호들 중 하나를 리셋 함으로서 축차 비교형 아날로그-디지털 변환기의 스위칭 에너지 소모량을 감소시킬 수 있다.

[0027] 또한 본 발명에 따르면, 축차 비교형 아날로그-디지털 변환기의 최상위 비트 값에 따라 샘플링 된 입력 신호를 1/4 기준 전압으로 리셋 시킴으로써 축차 비교형 아날로그-디지털 변환기의 제작에 필요한 칩 면적을 감소시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 일반적인 축차 비교형 아날로그-디지털 변환기의 구성을 도시한 도면,

도 2는 도 1의 축차 비교형 아날로그-디지털 변환기가 3비트의 해상도를 가진 경우 샘플앤홀드부, 비교부 및 디지털-아날로그 변환부의 회로를 도시한 도면,

도 3은 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 구성을 도시한 도면,

도 4는 도 3의 축차 비교형 아날로그-디지털 변환기가 3비트의 해상도를 가진 경우 샘플앤홀드부, 비교부 및 디지털-아날로그 변환부의 회로를 도시한 도면 및,

도 5는 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 변환과정을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0030] 도 3은 본 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 구성을 도시한 도면이다.

[0031] 도 4는 도 13의 축차 비교형 아날로그-디지털 변환기가 3비트의 해상도를 가진 경우 샘플앤홀드부, 비교부 및 디지털-아날로그 변환부의 회로를 도시한 도면이다.

[0032] 이하의 설명에서 도 1에서 도 4를 참조해서 본 발명에 다른 축차 비교형 아날로그-디지털 변환기의 작용 및 효과에 대해 상세하게 설명한다.

[0033] 도 3을 참조하면, 본 발명에 따른 축차 비교형 아날로그-디지털 변환기(300)는 차동형 아날로그 입력 신호를 샘플링하는 샘플앤홀드부(310), 디지털-아날로그 변환부(350)의 출력신호들과 샘플링 된 샘플앤홀드 신호의 조합을 비교하는 비교부(320), 비교부(320)의 결과에 따라 디지털 출력신호와 디지털-아날로그 변환부(350)의 디지털 제어신호를 출력하는 축차 근사화 레지스터부(330), 축차 근사화 레지스터부(330)의 제어신호에 따라 비교부(320)의 기준전압을 발생시키는 디지털-아날로그 변환부(350), 축차 근사화 레지스터부(330)의 최상위 비트 제어신호에 따라 디지털-아날로그 변환부(350)의 커패시터 열에 저장되어 있는 샘플링한 입력 신호를 기준전압으로 초기화 시키는 스위칭부(340)로 구성된다.

[0034] 샘플앤홀드부(310)는 클록신호를 이용하여 아날로그의 제1 입력신호와 아날로그의 제2 입력신호의 전압 크기를 샘플링하고 유지하는 동작을 수행할 수 있다. 샘플앤홀드부(310)는 제1 입력신호를 처리하는 제1 샘플앤홀드부(311)와 제2 입력신호를 처리하는 제2 샘플앤홀드부(312)로 구성될 수 있다. 이때, 아날로그 제1 입력신호는 아날로그의 포지티브 신호이고, 아날로그 제2 입력신호는 아날로그의 네거티브 신호일 수 있다.

[0035] 비교부(320)는 샘플앤홀드부(310)에 의해 샘플링된 제1 입력신호와 샘플링된 제2 입력신호의 전압크기를 비교하고, 디지털-아날로그 변환부(350)에서 생성한 제1 입력신호와 제2 입력신호의 전압 크기를 비교한다.

[0036] 축차 근사화 레지스터부(330)는 비교부(320)의 비교 결과에 따라 디지털 출력신호 값을 결정한다.

[0037] 스위칭부(340)는 축차 근사화 레지스터부(330)에서 결정된 디지털 값과 축차 근사화 레지스터부(330)의 클록신호를 수신해서 제1 입력신호와 제2 입력신호의 비교대상 전압을 생성한다. 이때, 생성되는 제1 입력신호와 제2 입력신호의 비교대상 전압은 차상위 디지털 값의 결정에 이용된다.

[0038] 스위칭부(340)는 차상위 디지털 값의 결정을 위한 제1 입력신호의 비교대상 전압을 생성하는 제1 스위칭부(341)와 차상위 디지털 값의 결정을 위한 제2 입력신호의 비교대상 전압을 생성하는 제2 스위칭부(342)로 구성될 수 있다.

[0039] 보다 상세히 설명하면, 스위칭부(340)는 최상위 비트의 값이 1이면 비교부(320)로의 입력신호들 중에서 제1 입력신호의 전압을 1/4 기준전압으로 리셋하고, 최상위 비트의 값이 0이면 비교부(320)로의 입력신호들 중에서 제2 입력신호의 전압을 1/4 기준전압으로 리셋한다.

[0040] 디지털-아날로그 변환부(350)는 스위칭부(340)와 축차 근사화 레지스터부(330)에서 결정된 디지털 값과 축차 근사화 레지스터부(330)의 클록신호를 수신해서 제1 입력신호와 제2 입력신호의 비교대상 전압을 생성한다. 디지털-아날로그 변환부(350)는 제1 입력신호의 비교대상 전압을 생성하는 제1 디지털-아날로그 변환부(351)와 제2 입력신호의 비교대상 전압을 생성하는 제2 디지털-아날로그 변환부(352)로 구성될 수 있다.

[0041] 디지털-아날로그 변환부(350)는 n이 디지털 해상도일 때, 2^{n-1}개의 캐패시터들을 포함한다.

[0042] 도 2에서 보는 바와 같이, 일반적인 축차 비교형 아날로그-디지털 변환기(100)의 경우, 첫 번째 클록의 반 사이클 동안에는 아날로그 입력 신호를 샘플링 하고, 나머지 반 사이클 동안에는 샘플링 한 입력 신호를 비교부가 비교를 해 그 출력 값을 축차 근사화 레지스터부(130)에 전달한다. 그리고 축차 비교형 아날로그-디지털 변환기(100)는 축차 근사화 레지스터부(130)의 데이터에 따라 디지털-아날로그 변환부(150)의 2C 커패시터의 기준전압 값을 바꿔주게 된다. 두 번째 클록 사이클부터 마지막 클록 사이클에는 이전 비트 값에 따라 수정된 디지털-아날로그 변환부(150)의 출력 값이 비교부에 입력이 되어 두 입력 값을 비교한 뒤 축차 근사화 레지스터부(130)로 데이터를 출력해주는 사이클을 반복하게 된다.

[0043] 이 과정에서 디지털-아날로그 변환기(150)의 경우, 축차 근사화 레지스터의 출력 값에 따라 각각의 커패시터에 두 개의 기준전압(V_{REFP}, V_{REFN}, 그림의 경우 V_{REFP} = V_{REF} = 기준전압 = VDD, V_{REFN} = 0)을 스위칭 하게 된다. 도 2에서 보는 바와 같이, 최상위 비트 비교 후 축차 근사화 레지스터부(130)는 이전 비교부(120)의 결과가 "1"인 쪽의 디지털-아날로그 변환부(150)의 커패시터열 중 2C 커패시터에 가해주는 전압을 기준전압에서 0V 로 바꿔 새로운 비교부의 입력 신호를 발생하게 된다. 이때, 디지털-아날로그 변환부(150)에서는 CV^2_{REF} 만큼의 스위칭 에너지가 소모된다. 나머지 비트의 경우에도, 디지털-아날로그 변환부(150)의 기준전압 스위칭에 따라 스위칭 에너지가 결정되고 N비트 축차 비교형 아날로그-디지털 변환기(100)의 경우 상술한 <수학식 1>의 평균 스위칭 에너지를 소모하게 된다. 또한 유닛 커패시터를 C라 할 때, 디지털-아날로그 변환부(150)의 커패시터 열은 2^N*C개의 유닛 커패시터를 필요로 하게 된다.

[0044] 하지만 도 3과 도 4에 도시된 바와 같이, 모든 디지털-아날로그 변환부(350)의 커패시터 열을 기준전압이 아닌 1/4*기준전압으로 리셋한 뒤 입력신호에 따라 최상위 비트 디지털 값을 결정한 후, 한 쪽의 커패시터 열 전체를 스위칭부를 사용하여 $1/4V_{REF}$로 리셋 시킴으로써 최상위 비트에서 차상위 비트로 변환 시 최소 $1/4CV^2_{REF}$에서 최대 $3/4CV^2_{REF}$ 만큼의 스위칭 에너지를 소모하게 된다. 이는 일반적인 축차 비교형 아날로그-디지털 변환기(100)와 비교하였을 때, 25%~75%의 스위칭 에너지 절감 효과를 얻을 수 있다. 또한 하위 비트로의 변환 시에도 낮은 기준전압과 작은 유닛 커패시터의 사용으로 인해 전체 평균 스위칭 에너지는 아래 <수학식 2>를 소모하게 된다.

[0045] [수학식 2]

[0046] $$E_{avg,prop} = 2^{n-5} + \sum_{i=1}^{n-2}\left(2^{n-7-i}\right) CV_{ref}^2$$

[0047] 여기서, $E_{avg,prop}$는 평균 스위칭 에너지이고, n은 디지털 해상도이고, C는 커패시터 값이고, V_{ref}는 기준전압이다.

[0048] 또한 도2와 도 4를 비교해 보면 동일한 3비트 축차 비교형 아날로그-디지털 변환기 이지만 사용된 유닛 커패시터(C)의 개수가 도 2의 경우 8C 인 반면 도 4의 경우 4C로 일반적인 축차 비교형 아날로그-디지털 변환기와 비교하였을 때 50%의 유닛 커패시터 감소 효과가 있다. 따라서 일반적으로 휴대용 헬스케어에서 사용되는 10-비트 아날로그-디지털 변환기의 경우, 도 1과 도 2의 축차 비교형 아날로그-디지털 변환기는 $255.5CV^2_{REF}$ 의 스위칭 에너지를 소모하고 1024개의 유닛 커패시터를 필요로 한다. 하지만 도 3과 도 4의 축차 비교형 아날로그-디지털 변환기의 경우 약 $39.96875CV^2_{REF}$ 의 스위칭 에너지를 소모하고 512개의 유닛 커패시터를 사용함으로써 84%의 스

위칭 에너지 감소와 50%의 유닛 커패시터의 개수를 줄일 수 있다.

[0049] 이하, 상기와 같이 구성된 본 발명에 따른 축차 비교형 아날로그-디지털 변환기에서 아날로그 신호를 디지털로 변환하는 방법을 아래에서 도면을 참조하여 설명한다.

[0050] 도 5는 발명의 일 실시예에 따른 축차 비교형 아날로그-디지털 변환기의 변환과정을 도시한 흐름도이다.

[0051] 도 5를 참조하면, 축차 비교형 아날로그-디지털 변환기(300)는 510단계에서 아날로그의 제1 입력신호($V_+ = V_{ip}$)와 아날로그의 제2 입력신호($V_- = V_{in}$)를 수신한다.

[0052] 그리고, 축차 비교형 아날로그-디지털 변환기(300)는 512단계에서 제1 입력신호와 제2 입력신호를 비교한다.

[0053] 비교결과 제1 입력신호가 제2 입력신호 보다 큰 경우, 축차 비교형 아날로그-디지털 변환기(300)는 514단계에서 디지털 해상도의 i번째 비트의 값을 1로 설정한다.

[0054] 그리고, 축차 비교형 아날로그-디지털 변환기(300)는 516단계에서 현재 결정된 비트값이 최상위 비트의 비트값인지 확인한다.

[0055] 516단계의 확인결과 현재 결정된 비트값이 최상위 비트의 비트값이면, 축차 비교형 아날로그-디지털 변환기(300)는 518단계에서 제2 입력신호의 전압값은 유지하고 제1 입력신호의 전압값을 1/4 기준전압으로 설정한다.

[0056] 516단계의 확인결과 현재 결정된 비트값이 최상위 비트의 비트값이 아니면, 축차 비교형 아날로그-디지털 변환기(300)는 520단계에서 제2 입력신호의 전압값은 유지하고 제1 입력신호의 전압값을 $1/2^{i-1}$ 기준전압만큼 감산해서 설정한다. 이때, i는 디지털 해상도의 i번째 비트로 현재 결정된 비트이다.

[0057] 한편, 비교결과 제1 입력신호가 제2 입력신호 보다 작거나 같은 경우, 축차 비교형 아날로그-디지털 변환기(300)는 522단계에서 디지털 해상도의 i번째 비트의 값을 0으로 설정한다.

[0058] 그리고, 축차 비교형 아날로그-디지털 변환기(300)는 524단계에서 현재 결정된 비트값이 최상위 비트의 비트값인지 확인한다.

[0059] 524단계의 확인결과 현재 결정된 비트값이 최상위 비트의 비트값이면, 축차 비교형 아날로그-디지털 변환기(300)는 528단계에서 제1 입력신호의 전압값은 유지하고 제2 입력신호의 전압값을 1/4 기준전압으로 설정한다.

[0060] 524단계의 확인결과 현재 결정된 비트값이 최상위 비트의 비트값이 아니면, 축차 비교형 아날로그-디지털 변환기(300)는 526단계에서 제1 입력신호의 전압값은 유지하고 제2 입력신호의 전압값을 $1/2^{i-1}$ 기준전압만큼 감산해서 설정한다.

[0061] 518단계, 520단계, 526단계 및 528단계 이후에 축차 비교형 아날로그-디지털 변환기(300)는 530단계에서 디지털 해상도의 모든 비트의 값이 결정되었는지 확인한다.

[0062] 530단계의 확인결과 디지털 해상도의 모든 비트의 값이 결정되지 않았으면, 축차 비교형 아날로그-디지털 변환기(300)는 532단계에서 디지털 해상도에서 다음 순서의 비트를 선택하고 512단계로 돌아간다.

[0063] 530단계의 확인결과 디지털 해상도의 모든 비트의 값이 결정되었으면, 축차 비교형 아날로그-디지털 변환기(300)는 본 알고리즘을 종료한다.

[0064] 본 발명의 실시 예에 따른 방법들은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다.

[0065] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0066] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

[0067] 300; 축차 비교형 아날로그 디지털 변환기

310; 샘플앤홀드부

320; 비교부

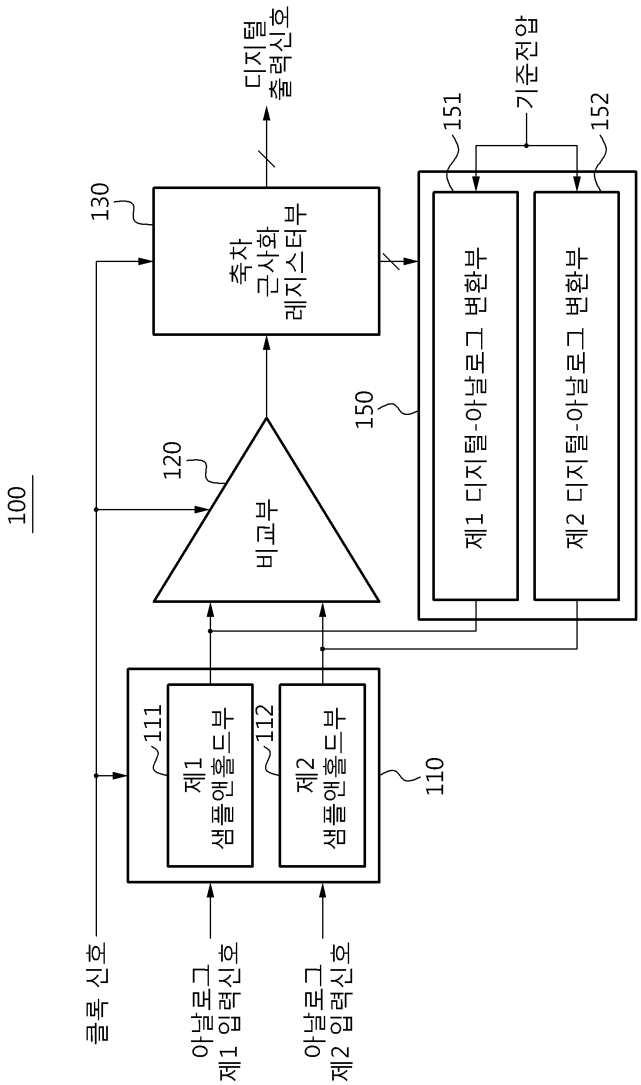
330; 축차 근사화 레지스터부

340; 스위칭부

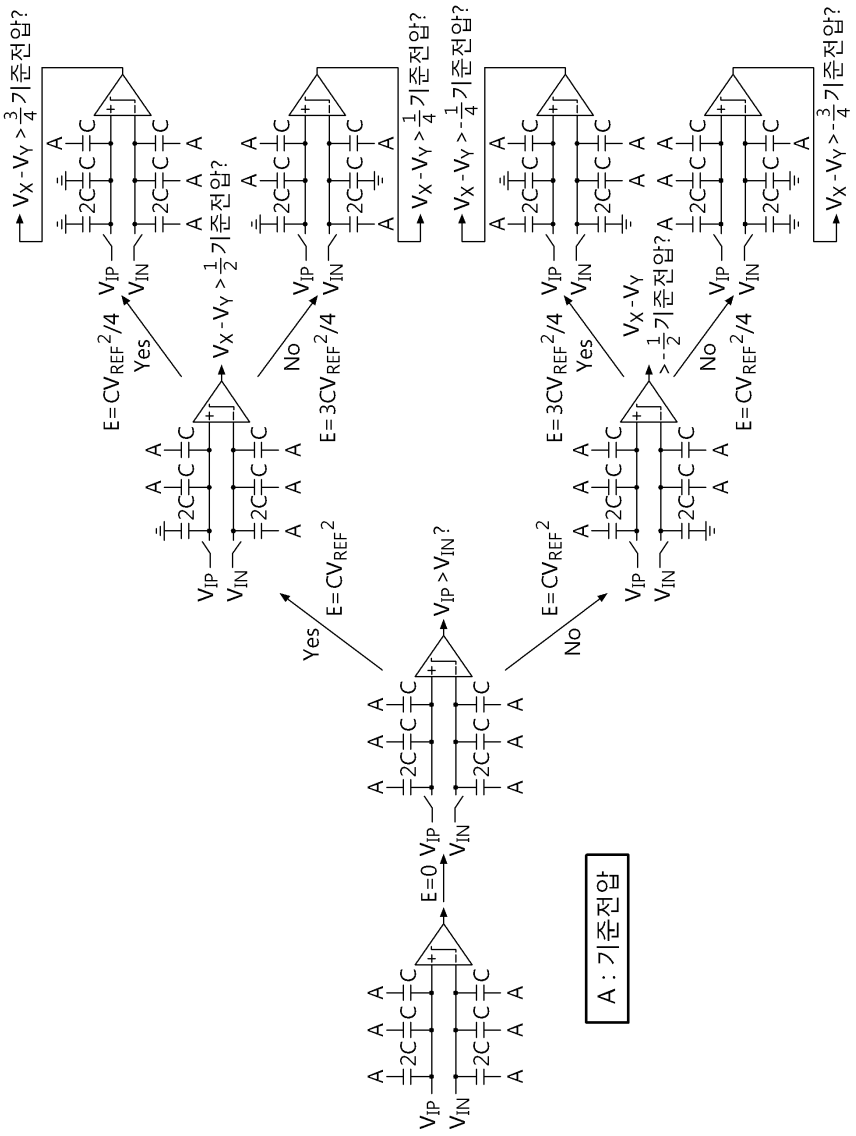
350; 디지털-아날로그 변환부

도면

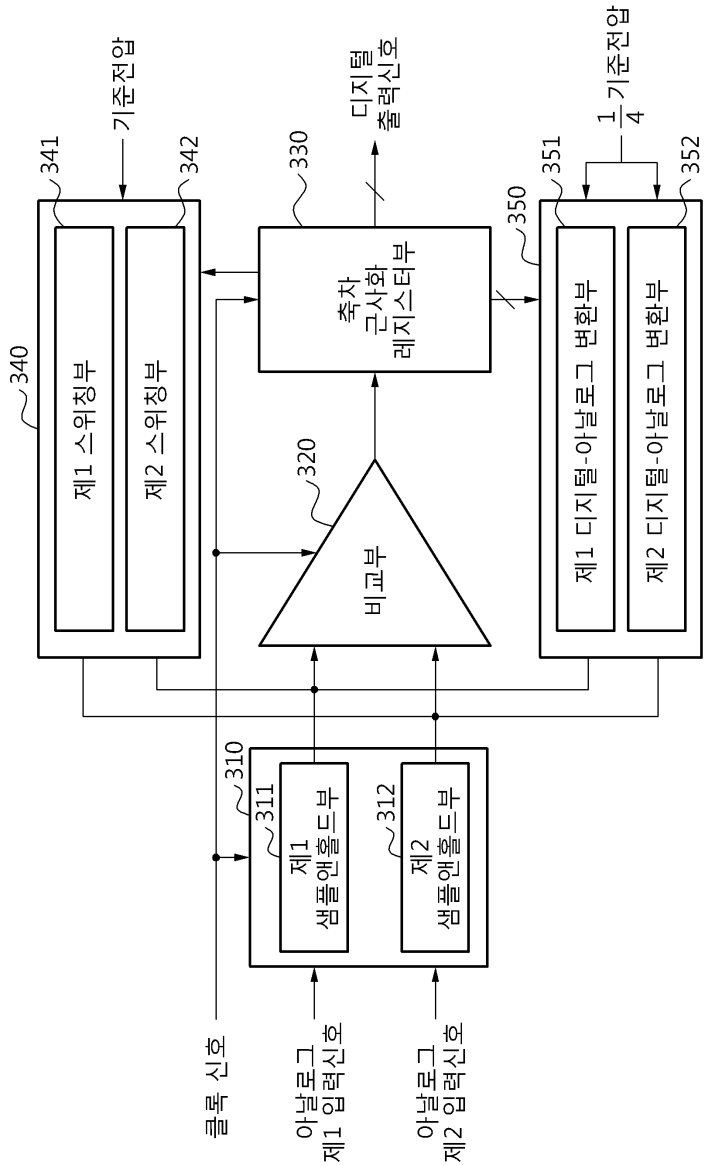
도면1



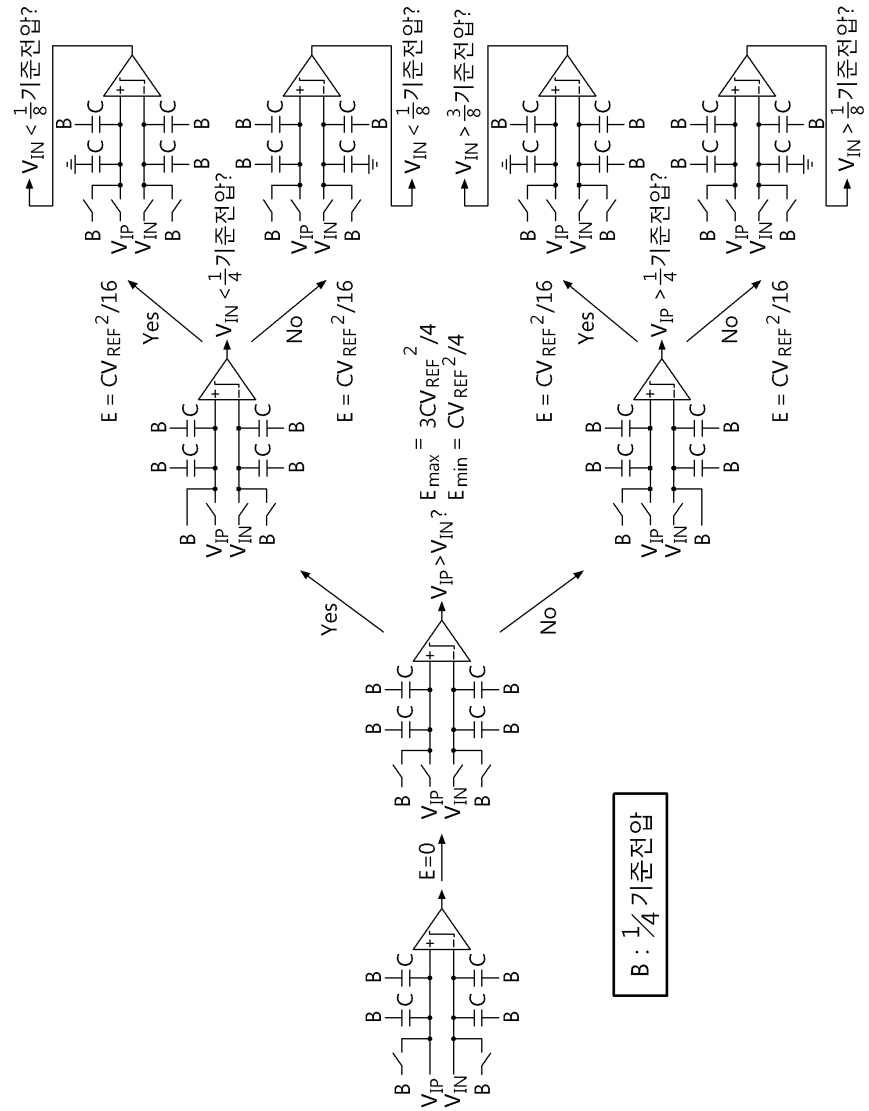
도면2


V_X-V_Y > $\frac{3}{4}$기준전압?
V_X-V_Y > $\frac{1}{4}$기준전압?
V_X-V_Y > $\frac{1}{2}$기준전압?
V_X-V_Y > -$\frac{1}{4}$기준전압?
V_X-V_Y > -$\frac{3}{4}$기준전압?
V_X-V_Y > -$\frac{1}{2}$기준전압?
V_{IP} > V_{IN} ?
E=0
E=CV_{REF}^2
E=CV_{REF}^2/4
E=$3CV_{REF}^2$/4
Yes
No
V_{IP}
V_{IN}
A : 기준전압

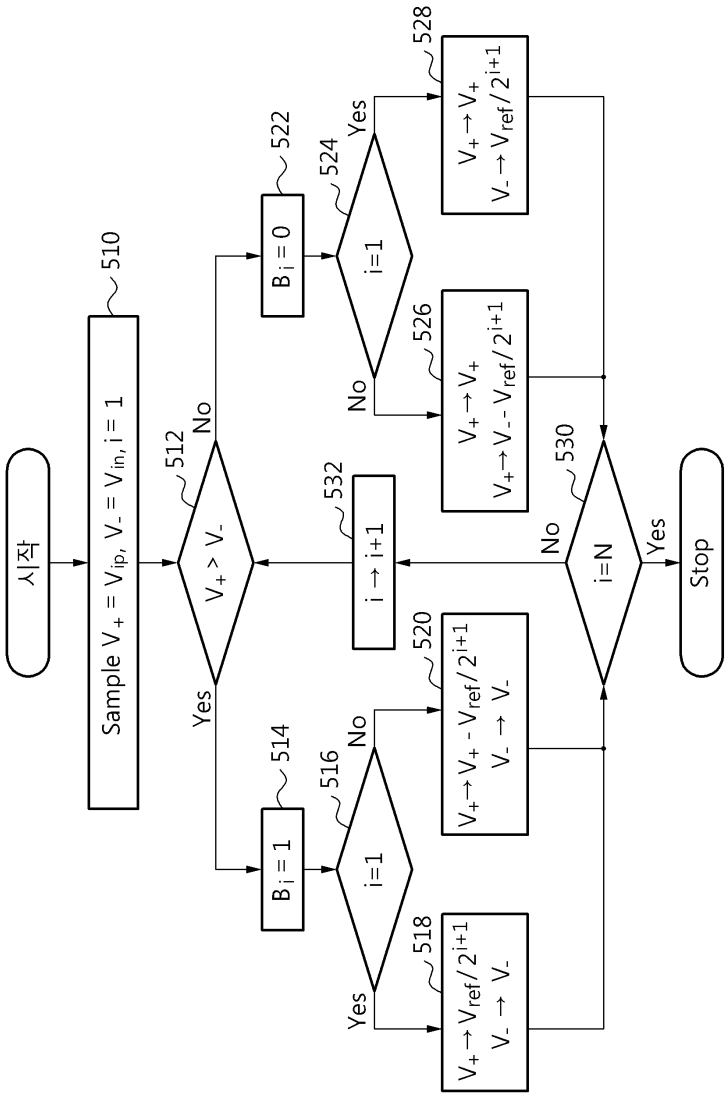
도면3


340
341
342
330
350
351
352
310
311
312
320
제1 스위칭부
제2 스위칭부
축차
근사화
레지스터부
비교부
제1 디지털-아날로그 변환부
제2 디지털-아날로그 변환부
제1
샘플앤홀드부
제2
샘플앤홀드부
기준전압
디지털
출력신호
1/4 기준전압
클록 신호
아날로그
제1 입력신호
아날로그
제2 입력신호

도면4



도면5


시작
Sample $V_+ = V_{ip}$, $V_- = V_{in}$, i = 1
510
$V_+ > V_-$
512
No
Yes
$B_i = 0$
522
$B_i = 1$
514
i=1
524
516
Yes
No
$V_+ \rightarrow V_+$
$V_- \rightarrow V_{ref}/2^{i+1}$
528
$V_+ \rightarrow V_+$
$V_+ \rightarrow V_- - V_{ref}/2^{i+1}$
526
$V_+ \rightarrow V_+ - V_{ref}/2^{i+1}$
$V_- \rightarrow V_-$
520
$V_+ \rightarrow V_{ref}/2^{i+1}$
$V_- \rightarrow V_-$
518
i → i+1
532
i=N
530
No
Yes
Stop