

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年8月5日(05.08.2010)

PCT

(10) 国際公開番号
WO 2010/087009 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2009/051649
- (22) 国際出願日: 2009年1月30日(30.01.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 長谷 健一(NAGATANI, Kenichi) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目3番1号 株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 龍華 明裕, 外(RYUKA, Akihiro et al.); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

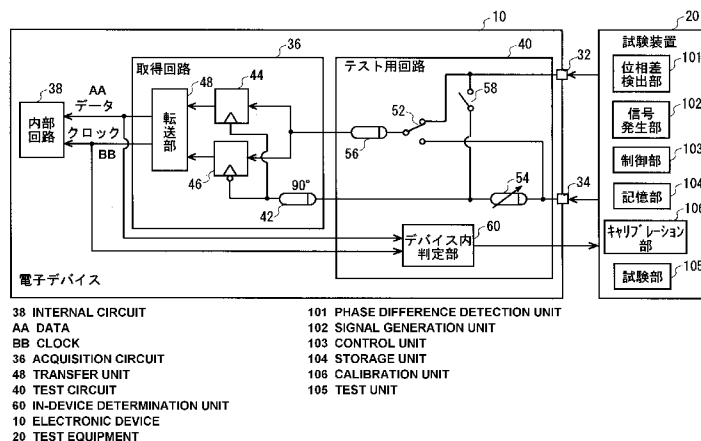
添付公開書類:

— 国際調査報告(条約第21条(3))

(54) Title: ELECTRONIC DEVICE, TEST EQUIPMENT, AND TEST METHOD

(54) 発明の名称: 電子デバイス、試験装置および試験方法

[図2]



(57) Abstract: Test equipment is used for testing an electronic device receiving a data signal and a clock signal indicating a timing at which the data signal should be acquired. The electronic device comprises a data input terminal for receiving the data signal, a clock input terminal for receiving the clock signal, an acquisition circuit for acquiring the data signal at a timing corresponding to the clock signal, and a test circuit for, when the electronic device is tested, switching whether to allow the acquisition circuit to acquire the clock signal in place of the data signal or not. The test equipment comprises a test unit for controlling the test circuit so as to allow the acquisition circuit to acquire the clock signal in place of the data signal and executing control for supplying the clock signal to the electronic device and a determination unit for determining, based on the result of allowing the acquisition circuit to acquire the clock signal in place of the data signal, whether the electronic device is good or not.

(57) 要約:

[続葉有]

WO 2010/087009 A1



データ信号およびデータ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスを試験する試験装置であって、電子デバイスは、データ信号を入力するデータ入力端子と、クロック信号を入力するクロック入力端子と、クロック信号に応じたタイミングでデータ信号を取得する取得回路と、電子デバイスを試験する場合に、データ信号に代えてクロック信号を取得回路に取得させるか否かを切り替えるテスト用回路と、を備え、当該試験装置は、データ信号に代えてクロック信号を取得回路に取得させるようにテスト用回路を制御して、電子デバイスにクロック信号を供給する制御を実行する試験部と、データ信号に代えてクロック信号を取得回路に取得させた結果に基づいて、当該電子デバイスを良否判定する判定部を備える試験装置を提供する。

明 細 書

電子デバイス、試験装置および試験方法

技術分野

- [0001] 本発明は、データ信号およびこのデータ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイス、このような電子デバイスを試験する試験装置および試験方法に関する。

背景技術

- [0002] ソースシンクロサインターフェースを採用した電子デバイスが知られている。この電子デバイスは、データ信号と並行して、データ信号を取得すべきタイミングを示すクロック信号を入出力する。また、電子デバイスを試験する試験装置が知られている。試験装置は、発生タイミングが固定されたストロブ信号またはタイミング信号を用いて、電子デバイスから出力される信号の取得および電子デバイスに対して与える信号を発生する。
- [0003] 非特許文献1:Stefan Walther、Guido Schulze、"マルチストロブによるソース同期I/Fの試験"、[online]、[2008年4月]、EDNjapanホームページ、インターネット<URL: <http://www.ednjapan.com/issue/2008/04/u3eqp3000001tyuo.html>>

発明の開示

発明が解決しようとする課題

- [0004] ところで、ソースシンクロサインターフェースを採用した電子デバイスは、出力および入力するデータ信号およびクロック信号に、位相ジッタ、位相ドリフトおよびスキューを含む。このような位相ジッタ等は、デバイス間での通常の通信には影響を与えないが、固定のストロブ信号およびタイミング信号を用いる試験装置との通信には影響を与える。従って、試験装置は、このような電子デバイスを試験する場合、データ信号およびクロック信号に含まれる位相ジッタ、位相ドリフトおよびスキューが試験結果に影響しないように、信号の発生および取込においてタイミングマージンを設けていた。
- [0005] しかし、近年、ソースシンクロサインターフェースを採用した電子デバイスのデータ

転送速度は、より高速となっている。従って、試験装置は、位相ジッタ、位相ドリフトおよびスキューの影響を考慮したタイミングマージンが減少して、このような電子デバイスを精度良く試験することができなくなってきた。さらに、試験装置は、このような電子デバイスを試験する前に精度の良いキャリブレーションをしなければならず、試験コストが高くなっていた。

[0006] そこで本発明の1つの側面においては、上記の課題を解決することのできる電子デバイス、試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の第1の態様においては、データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスであって、前記データ信号を入力するデータ入力端子と、前記クロック信号を入力するクロック入力端子と、前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、当該電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるか否かを切り替えるテスト用回路と、を備える電子デバイスを提供する。

[0008] 本発明の第2の態様においては、データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスを試験する試験装置であって、前記電子デバイスは、前記データ信号を入力するデータ入力端子と、前記クロック信号を入力するクロック入力端子と、前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、前記電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるか否かを切り替えるテスト用回路と、を備え、当該試験装置は、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるように前記テスト用回路を制御して、前記電子デバイスに前記クロック信号を供給する制御を実行する試験部と、前記データ信号に代えて前記クロック信号を前記取得回路に取得させた結果に基づいて、当該電子デバイスを良否判定する判定部を備える試験装置を提供する。

[0009] 本発明の第3の態様においては、データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスを試験する試験方法であって、前記電子デバイスは、前記データ信号を入力するデータ入力端子と、前記クロック信号を入力するクロック入力端子と、前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、前記電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるか否かを切り替えるテスト用回路と、を備え、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるように前記テスト用回路を制御して、前記電子デバイスに前記クロック信号を供給し、前記データ信号に代えて前記クロック信号を前記取得回路に取得させた結果に基づいて、当該電子デバイスを良否判定する試験方法を提供する。

[0010] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0011] [図1]図1は、本実施形態に係る電子デバイス10および試験装置20を示す。

[図2]図2は、本実施形態に係る電子デバイス10および試験装置20の構成を示す。

[図3]図3は、データ信号およびクロック信号のタイミングの一例を示す。

[図4]図4は、電子デバイス10が通常動作する場合の、データ信号およびクロック信号の流れを示す。

[図5]図5は、電子デバイス10を試験する場合の、試験装置20の動作フローの一例を示す。

[図6]図6は、ステップS11の遅延量設定値を検出する場合における信号の流れを示す。

[図7]図7は、ステップS12およびステップS13の電子デバイス10を試験する場合における信号の流れを示す。

[図8]図8は、本実施形態の変形例に係る電子デバイス10および試験装置20の構成を示す。

発明を実施するための最良の形態

[0012] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の

範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0013] 図1は、本実施形態に係る電子デバイス10および試験装置20を示す。電子デバイス10は、ソースシンクロサインターフェースを採用し、データ信号およびデータ信号を取得すべきタイミングを示すクロック信号を入力する。電子デバイス10は、クロック信号の周期に対して、例えば、2倍、4倍、…の周期のデータ信号を入力する。本実施形態において、電子デバイス10が入力するデータ信号は、転送レートがクロック信号の2倍であり、エッジ位相がクロック信号の立上エッジおよび立下りエッジのタイミングと一致する。

[0014] 試験装置20は、電子デバイス10を試験する。試験装置20は、一例として、電子デバイス10に対して試験信号を与え、試験信号を与えたことに応じて出力される応答信号を受け取る。そして、試験装置20は、期待された応答信号を受け取れたか否かを判断して電子デバイス10の良否を判定する。

[0015] 図2は、本実施形態に係る電子デバイス10および試験装置20の構成を示す。本実施形態に係る電子デバイス10は、データ入力端子32と、クロック入力端子34と、取得回路36と、内部回路38と、テスト用回路40とを備える。

[0016] データ入力端子32は、外部から供給されたデータ信号を入力する。クロック入力端子34は、外部から供給されたクロック信号を入力する。

[0017] 取得回路36は、クロック入力端子34が入力したクロック信号に応じたタイミングで、データ入力端子32が入力したデータ信号を取得する。本実施形態においては、取得回路36は、90度位相遅延器42と、第1ラッチ44と、第2ラッチ46と、転送部48とを有する。90度位相遅延器42は、クロック入力端子34が入力したクロック信号を、90度の位相分遅延する。

[0018] 第1ラッチ44は、90度位相遅延器42により遅延されたクロック信号の立上りエッジのタイミングにおいて、データ入力端子32が入力したデータ信号の値を取得する。第2ラッチ46は、90度位相遅延器42により遅延されたクロック信号の立下りエッジのタイミングにおいて、データ入力端子32が入力したデータ信号の値を取得する。転送部48は、第1ラッチ44が取得した値のデータ列および第2ラッチ46が取得した値

のデータ列をバッファリングして、後段の内部回路38に転送する。

[0019] このような取得回路36は、クロック信号の90度および270度の位相タイミングで、データ信号の値を取得することができる。すなわち、このような取得回路36は、クロック信号の2倍の転送レートのデータ信号の値を、当該データ信号の中心位相タイミング(位相が180度のタイミング)において取得することができる。

[0020] なお、データ信号の転送レートがクロック信号の転送レートの2倍より高い場合には、取得回路36は、レートの倍数に対応する個数の複数のラッチを有する。そして、取得回路36は、このような複数のラッチを用いて、クロック信号に応じた複数種類のタイミングのそれぞれでデータ信号をそれぞれ取得する。

[0021] 内部回路38は、取得回路36により取得されたデータ列に応じて動作する。内部回路38は、一例として、メモリから読み出したデータ列を処理する回路であってよい。

[0022] テスト用回路40は、試験装置20が当該電子デバイス10を試験する場合に、データ信号に代えてクロック信号を取得回路36に取得させるか否かを切り替える。また、テスト用回路40は、試験装置20が当該電子デバイス10を試験する場合に、取得回路36が取得したデータ信号の値を期待値と比較した結果に基づき、当該電子デバイス10の良否を判定する。そして、テスト用回路40は、判定結果を応答信号として試験装置20に送信する。

[0023] 本実施形態においては、テスト用回路40は、選択部52と、可変遅延部54と、固定遅延部56と、ループバック切替部58とを有する。選択部52は、外部の試験装置20からの指示に応じて、データ信号およびクロック信号のいずれを取得回路36に供給して取得させるかを選択する。なお、当該電子デバイス10が通常動作する状態においては、選択部52は、データ信号を取得回路36に取得させる。

[0024] 可変遅延部54は、外部の試験装置20からの指示に応じて、遅延量が可変される。可変遅延部54は、データ入力端子32から入力したデータ信号およびクロック入力端子34から入力したクロック信号の一方を他方に対して遅延させて取得回路36に供給する。

[0025] 本実施形態においては、可変遅延部54は、クロック入力端子34から入力したクロック信号を遅延して取得回路36に供給する。これに代えて、可変遅延部54は、データ

入力端子32から入力したデータ信号を遅延して、選択部52を介して取得回路36に供給する構成であってもよい。なお、当該電子デバイス10が通常動作する状態においては、可変遅延部54は、与えられた信号を基準遅延量分、遅延する。

[0026] 固定遅延部56は、データ入力端子32から入力したデータ信号またはクロック入力端子34から入力したクロック信号のうちの、可変遅延部54が遅延する一方の信号に対して、可変遅延部54が遅延していない他方の信号を遅延させて取得回路36に供給する。固定遅延部56は、当該電子デバイス10が通常動作する状態における可変遅延部54の遅延量(基準遅延量)分、与えられた信号を遅延する。

[0027] 本実施形態においては、固定遅延部56は、データ入力端子32から入力したデータ信号を遅延して取得回路36に供給する。なお、可変遅延部54がデータ入力端子32から入力したデータ信号を遅延する場合には、固定遅延部56は、クロック入力端子34から入力したクロック信号を遅延して取得回路36に供給する。

[0028] ループバック切替部58は、外部の試験装置20からの指示に応じて、データ入力端子32またはクロック入力端子34の一方が外部から入力した信号を、可変遅延部54により遅延して他方から外部へと出力させるか否かを切り替える。本実施形態においては、ループバック切替部58は、可変遅延部54におけるクロック入力端子34が接続されていない端子と、データ入力端子32との間を、接続するか否かを切り替える。

[0029] 可変遅延部54がデータ入力端子32から入力したデータ信号を遅延する場合には、可変遅延部54におけるデータ入力端子32が接続されていない端と、クロック入力端子34との間を、接続するか否かを切り替える。なお、当該電子デバイス10が通常動作する状態においては、ループバック切替部58は、データ入力端子32とクロック入力端子34との間を開放する。

[0030] デバイス内判定部60は、試験装置20が当該電子デバイス10を試験する場合に、取得回路36により取得された信号を期待値と比較した結果に基づき良否判定する。そして、デバイス内判定部60は、判定結果を応答信号として試験装置20に送信する。

[0031] 本実施形態に係る試験装置20は、位相差検出部101と、信号発生部102と、制御部103と、記憶部104と、試験部105と、キャリブレーション部106とを備える。位相差

検出部101は、電子デバイス10から受け取った信号の位相または遅延量を測定する。

[0032] 信号発生部102は、電子デバイス10に対して信号を供給する。制御部103は、電子デバイス10に対する設定等を行う。より具体的には、制御部103は、可変遅延部54に対して設定値を与えて遅延量を変更する。また、制御部103は、電子デバイス10の選択部52およびループバック切替部58の切り替えを制御する。記憶部104は、キャリブレーション部106により検出された遅延量設定値を記憶する。

[0033] 試験部105は、一例として、CPU等の演算処理装置が試験プログラムを実行することにより実現される。試験部105は、電子デバイス10を試験する場合に、データ信号に代えてクロック信号を取得回路36に取得させるようにテスト用回路40の選択部52を制御して、電子デバイス10にクロック信号を供給する制御を実行する。

[0034] さらに、試験部105は、データ信号およびクロック信号を、電子デバイスの通常動作において用いる基準遅延量分ずらす設定値を、可変遅延部54に設定する制御を実行する。また、他の試験においては、試験部105は、データ信号およびクロック信号を、電子デバイス10の通常動作において用いる基準遅延量に対して予め指定されたオフセット遅延量分ずらす遅延量設定値を、可変遅延部54に設定する制御を実行する。

[0035] キャリブレーション部106は、一例として、CPU等の演算処理装置がキャリブレーションプログラムを実行することにより実現される。キャリブレーション部106は、データ入力端子32またはクロック入力端子34の一方に信号を与えて、可変遅延部54を介して他方から出力された信号に基づいて、可変遅延部54の遅延量を、基準遅延量に対してオフセット遅延量分ずらす遅延量設定値を検出する。本実施形態においては、キャリブレーション部106は、データ信号の位相をクロック信号の位相よりオフセット遅延量分遅らせる負側の遅延量設定値と、データ信号の位相をクロック信号の位相よりオフセット遅延量分進ませる正側の遅延量設定値とを検出する。

[0036] 図3は、データ信号およびクロック信号のタイミングの一例を示す。ソースシンクロナスインターフェースを採用したデバイスの試験では、被試験デバイスに与えるデータ信号とクロック信号との位相差を、標準の状態(図3の(A)の状態)として試験をする。

- [0037] さらに、被試験デバイスに与えるデータ信号とクロック信号との位相差を、標準状態から所定位相ずらした状態(図3の(B),(C)の状態)として試験をする場合もある。図3の(B)および(C)の状態とした試験によれば、与えられるデータ信号とクロック信号との位相差を仕様により定められた上限または下限までずらした条件であっても、被試験デバイスが正しいデータを取得できるか否かを判定することができる。
- [0038] ここで、遅延量設定値は、一例として、取得回路36に取得されるデータ信号とクロック信号との間に、仕様により定められた上限または下限の位相差を与える可変遅延部54の設定値を表す。従って、本実施形態において、キャリブレーション部106は、試験に先立って、このような位相差をデータ信号およびクロック信号の間に生じさせる遅延量設定値を検出する。
- [0039] 図4は、電子デバイス10が通常動作する場合の、データ信号およびクロック信号の流れを示す。当該電子デバイス10が通常動作する場合、選択部52は、データ入力端子32が入力したデータ信号を取得回路36に供給する。また、可変遅延部54は、クロック入力端子34から入力したクロック信号を、基準遅延量分遅延する。また、ループバック切替部58は、データ入力端子32とクロック入力端子34との間を開放する。
- [0040] 当該電子デバイス10が通常動作する場合、テスト用回路40は、データ入力端子32から入力したデータ信号を固定遅延部56が基準遅延量分遅延して取得回路36に供給し、クロック入力端子34から入力したクロック信号を可変遅延部54が基準遅延量分遅延して取得回路36に供給する。これにより、テスト用回路40は、データ入力端子32から入力したデータ信号およびクロック入力端子34から入力したクロック信号の位相関係をずらすことなく、取得回路36へ供給することができる。
- [0041] 図5は、電子デバイス10を試験する場合の、試験装置20の動作フローの一例を示す。試験装置20は、電子デバイス10の出荷前等の試験において、以下のステップS11からS13の処理を実行する。
- [0042] まず、ステップS11において、試験装置20は、電子デバイス10の通常動作時において用いる基準遅延量から予め指定されたオフセット遅延量分ずらした遅延量に、可変遅延部54を設定するための遅延量設定値を検出する。続いて、ステップS12に

において、試験装置20は、可変遅延部54を、電子デバイス10の通常動作時において用いる遅延量(基準遅延量)として、電子デバイス10を試験する。

[0043] 続いて、ステップS13において、試験装置20は、可変遅延部54に遅延量設定値を設定した状態で、電子デバイス10を試験する。即ち、試験装置20は、可変遅延部54を、電子デバイス10の通常動作時において用いる基準遅延量から予め指定されたオフセット遅延量分ずらした遅延量として、電子デバイス10を試験する。

[0044] 図6は、ステップS11の遅延量設定値を検出する場合における信号の流れを示す。ステップS11の遅延量設定値を検出する場合において、まず、キャリブレーション部106は、制御部103に対して、データ入力端子32またはクロック入力端子34の一方が外部から入力した信号を、可変遅延部54により遅延して他方から外部へと出力させるように指示する。この指示に応じて、制御部103は、データ入力端子32またはクロック入力端子34の一方が外部から入力した信号を、可変遅延部54により遅延して他方から外部へと出力させるように、ループバック切替部58を切り替える。本実施形態においては、キャリブレーション部106は、クロック入力端子34とデータ入力端子32との間を可変遅延部54を介して接続させるように、制御部103に指示を与える。

[0045] このように設定した状態において、キャリブレーション部106は、信号発生部102に対して、データ入力端子32またはクロック入力端子34の一方へ信号を供給する指示を与える。さらに、キャリブレーション部106は、位相差検出部101に対して、一方の端子へ出力された信号と、他方の端子から出力された信号との位相差を検出する指示を与える。

[0046] この指示に応じて、信号発生部102は、データ入力端子32またはクロック入力端子34の一方へ信号を供給する。また、位相差検出部101は、可変遅延部54およびループバック切替部58を介して他方の端子から出力された信号を取得して、一方の端子へ入力した信号と他方の端子から出力した信号との位相差を検出する。

[0047] そして、キャリブレーション部106は、位相差検出部101により検出された位相差を受け取る。このようにして、キャリブレーション部106は、データ入力端子32またはクロック入力端子34の一方へ信号を与えて、可変遅延部54およびループバック切替部58を介して他方から出力された信号を取得することにより、一方の端子へ信号を与

えたタイミングから他方の端子から信号が出力されたタイミングまでの時間差を測定する。

[0048] さらに、キャリブレーション部106は、このような時間差の測定を複数回実行する。キャリブレーション部106は、制御部103に対して、それぞれの実行において、可変遅延部54に与える設定値を順次に変化させる指示を与える。この指示に応じて、制御部103は、可変遅延部54に与える設定値を順次に変化させる。

[0049] キャリブレーション部106は、それぞれの設定値における時間差の測定結果から、可変遅延部54の遅延量を、基準遅延量に対してオフセット遅延量分ずらす遅延量設定値を検出する。なお、本実施形態においては、キャリブレーション部106は、可変遅延部54の遅延量を、基準遅延量に対して負側にオフセット遅延量分ずらす負側の遅延量設定値、および、基準遅延量に対して正側にオフセット遅延量分ずらす正側の遅延量設定値を検出する。そして、キャリブレーション部106は、このように検出した遅延量設定値を記憶部104に記憶させる。

[0050] 図7は、ステップS12およびステップS13の電子デバイス10を試験する場合における信号の流れを示す。ステップS12およびステップS13の試験をする場合において、まず、試験部105は、制御部103に対して、データ入力端子32が入力したデータ信号に代えて、クロック入力端子34が入力したクロック信号を取得回路36に取得させるように指示する。この指示に応じて、制御部103は、クロック入力端子34が入力したクロック信号を取得回路36に取得させるように、選択部52を切り替える。

[0051] さらに、試験部105は、ステップS12の試験をする場合には、制御部103に対して、可変遅延部54の遅延量を、基準遅延量とするように指示する。この指示に応じて、制御部103は、可変遅延部54に対して、電子デバイス10が通常動作する場合における設定値を与える。

[0052] また、試験部105は、ステップS13の試験をする場合には、制御部103に対して、可変遅延部54の遅延量を、基準遅延量からオフセット遅延量分ずれた遅延量とするように指示する。この指示に応じて、制御部103は、記憶部104から遅延量設定値を読み出し、可変遅延部54に対して、読み出した遅延量設定値を設定する。なお、本実施形態においては、ステップS13において、可変遅延部54に負側の遅延量設定

値を設定した状態および可変遅延部54に正側の遅延量設定値を設定した状態のそれぞれで、電子デバイス10を試験する。

[0053] このように設定した状態において、試験部105は、データ信号に代えてクロック信号を取得回路36に取得させた結果に基づいて、当該電子デバイス10を良否判定する。本実施形態においては、試験部105は、信号発生部102に対して、クロック信号を発生させる指示を与える。さらに、試験部105は、電子デバイス10に対して、与えられた信号を取得して判定する指示を与える。

[0054] この指示に応じて、信号発生部102は、クロック信号をクロック入力端子34に与える。クロック入力端子34にクロック信号が与えられると、取得回路36は、可変遅延部54により遅延されたクロック信号のタイミングに基づいて、データ信号に代えて与えられたクロック信号の値を取得する。

[0055] さらに、デバイス内判定部60は、取得回路36により取得された値を期待値と比較し、比較結果を試験部105に送信する。そして、試験部105は、取得された値が期待値と一致する場合には当該電子デバイス10が良品と判断し、取得された値が期待値と一致しない場合には当該電子デバイス10が不良品と判断する。

[0056] 以上のように本実施形態に係る電子デバイス10は、試験時において、内部のテスト用回路40がデータ信号に代えてクロック信号を取得回路36に取得させる。従って、試験装置20は、試験時において、電子デバイス10へクロック信号のみを供給すればよい。これにより、電子デバイス10および試験装置20によれば、データ信号とクロック信号との間に含まれる位相ジッタ、位相ドリフトおよびスキューを非常に小さくして、精度良く当該電子デバイス10を試験することができる。

[0057] また、電子デバイス10は、試験時において、可変遅延部54を介してデータ入力端子32とクロック入力端子34との間を接続するループバック切替部58を備える。従って、電子デバイス10および試験装置20によれば、データ信号とクロック信号との位相を所定のオフセット遅延量ずらした状態において試験する場合において、遅延量を、精度良く、低いコストでキャリブレーションすることができる。

[0058] 図8は、本実施形態の変形例に係る電子デバイス10および試験装置20の構成を示す。本変形例に係る電子デバイス10および試験装置20は、図2に示した同一符

号の部材と略同一の構成および機能を採るので、以下相違点を除き説明を省略する。

[0059] 本変形例に係るテスト用回路40は、デバイス内判定部60を有せずに、取得回路36により取得された信号を、応答信号として試験装置20へ転送する。本変形例に係る試験装置20は、判定部107を更に備える。判定部107は、テスト用回路40から応答信号を受け取り、データ信号に代えてクロック信号を取得回路36に取得させた結果に基づいて、電子デバイス10を良否判定する。このような変形例に係る電子デバイス10および試験装置20は、電子デバイス10のテスト用回路40の構成を小さくすることができる。

[0060] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0061] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

請求の範囲

- [1] データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスであって、
前記データ信号を入力するデータ入力端子と、
前記クロック信号を入力するクロック入力端子と、
前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、
当該電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるか否かを切り替えるテスト用回路と、
を備える電子デバイス。
- [2] 前記テスト用回路は、外部の装置からの指示に応じて、前記データ信号および前記クロック信号のいずれを前記取得回路に供給して取得させるかを選択する選択部を有する請求項1に記載の電子デバイス。
- [3] 前記テスト用回路は、前記データ入力端子から入力した前記データ信号および前記クロック入力端子から入力したクロック信号の一方を他方に対して遅延させて前記取得回路に供給する、遅延量が可変の可変遅延部を更に有する請求項2に記載の電子デバイス。
- [4] 前記テスト用回路は、前記データ入力端子または前記クロック入力端子の一方が外部から入力した信号を、前記可変遅延部により遅延して他方から外部へと出力させるか否かを切り替えるループバック切替部を更に有する請求項3に記載の電子デバイス。
- [5] 前記テスト用回路は、前記取得回路により取得された信号を期待値と比較した結果に基づき良否判定するデバイス内判定部を更に有する請求項1から4のいずれかに記載の電子デバイス。
- [6] データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスを試験する試験装置であって、
前記電子デバイスは、
前記データ信号を入力するデータ入力端子と、
前記クロック信号を入力するクロック入力端子と、

前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、
前記電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を
前記取得回路に取得させるか否かを切り替えるテスト用回路と、
を備え、
当該試験装置は、
前記データ信号に代えて前記クロック信号を前記取得回路に取得させるように前記
テスト用回路を制御して、前記電子デバイスに前記クロック信号を供給する制御を実
行する試験部と、
前記データ信号に代えて前記クロック信号を前記取得回路に取得させた結果に基
づいて、当該電子デバイスを良否判定する判定部を備える
試験装置。

[7] 前記テスト用回路は、

当該試験装置からの指示に応じて、前記データ信号および前記クロック信号のい
ずれを前記取得回路に供給して取得させるかを選択する選択部と、

前記データ入力端子から入力した前記データ信号および前記クロック入力端子か
ら入力したクロック信号の一方を他方に対して遅延させて前記取得回路に供給する、
遅延量が可変の可変遅延部と、

を有し、

前記試験部は、前記データ信号および前記クロック信号を、前記電子デバイスの通
常動作において用いる基準遅延量に対して予め指定されたオフセット遅延量分ずら
す遅延量設定値を、前記可変遅延部に設定し、

前記判定部は、前記可変遅延部に前記遅延量設定値を設定した状態において、
前記取得回路が前記クロック信号を取得した結果に基づいて、前記電子デバイスを
良否判定する

請求項6に記載の試験装置。

[8] 前記テスト用回路は、前記データ入力端子または前記クロック入力端子の一方が
外部から入力した信号を、前記可変遅延部により遅延して他方から外部へと出力さ
せるか否かを切り替えるループバック切替部を更に有し、

当該試験装置は、前記データ入力端子または前記クロック入力端子の一方に信号を与えて、前記可変遅延部を介して他方から出力された信号に基づいて、前記可変遅延部の遅延量を、前記基準遅延量に対して前記オフセット遅延量分ずらす前記遅延量設定値を検出するキャリブレーション部を更に備える

請求項7に記載の試験装置。

- [9] 前記テスト用回路は、前記取得回路により取得された信号を期待値と比較した結果に基づき良否判定するデバイス内判定部を更に有し、

前記判定部は、前記デバイス内判定部から判定結果を取得して、当該判定結果に基づいて前記電子デバイスを良否判定する

請求項6から8のいずれかに記載の試験装置。

- [10] データ信号および前記データ信号を取得すべきタイミングを示すクロック信号を入力する電子デバイスを試験する試験方法であって、

前記電子デバイスは、

前記データ信号を入力するデータ入力端子と、

前記クロック信号を入力するクロック入力端子と、

前記クロック信号に応じたタイミングで前記データ信号を取得する取得回路と、

前記電子デバイスを試験する場合に、前記データ信号に代えて前記クロック信号を前記取得回路に取得させるか否かを切り替えるテスト用回路と、

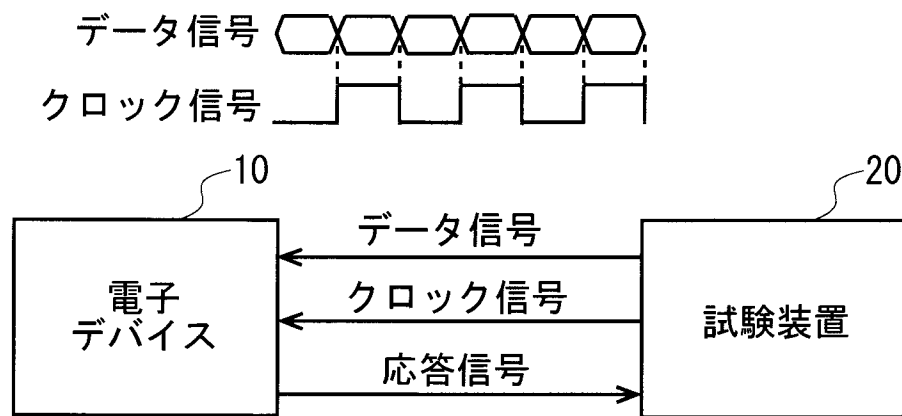
を備え、

前記データ信号に代えて前記クロック信号を前記取得回路に取得させるように前記テスト用回路を制御して、前記電子デバイスに前記クロック信号を供給し、

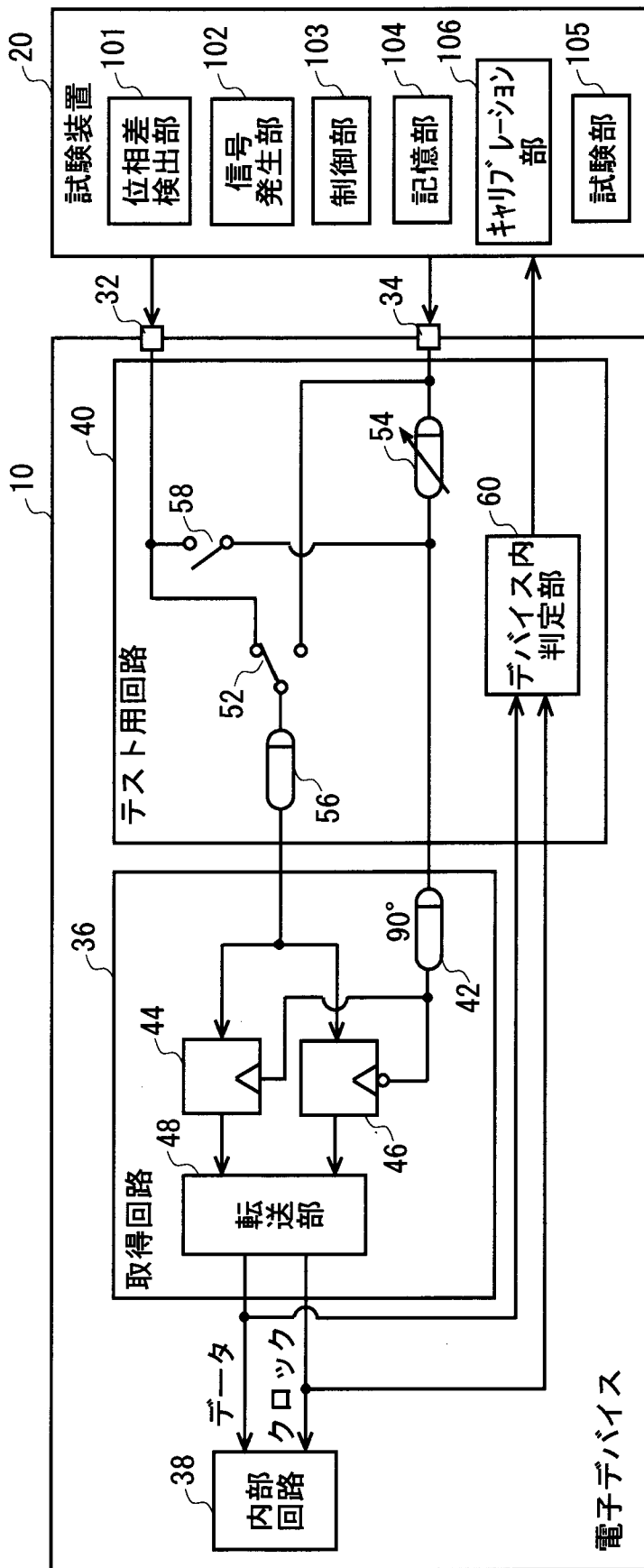
前記データ信号に代えて前記クロック信号を前記取得回路に取得させた結果に基づいて、当該電子デバイスを良否判定する

試験方法。

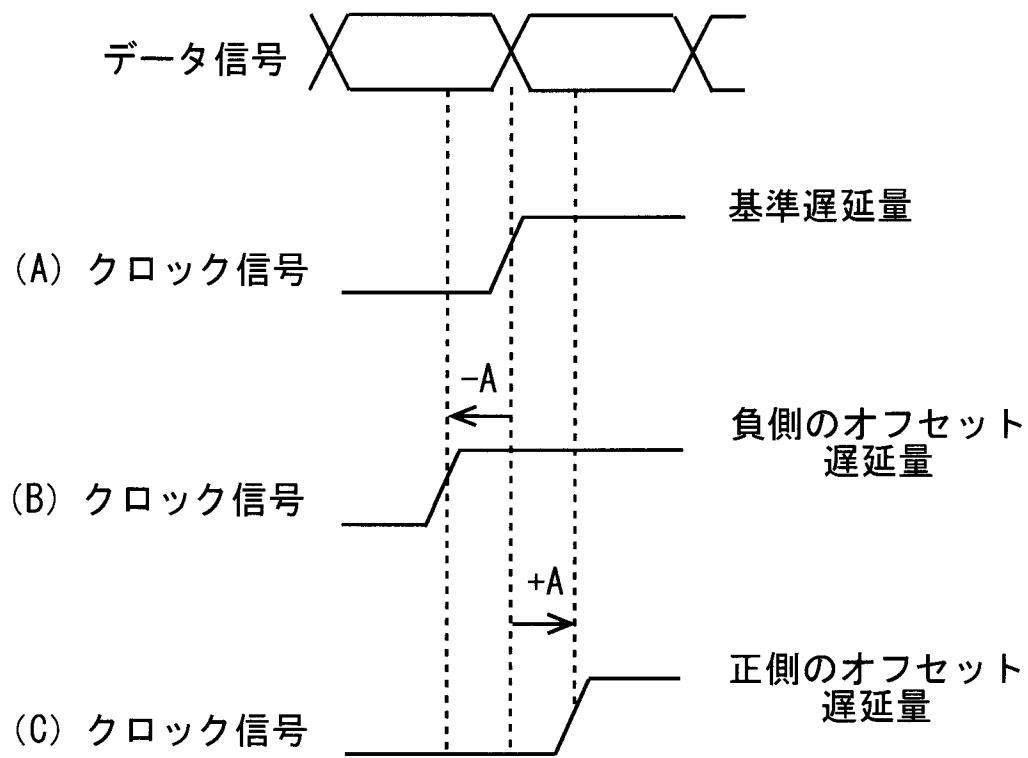
[図1]



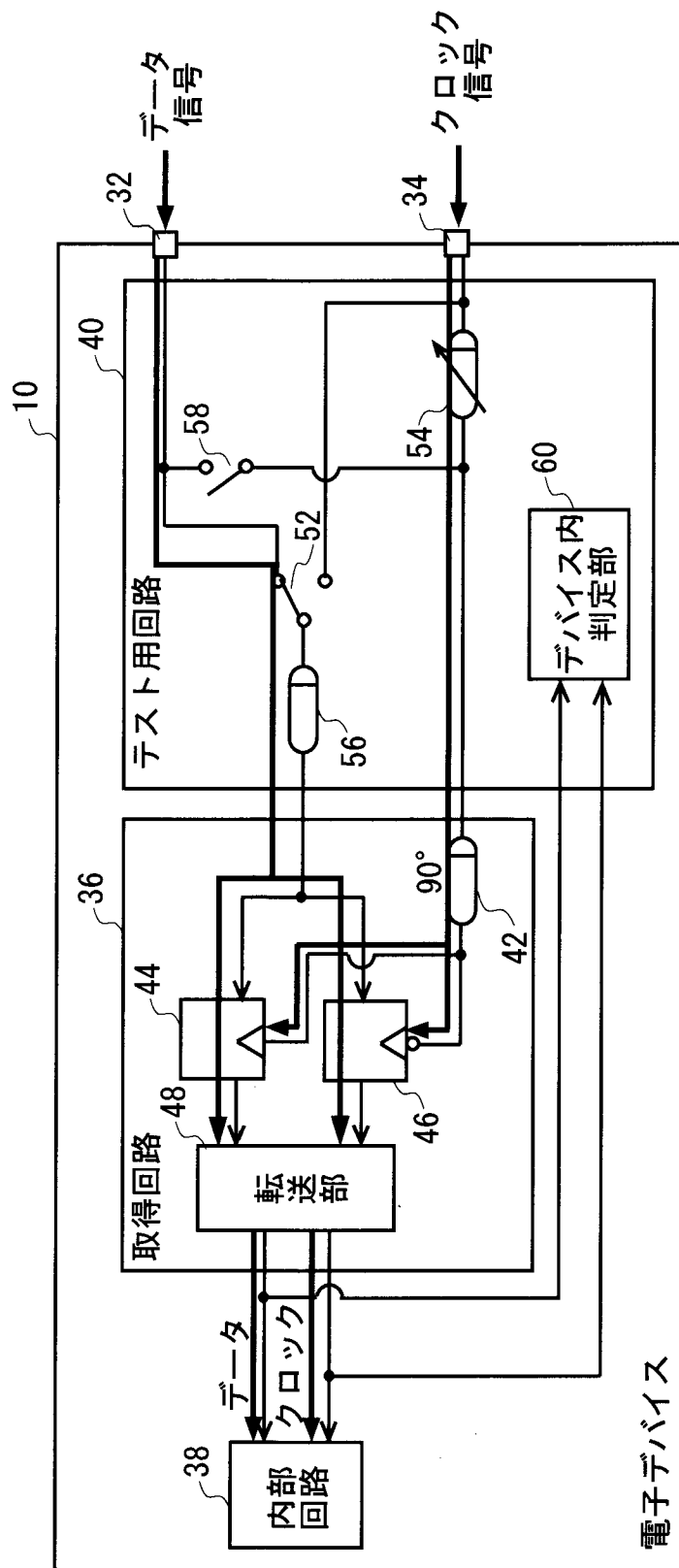
[図2]



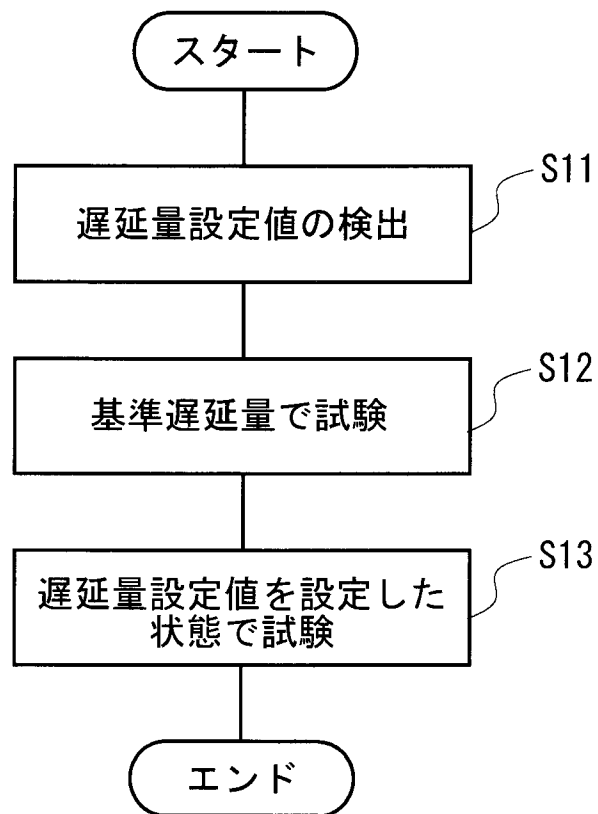
[図3]



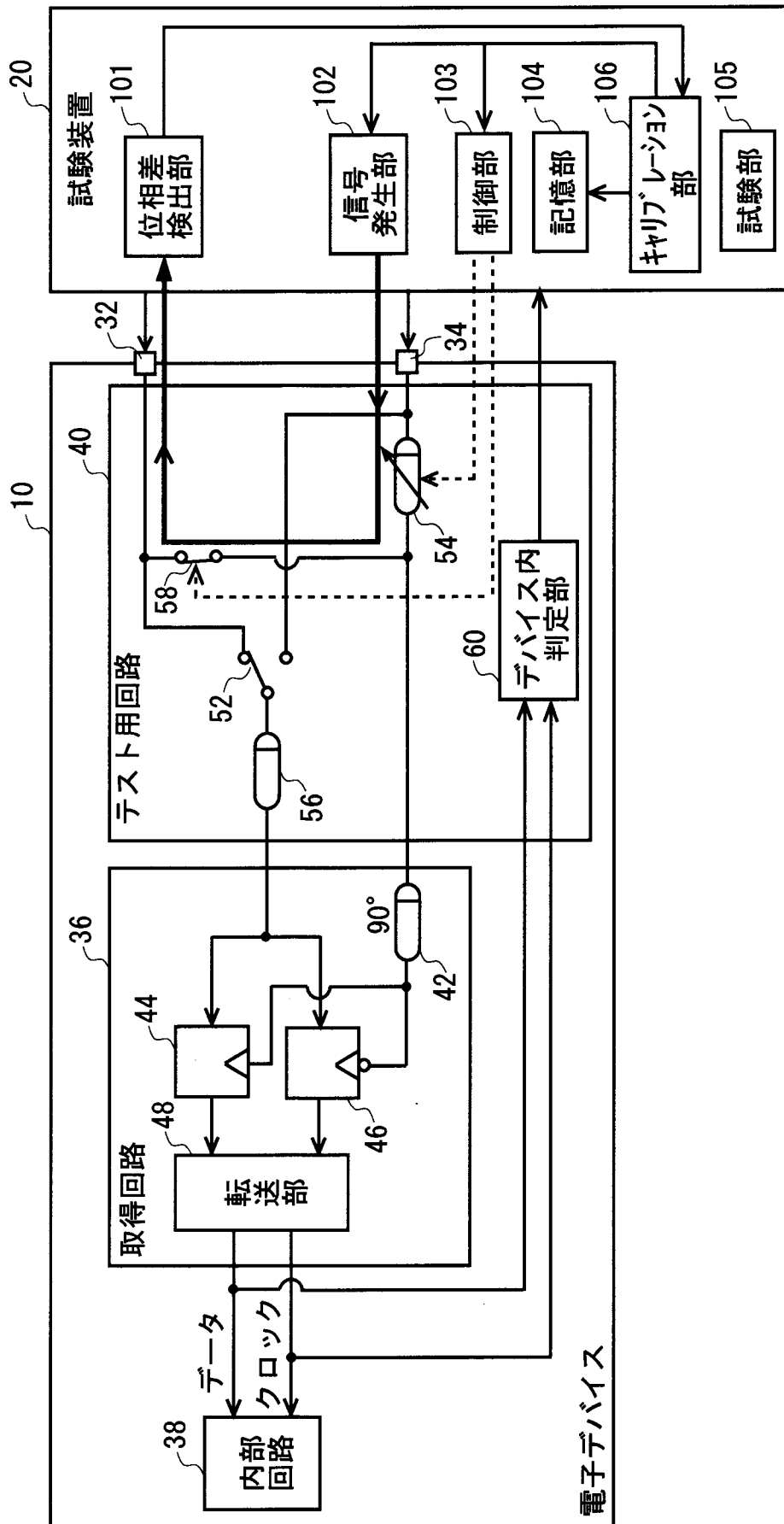
[図4]



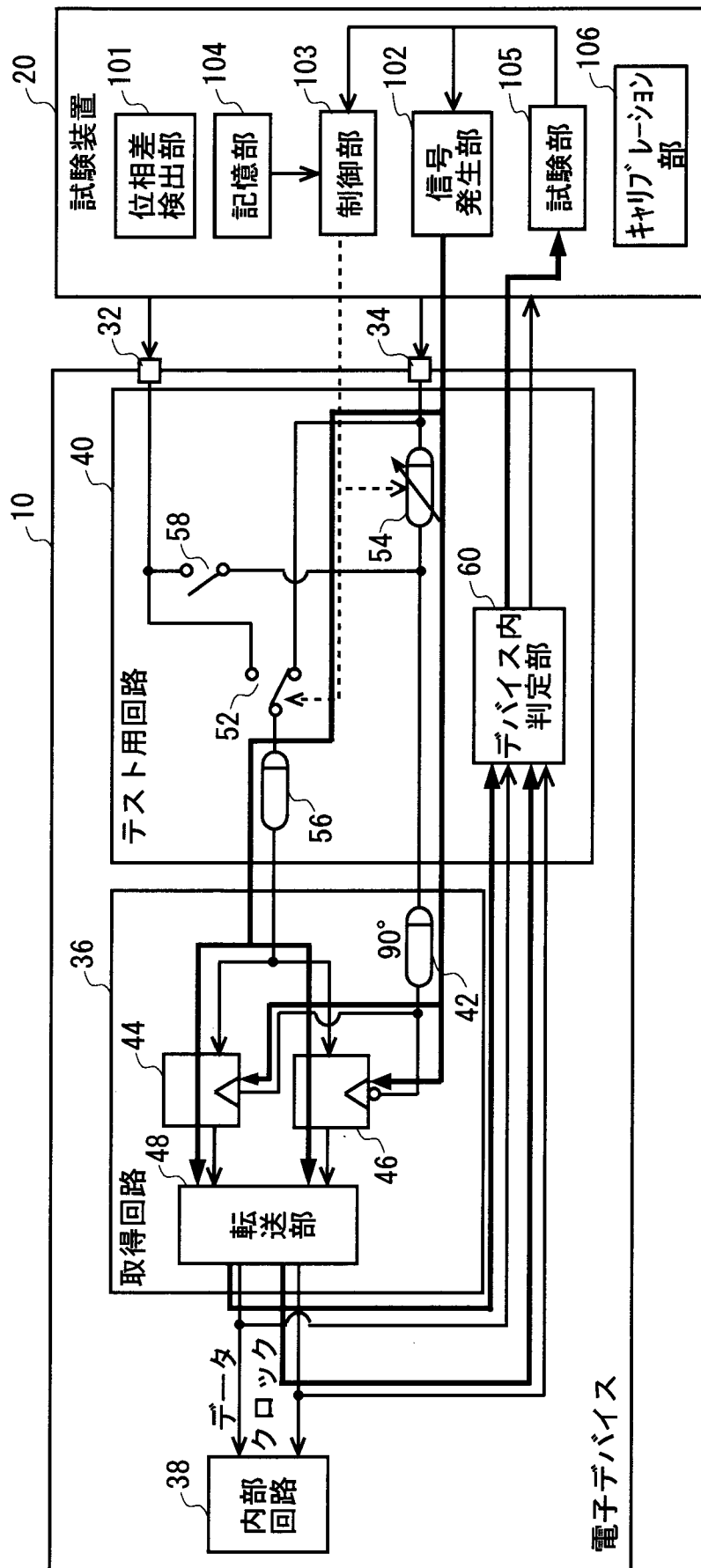
[図5]



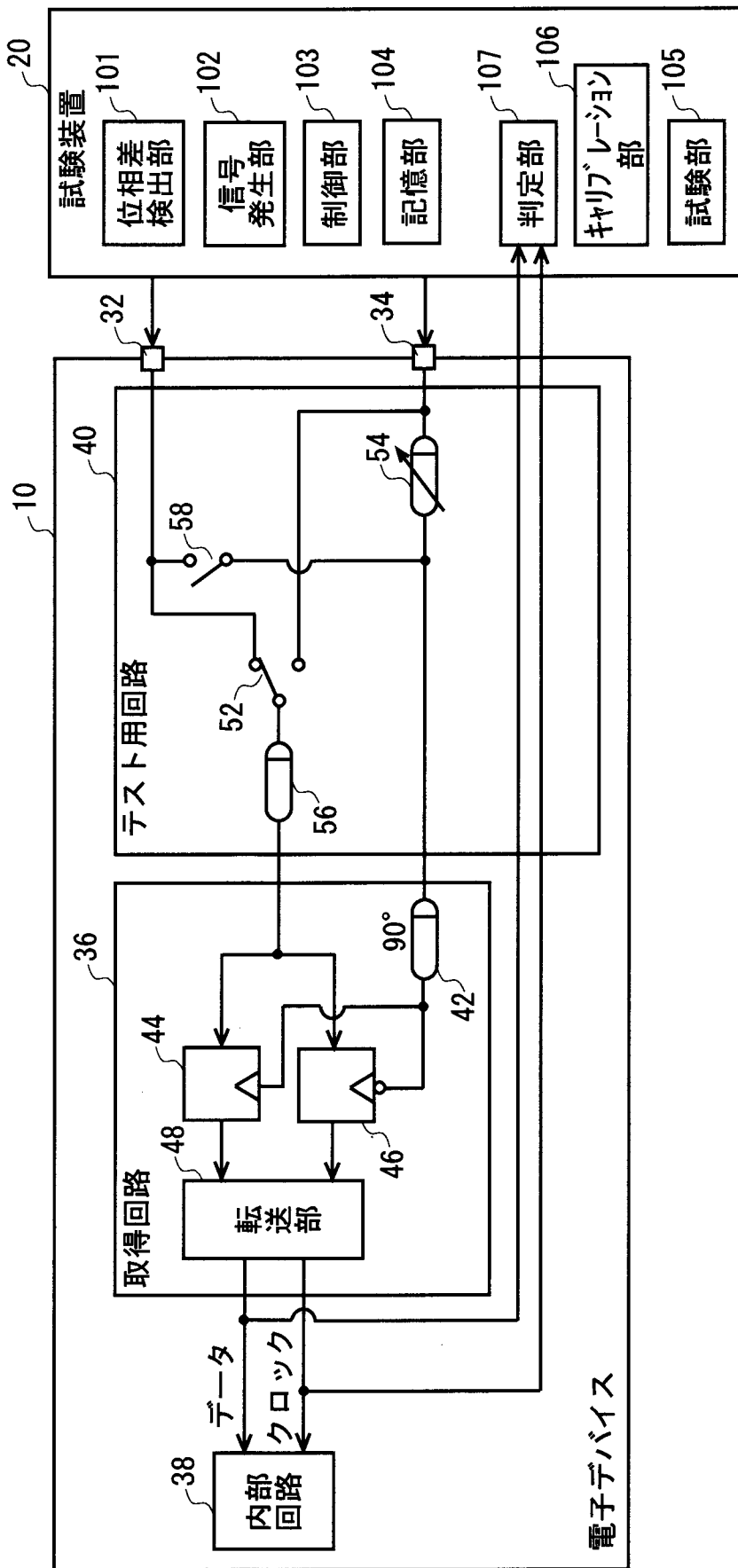
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/051649

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28-3193, G06F11/22-277, H01L27/04, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009

Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/129491 A1 (Advantest Corp.), 15 November, 2007 (15.11.07), Full text; all drawings & US 2007/0262800 A1 & EP 2015089 A	1-10
A	WO 2007/097008 A1 (Fujitsu Ltd.), 30 August, 2007 (30.08.07), Full text; all drawings (Family: none)	1-10
A	JP 2008-309696 A (Denso Corp.), 25 December, 2008 (25.12.08), Full text; all drawings & US 2008/0309367 A1 & CN 101324654 A	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2009 (15.04.09)

Date of mailing of the international search report
28 April, 2009 (28.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/051649

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/108374 A1 (Advantest Corp.), 12 September, 2008 (12.09.08), Full text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G01R31/28(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G01R31/28-3193, G06F11/22-277, H01L27/04, H01L21/66			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 9 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 9 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 9 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	WO 2007/129491 A1（株式会社アドバンテスト）2007.11.15, 全文, 全図 & US 2007/0262800 A1 & EP 2015089 A	1-10	
A	WO 2007/097008 A1（富士通株式会社）2007.08.30, 全文, 全図（ファミリーなし）	1-10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 1 5 . 0 4 . 2 0 0 9		国際調査報告の発送日 2 8 . 0 4 . 2 0 0 9	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 堀 圭 史 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8	2 S 3 0 0 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-309696 A (株式会社デンソー) 2008.12.25, 全文, 全図 & US 2008/0309367 A1 & CN 101324654 A	1-10
A	WO 2008/108374 A1 (株式会社アドバンテスト) 2008.09.12, 全文, 全図 (ファミリーなし)	1-10