



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 283 383 5

(22) 28.11.85

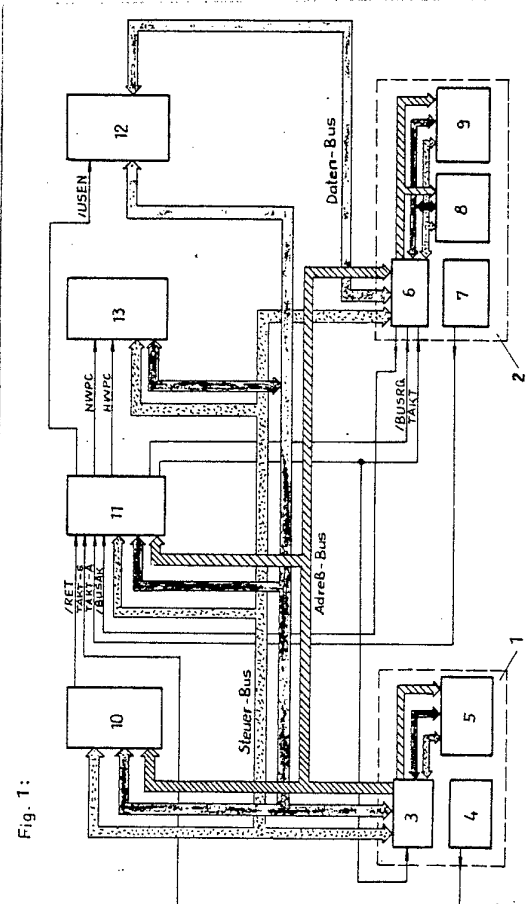
(44) 11.03.87

(71) VEB Robotron-Elektronik Dresden, 9010 Karl-Marx-Stadt, Postfach 240, DD

(72) Meißelbach, Alexander, Dipl.-Ing., DD

(54) Schaltungsanordnung zur Testung von mikrorechnergesteuerten Geräten

(57) Schaltungsanordnung zur Testung von mikrorechnergesteuerten Geräten und dem dazugehörigen Programm, wobei die gesamte Testanordnung über einen Monitor und eine Tastatur verfügt. Ziel ist es, eine gemeinsame Testung von Hard- und Software zu ermöglichen. Aufgabe ist es, einen gesonderten Speicher- und E/A-Bereich für das Monitorprogramm zu schaffen. Dazu wird eine Umschaltmöglichkeit von Speicher- und E/A-Bereichen eines vorgegebenen Prozessors ermöglicht, dessen Monitorprogramm auf einem gesonderten Bereich untergebracht ist, welcher den Anwenderbereich nicht beeinflusst. Die Umschaltung erfolgt über eine spezielle Umschaltereinrichtung synchron zur Befehlsabarbeitung, wobei sie die Systemumschaltung zur Abarbeitung von Anwenderprogrammen bzw. vom Monitorprogramm ausgelösten einzelnen Aktionen im Anwendersystem gestattet. Die Steuersignale für die Umschaltung werden vom Monitorprogramm sowie einer Testpunkt- und Schrittlogik entsprechend dem jeweiligen Betriebszustand generiert. Fig. 1



Patentansprüche:

1. Schaltungsanordnung zur Testung von mikrorechnergesteuerten Geräten unter Einsatz zweier Mikrorechnersysteme, die unter Einsatz verschiedener Logikblöcke über ihre Busleitungen miteinander verbunden sind, **dadurch gekennzeichnet**, daß an die Busleitungen der Mikrorechnersysteme (1, 2) eine Schritt- und Testpunktlogik (10) und eine Umschaltlogik (11) angeschlossen ist, der ein PC-Register (13), auf das der Steuer- und Daten-Bus des Steuersystems (1) geführt ist, und ein Datenbustreiber (12), über den der Datenbus beider Systeme (1, 2) geführt wird, nachgeschaltet ist, wobei die Umschaltlogik (11) noch von der Test- und Schrittschaltlogik (10) durch ein /RET-Signal, den Taktleitungen der beiden Systeme (1, 2) und dem /BUSAK-Signal des Anwendersystems (2) beaufschlagt wird.
2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß die Umschaltlogik (10) eine Zuschalteneinrichtung (15), auf die die Steuersignale M1 · MREQ, /RESET und /SETGO geschaltet sind, enthält, deren Ausgang (S1) über ein NOR-Glied (16) auf eine Anwendersystemsteuerung (17) geschaltet ist, wobei diese Steuerung (17) ein Signal /USEN abgibt, welches auf den Datentreiber (12) geschaltet wird, daß eine Abschalteneinrichtung (18) vorgesehen ist, die von dem /RET-Signal und durch die Steuersignale M1 · MREQ, /SETGO, /RESET und einem Signal M1DEKO von einer M1-Dekodiereinrichtung (19) beaufschlagt wird, wobei ihr Ausgang (R1) über ein weiteres NOR-Glied (20) auf die Anwendersystemsteuerung (17) geschaltet ist, daß die M1-Dekodiereinrichtung (19) durch den Datenbus und die Steuersignale /RD, /M1, /MREQ und /RESET belegt ist und daß eine weitere Umschalteneinrichtung (21) für Lesen und Schreiben vorgesehen ist, deren Ausgänge (S2, R2) auf die NOR-Glieder (16, 20) geschaltet sind, wobei ein dritter Eingang des zweiten NOR-Gliedes (20) noch durch das Signal /RESET belegt ist, daß eine PC-Registersteuerung (22) vorhanden ist, welche durch das Signal /USEN der Steuerung (17) und die Steuersignalverknüpfung MREQ · WR gesteuert wird, wobei ihre Ausgänge (NWPC und HWPC) auf das PC-Register (13) geführt werden, und daß eine Steuersystemumschaltung (23) vorgesehen ist, auf welche die Steuersignale RESGO, M1 · MREQ, /RESET und das Signal /USEN geführt werden, welche ein Signal /SYSEN erzeugt.

Hierzu 3 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Testung von mikrorechnergesteuerten Geräten und dem dazugehörigen Programm, wobei die gesamte Testanordnung über einen Monitor und eine Tastatur für die Ein- und Ausgabe verfügt.

Charakteristik der bekannten technischen Lösungen

Die bekannten Mikrorechnerentwicklungssysteme sind für die Testung von Software entwickelt worden. Sie beinhalten u. a. Monitorprogramme, mit deren Hilfe solche Aktionen, wie das Lesen und Schreiben der Speicher, Register und Ports sowie Programmabarbeitung im Echtzeit-, Testpunkt- oder Schrittbetrieb, möglich sind. Allerdings werden durch das Monitorprogramm Speicher- und E/A-Bereiche und eventuell Steuersignale des Mikrorechnersystems belegt, die vom Anwender nicht mehr benutzt werden können. Daraus folgt, daß die Anwenderprogramme zur Testung auf solchen Entwicklungshilfen bestimmten Konventionen unterliegen, die unter bestimmten Umständen zur nur teilweisen Testbarkeit der Anwenderprogramme führen können.

Weiterhin ist ein Zusammenwirken zwischen Programm und anzusteuender Hardware kaum möglich.

Ebenso sind Bedieneinheiten zur Unterstützung der Kommunikation mit dem Rechner bei der Inbetriebnahme, Wartung und bei der Testung von Systemprogrammen bekannt.

Über Adreß- und Datenregister, die durch Tastenschalter betätigt werden, können die gewünschten Adressen und Daten geladen werden. Weitere Steuerdaten ermöglichen dann ein Anzeigen und Setzen des Speichers, das Anzeigen und Setzen von Testpunkten sowie eine Programmabarbeitung im Echtzeit-, Testpunkt- und Schrittbetrieb.

Diese Testmöglichkeit ist jedoch nicht universell durch den Anwender nutzbar und setzt Grenzen durch die umständliche Bedienung.

Ziel der Erfindung

Ziel der Erfindung ist es, eine effektive Inbetriebnahme von Hard- und Software für mikroprogrammgesteuerte Geräte durchzuführen, wobei eine übersichtlichere und schnellere Darstellung des aktuellen Standes der Abarbeitung des Mikroprogramms gewährleistet sein soll.

Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, einen gesonderten Speicher- und E/A-Bereich im Monitorprogramm zu schaffen, der eine uneingeschränkte Testung des Anwenderprogramms in Zusammenwirkung mit der spezifischen Hardware ermöglicht, wobei dieser Speicherbereich den nutzbaren Speicher des Anwenders nicht beeinflußt.

Erfindungsgemäß wird die Aufgabe durch die im Kennzeichen des Anspruches dargelegten Merkmale gelöst. Das Wesen der Erfindung ist darin zu sehen, daß eine Umschaltung von Speicher- und E/A-Bereichen eines vorgegebenen Prozessors ermöglicht wird, dessen Monitorprogramm auf einem gesonderten Bereich untergebracht ist, welcher den Anwenderbereich nicht beeinflußt. Die Umschaltung erfolgt über eine spezielle Logik synchron zur Befehlsabarbeitung, wobei sie die Systemumschaltung zur Abarbeitung von Anwenderprogrammen bzw. zu vom Monitorprogramm ausgelösten einzelnen Aktionen im Anwendersystem gestattet. Die Steuersignale für die Umschaltung werden vom Monitorprogramm sowie einer Testpunkt- und Schrittlogik entsprechend dem jeweiligen Betriebszustand generiert. Der Vorteil ist darin zu sehen, daß durch den gesonderten Speicher- und E/A-Bereich des Monitorprogramms eine uneingeschränkte Testung des Anwenderprogramms zusammen mit der zugehörigen Hardware ermöglicht wird.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel erläutert werden. In der zugehörigen Zeichnung zeigen:

Fig. 1: das Blockschaltbild der vorgeschlagenen Schaltung,
Fig. 2: die Schaltung zur Umschaltlogik und
Fig. 3: das Impulssdiagramm zu Fig. 2.

In Fig. 1 ist das Blockschaltbild der vorgeschlagenen Schaltung dargestellt.

Der Mikrorechner 2 stellt das Anwendersystem mit CPU 6, Takterzeugung 7, E/A-Ports 8 und Speicherbereich 9 dar. Die Steuerung des Anwendersystems 2 erfolgt mittels eines Steuersystems 1, welches ebenfalls CPU 3, Taktversorgung 4 und Speicherbereich 5 beinhaltet.

Die Anwender-CPU 6 wird über die Umschaltlogik 11 über das Signal /BUSRQ außer Betrieb gesetzt. Die Umschaltlogik 11 beinhaltet ebenfalls die Steuerung der Taktversorgung beider Systeme, die wahlweise vom System- (TAKT-S) oder Anwendertakt (TAKT-U) erfolgen kann.

Die Umschaltung zwischen Anwender- und Steuersystem erfolgt ebenfalls mittels der Umschaltlogik 11, die mit /USEN die Treiberstufe für den Datenbus zum Anwendersystem und mit MEMDI das Steuersystem aktiviert. Mit dem Signal /RET, welches von der Schritt- und Testpunktlogik 10 gebildet wird, wird ein Rückstellimpuls zur Umschaltlogik 11 ausgelöst, der ein Rückschalten zum Steuersystem zur Folge hat. Zur Gewährleistung von Refresh-Zyklen für dynamische Speicher des Anwendersystems sind Adreß- und Steuerbus auch während der Arbeit des Steuersystems 1 mit dem Anwendersystem 2 verbunden. Beim Rückschalten vom Anwendersystem zum Steuersystem muß der gegenwärtige Programmzählerstand hardwaremäßig aufgefangen werden. Das geschieht im PC-Register 13 gesteuert über die Leitungen NWPC und HWPC. In Fig. 2 ist das Schaltbild der Umschaltlogik dargestellt. Auf die Umschaltlogik 11 werden der Daten-, Adreß- und Steuerbus geführt. Weiterhin erhält sie ein Signal /RET von der Schritt- und Testpunktlogik 10, die Takte A und S vom Anwender- und vom Steuersystem 1, 2 sowie das Signal /BUSAK vom Anwendersystem 2. Die Umschaltlogik 10 enthält eine Zuschalteinrichtung 15 für das Anwendersystem bei Programmstart, auf die die Steuersignale M1 · MREQ, /RESET und /SETGO geschaltet sind. Ihr Ausgang S1 ist auf ein NOR-Glied 16 geführt, dessen Ausgang auf eine Anwendersystemsteuerung 17 geschaltet ist. Diese Steuerung 17 erzeugt ein Signal /USEN, mit welchem das Anwendersystem 2 aktiviert wird. Eine Abschalteinrichtung 18 für das Anwendersystem 2 bei einem /RET-Impuls von der Schritt- und Testpunktlogik 10 wird zusätzlich durch die Steuersignale M1 · MREQ, /SETGO, /RESET und ein Signal M1DEKO von einer M1-Dekodiereinrichtung 19 beaufschlagt. Ihr Ausgang R1 ist über ein weiteres NOR-Glied 20 auf die Anwendersystemsteuerung 17 geschaltet. Auf die M1-Dekodiereinrichtung 19 werden der Datenbus und die Steuersignale /RD, /M1, /MREQ und /RESET geführt. Auf eine weitere Umschalteinrichtung 21 für Lesen bzw. Schreiben werden die Signale /RESET, /MREQ + /RD, /IOREQ + /RFSH · MREQ und /SETWR geschaltet. Ihr erster Ausgang S2 ist mit dem ersten NOR-Glied 16 verbunden. Ihr zweiter Ausgang R2 ist auf das zweite NOR-Glied 20 geschaltet, dessen dritter Eingang durch das Rücksetzsignal /RESET belegt ist. Eine PC-Registersteuerung 22 wird durch das Ausgangssignal /USEN der Steuerung 17 und die Signalverknüpfung MREQ · WR beaufschlagt. Ihre Ausgangssignale NWPC und HWPC werden auf das PC-Register 13 geführt.

Die Steuersystemschaltung 23 wird direkt über die Steuersignale RESGO, M1 · MREQ, /RESET und das Ausgangssignal /USEN der Steuerung 17 beeinflusst. Sie erzeugt das Signal /SYSEN. Einer der Takte A und S der beiden Systeme 1 und 2 wird in einer Taktumschaltung 24 ausgewählt und als Takt für die Gesamteinrichtung genutzt. In einer Auswerteschaltung 25 für das Signal /BUSAK wird das Rücksetzsignal /RESET erzeugt. Mit dem Signal /RESET wird die gesamte Schaltung in den Grundzustand versetzt. Über das NOR-Glied 20 wird das Flipflop 17 rückgesetzt. Damit ist der Ausgang /USEN inaktiv. Durch gleichzeitiges Rücksetzen des Flipflop 23.1 wird über das NAND-Glied 23.4 der Ausgang System-Enable aktiviert, d. h. das Steuersystem der Konfiguration ist zugeschaltet.

Die Aktivierung der Systemumschaltung bei Start eines Anwenderprogramms erfolgt über das Signal /SETGO. Damit gibt das Flipflop 15.2 den Zähler 15.1 frei, mit dem die M1-Zyklen gezählt werden. Nach einer über die Wickelverbindung einstellbaren Anzahl von M1-Zyklen wird über UND-Glied 15.4 das Flipflop 15.5 synchron mit dem nächsten beginnenden M1-Zyklus aktiviert. Über das NOR-Glied 16 wirkt der Impuls als Setzimpuls für das Flipflop 17. Damit wird der /USEN-Ausgang aktiviert und über NAND-Glied 23.5, Flipflop 23.1 und das NAND-Glied 23.4 der /SYSEN-Ausgang inaktiv. Das Anwendersystem ist somit zugeschaltet und gleichzeitig das Steuersystem abgeschaltet. Mit dem /SETGO-Impuls werden gleichzeitig die Flipflops 23.1 und 23.2 so vorbereitet, daß der vom Flipflop 17 kommende Impuls entsprechend durchgeschaltet werden kann. Mit Setzen des Flipflop 17 wird gleichzeitig der Vorbereitungseingang am NAND-Glied 18.4 auf High geschaltet, so daß ein ankommender /RET-Impuls ein Rücksetzen von Flipflop 17 bewirken kann. Bei einem Rückschalten zum Steuersystem muß der aktuelle Programmzählerstand hardwaremäßig aufgefangen werden, da der Stackpointer einen vom Anwender definierten Stand hat und somit ein Kellern im Stack des Steuersystems nicht möglich ist.

Ein /RET-Impuls wird bei Erreichen eines eingegebenen Testpunktes oder im Schrittbetrieb bei jedem Befehl von der Testpunkt- und Schrittlogik (siehe Fig. 1) ausgelöst. Da der /RET-Impuls asynchron zur Befehlsabarbeitung ausgelöst werden kann, ist ein zusätzliches Flipflop 18.1 nötig, das den /RET-Impuls auffängt. Mit dem Flipflop 18.3 erfolgt eine Synchronisierung mit dem Beginn eines neuen Befehls. Mit der M1-Dekodierung werden Befehle erkannt, die 2 M1-Zyklen haben. In diesem Fall ist das

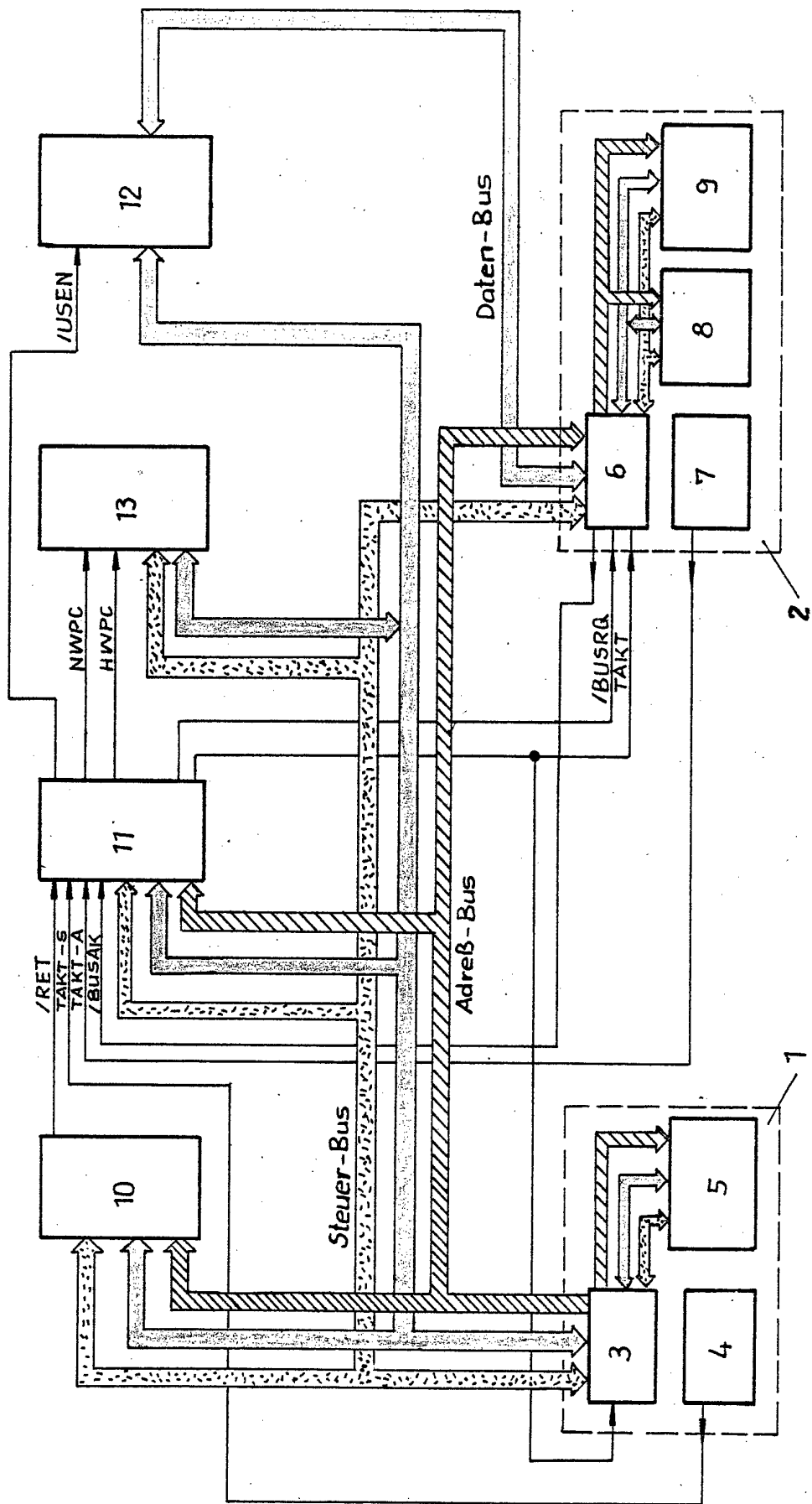
Signal M1DEKO High, und ein Umschalten des Flipflop 18.3 wird über das NAND-Glied 18.2 verhindert. Mit Beginn eines neuen Befehlszyklus wird das Flipflop 18.3 gesetzt und über das NAND-Glied 18.4 und das NOR-Glied 20 das Flipflop 17 rückgesetzt. Somit wird das Signal /USEN High und damit inaktiv. Gleichzeitig wird das NAND-Glied 18.4 durch das Flipflop 17 gesperrt. Die Taktflanke an dem Flipflop 23.1 führt aber noch nicht zum Rücksetzen des Flipflop, da über das Flipflop 23.2 und das NAND-Glied 23.5 am Setzeingang noch Low anliegt. Das Aktivierungssignal des Steuersystems /SYSEN bleibt somit noch inaktiv, so daß für einen Befehlszyklus beide Systeme abgeschaltet sind. Durch Pull-up-Widerstände an den Datenbusleitungen liest die CPU als Befehlscode „FF“ ein. Der Code entspricht dem Befehl RST38_H. Im nächsten Maschinenzyklus wird der niederwertige Programmzählerstand von der CPU geschrieben. Mit Abschalten des Signales /WR wird das Flipflop 22.1 gesetzt und damit der Strobe-Impuls für das Register des niederwertigen PC-Teiles abgeschaltet. Das Einschreiben des höherwertigen PC-Teiles wird auf gleiche Weise mit dem Flipflop 22.2 gesteuert. Mit dem nächsten beginnenden M1-Zyklus wird mit dem Signal M1 · MREQ das Flipflop 23.1 rückgesetzt und über das NAND-Glied 23.4 der /SYSEN-Ausgang aktiviert. Damit ist das Steuersystem zugeschaltet. Anschließend wird mit einem Ausgabebefehl, dem Signal RESGO, das Flipflop 23.2 in seinen Grundzustand versetzt.

Die Signale S2 und R2 sind während des gesamten beschriebenen Zyklus Low, d. h. inaktiv.

In Fig. 3 ist der Impulsplan zu dem beschriebenen Ablauf dargestellt.

Als letzter Befehl des Anwendersystems wurde ein Befehl mit 2 M1-Zyklen gewählt, um die Wirkungsweise des Signals M1DEKO zu zeigen. Der letzte dargestellte Befehl stellt den Rückstellbefehl für das Flipflop 23.2 dar. Gestrichelt dargestellte Linien bedeuten undefinierte Zustände.

Fig. 1:



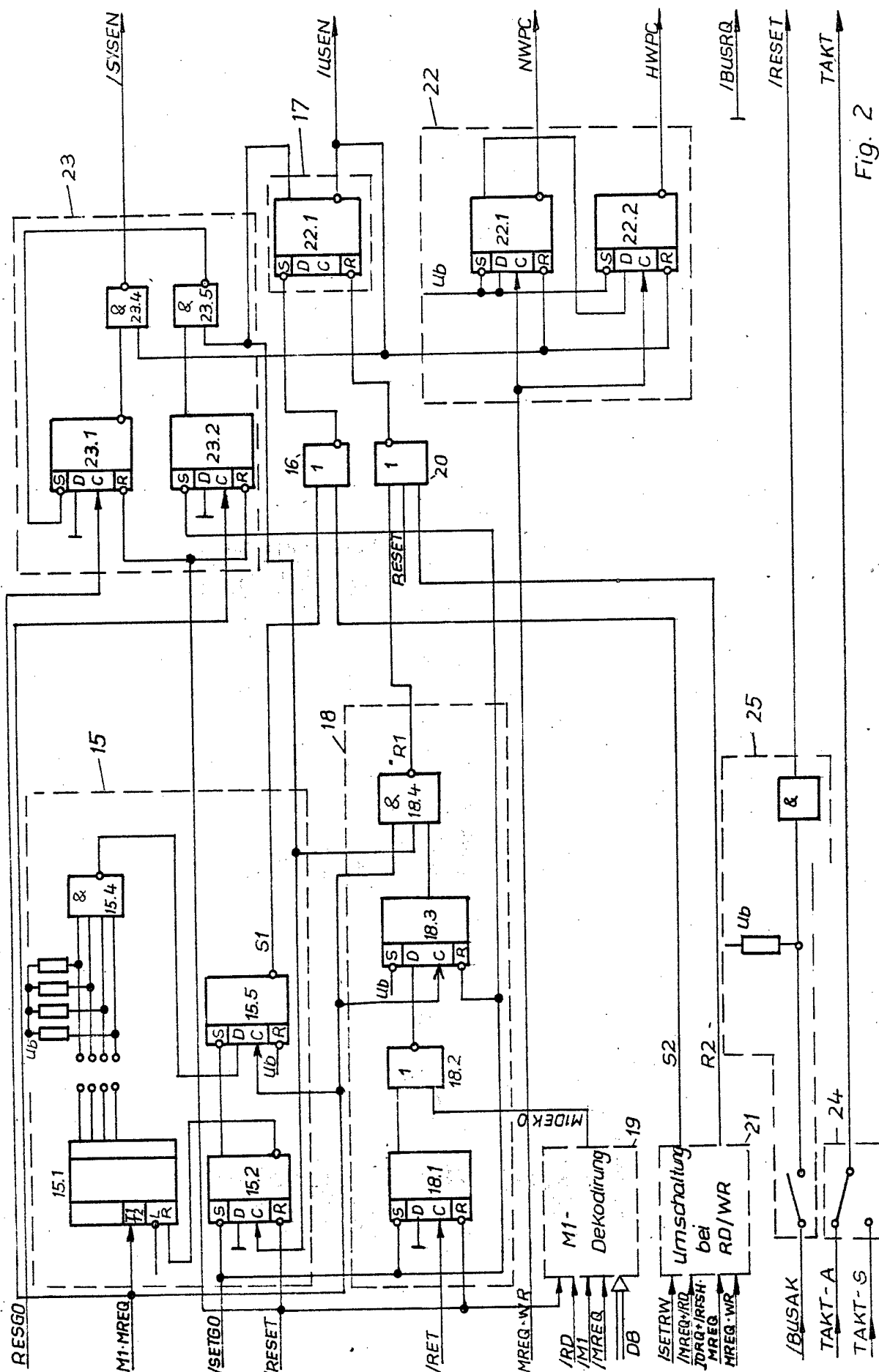


Fig. 2

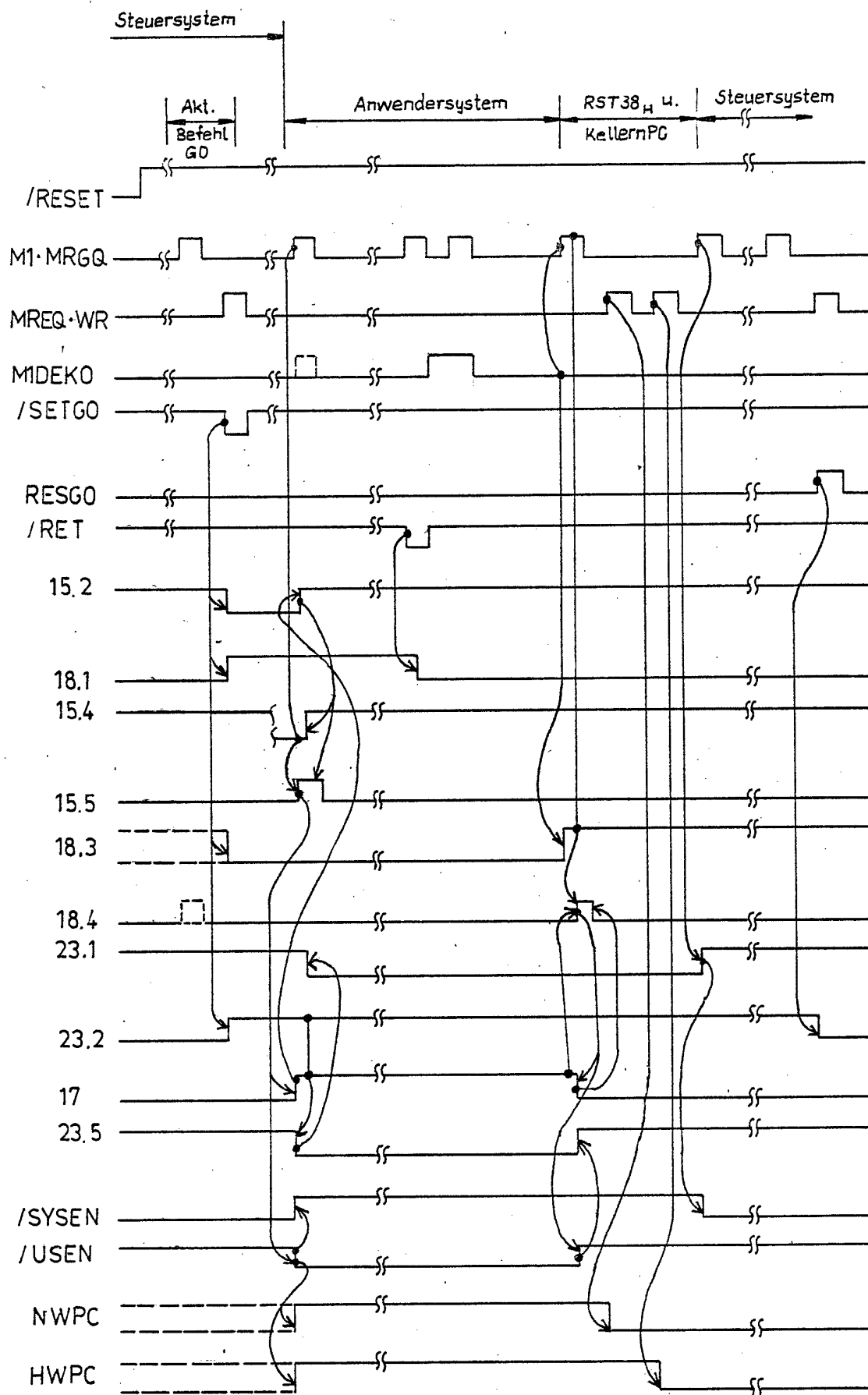


Fig. 3