



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 195 42 131 B4** 2005.07.07

(12)

## Patentschrift

(21) Aktenzeichen: **195 42 131.0**  
(22) Anmeldetag: **11.11.1995**  
(43) Offenlegungstag: **15.05.1996**  
(45) Veröffentlichungstag  
der Patenterteilung: **07.07.2005**

(51) Int Cl.7: **H03M 13/23**  
**H03M 13/41**  
**// H04N 7/64**

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:

**94-29806 14.11.1994 KR**

(71) Patentinhaber:

**Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR**

(74) Vertreter:

**Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart**

(72) Erfinder:

**Rim, Min-joong, Kangnam, KR; Oh, Young-uk, Incheon, KR**

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:

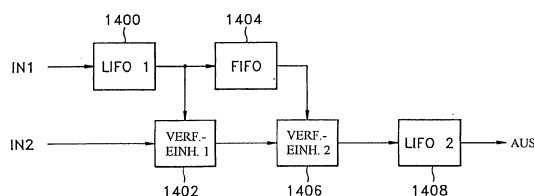
**US 53 49 608**

**FEYGIN, G. GULAK, P.G.: Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders. In: IEEE Trans. on Comm., Vol.41, No.3, March 1993, S.425 bis 429;**

(54) Bezeichnung: **Viterbi-Decoder**

(57) Hauptanspruch: Viterbi-Decoder, der zur Implementierung in einen VLSI-Schaltkreis ausgelegt ist und Mittel zur Bestimmung von Zweigmaßwerten unter Verwendung eines empfangenen Bit-Datenstroms, zur Bestimmung von neuen Pfadmaßwerten aus momentanen Pfadmaßwerten entsprechend den Zweigmaßwerten, zur Bestimmung eines minimalen Pfadmaßwertes unter den neuen Pfadmaßwerten, zum temporären Speichern des ermittelten Wertes und zum Auswählen des minimalen Pfadmaßwertes der überlebenden Pfade aller Knoten zu einem bestimmten Zeitpunkt sowie eine rückverfolgungsdurchführende Vorrichtung aufweist, welche die neuen Pfadmaßwerte und den minimalen Pfadmaßwert empfängt und einen überlebenden Pfad zum Auffinden decodierter Bits ermittelt, dadurch gekennzeichnet, dass die rückverfolgungsdurchführende Vorrichtung folgende Elemente enthält:

- eine erste Speichereinheit (1400) zum Empfangen und Speichern der neuen Pfadmaßwerte und des minimalen Pfadmaßwertes und zur Ausgabe derart, dass ein zuerst eingegebener Wert später und ein später eingegebener Wert zuerst ausgegeben werden,
- eine erste Verfolgungslogikeinheit (1402) zum Empfangen der Ausgangssignale der ersten Speichereinheit sowie des minimalen Pfadmaßwertes und zur Erzeugung...



**Beschreibung**

**[0001]** Die Erfindung bezieht sich auf einen Viterbi-Decoder nach dem Oberbegriff des Anspruchs 1. Ein Viterbi-Decoder ist häufig ein Herzstück eines Decoders mit Vorwärts-Fehlerkorrektur und enthält unter anderem eine rückverfolgungsdurchführende Vorrichtung zur Speicherverwaltung.

**[0002]** Jüngere Entwicklungen in der Videokompressionstechnologie haben die Übertragung großer Mengen von Videodaten innerhalb eines schmalen Bandes ermöglicht und die Bedeutung einer Vorwärts-Fehlerkorrektur erhöht, bei der die Korrektur von in einem Kanal eingeführten Fehlern am empfangenseitigen Ende durchgeführt wird, nachdem redundante Codes in ein Signal am senderseitigen Ende eingefügt wurden. Da sich ein kleiner Fehler in einem komprimierten Signal zu einem sehr ernsthaften entwickeln kann, wenn das Signal wiederhergestellt wird, wird zur Übertragung des komprimierten Signals eine sehr geringe Bitfehlerrate benötigt. Die Verwaltung eines Speichers in einer Rückverfolgungseinheit, welche den größten Teil einer Chipfläche für den Decoder einnimmt, wird daher zu einem der wichtigsten Faktoren bei der Realisierung eines Viterbi-Decoders in Silicium.

**[0003]** Herkömmlicherweise besteht die Schwierigkeit, dass ein Adressenerzeugungsvorgang der Rückverfolgungseinheit für eine Speicherbank sehr kompliziert ist und eine globale Querverbindung existiert, die zur Implementierung in einem höchstintegrierten Schaltkreis (VLSI) nicht geeignet ist. Solche Schwierigkeiten werden schwerwiegender, wenn die Speicherbank zwecks Reduzierung der Speicherabmessung und der Decodierdauer in viele Teile unterteilt wird. Wenn eine spezielle Speicherbank hinzugefügt wird, wird der Adressenerzeugungsvorgang vereinfacht. Jedoch ist es nicht leicht, den Adressenerzeugungsvorgang zu vereinfachen, wenn die Abmessung des Speichers anwächst.

**Stand der Technik**

**[0004]** Die Patentschrift US 5.349.608 offenbart einen Viterbi-Decoder mit einer Zweigmetrikeinheit zur Bestimmung von Zweigmaßwerten, einer Additions-Vergleichs-Auswahl-Einheit zur Bestimmung von neuen Pfadmaßwerten aus momentanen Pfadmaßwerten und Zweigmaßwerten und mit einer Rückverfolgungseinheit zum Ermitteln eines überlebenden Pfades und zum Ausgeben decodierter Bits.

**Aufgabenstellung**

**[0005]** Der Erfindung liegt als technisches Problem die Bereitstellung eines Viterbi-Decoders der eingangs genannten Art zugrunde, dessen rückverfolgungsdurchführende Vorrichtung für eine VLSI-Implementierung geeignet ist und mit dem sich der Vorgang zur Speicheradressenerzeugung ohne eine globale Querverbindung bewerkstelligen und damit vereinfachen lässt.

lementierung geeignet ist und mit dem sich der Vorgang zur Speicheradressenerzeugung ohne eine globale Querverbindung bewerkstelligen und damit vereinfachen lässt.

**[0006]** Dieses Problem wird durch einen Viterbi-Decoder mit den Merkmalen des Anspruchs 1 oder 2 gelöst.

**Ausführungsbeispiel**

**[0007]** Bevorzugte Ausführungsformen der Erfindung sowie deren besserem Verständnis dienende herkömmliche Ausführungsbeispiele sind in den Zeichnungen veranschaulicht und werden nachfolgend beschrieben.

**[0008]** Hierbei zeigen:

**[0009]** [Fig. 1](#) ein Übersichtsblockschaltbild eines üblichen Viterbi-Decoders,

**[0010]** [Fig. 2](#) eine Ansicht zur Veranschaulichung des Prozesses einer Speicherungsaktivität zur Erläuterung des Vorgangs einer Rückverfolgungsoperation mit niedriger Geschwindigkeit in dem in [Fig. 1](#) gezeigten Viterbi-Decoder,

**[0011]** [Fig. 3](#) eine Ansicht zur Veranschaulichung des Prozesses einer Speicherungsaktivität zur Erläuterung des Vorgangs einer Rückverfolgungsoperation mit hoher Geschwindigkeit in dem in [Fig. 1](#) gezeigten Viterbi-Decoder,

**[0012]** [Fig. 4](#) eine Ansicht zur Veranschaulichung des Prozesses der Speicherungsaktivität zur Beschreibung eines rückverfolgungsdurchführenden Vorgangs, wenn die Abmessungen einer Speicheraktivitätsgruppe und einer Speicherbank in dem herkömmlichen Viterbi-Decoder hoher Geschwindigkeit gemäß [Fig. 3](#) auf die Hälfte ( $L/2$ ) reduziert sind.

**[0013]** [Fig. 5](#) ein genaueres Blockschaltbild zur Veranschaulichung einer herkömmlichen Rückverfolgungseinheit zur Durchführung der in [Fig. 4](#) gezeigten Rückverfolgungsoperation,

**[0014]** [Fig. 6](#) eine Ansicht zur Erläuterung eines Verfahrens zum Kennzeichnen von Adressen der in [Fig. 5](#) gezeigten Speicherbänke,

**[0015]** [Fig. 7](#) ein genaueres Blockschaltbild einer erfindungsgemäßen Rückverfolgungseinheit, wenn die Abmessung der Speicheraktivitätsgruppe  $L$  beträgt,

**[0016]** [Fig. 8](#) ein genaueres Blockschaltbild der erfindungsgemäßen Rückverfolgungseinheit, wenn die Abmessung der Speicheraktivitätsgruppe  $L/2$  beträgt,

[0017] [Fig. 9](#) eine Ansicht zur Erläuterung der Adressengenerierung nach LIFO und FIFO im Fall eines Zwei-Phasen-Taktes und

[0018] [Fig. 10](#) eine Ansicht zur Erläuterung der Adressengenerierung nach LIFO und FIFO im Fall eines Ein-Phasen-Taktes.

[0019] Vor der Beschreibung der erfindungsgemäßen Merkmale werden zunächst der Aufbau und die Funktionsweise einer herkömmlichen Rückverfolgungseinheit im Detail unter Bezugnahme auf die [Fig. 1](#) bis [Fig. 6](#) erläutert. Ergänzend sei zu diesem allgemeinen technischen Hintergrund der Zeitschriftenaufsatz G. Feygin und P. G. Gulak, Architectural Tradeoffs for Survivor Sequence Memory Management in Viterbi Decoders, IEEE Transactions on Communications, Band 41, Nr. 3, März 1993, Seite 425 hingewiesen. Der in [Fig. 1](#) gezeigte Viterbi-Decoder besitzt eine Zweigmetrikeinheit (202), eine Additions-Vergleichs-Auswahl-Einheit (204), eine Minimalpfadmetrikeinheit (206) und eine Rückverfolgungseinheit (208). Nachfolgend wird die Betriebsweise des Viterbi-Decoders mit einer solchen Struktur unter Bezugnahme auf [Fig. 1](#) im Detail beschrieben, wobei die Beeinflussungslänge mit K bezeichnet wird.

[0020] Die Zweigmetrikeinheit (202) berechnet Zweigmaße  $BM_0(t)$ ,  $BM_1(t)$ ,  $BM_2(t)$  und  $BM_3(t)$  unter Empfangen eines Paares von Soft-Decision p-Bits ( $J_1$  und  $J_2$ ) in einem nicht gezeigten digitalen Decoder. Die sich bei der Zweigmaßberechnung für die Fälle, dass  $J_1 J_2$  00 bzw. 11 ist, sich ergebenden Zweigmaße sind in Gleichung 1 angegeben, und Gleichung 2 gibt die Beziehung zwischen Zweigmaßen an:

$$\begin{aligned} 00: BM_0(t) &= (2^p - 1 - J_2) + (2^p - 1 - J_1) \\ 01: BM_1(t) &= (2^p - 1 - J_1) + J_1 \\ 10: BM_2(t) &= J_2 + (2^p - 1 - J_1) \\ 11: BM_3(t) &= J_2 + J_2 \end{aligned} \quad (1)$$

$$\begin{aligned} BM_3(t) &= 2^{p+1} - 2 - BM_0(t) \\ BM_2(t) &= 2^{p+1} - 2 - BM_1(t) \end{aligned} \quad (2)$$

[0021] Wenn die Berechnung jedes Zweigmaßes beendet ist, berechnet die Additions-Vergleichs-Auswahl-Einheit (204) ein neues Pfadmaß unter Verwendung der vier Zweigmaße und eines momentanen Zweigmaßes. Dabei ist die Nummer des Pfadmaßes ( $PM_n$ ) entsprechend der Beeinflussungslänge (K) bzw. der Speichernummer (M) des konvolutionellen Codes durch Gleichung 3 wie folgt gegeben.

$$PM_n = 2^{K-1} = 2^M \quad (3)$$

[0022] Wenn die Berechnung des Pfadmaßes abgeschlossen ist, bestimmt die Minimalpfadmetrikeinheit (206) einen minimalen Wert des Pfadmaßes unter Verwendung des berechneten Pfadmaßwertes. Die

Rückverfolgungseinheit (208) speichert  $2^{K-1}$  Bits an Daten aus der Additions-Vergleichs-Auswahl-Einheit (204) und einen minimalen Pfad aus der Minimalpfadmetrikeinheit (206), sucht nach einem überlebenden Pfad unter Verwendung der gespeicherten Daten, speichert den gefundenen, überlebenden Pfad und ermittelt durch Rückverfolgung die decodierten Informationsbits. Das bedeutet, die Rückverfolgungseinheit (208) dient dazu, Daten in einen Speicher einzuschreiben und aus diesem auszulesen. Der Speicher der Rückverfolgungseinheit (208) bestimmt dabei den Aufwand für die Implementierung des Decoders in dem VLSI-Schaltkreis.

[0023] Kurz gesagt liest bzw. schreibt die Rückverfolgungseinheit (208) hauptsächlich Daten aus bzw. in einen Speicher. Die Erfindung bezieht sich speziell auf das Speichermanagement der Rückverfolgungseinheit (208) in dem Viterbi-Decoder beim Betrieb mit hoher Geschwindigkeit (50Mbps oder mehr). Es folgen ein paar Annahmen zur einfachen Beschreibung der Erfindung.

- (i) Der Viterbi-Decoder erzeugt eine Ausgabe pro Taktzyklus.
- (ii) Jeder Lese- bzw. Schreibvorgang erfolgt in einem einzelnen Speicher während eines Taktzyklus.
- (iii) Die Eingangs- und Ausgangsbreiten in einem RAM sind gleich groß.

[0024] In [Fig. 2](#) bezeichnen die schraffierten Abschnitte Bereiche, in denen Daten in einem Speicher gespeichert sind, während die vertikale Achse mit Speicherzeilen (400, 402, 404, 406, 408 und 410) die verstrichene Zeitdauer repräsentiert und die zugehörigen horizontalen Achsen jeweils den Zustand (S) von zwei  $2^{K-1}$  Bits repräsentieren, wobei die Pfeile die Datenspeicherungsrichtung anzeigen. Das Durchführen der Rückverfolgung schreitet von der Speicherzeile 400 zur Speicherzeile 410 fort, wobei die Speicherzeilen 400, 402, 404, 406, 408 und 410 ein einmaliges Schreiben, ein einmaliges Rückverfolgen, ein einmaliges Decodieren, ein einmaliges Schreiben, ein einmaliges Rückverfolgen bzw. ein einmaliges Decodieren anzeigen.

[0025] Unter der oben angegebenen Annahme wird unter Bezugnahme auf [Fig. 2](#) der rückverfolgungsdurchführende Vorgang in der Rückverfolgungseinheit (208) innerhalb des Viterbi-Decoders geringer Geschwindigkeit im Detail beschrieben. Primär lassen sich die grundlegenden Operationen eines Vorgangs zur Durchführung von Rückverfolgungen in dem Viterbi-Decoder mit Rückverfolgungstiefe L wie folgt definieren.

[0026] Vorgang 1: Schreiben, d.h. eine Operation zum Schreiben von Daten aus der Minimalpfadmetrikeinheit (206) in einen Speicher.

**[0027]** Vorgang 2: Rückverfolgen, d.h. eine Operation zur Erzeugung der nächsten Zustandsadresse von den aus dem Speicher ausgelesenen Daten und einer momentanen Zustandsadresse. Die ursprüngliche Zustandsadresse wird extern geliefert.

**[0028]** Vorgang 3: Decodieren, d.h. die gleiche Operation wie die Rückverfolgung mit der Ausnahme, daß die decodierten Ergebnisse ausgegeben werden.

**[0029]** Nachdem ein Schreibvorgang zum Abspeichern der von der Minimalpfadmetrikeinheit (206) gelieferten Daten durchgeführt wurde (in Reihe 400 von Fig. 2) wird unter Verwendung der L gespeicherten Daten und der extern gelieferten Zustandsadresse L-malig eine Rückverfolgung durchgeführt (Reihe 402). Nachdem die erhaltenen Ergebnisse unter Verwendung der ältesten Daten decodiert wurden (Zeile 404), werden die gespeicherten Daten in dem Speicher gelöscht. Die Speicherzeilen 406, 408 und 410 zeigen eine Wiederholung dieser Vorgänge.

**[0030]** In Fig. 3 repräsentiert die vertikale Achse die verstrichene Zeitdauer (T), und jede horizontale Achse repräsentiert den Zustand (S) eines Speichers. Die Pfeile zeigen die Richtungen an, in welche die Vorgänge durchgeführt werden. Jede Speicherbank besteht aus einer Mehrzahl von Teilspeicherbänken. Jede Teilspeicherbank besitzt L Worte, wobei ein Wort aus  $2^{K-1}$  Bits besteht. Unter Bezugnahme auf Fig. 3 wird nachfolgend der rückverfolgungsdurchführende Vorgang in einem üblichen Viterbi-Decoder hoher Geschwindigkeit beschrieben.

**[0031]** Der rückverfolgungsdurchführende Prozeß in dem Viterbi-Decoder niedriger Geschwindigkeit gemäß Fig. 2 vermag nicht in jedem Takt eine Ausgabe bereitzustellen, da zu viele Speicheroperationen zur Bereitstellung einer Ausgabe benötigt werden. Zur Reduzierung von Speicheroperationen führt der Viterbi-Decoder hoher Geschwindigkeit, wie in Fig. 3 dargestellt, mit jedem Ausgabevorgang (L Ausgaben) eines Blocks einen einmaligen Rückverfolgungsvorgang (L Rückverfolgungen) durch, wobei die L Vorgänge eine Gruppe bilden. So werden in der Speicherzeile 600 von Fig. 3 L-malige Schreibvorgänge (Abschnitt 608), L-malige Rückverfolgungen (Abschnitt 610) und dann L-malige Decodiervorgänge (Abschnitt 612) durchgeführt. Im Ergebnis erfolgen damit L Schreibvorgänge, L Rückverfolgungen und L Decodiervorgänge zu L Ausgaben, so daß im Durchschnitt ein einmaliger Schreibvorgang, eine einmalige Rückverfolgung und ein einmaliger Decodiervorgang auf eine Ausgabe kommen. Die Bezugszeichen 602 und 604 veranschaulichen die simultane Durchführung von Schreiben, Rückverfolgen und Decodieren, um in aufeinanderfolgenden Takten eine Ausgabe pro Taktzyklus bereitzustellen.

**[0032]** Im Fall einer Reduzierung der Speicherbankabmessung, wie in Fig. 4 dargestellt, lassen sich die Speicheranforderung und die Decodierungsverzögerung wie folgt beschreiben. Der in

**[0033]** Fig. 3 gezeigte Vorgang zur Rückverfolgungsdurchführung kann mit drei Speicherbänken realisiert werden, da das Schreiben und Decodieren unter gemeinsamer Nutzung einer Speicherbank erfolgen können. Die Abmessung des Speichers beträgt 3L Worte ohne einen Stapel(LIFO)-Puffer, wobei die Abmessung der Decodierverzögerung einschließlich eines Puffers 4L beträgt. Die Abmessung der Speicheraktivität und der Decodierverzögerung kann durch Verringern der Abmessung der Speicheraktivitätsgruppe reduziert werden. Wenn die Abmessung der Speicheraktivitätsgruppe reduziert wird, erhöht sich die Anzahl an Speicheroperationen. Jedoch kann dadurch, daß die Anzahl von Speicherbänken erhöht und deren Abmessung verringert wird, d.h. durch erhöhte Parallelisierung, dieselbe Geschwindigkeit beibehalten werden. Wenn die Speicherbankabmessung reduziert wird, werden zwei Rückverfolgungszeiger benötigt (jeder Zeiger weist auf die Speicheradresse, auf die bei der Rückverfolgung zuzugreifen ist), so daß der Grad an Parallelismus wächst und die erhöhte Anzahl von Speicheroperationen kompensiert wird.

**[0034]** In Fig. 4 betragen der Speicherbedarf und die Decodierverzögerung  $5L/2$  bzw. 3L. Wenn die Speicherbankabmessung  $L/n$  beträgt, betragen der Speicherbedarf  $(2n+1)L/n$  und die Decodierverzögerung  $2(n+1)L/n$ . Mit steigendem n verringern sich der Speicherbedarf und die Decodierverzögerung, jedoch steigt der indirekte Aufwand für die Hardware-Implementierung an, da der Speicher in kleine Abschnitte aufgeteilt wird. Eine in Fig. 5 gezeigte, herkömmliche Rückverfolgungseinheit (208) beinhaltet eine Speicherbank 0 (1000), eine Speicherbank 1 (1002), eine Speicherbank 2 (1004), eine Speicherbank 3 (1006), eine Speicherbank 4 (1008), eine Verfolgungslogik 1 (1010), eine Verfolgungslogik 2 (1012), eine Verfolgungslogik 3 (1014) sowie einen LIFO-Puffer (1016).

**[0035]** In Fig. 6 bezeichnen die vertikale und die horizontale Achse die Zeit (T) bzw. den Zustand (S). Jede gezeigte Reihe besteht aus 5 Speicherbänken, wobei D&W und TB einen Decodier- und Schreibvorgang bzw. einen Rückverfolgungsvorgang bezeichnen. Bezugnehmend auf die Fig. 5 und Fig. 6 werden nachfolgend die Schwierigkeiten erläutert, wenn Viterbi-Decoder mit niedriger oder hoher Geschwindigkeit oder solche, die auf hohe Geschwindigkeit konvertiert sind, zur Durchführung der Rückverfolgung in einen VLSI-Schaltkreis implementiert werden. Da über einen in Fig. 5 gezeigten Eingangsanschluß IN1  $2^{K-1}$  Bits an Information der Reihe nach von der in Fig. 1 gezeigten Additions-Ver-

gleichs-Auswahl-Einheit in alle Speicherbänke eingegeben werden müssen, sollten alle Speicherbänke an einen Bus angeschlossen sein. Wenn  $K = 7$  gewählt ist, besteht eine Schwierigkeit darin, daß ein Bus mit 64Bit verschiedene Teile eines Chips verbindet. Die Verfolgungslogik 1 (1010) und die Verfolgungslogik 2 (1012) dienen dazu, die Rückverfolgung durchzuführen, während die Verfolgungslogik 3 (1014) zur Decodierung dient. Der LIFO-Puffer (1016) kehrt die Ausgabereihenfolge der Verfolgungslogik (1014) in die normale um, wonach die decodierten Informationsbits über einen Ausgangsanschluß (AUS) abgegeben werden.

[0036] Um Daten von den fünf in Fig. 5 gezeigten Speicherbänken zu lesen bzw. in diese zu schreiben, sollten die Bänke gekennzeichnet sein. Das Verfahren zur Kennzeichnung dieser Bänke wird unter Bezugnahme von Fig. 6 beschrieben. Von den Speicherzeilen 1200, 1202, 1204, 1206, 1208, 1210, 1212, 1214, 1216 und 1218 in Fig. 6 zeigt jede, wie sich Adressen in den fünf Bänken ändern. Im Fall der ersten Zeile 1200 werden von links nach rechts in einer ersten Bank 1220 ein Decodier- und ein Schreibvorgang durchgeführt. In einer dritten (1222) und einer fünften Bank (1224) werden von links nach rechts Rückverfolgungen durchgeführt. Hingegen passiert in der zweiten und in der vierten Bank nichts. Für die Durchführung der Vorgänge in der ersten Zeile 1200 wird eine Taktdauer von  $L/2$  benötigt. Die zweite Zeile 1202 zeigt eine Adressenänderung während des nächsten  $L/2$ -Taktes. In diesem Fall wird in der ersten Bank 1226 eine Rückverfolgung von rechts nach links durchgeführt. Dies bedeutet, daß sich die Adresse um eine pro Takt verringert. In der zweiten Bank 1228 und der vierten Bank werden ein Decodier- und Schreibvorgang bzw. eine Rückverfolgung durchgeführt. In der dritten und der fünften Bank stagniert der Betrieb. Die Dauer einer Adressengenerierung in dieser Weise beträgt  $5L$ . Fig. 6 zeigt die Adressengenerierung während einer einzigen Periode. Jede Bank sollte zeitabhängig unterschiedliche Operationen durchführen, und es ist nicht einfach, diese Speicheradressen zu generieren. Außerdem sollte eine Adresse für den LIFO-Puffer von Fig. 5 erzeugt werden.

[0037] In der herkömmlichen Rückverfolgungseinheit liegt der Grund dafür, daß der Speicheradressenerzeugungsprozeß kompliziert ist und eine globale Querverbindung existiert, darin, daß sich die Rolle jeder Speicherbank kontinuierlich ändert. Dementsprechend unterscheidet sich die rückverfolgungsdurchführende, erfindungsgemäße Vorrichtung von der herkömmlichen Vorrichtung dadurch, daß die Rolle der jeweiligen Speicherbank unverändert bleibt und Daten entlang der Speicherbänke transferiert werden.

[0038] Während bislang der Betrieb der herkömmli-

chen Rückverfolgungseinheit erläutert wurde, wird nun die Struktur und Funktionsweise eines erfindungsgemäßen Viterbi-Decoders im Detail unter Bezugnahme auf die zugehörigen Zeichnungen erläutert.

[0039] Die in Fig. 7 gezeigte, erfindungsgemäße Rückverfolgungseinheit beinhaltet einen LIFO-Puffer 1 (1400), eine Verfolgungslogik 1 (1402), einen FIFO-Puffer (1404), eine Verfolgungslogik 2 (1406) sowie einen LIFO-Puffer 2 (1408). Die in Fig. 8 gezeigte Rückverfolgungseinheit beinhaltet eine erste Speichereinheit (1600), eine erste Verfolgungslogikeinheit (1602), eine zweite Speichereinheit (1604), eine zweite Verfolgungslogikeinheit (1606), eine dritte Speichereinheit (1608), eine dritte Verfolgungslogikeinheit (1610) und eine vierte Speichereinheit (1612).

[0040] Für die FIFO- und LIFO-Puffer der Fig. 7 und Fig. 8 kann die Verwendung eines Doppelschluß-RAM angenommen werden und entsprechend dieser Annahme ist in diesem Fall die gleichzeitige Durchführung eines einmaligen Lesevorgangs und eines einmaligen Schreibvorgangs während eines einzigen Taktes verfügbar. Wenn die Abmessung der Speicheraktivitätsgruppe  $L$  beträgt, läßt sich die Betriebsweise für die Rückverfolgung gemäß der obigen Struktur unter Bezugnahme auf Fig. 7 primär wie folgt beschreiben.

[0041] Die von der Additions-Vergleichs-Auswahl-Einheit (204) von Fig. 1 erzeugten Daten werden über einen in Fig. 7 gezeigten Eingangsanschluß IN1 des LIFO-Puffers 1 (1400) eingegeben, um in ihrer Reihenfolge umgekehrt und danach an den FIFO-Puffer (1404) und die Verfolgungslogik 1 (1402) ausgegeben zu werden. Die Verfolgungslogik 1 (1402) empfängt ein Ausgabesignal des LIFO-Puffers 1 (1400) sowie über einen Eingang IN2 einen momentanen Zustand zur Durchführung eines Rückverfolgungsvorgangs und erzeugt einen ersten Zustand. Der FIFO-Puffer (1404) empfängt und decodiert ein Ausgangssignal des LIFO-Puffers 1 (1400) und führt das Ergebnis der Verfolgungslogik 2 (1406) zu. Die Verfolgungslogik 2 (1406) empfängt Ausgangssignale des FIFO-Puffers (1404) und der Verfolgungslogik 1 (1402) und gibt einen zweiten Zustand ab. Der LIFO-Puffer 2 (1408) empfängt diesen zweiten Zustand und erzeugt Informationsbits, in denen Fehler über eine einzelne Busleitung korrigiert sind.

[0042] Wenn die Abmessung der Speicheraktivitätsgruppe  $L/2$  beträgt und die Beeinflussungslänge  $K$  ist, wird die von der Additions-Vergleichs-Auswahl-Einheit (204) übertragene Information mit  $2^{K-1}$  Bits im Fall von Fig. 8 über einen Eingangsanschluß IN1 in die erste Speichereinheit (1600) eingespeichert. Die Information, deren Reihenfolge durch die

erste Speichereinheit (**1600**) umgekehrt wird, die als ein Speicher zur Durchführung einer LIFO-Operation ausgeführt sein kann, wird zu einer zweiten Speichereinheit (**1604**), die als ein Speicher zur Durchführung der nachfolgenden FIFO-Operation ausgelegt sein kann, übertragen und gleichzeitig in die erste Verfolgungslogikeinheit (**1602**) eingespeist. Die erste Verfolgungslogikeinheit (**1602**) berechnet den nächsten Zustand in jeder gleichmäßigen Periode unter Verwendung der von der ersten Speichereinheit (**1600**) gelieferten Daten und eines momentanen Zustandswertes, der über einen Eingang IN2 von einer nicht gezeigten Optimalzustandserkennungseinheit empfangen wird.

**[0043]** Die Eingangssignale und Ausgangssignale der ersten Verfolgungslogikeinheit (**1602**) und der zweiten Verfolgungslogikeinheit (**1606**) bzw. das Eingangssignal der dritten Verfolgungslogikeinheit (**1610**) besitzen jeweils eine Länge von  $K-1$  Bits. Das Ausgangssignal der zweiten Speichereinheit (**1604**) wird der dritten Speichereinheit (**1608**), die als ein Speicher zur Durchführung einer FIFO-Operation ausgelegt sein kann, und gleichzeitig der zweiten Verfolgungslogikeinheit (**1606**) zugeführt, welche die Rückverfolgungsoperation durchführt. Die dritte Verfolgungslogikeinheit (**1610**) gibt einen dritten Zustand in Abhängigkeit von den empfangenen Ausgangssignalen der dritten Speichereinheit (**1608**) und der zweiten Verfolgungslogikeinheit (**1606**) ab. Die vierte Speichereinheit (**1612**), die als ein Speicher zur Durchführung einer LIFO-Operation unter Empfang des Ausgangssignals der dritten Verfolgungslogikeinheit (**1610**) ausgelegt sein kann, vervollständigt den Decodiervorgang, indem sie die Sequenz der Eingabebits in die richtige Reihenfolge bringt. Die vierte Speichereinheit (**1612**) beinhaltet ein RAM mit einer Anzahl von  $L/2+1$  Ein-Bit-Informationen.

**[0044]** Wie in den [Fig. 9](#) und [Fig. 10](#) dargestellt, ist die Adressenerzeugung durch die LIFO- und FIFO-Puffer sehr einfach. Genauer gesagt erhöht sich im Fall des FIFO-Puffers einfach ein Zählwert, wobei ein Modulo-Konzept verwendet wird, bei dem kontinuierlich die Null auf den maximalen Wert folgt. Im Fall des LIFO-Puffers beginnt sich der Wert des Zählers zu verringern, wenn er den maximalen Wert erreicht, und wenn der sich verringernde Wert den Minimalwert erreicht, beginnt sich der Wert wieder zu erhöhen.

**[0045]** Wie oben beschrieben, hat die erfindungsgemäße Rückverfolgungseinheit bei Verwendung desselben Betrags an Speicher und der Benötigung derselben Verfolgungslogik wie die herkömmliche Rückverfolgungseinheit die Auswirkung, den Aufwand für die Implementierung des Viterbi-Decoders in einem VLSI-Schaltkreis dadurch zu verringern, daß die Chipfläche insgesamt reduziert und die Implementierung in dem VLSI-Schaltkreis vereinfacht und leichter

gemacht wird, da die Adressenerzeugung für einen Speicher einfach ist und keine globale Querverbindung existiert.

## Patentansprüche

1. Viterbi-Decoder, der zur Implementierung in einen VLSI-Schaltkreis ausgelegt ist und Mittel zur Bestimmung von Zweigmaßwerten unter Verwendung eines empfangenen Bit-Datenstroms, zur Bestimmung von neuen Pfadmaßwerten aus momentanen Pfadmaßwerten entsprechend den Zweigmaßwerten, zur Bestimmung eines minimalen Pfadmaßwertes unter den neuen Pfadmaßwerten, zum temporären Speichern des ermittelten Wertes und zum Auswählen des minimalen Pfadmaßwertes der überlebenden Pfade aller Knoten zu einem bestimmten Zeitpunkt sowie eine rückverfolgungsdurchführende Vorrichtung aufweist, welche die neuen Pfadmaßwerte und den minimalen Pfadmaßwert empfängt und einen überlebenden Pfad zum Auffinden decodierter Bits ermittelt,

**dadurch gekennzeichnet**, dass

die rückverfolgungsdurchführende Vorrichtung folgende Elemente enthält:

- eine erste Speichereinheit (**1400**) zum Empfangen und Speichern der neuen Pfadmaßwerte und des minimalen Pfadmaßwertes und zur Ausgabe derart, dass ein zuerst eingegebener Wert später und ein später eingegebener Wert zuerst ausgegeben werden,
- eine erste Verfolgungslogikeinheit (**1402**) zum Empfangen der Ausgangssignale der ersten Speichereinheit sowie des minimalen Pfadmaßwertes und zur Erzeugung eines ersten Zustands, welcher den nächsten zu verfolgenden Zustand bildet,
- eine zweite Speichereinheit (**1404**) zum Empfangen und Speichern der Ausgangssignale der ersten Speichereinheit und zur Ausgabe derart, dass ein zuerst eingegebener Wert zuerst und ein später eingegebener Wert später ausgegeben werden,
- eine zweite Verfolgungslogikeinheit (**1406**) zum Empfangen der Ausgangssignale der zweiten Speichereinheit sowie des ersten Zustands und zur Erzeugung eines zweiten Zustands, welcher den nächsten zu verfolgenden Zustand bildet, und
- eine dritte Speichereinheit (**1408**) zum Empfangen und Speichern des zweiten Zustands und zur Ausgabe derart, dass ein zuerst eingegebener Wert später und ein später eingegebener Wert zuerst ausgegeben werden, um so die decodierten Bits zu erhalten.

2. Viterbi-Decoder, der zur Implementierung in einen VLSI-Schaltkreis ausgelegt ist und Mittel zur Bestimmung von Zweigmaßwerten unter Verwendung eines empfangenen Bit-Datenstroms, zur Bestimmung von neuen Pfadmaßwerten aus momentanen Pfadmaßwerten entsprechend den Zweigmaßwerten, zur Bestimmung eines minimalen Pfadmaßwertes unter den neuen Pfadmaßwerten, zum temporären

ren Speichern des ermittelten Wertes und zum Auswählen des minimalen Pfadmaßwertes der überlebenden Pfade aller Knoten zu einem bestimmten Zeitpunkt sowie eine rückverfolgungsdurchführende Vorrichtung aufweist, welche die neuen Pfadmaßwerte und den minimalen Pfadmaßwert empfängt und einen überlebenden Pfad zum Auffinden decodierter Bits ermittelt, dadurch gekennzeichnet, dass die rückverfolgungsdurchführende Vorrichtung folgende Elemente enthält:

- eine erste Speichereinheit (**1400**) zum Empfangen und Speichern der neuen Pfadmaßwerte und des minimalen Pfadmaßwertes und zur Ausgabe derart, dass ein zuerst eingegebener Wert später und ein später eingegebener Wert zuerst ausgegeben werden,
- eine erste Verfolgungslogikeinheit (**1602**) zum Empfangen der Ausgangssignale der ersten Speichereinheit sowie des minimalen Pfadmaßwertes und zur Erzeugung eines ersten Zustands, welcher den nächsten zu verfolgenden Zustand bildet,
- eine zweite Speichereinheit (**1604**) zum Empfangen und Speichern der Ausgangssignale der ersten Speichereinheit und zur Ausgabe derart, dass ein zuerst eingegebener Wert zuerst und ein später eingegebener Wert später ausgegeben werden,
- eine zweite Verfolgungslogikeinheit (**1606**) zum Empfangen der Ausgangssignale der zweiten Speichereinheit sowie des ersten Zustands und zur Erzeugung eines zweiten Zustands, welcher den nächsten zu verfolgenden Zustand bildet,
- eine dritte Speichereinheit (**1608**) zum Empfangen und Speichern der Ausgangssignale der zweiten Speichereinheit und zur Ausgabe derart, dass ein zuerst eingegebener Wert zuerst und ein später eingegebener Wert später ausgegeben werden,
- eine dritte Verfolgungslogikeinheit (**1610**) zum Empfangen der Ausgangssignale der dritten Speichereinheit sowie des zweiten Zustands und zur Erzeugung eines dritten Zustands, welcher den nächsten zu verfolgenden Zustand bildet, und
- eine vierte Speichereinheit (**1612**) zum Empfangen und Speichern des dritten Zustands und zur Ausgabe derart, dass der zuerst eingegebene Wert später und der später eingegebene Wert zuerst ausgegeben werden, um so die decodierten Bits zu erhalten.

Es folgen 7 Blatt Zeichnungen

FIG. 1 (STAND DER TECHNIK)

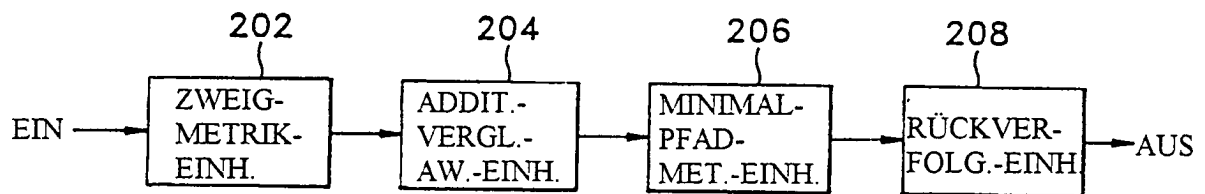


FIG. 2 (STAND DER TECHNIK)

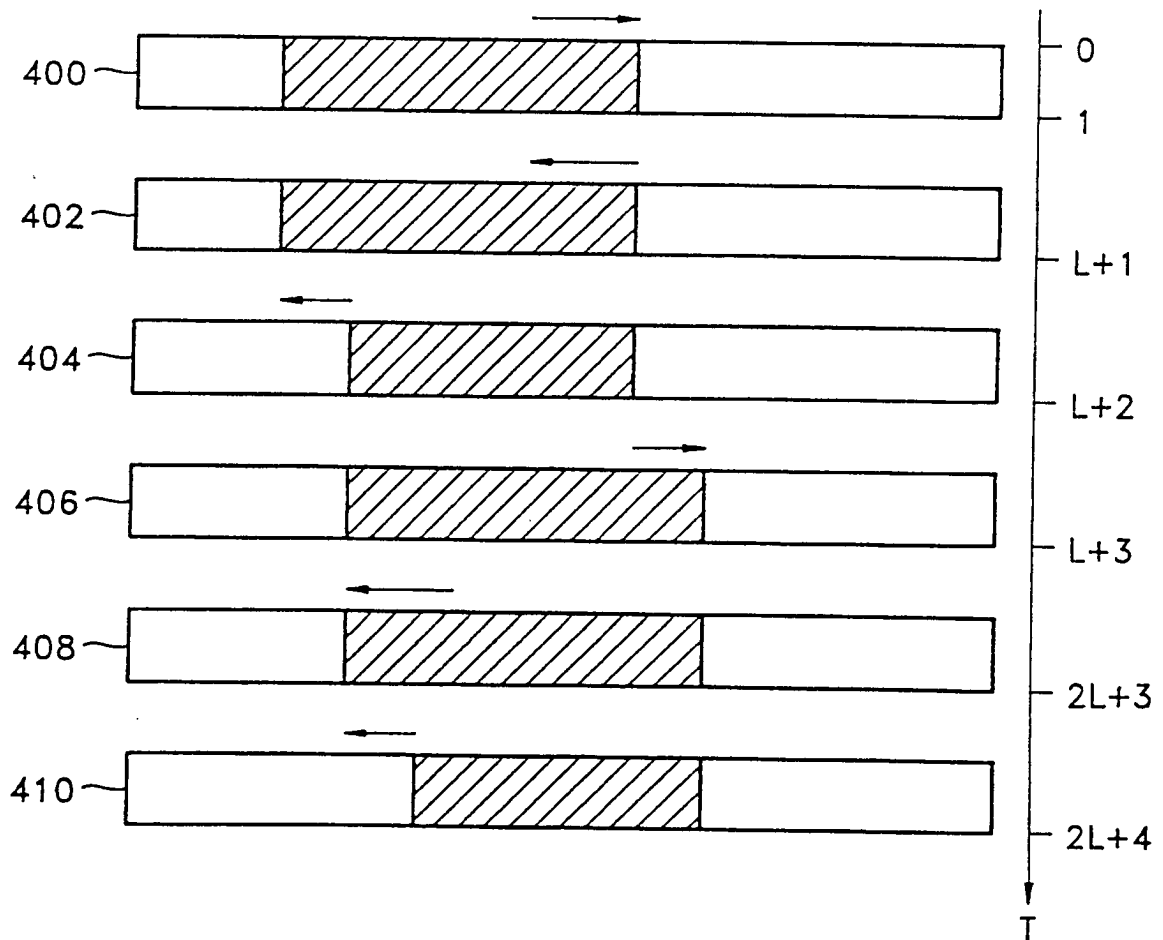


FIG. 3 (STAND DER TECHNIK)

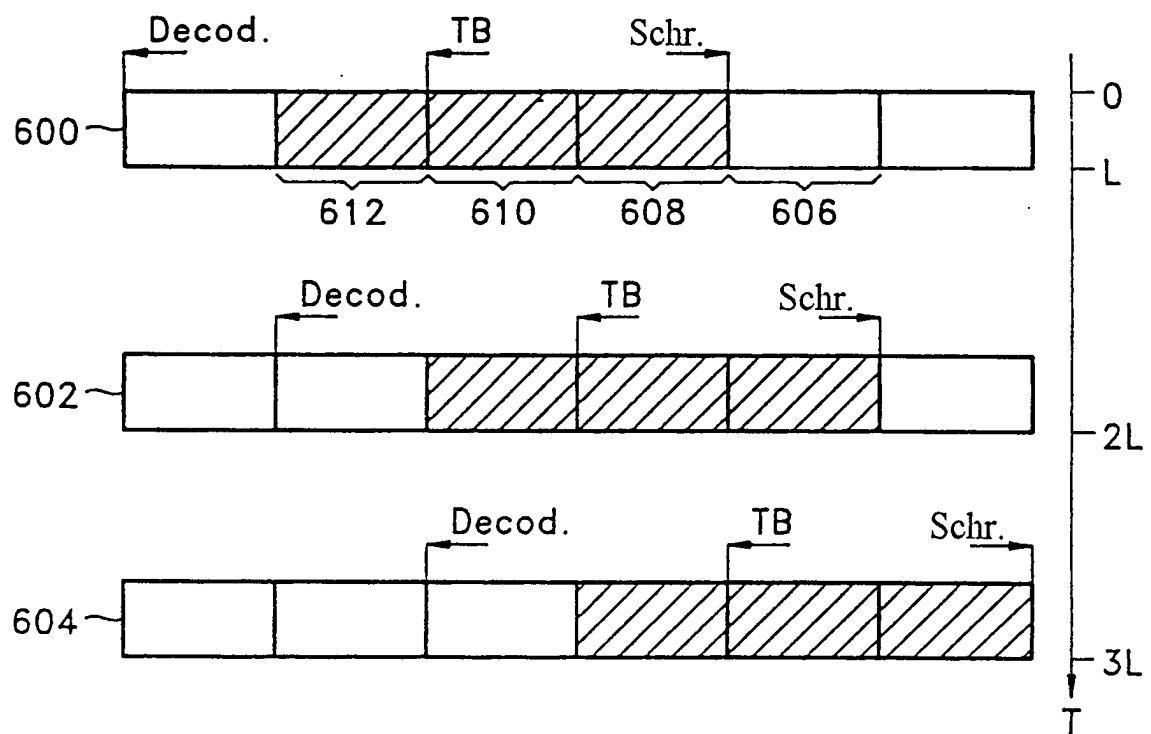


FIG. 4 (STAND DER TECHNIK)

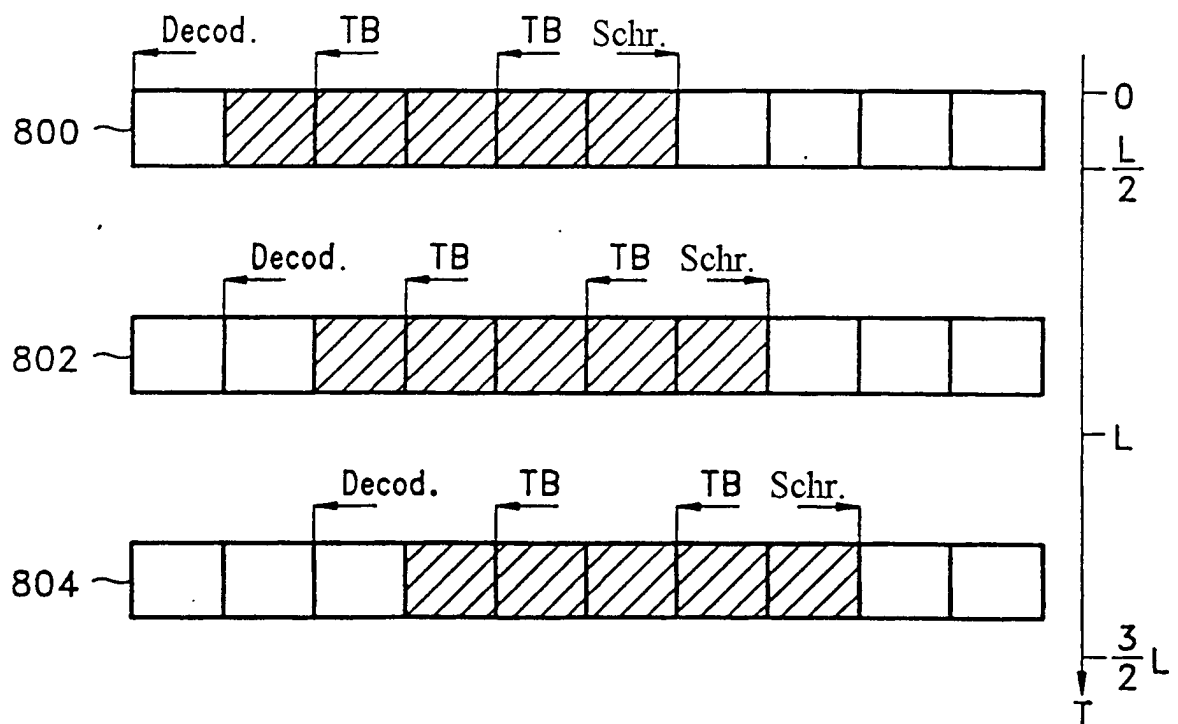


FIG. 5 (STAND DER TECHNIK)

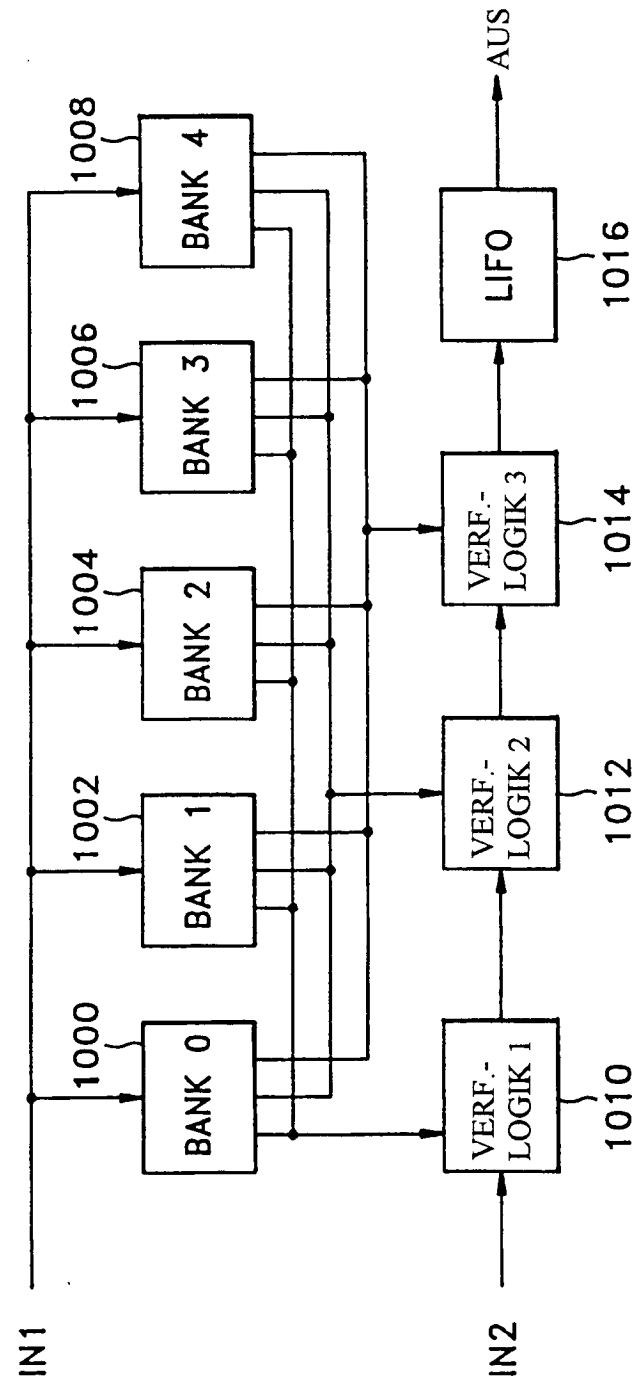


FIG. 6 (STAND DER TECHNIK)

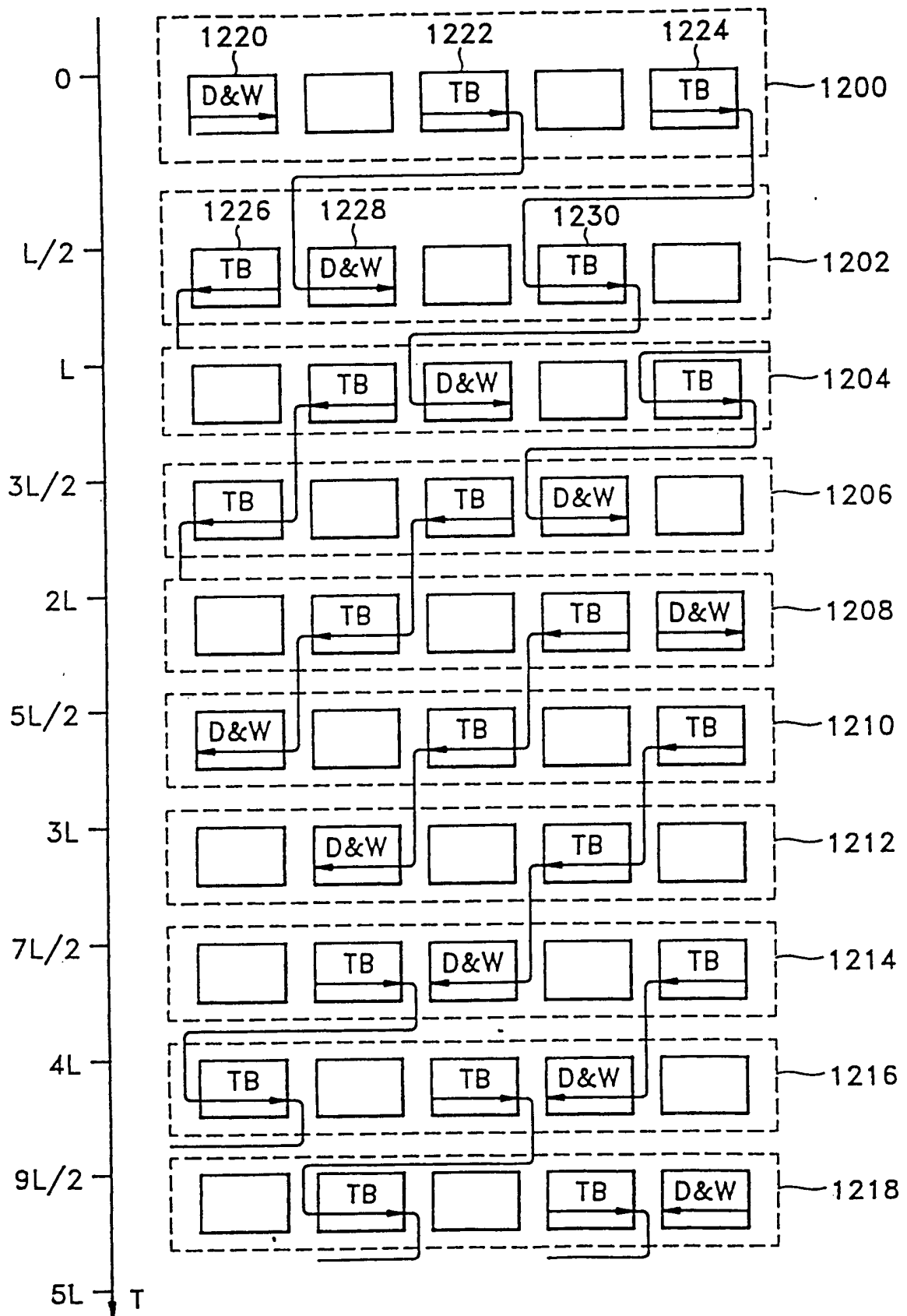


FIG. 7

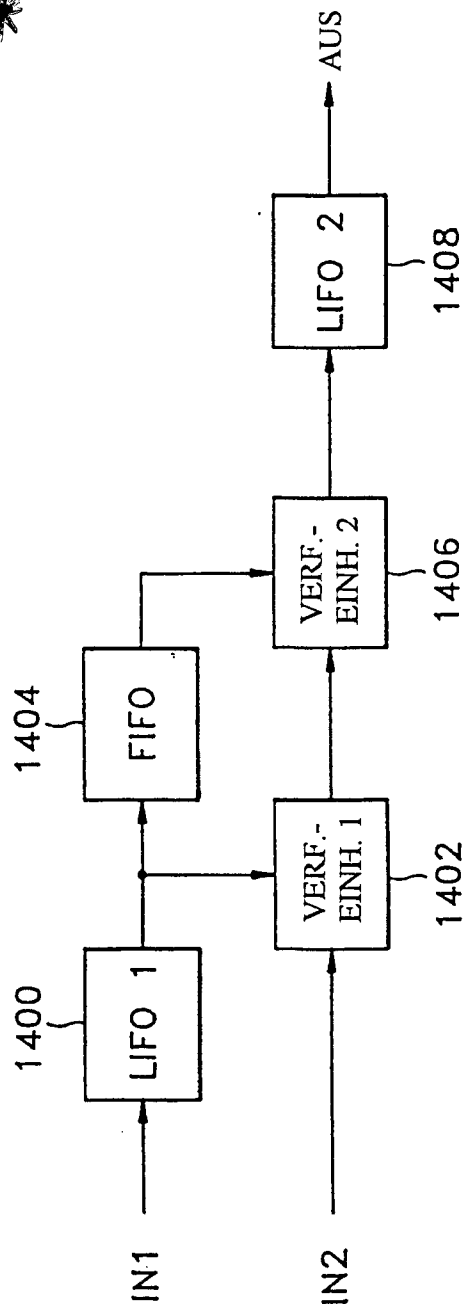


FIG. 8

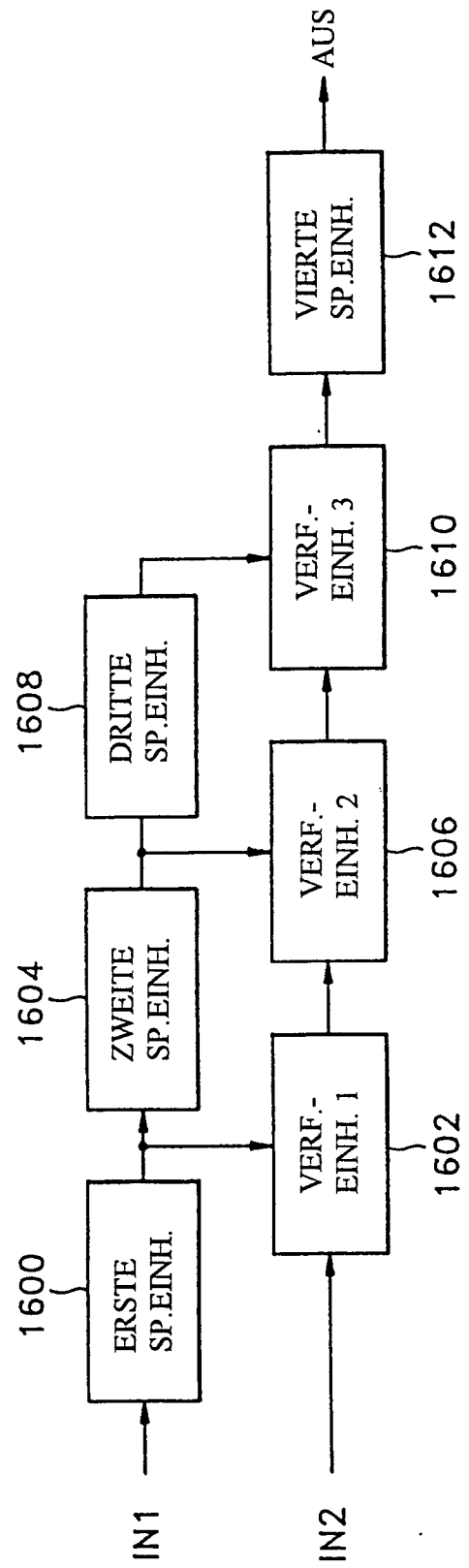


FIG. 9

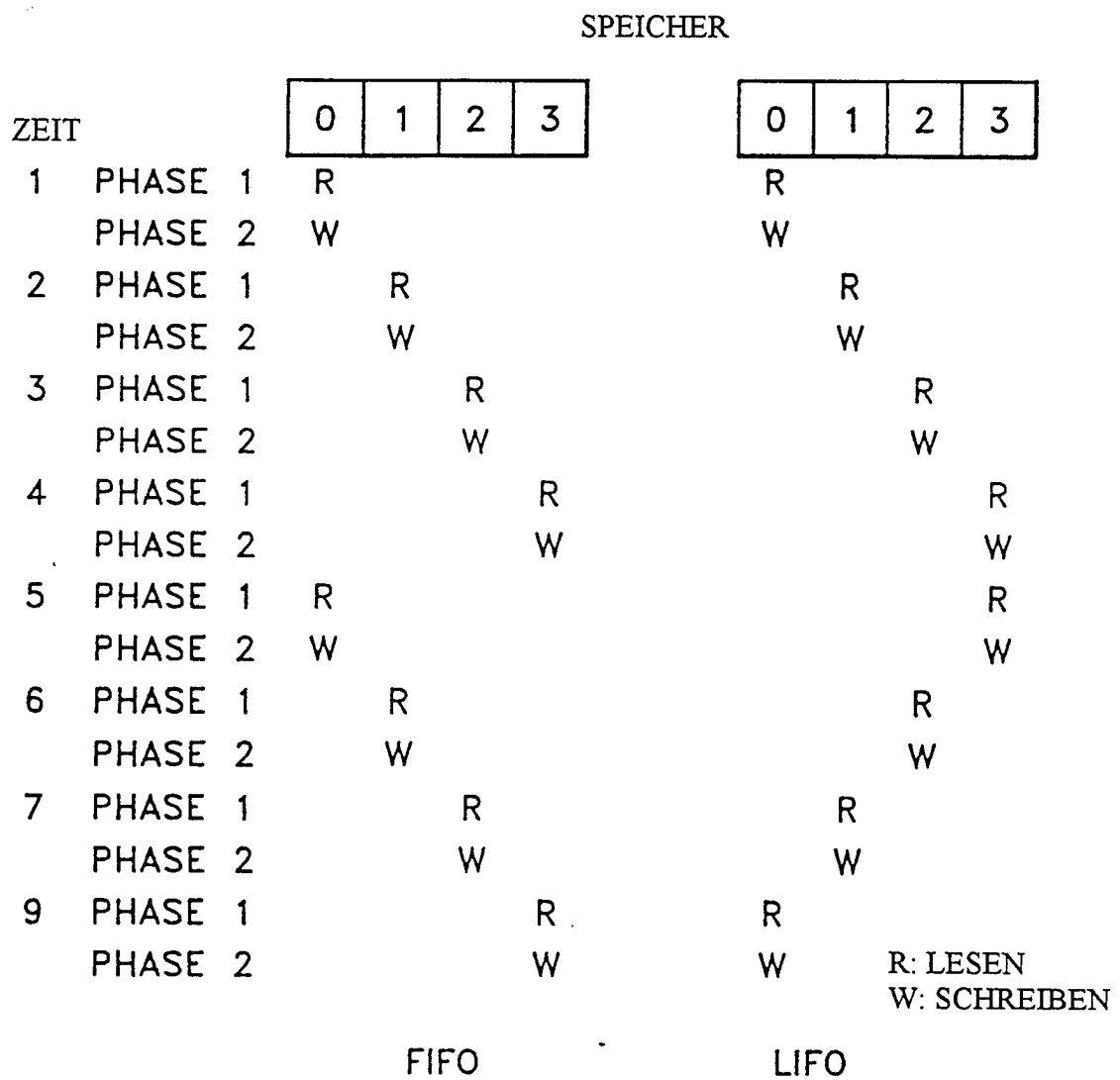


FIG. 10

