

[51] Int. Cl.

H01L 21/00 (2006.01)

H01L 29/51 (2006.01)

H01L 29/49 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 03811420.8

[45] 授权公告日 2008 年 4 月 9 日

[11] 授权公告号 CN 100380576C

[22] 申请日 2003.5.13 [21] 申请号 03811420.8

[30] 优先权

[32] 2002. 5.20 [33] US [31] 10/151,269

[86] 国际申请 PCT/US2003/015194 2003.5.13

[87] 国际公布 WO2003/100835 英 2003.12.4

〔85〕 进入国家阶段日期 2004.11.19

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 金铨席 J·杰昂

[56] 参考文献

US 6278164 B1 2001.8.21

CN 1128898 A 1996.8.14

CN 1214540 A 1999.4.21

审查员 吴晓达

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

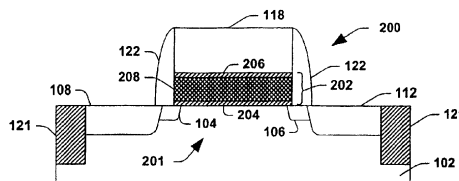
权利要求书 3 页 说明书 13 页 附图 5 页

[54] 发明名称

以減少远处散射的栅极氧化制造高性能金属氧化物半导体晶体管的方法

[57] 摘要

本发明是关于一种 MOS 晶体管结构 (200, 210, 400), 和一种制造方法 (300, 500), 提供高 k 电介质栅极绝缘体 (202, 402) 以降低栅极漏电流并同时减少远处散射, 由此改善晶体管载流子迁移率。



1. 一种MOS晶体管，包括：

源极和漏极区域（108，112），其形成于半导体衬底（102）中，并于该源极区域和漏极区域间定义沟道区域（201）；

栅极绝缘体（202），覆盖着沟道区域（201），其中该栅极绝缘体（202）包括：

第一薄二氧化硅层（204），覆盖着沟道区域（201）；

高k材料层（208），覆盖着第一薄二氧化硅层（204），该高k材料层（208）的介电常数高于二氧化硅的介电常数；

第二薄二氧化硅层（206），覆盖着高k材料层（208）；以及

掺杂的多晶硅栅极（118，218），覆盖着栅极绝缘体（202），其中该第一与第二薄二氧化硅层（204，206）为单层。

2. 如权利要求1所述的MOS晶体管，其中该掺杂的多晶硅栅极（218）包括：

界面部位（218a），覆盖着第二薄二氧化硅层（206）；以及

栅极电极部位（218b），覆盖着界面部位（218a），

且其中该掺杂的多晶硅栅极的界面部位（218a）的掺杂剂浓度低于掺杂的多晶硅栅极（218）的栅极电极部位（218b）的掺杂剂浓度，且该栅极电极部位（218b）比该界面部位（218a）厚。

3. 如权利要求2所述的MOS晶体管，其中该掺杂的多晶硅栅极（218）的栅极电极部位（218b）的厚度（222）为300埃或以上且为1000埃或以下，且其中掺杂的多晶硅栅极（218）的界面部位（218a）的厚度（220）为30埃或以上且为60埃或以下。

4. 一种MOS晶体管，包括：

源极和漏极区域（108，112），其形成于半导体衬底（102）中，并于其间定义沟道区域（201）；

栅极绝缘体（402），形成于半导体衬底表面上的沟道区域（201）上方，其中栅极绝缘体（402）包括：

薄二氧化硅层（404），覆盖着沟道区域（201），其中该薄二氧化

硅层具有比界面型氧化层薄的厚度；

高k介电材料（406），覆盖着薄二氧化硅层（404），该高k介电材料（406）的介电常数高于二氧化硅的介电常数；以及

高k金属栅极电极（408），覆盖着栅极绝缘体，其中高k金属对应于高k介电材料，其中该高k介电材料包含金属氧化物，且该高k金属为形成该高k介电材料的金属。

5. 如权利要求4所述的MOS晶体管，其中薄二氧化硅层（404）包括单层。

6. 如权利要求4所述的MOS晶体管，其中该高k介电材料包括 TiO_2 而该高k金属包括Ti，或该高k介电材料包括 Ta_2O_5 而该高k金属包括Ta，或该高k介电材料包括 HfO_2 而该高k金属包括Hf，且其中：高k金属栅极电极（408）直接覆盖高k介电材料，由此使两者直接接触并排除中间层。

7. 一种形成MOS晶体管的方法（300），其包括：

在硅衬底的表面上形成第一薄二氧化硅层（304）；

在第一薄二氧化硅层之上形成高k介电层（306），该高k介电层包含具有介电常数高于二氧化硅的介电常数的介电材料；

在高k介电层上形成第二薄二氧化硅层（308）；

在第二薄二氧化硅层之上形成多晶硅层（310）；

在多晶硅层上图形化以定义栅极电极（312）；以及

将栅极电极作为掩膜以在硅衬底中形成源极和漏极区域（314），由此在栅极电极之下在源极和漏极区域之间定义沟道区域，其中该第一与第二薄二氧化硅层（204, 206）为单层。

8. 如权利要求7所述的方法，其中形成多晶硅层（310）包括：

在第二薄二氧化硅单层之上形成第一掺杂的多晶硅层，其中该第一掺杂的多晶硅层具有第一厚度和第一掺杂剂浓度；和

在第一掺杂的多晶硅层之上形成第二掺杂的多晶硅层，其中第二掺杂的多晶硅层具有第二厚度和第二掺杂剂浓度，且其中第二厚度大于第一厚度，且第二掺杂剂浓度大于第一掺杂剂浓度。

9. 一种形成MOS晶体管的方法 (500), 包括:

在硅衬底的表面上形成二氧化硅单层 (504);

在薄二氧化硅层之上形成高k介电层 (506), 该高k介电层包含具有介电常数高于二氧化硅的介电常数的介电材料, 且其中该薄二氧化硅层具有比界面型氧化层薄的厚度;

在高k介电层之上形成高k金属层 (508), 其中高k金属对应于高k电介质, 其中该高k电介质包含金属氧化物, 且该高k金属为形成该高k电介质的金属;

在高k介电层上图形化 (510) 以定义金属栅极电极; 以及

将金属栅极电极作为掩膜, 以在硅衬底中形成源极和漏极区域 (512), 由此在金属栅极电极之下在源极和漏极区域之间定义沟道区域。

以减少远处散射的栅极氧化制造高性能金属氧化物半导体晶体管的方法

技术领域

本发明是关于减小体型尺寸的场效应晶体管的制造；特别是关于制造晶体管的工艺，而此晶体管具有降低漏电流并同时通过减少散射以改善载流子迁移率的栅极绝缘体。

背景技术

在不断进步的集成电路（IC）技术中，长期以来减小IC的体型尺寸被视为是重要的目标。减小IC的体型尺寸降低面积电容并有助于获得集成电路的较高速度性能。再者，减小IC管芯面积的结果在每半导体晶片上提供较多管芯，导致IC制造的产量提高。此优点为不断减小IC体型尺寸的驱动力。

参照图1，一个单芯片IC的一般组件为制造于半导体衬底102之内或之上的金属氧化物半导体（MOS，以下称为MOS）晶体管100。具有深亚微米或纳米尺度的体型尺寸减小的MOS晶体管100包含：形成于半导体衬底102的有源器件区域126之内的漏极延伸区域104和源极延伸区域106。漏极延伸区域104和源极延伸区域106为浅结（shallow junctions）以减少具有深亚微米或纳米尺寸的MOS晶体管100的短沟道效应，此对集成电路制造领域的普通技术人员是已知的。

MOS晶体管器件100又包含：漏极区域108和源极区域112。漏极区域108和源极区域112分别被制成较深的结，以使相对较大尺寸的漏极硅化物和源极硅化物（未显示）可被制于其中以分别对漏极和源极提供低电阻接触。漏极延伸结104和源极延伸结106，以及漏极区域108和源极区域112是以N型掺杂剂掺杂以形成NMOS（N-沟道晶体管），而以P型掺杂剂掺入杂质以形成PMOS（P-沟道晶体管）。

MOS晶体管100又包含：栅极电介质116和栅极电极118，这些可为多晶硅。栅极硅化物（未显示）一般形成在多晶硅栅极电极118上以提供与器件100的栅极接触。借着，例如浅沟槽隔离结构121，使晶体管

100与半导体衬底102内的其它集成电路器件电性隔离。浅沟槽隔离结构121限定了其中制造了MOSFET 100的半导体衬底102之内的有源器件区域126。

晶体管器件100还包含：间隔物122，位于栅极电极118和栅极电介质116的侧壁上。当间隔物122由氮化硅（ Si_3N_4 ）所构成时，间隔物衬垫氧化物（未显示）沉积于间隔物122与栅极电介质116和栅极电极118的侧壁之间作为缓冲层。

当晶体管100的尺度减小至数十纳米，短沟道效应使器件100的性能降级。漏极延伸区域104和源极延伸区域106之间的短的沟道长度导致短沟道效应，此为集成电路制造领域的普通技术人员所知悉。由于可能使MOS器件的性能严重下降的短沟道效应，导致使用栅极电极118的偏压难以控制晶体管100的电特性。

传统上，MOSFET 100的栅极电介质116一般为二氧化硅（ SiO_2 ），而栅极电极118一般由多晶硅所构成。当晶体管100的沟道长度与宽度为提升速率性能而减小尺寸时，栅极电介质116和栅极电极118的厚度也对应地减小尺寸，此为集成电路制造领域的普通技术人员所知悉。然而，当晶体管100的沟道长度与宽度减小至数十纳米时，且当栅极电介质116为二氧化硅（ SiO_2 ）时，栅极电介质116的宽度也减小至数十埃。由于栅极电介质116如此薄，在某些情况下电荷载流子轻易地穿隧通过栅极电介质116，此为集成电路制造领域的普通技术人员所知悉。

当电荷载流子穿隧通过栅极电介质116时，不希望的栅极漏电流随之增加，导致静态功率散耗增加，甚至电路故障。此外，由于电荷载流子穿隧通过栅极电介质116，晶体管100的沟道内累积的电荷载流子减少，如此可能造成MOSFET沟道电阻的无益的增加。再者，由于栅极电介质116薄，栅极电极118处的电荷累积造成器件沟道表面处的电荷载流子散射的不期望的增加。电荷载流子散射的增加反过来导致整个MOSFET沟道的电阻变高并降低载流子迁移率（carrier mobility）。

有鉴于当栅极电介质116为二氧化硅（ SiO_2 ）时薄栅极电介质116的缺点，参照图2，MOS晶体管150具有由介电常数高于二氧化硅（ SiO_2 ）介电常数的电介质材料（即高k介电常数材料）的所构成的栅极电介质152。图1和2中具有相同参考数字的器件结构为具有类似结构和功能的

组件。具有较高介电常数的电介质材料具有较大的厚度以获得相同的电容。如此，对具有数十纳米的缩小尺寸的场效应晶体管而言，当栅极电介质152由高k介电常数的材料构成时，栅极电介质152具有较大的厚度（数百埃），其大于栅极电介质由二氧化硅（ SiO_2 ）构成栅极电介质时的厚度（数十埃）。

对具有体型尺寸缩小到数十纳米的场效应晶体管而言，具有高k介电常数的栅极电介质152具有较大的厚度以使穿隧通过栅极电介质152的电荷载流子最少。穿隧通过栅极电介质152的电荷载流子与栅极电介质的厚度成指数比例（*exponentially*）减少。具有高于二氧化硅（ SiO_2 ）的介电常数的介电材料为集成电路制造领域的普通技术人员所知悉。

虽然充当栅极绝缘体的高k介电材料的确降低漏电流，不过此材料倾向于不利地降低载流子迁移率，负面地影响晶体管速率。因此，在本技术中我们需要进一步改善晶体管结构及其制造方法。

发明内容

以下为发明的简单概说，以使熟悉此技术者对本发明的各方面有基本的了解。概说并非对本发明做广泛的综述。它既不用来辨识本发明的关键或重要元素，也不描述本发明的范畴。其主要目的是以简化形式来呈现本发明的概念，作为随后将详述的细节的前序。本发明是关于一种改良的MOS晶体管，以先进的栅极绝缘体器件结构来减少远处散射（*remote scattering*）。

依据本发明的一个方面，本发明揭示一种MOS晶体管，其中：源极和漏极区域设于硅衬底中，且源极区域和漏极区域两者之间设有沟道区域。栅极绝缘体覆盖着沟道区域，其中栅极绝缘体包括：置于两个薄二氧化硅层例如两单层（*monolayers*）之间的高k介电层。掺杂的多晶硅栅极覆盖着栅极绝缘体。环绕着高k介电层的顶和底表面的薄二氧化硅层分别在栅极绝缘体和硅衬底与栅极绝缘体和掺杂多晶硅栅极之间提供优质界面（*quality interface*）。此优质界面允许高k介电层通过降低栅极漏电流改善晶体管的性能，而不会负面地影响晶体管载流子迁移率。

依据本发明的另一方面，MOS晶体管包括：掺杂的多晶硅栅极，

此栅极包含：直接覆盖着上述栅极绝缘体的界面部，和覆盖着界面部的栅极电极部。掺杂的多晶硅栅极的界面部和栅极电极部具有不同的厚度和不同的掺杂剂浓度。特别是，界面部比栅极电极部薄，且界面部的掺杂剂浓度为栅极电极部的1/6或以下。掺杂的多晶硅栅极的界面部的特定的多晶硅栅极掺杂剂，在对多晶硅栅极耗尽很少产生负面影响的情况下，提供改善的晶体管载流子迁移率，并因此改善现有技术的晶体管性能。

依据本发明的另一方面，本发明揭示一种形成具有改善的载流子迁移率的MOS晶体管的方法。本方法包括：以遍布硅衬底的方式在其上形成栅极绝缘体，其中栅极绝缘体包括置于两个薄二氧化硅层例如两个单层之间的高k电介质材料。例如，使用分子束外延（molecular beam epitaxy, MBE）或原子层晚宴（atomic layer epitaxy, ALE）来形成薄的二氧化硅层，而使用化学气相沉积法（CVD）或反应溅射法来形成高k电介质。然后，形成掺杂的多晶硅层并对其图形化以定义栅极电极。利用多晶硅栅极作为掩膜，通过离子注入在硅衬底中形成源极和漏极区域。

依据本发明的另一方面，上述方法进一步包括：将掺杂的多晶硅层的形成分离成两部分。以第一掺杂剂浓度与栅极绝缘体接触形成第一多晶硅层（例如，界面部），在其上形成具有大于第一掺杂剂浓度的第二掺杂剂浓度的第二掺杂的多晶硅层（例如，栅极电极部）。例如，沉积第一多晶硅层并于原处掺入（doped in-situ）第一掺杂剂浓度的杂质，然后执行第二多晶硅层沉积过程，并于原处掺入浓度较高的第二掺杂剂的杂质。取而代之的是，单个多晶硅层沉积之后，接着是以第一能级进行第一次掺杂，然后以较小的第二能级进行第二次掺杂。在上述方式中，一旦激活，则在多晶硅栅极上建立特定的多晶硅杂质分布，其降低散射导致的载流子迁移率下降。

依据本发明的另一方面，本发明揭示另一种MOS晶体管。此MOS晶体管包括设于硅衬底中的源极和漏极区域，在源极区域和漏极区域两者间具有沟道区域。栅极绝缘体布于沟道区域之上，并包括覆盖着硅衬底的薄二氧化硅层，例如单层，和覆盖着薄二氧化硅层的高k电介质层。高k金属栅极电极布于高k电介质之上，其中高k金属材料对应于高

k介电材料。例如，高k电介质可包括 HfO_2 ，而高k金属栅极包括Hf，或高k电介质可包括 Ta_2O_5 ，而高k金属栅极包括Ta。通过采用薄 SiO_2 层，衬底和栅极绝缘体之间存在着优质界面，可减少远处散射，并由此改善载流子迁移率。此外，通过高k介电材料层对应于高k金属材料，优质材料界面存在于栅极绝缘体/栅极电极界面，由此进一步改善载流子迁移率。

依据本发明的另一方面，本发明提供一种形成改善载流子迁移率的MOS晶体管的方法。此方法包括在硅衬底上形成栅极绝缘体，其中栅极绝缘体包括覆盖着薄二氧化硅层例如两个单层的高k介电材料。薄二氧化硅层是利用，例如分子束外延（MBE）或原子层外延（ALE）形成的；而高k电介质是利用化学气相沉积法（CVD）或反应溅射法形成的。然后在高k介电层上形成高k金属层，其中高k金属材料对应于高k介电材料，由此在栅极绝缘体和金属栅极电极之间提供优质材料界面。

依据本发明的另一示例的方面，高k介电材料是通过反应溅射法形成的，随后在同一反应室内进行溅射过程，其中与反应室相关的环境中的氧含量实质上减少，由此简化过程，其中栅极绝缘体/金属栅极界面处无界面层形成。

为完成上述内容和相关目的，本发明包括随后将详述的特征。以下的说明和附图将叙述本发明的特定实施例的细节。然而，这些实施例是用示例性的，本发明的原则可适用于多种方式。参照图标，从以下说明将使本发明的其它目的、优点和新颖特征变得清楚。

附图说明

图1为一片断剖面图，显示采用传统栅极氧化物的现有技术LDD型MOS晶体管；

图2为一片断剖面图，显示采用高k介电型栅极绝缘体的现有技术LDD型MOS晶体管；

图3为一片断剖面图，显示依据本发明一方面的采用栅极绝缘体的LDD型MOS晶体管，栅极绝缘体降低漏电流而实质上不对载流子迁移率造成影响；

图4为一片断剖面图，显示依据本发明另一方面的采用图3所示的栅极绝缘体的LDD型MOS晶体管，并进一步并入多晶硅栅极电极，其在绝缘体界面处具有特定的界面部以进一步改善晶体管迁移率；

图5为一流程图，显示依据本发明另一方面的形成降低漏电流而实质上不对载流子迁移率造成影响的MOS晶体管的方法；

图6为一片断剖面图，显示依据本发明另一方面的具有栅极绝缘体和降低漏电流而实质上不对载流子迁移率造成影响的金属栅极结构的LDD型MOS晶体管；以及

图7为一流程图，显示依据本发明另一方面的形成具有栅极绝缘体和降低漏电流而实质上不对载流子迁移率造成影响的金属栅极结构的MOS晶体管的方法。

具体实施方式

参照图标，以下将说明本发明。图标中类似组件以类似参考数字标示。本发明提供一种MOS晶体管结构，和一种制造方法，其采用能够降低栅极漏电流并同时缓和现有技术结构对晶体管载流子迁移率的负面影响的栅极绝缘体，由此提高晶体管速率。

参照图3，图3表示一片断剖面图，显示依据本发明一个方面的LDD型MOS晶体管200，其中源极和漏极区域108，112、延伸区域104，106，以及隔离区域121位于硅衬底102中。源极和漏极区域108，112（在此例子中，和其相关延伸区域）彼此被侧向分离或间隔，由此在硅衬底中于两者其间定义出沟道区域201。栅极电极118，例如多晶硅栅极电极，覆盖着栅极绝缘体202，该栅极绝缘体202则覆盖着沟道区域201。依据本发明的一个方面，栅极绝缘体202包括两个薄二氧化硅（ SiO_2 ）层204，206，两者之间设有高k介电材料208，如图所示。

本发明的发明人了解到：虽然高k介电材料有利地允许绝缘体的物理厚度增加同时维持有效的电性厚度相对地恒定（有助于减少栅极漏电流），但高k介电材料却具有减少晶体管载流子迁移率的缺点。更确切地说，至少是部分因为不良的界面品质，导致高k电介质栅极绝缘体减少晶体管载流子迁移率。意即，本发明的发明人了解到：由于远处散射效应，在栅极绝缘体/硅衬底界面和栅极绝缘体/多晶硅栅极界面的

不良界面导致晶体管迁移率的实质下降。

因为硅和SiO₂形成良好键合，所以SiO₂层204为硅衬底102的沟道部201提供高品质的界面。相较之下，硅对氮化物或其它高k型材料的键合较为不良，且此不良界面品质导致散射，因而产生降低晶体管载流子迁移率的缺点。相较之下，SiO₂和其它硅衬底与氮化物材料（其它高k材料）形成良好键合，如图3所示，因此，相对于突然的转变，SiO₂提供有利的平顺材料转变。因此，栅极绝缘体202的运作是用以降低对载流子迁移率造成负面影响的远处散射。

依据本发明的一方面，薄二氧化硅层204，206的厚度应尽可能地薄，且最好是单层。过去，在制造现有技术栅极绝缘体时，有时会形成界面氧化物，且此界面层（例如，厚度约10埃或以上）是非预期的，我们为消除此层做了实质的努力。依据本发明，SiO₂界面层204，206是薄的，且此项被定义为小于界面氧化物厚度（例如，厚度约10埃）的SiO₂厚度，且最好是单层，即单个SiO₂分子的厚度（例如，厚度约2埃或以下）。

SiO₂界面层204，206的厚度是重要的理由如下。通过如图3所示的栅极绝缘体堆叠202，我们可利用下式求出堆叠202的有效电容（C_{eff}）：

$$1/C_{\text{eff}} = 1/C_{\text{SiO}_2(\text{底})} + 1/C_{\text{high-k}} + 1/C_{\text{SiO}_2(\text{顶})}$$

由于堆叠中每一层的 $C=k/d$ ，若厚度d是已知，则有贡献的电容可以确定。举例而言，若每一SiO₂层和高k材料层208一样厚（例如，厚度约10埃），且 $k_{\text{SiO}_2}=4$ 且 $k_{\text{high-k}}=30$ ，则C_{eff}（忽略单位）可被计算出来。

$$1/C_{\text{eff}} = 10/4 + 10/30 + 10/4, \text{ 因此 } C_{\text{eff}} = 0.1875.$$

由于C_{eff}和d_{total}是已知（厚度约30埃），我们可以求出栅极绝缘体的有效介电常数， $k_{\text{eff}}=5.6$ 。由于SiO₂的k值约为4，高k材料对于传统SiO₂栅极氧化物所提供的改善非常小。或者，若本发明中的SiO₂层204，206的厚度小（例如，厚度约2埃），然后执行先前执行过的计算（10埃的高k厚度），堆叠202的有效介电常数为 $k_{\text{eff}}=10.5$ ，相较于先前例子，导致介电常数几乎增加两倍。

除了高品质硅衬底/栅极绝缘体界面，顶部薄SiO₂层206也用于在绝缘体与多晶硅栅极118之间提供高品质界面，并因此进一步改善载流子迁移率。

依据本发明的另一方面，图3中的栅极绝缘体202可并入例如图4中的另一MOS晶体管210。在某些方面，晶体管210类似于图3中的晶体管200，具有源极/漏极区域108，112、延伸区域104，106、隔离区域121、栅极绝缘体202，以及侧壁间隔物122。然而，晶体管210具有掺杂的多晶硅栅极218，其具有两个部：覆盖着栅极绝缘体202的界面部位218a，和覆盖着界面部位218a的栅极电极部位218b。栅极电极218b是特别设计以呈现降低散射（例如，库仑散射）并由此改善晶体管载流子迁移率的掺杂剂分布。

在一例子中，多晶硅栅极218的界面部位218a具有厚度220和实质上小于栅极电极部位218b的掺杂剂浓度的掺杂剂浓度。例如，界面部位218a的厚度约为30埃或以上且约为60埃或以下，而栅极电极部位218b实质上较厚，其厚度222约为300埃或以上且约为1000埃或以下。此外，相较于掺杂剂浓度约 6×10^{19} 原子/立方公分（atoms/cm³）或更多的栅极电极部位，界面部位218a的掺杂剂浓度约为栅极电极部位218b的掺杂剂浓度的1/6，例如：约 1×10^{19} 原子/立方公分（atoms/cm³）。

图4中的特定的多晶硅栅极218在靠近栅极绝缘体202的界面部位218a中具有较低掺杂剂浓度，降低库仑散射（coulomb scattering）；然而，界面部位的掺杂剂浓度不至于低到使多晶硅显著地耗尽，因此在没有任何与多晶硅耗尽相关的负面影响的情况下，提供改善的载流子迁移率。此外，多晶硅栅极218的界面部位218a足够薄，而实质上不对晶体管210的栅极电阻产生影响。

依据本发明的另一方面并参照图5，说明标示为300的形成MOS晶体管的方法，该MOS晶体管具有图3和4所示的栅极绝缘体202。虽然随后将以一系列的动作或事件来解说并说明方法300，但必须了解本发明并不受到解说顺序（如动作或事件）的限制，依据本发明，某些动作可以不同的顺序发生，和/或与其它脱离在此所述的动作或事件同时发生。此外，并不要求一定要使用所有在此解说的步骤来实施本发明的方法。再者，应了解：本发明的方法可以由此解说并说明的装置和系统来实施，也可以由未提到的其它系统来实施。

方法300从302开始，且首先在304，薄二氧化硅（SiO₂）形成于硅衬底上方。依据本实施例，薄SiO₂膜小于10埃，并最好是2埃或以下的

单层。依据本实施例，虽然薄SiO₂膜是通过分子束外延（MBE）或原子层外延（ALE）或沉积而形成，但也可采用其它形成薄SiO₂膜的方法，且任何这样的形成技术倾向于落入本发明的范围内。

例如，使用MBE，硅衬底可置于沉积室中，最好是超高真空环境中。提供来源材料（含有氧气）的渗出单元最好由一个或以上可以在不到一秒的时间内开关的快门来控制，如此可将生长率严格控制在约若干埃/秒。此外，为维持控制，必须在MBE沉积之前，清洁硅衬底（例如，干/湿清洁或去氧）以去除任何硅衬底表面上的界面氧化物，且此清洁可在沉积室内或外来执行。

方法300在306继续，高k材料介电层形成于第一薄二氧化硅层之上。例如，使用化学气相沉积法（CVD）、反应溅射法、ALE或MBE来形成高k介电材料，然而，可采用任何形成高k膜的方式，且所有这些替代方案均应视为涵盖于本发明的范畴内。一般来说，高k介电材料为任何介电常数大于SiO₂介电常数（约4.0）的材料。因此，本发明中的高k介电材料可包括如SiN_x，其介电常数大约在4至10之间，而Ta₂O₅、Al₂O₃、TiO₂、HfO₂或ZrO₂等材料的介电常数大约在10至100之间，甚至如PZT或BST等的超高介电常数材料，其介电常数大于100。所有这些介电材料皆视为涵盖于本发明之的范畴内。上例中，在306形成高k材料，其厚度约为5埃或以上，10埃尤佳。

图5的方法300在308继续，在高k介电层之上形成薄SiO₂膜。如同在304，第二薄SiO₂膜可以类似方式形成高品质薄层（例如，厚度约10埃或以下），单层（例如，厚度约2埃或以下）尤佳。在310，然后利用例如CVD在第二薄SiO₂层之上形成多晶硅层；然而，也可采用任何沉积过程（例如，MBE、溅射、ALE），这些沉积过程均视为涵盖于本发明的范畴内。多晶硅层最好掺有杂质，且此掺杂可在原处或在沉积之后，利用例如离子注入来执行。

依据本发明的一方面，在310的多晶硅形成可以是多步骤过程，以形成具有两个类似于图4所示的部位，此处将以结合图4的方式而加以说明。举例而言，310可包括第一多晶硅沉积过程，其中在第二薄SiO₂层之上形成界面多晶硅层至第一厚度（例如，厚度约30至60埃），并在原处掺入，例如约 1×10^9 原子/立方公分（atoms/cm³）的第一掺杂剂浓

度。然后，执行第二多晶硅沉积过程以形成具有第二厚度（例如，厚度约300至1000埃）的栅极电极层，并于原处掺入，例如约 6×10^9 原子/立方公分（atoms/cm³）的第二掺杂剂浓度。

或者，可形成界面层并通过离子注入至第一掺杂剂浓度来掺杂，接着通过离子注入至第二掺杂剂浓度来掺杂以形成栅极电极。在另一替代方案中，单一多晶硅层形成之后，接着两个分离的离子注入步骤，借着低剂量和高能量的第一离子注入以向下驱动掺杂剂至界面部位。然后，第二离子注入以较低的第二能量驱动掺杂剂至栅极电极部位，而不向下延伸至界面部位，由此产生特定的掺杂剂分布。可采用任何形成特定掺杂的多晶硅栅极层的形式，这些方式落于本发明范畴内。

继续在312，对多晶硅层进行图形化以定义多晶硅栅极。例如，图案的形成可以传统光刻工艺，接着通过蚀刻，例如，一般为各向异性反应离子蚀刻（reactive ion etch, RIE）来执行。然而，可采用任何图形化多晶硅栅极的方式，且所有此类替代方案均视为涵盖于本发明的范畴内。

方法300在314继续，其中形成源极/漏极区域。依据本发明的方面，在通过离子注入而定义多晶硅栅极之后形成源极/漏极区域，其中多晶硅栅极充当掩膜以在硅衬底中形成自对准的源极/漏极区域。或者，源极/漏极区域可分别在304、306、308、310以及312的形成过程之前通过离子注入而形成，如此上述动作可依需求继源极/漏极区域形成之后而发生。依据本发明的另一可选方面，利用有图案的多晶硅栅极充当掩膜，接着以传统形成技术在多晶硅栅极侧壁上形成侧壁间隔物，并采用延伸区域注入来形成LDD型MOS器件。随后，利用多晶硅栅极和侧壁间隔物充当掩膜，通过离子注入而形成源极/漏极区域，其中源极/漏极区域沿着对应的延伸区域自对准。方法300在316结束。

依据本发明的另一方面，图6表示以参考标记400标示的MOS晶体管，此晶体管采用高k介电材料以降低漏电流，却对晶体管载流子迁移率造成负面影响。晶体管400在某些方面类似于图3的晶体管200，具有源极/漏极区域108，112、延伸区域104，106、隔离区域121，以及侧壁122。然而，晶体管400具有不同型态的栅极绝缘体402，包括：覆盖硅衬底的沟道区域201的薄SiO₂界面层404，和布置于其上的高k介电材料

层406。

该SiO₂界面层404有利地提供覆盖硅和高k介电材料层406良好的材料匹配。此一优质的界面减少远处散射，并由此比采用高k电介质的现有技术器件更能改善载流子迁移率。如上所述，薄SiO₂界面层404比界面型氧化层（例如，约10埃或以下）薄，且以单层（例如，约2埃或以下）尤佳；如此，有利地减少远处散射而不实质地影响栅极绝缘体402的有效介电常数 K_{eff} 。

如图6所示，高k金属型金属栅极电极408布于栅极绝缘体402之上。高k金属栅极电极408包括高k金属材料，其对应用于栅极绝缘体402中的高k介电材料，如此提供相当优质的界面而无需另一薄SiO₂层，使得栅极绝缘体402中的介电常数有利地最大化。

依据本发明，对应于栅极绝缘体中的高k介电材料的高k金属材料意味着：若高k介电材料为，例如Ta₂O₅，则对应的高k金属材料为Ta。同理，若高k介电材料为TiO₂或HfO₂，则对应的高k金属材料分别为Ti或Hf。通过对应的高k金属材料，高k介电材料层406和高k金属栅极电极408之间的界面具有高品质，可减少远处散射。以上述方式，图6中的晶体管400提供高介电常数栅极绝缘体402，其具有实质的实际厚度以降低漏电流并同时减少散射，以改善晶体管载流子迁移率。

现参照图7，其显示一种制造图6的晶体管400的方法，将此方法标示为500。虽然随后将以一系列的动作或事件来解说并说明方法500，但必须了解本发明并不受到解说顺序（如动作或事件）的限制，依据本发明，某些动作可以不同的顺序发生，和/或与其它脱离在此所述的动作或事件同时发生。此外，并非所有在此解说的步骤皆用来实施本发明的方法。再者，应了解：本发明的方法可以在此解说并说明的装置和系统来实施，也可以未提到的其它系统来实施。

方法500从502开始，且首先在504，薄二氧化硅（SiO₂）形成于硅衬底之上。依据本实施例，薄SiO₂膜之厚度小于10埃，并最好为2埃或以下的单层。依据本实施例，虽然薄SiO₂膜是通过分子束外延（MBE）或原子层外延（ALE）或沉积而形成，但可使用其它方法以形成薄SiO₂膜，然而所有这些形成技术均涵盖于本发明的范畴内。

例如，使用MBE，硅衬底可置于沉积室中，最好在超高真空环境

中。提供来源材料（含有氧气）的渗出单元最好由一个或以上可以在不到一秒的时间内开关的快门来控制，如此可将生长率严格控制在约若干埃/秒。此外，为维持控制，必须在MBE沉积之前，清洁硅衬底（例如，干/湿清洁或去氧）以去除任何硅衬底表面上的界面氧化物，且此清洁可在沉积室内或外来执行。

方法500在506继续，高k材料介电层形成在第一薄二氧化硅层之上。例如，使用化学气相沉积法（CVD）、反应溅射法、ALE或MBE来形成高k介电材料，然而，可采用任何形成高k膜的方式，且所有这些替代方案均应视为涵盖于本发明的范畴内。一般来说，高k介电材料为任何介电常数大于SiO₂介电常数（约4.0）的材料。因此，本发明中的高k介电材料可包括如SiN_x，其介电常数大约在4至10之间，而Ta₂O₅、Al₂O₃、TiO₂、HfO₂或ZrO₂等材料的介电常数大约在10至100之间，甚至如PZT或BST等的超高介电常数材料，其介电常数大于100。所有这些介电材料皆视为涵盖于本发明的范畴内。上例中，在306形成高k材料，其厚度约为10埃或以上。

图7的方法500在508继续，在508处在高k介电层之上形成高k金属栅极电极层，利用例如CVD、反应溅射法、ALE或MBE，然而，也可采用任何形成高k膜的方式，且所有这些替代方案均视为涵盖于本发明的范畴内。

依据本发明的方面，步骤506和508分别在相同的反应室，并分别通过反应溅射和溅射来执行。例如，在形成高k介电层时，我们采用反应溅射工艺，其中高k金属材料靶在氧化环境（例如，至少有氧气的存在）中受到离子的轰击。上述方式中，利用高k材料靶形成高k介电膜。然后通过还原或最好消除反应室中的氧化环境以形成高k金属栅极电极层，于是形成由高k金属所构成的膜。上述方式中，我们在高k栅极介电层和高k金属栅极电极层之间获得清洁的界面。

继续在510，对高k金属栅极层进行图形化以定义高k金属栅极电极。例如，图形化可以传统的光刻工艺来执行，接着通过蚀刻，例如，一般为各向异性反应离子蚀刻（RIE）。然而，可采用任何高k金属栅极的图形化方式，且所有此类替代方案皆视为涵盖于本发明的范畴内。

方法500在512继续，其中形成源极/漏极区域。依据本发明的方面，

在通过离子注入而定义多晶硅栅极之后形成源极/漏极区域，其中多晶硅栅极充当掩膜以在硅衬底中形成自对准的源极/漏极区域。或者，源极/漏极区域可分别在504、506、508以及510形成过程之前通过离子注入而形成，如此上述动作可依需求继源极/漏极区域形成之后而发生。依据本发明的另一可选方面，利用有图案的多晶硅栅极充当掩膜，接着以传统形成技术在多晶硅栅极侧壁上形成侧壁间隔物，并采用延伸区域注入来形成LDD型MOS器件。随后，利用多晶硅栅极和侧壁间隔物充当掩膜，通过离子注入而形成源极/漏极区域，其中源极/漏极区域沿着对应的延伸区域自对准。方法500在514结束。

虽然上面所述是以某一或某些特定较佳实施例来说明并揭示本发明，显然，本领域技术人员可在阅读并了解本说明书和附图之后可实施等价替代方案和修正。特别是关于以上述组件（组合物、器件、电路等）所执行的多种功能，除非指明，用来描述此组件的这些术语（包括对“机制”的参照）是对应于任何执行上述组件的特定功能的组件（即功能上均等），即使并非结构上均等于执行本发明的实施例中的功能的结构。此外，虽然上面的说明已针对若干实施例中的一个揭示本发明的特征，我们可依需要或只要任何给定或特定的应用有利，就可以将此特征和其它实施例的一个或以上的特征合并。

[产业利用性]

上述结构和方法可应用于半导体制造的领域，以提供可降低栅极漏电流，而不至于对晶体管的载流子迁移率产生负面的影响。

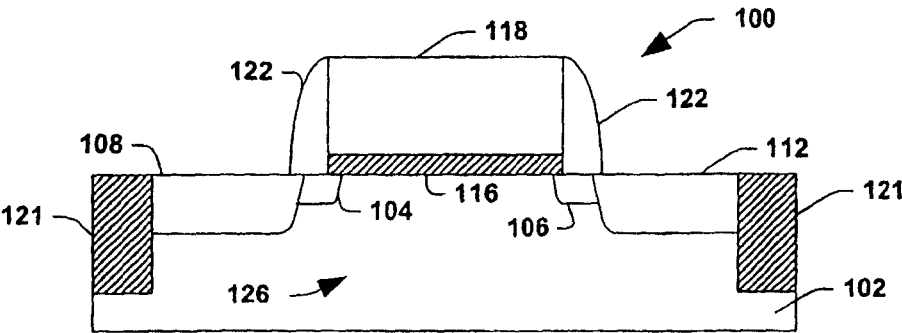


图 1
(现有技术)

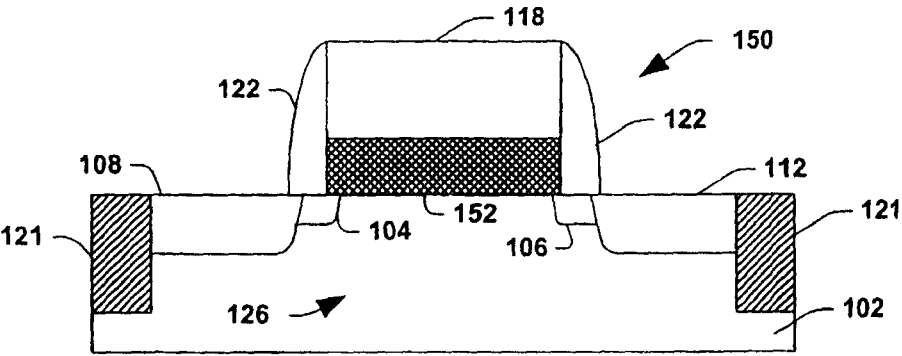


图 2
(现有技术)

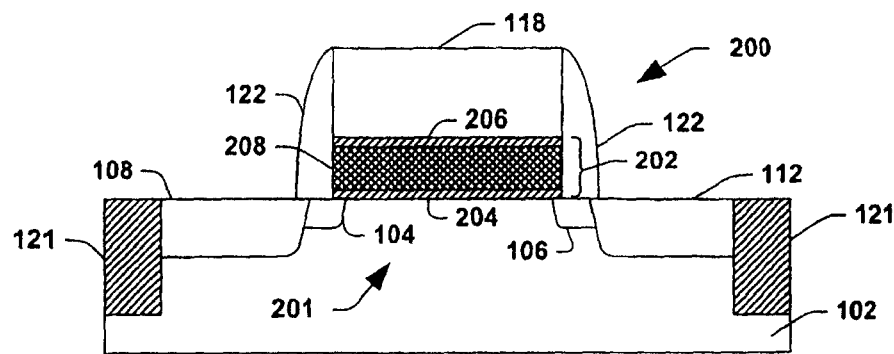


图 3

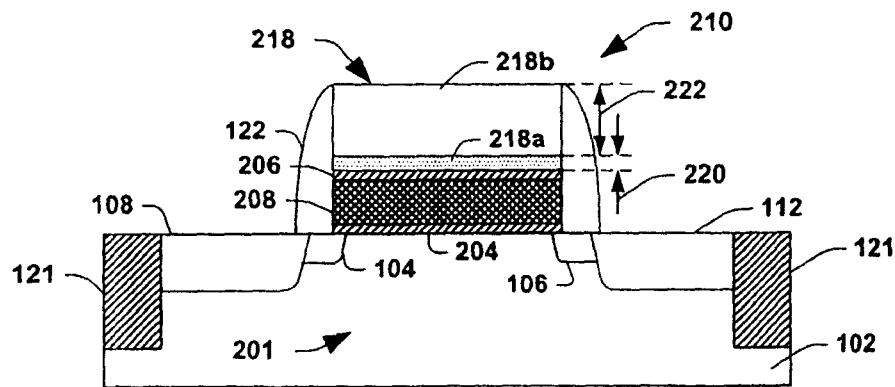


图 4

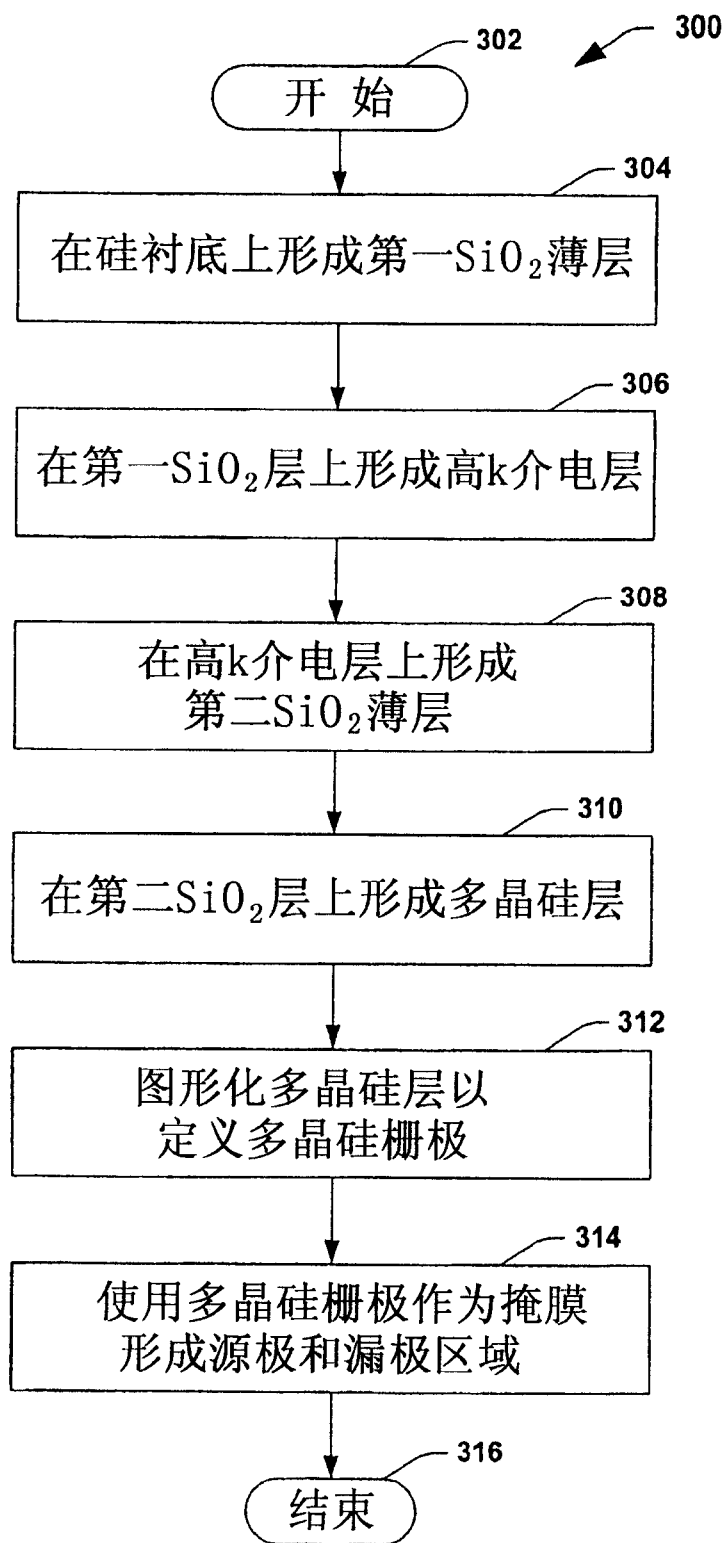


图 5

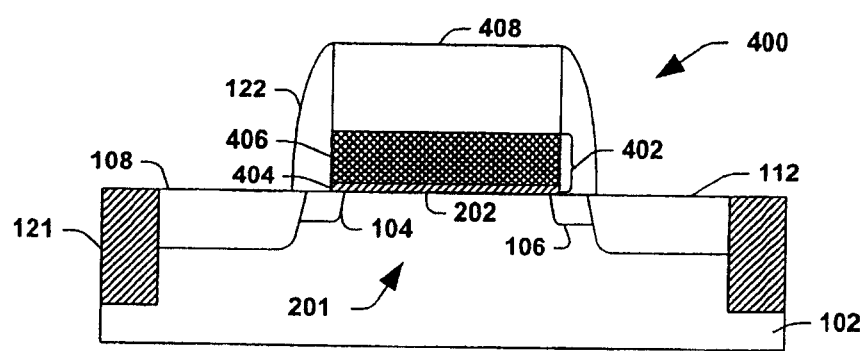


图 6

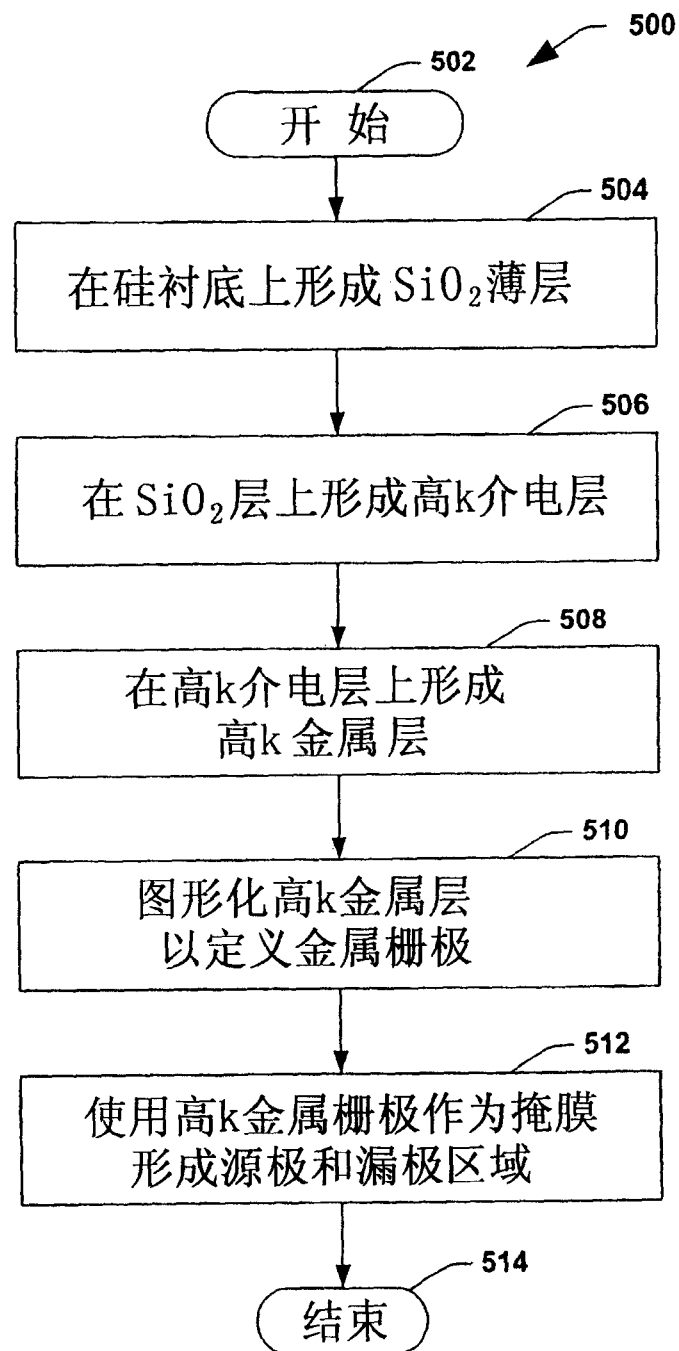


图 7