

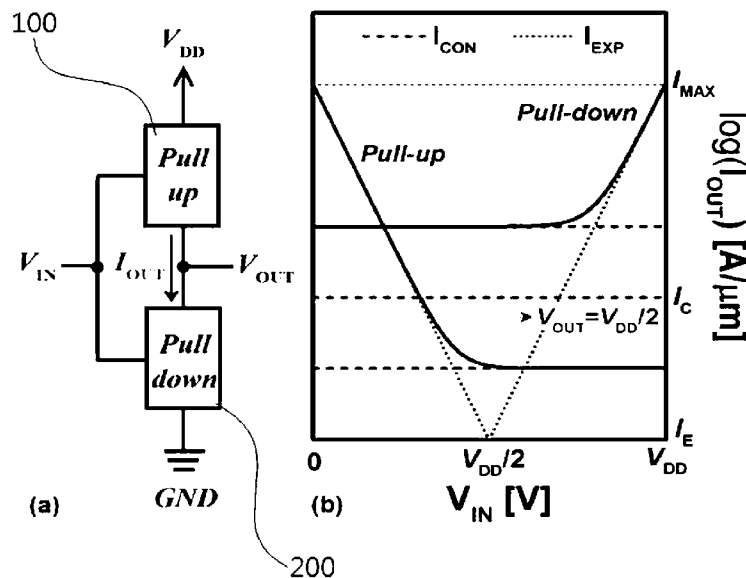


- (51) 국제특허분류: *H03K 19/20* (2006.01) *H03K 19/0948* (2006.01)
- (21) 국제출원번호: PCT/KR2015/014377
- (22) 국제출원일: 2015년 12월 29일 (29.12.2015)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2015-0098638 2015년 7월 10일 (10.07.2015) KR
- (71) 출원인: 울산과학기술원 (UNIST(ULSAN NATIONAL INSTITUTE OF SCIENCE AND TECHNOLOGY)) [KR/KR]; 44919 울산광역시 울주군 언양읍 유니스트길 50, Ulsan (KR).
- (72) 발명자: 김경록 (KIM, Kyung Rok); 44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR). 신선훈 (SHIN, Sun Hae); 44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR). 장이산 (JANG, E San); 44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR). 정재원 (JEONG, Jae Won); 44919 울산시 울주군 언양읍 유니스트길 50, Ulsan (KR).
- (74) 대리인: 한상민 (HAN, Sang Min) 등; 08502 서울특별시 금천구 가산디지털1로 196, 303호, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: TERNARY DIGIT LOGIC CIRCUIT

(54) 발명의 명칭 : 3진수 논리회로



(57) Abstract: A ternary digit logic circuit according to the present invention comprises: a pull-up device (100) and a pull-down device (200) connected in series between power source voltages (V_{DD} and GND); and an input voltage (V_{IN}) and an output voltage (V_{OUT}). Both the pull-up device (100) and the pull-down device (200) operate as simple resistors, which are affected by only the output voltage (V_{OUT}), and form a ternary digit ("1" state) through voltage distribution, when both of the devices have been turned off by the input voltage (V_{IN}). When only one of the pull-up device (100) and the pull-down device (200) is turned on to allow the current to flow therethrough, V_{DD} ("2" state) or GND ("0" state) is output as an output voltage (V_{OUT}) to dramatically raise a bit density.

(57) 요약서:

[다음 쪽 계속]

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명에 따른 3 진수 논리회로는 전원전압 (V_{DD} 와 GND) 사이에 직렬로 연결된 풀업 소자(100)와 풀다운 소자(200) 그리고 입력전압(V_{IN})과 출력전압(V_{OUT})을 포함하되, 상기 입력전압(V_{IN})에 의해 모두 꺼진 경우, 상기 풀업 소자(100)와 상기 풀다운 소자(200)가 모두 출력전압(V_{OUT})에만 영향을 받는 단순 저항으로 동작하며 전압 분배를 통해 제 3의 진수 ("1" 상태)를 형성하고, 상기 풀업 소자(100) 또는 풀다운 소자(200)의 한쪽만 켜져 전류를 흘려주게 되면 V_{DD} ("2"상태) 또는 GND("0" 상태)가 출력전압(V_{OUT})으로 출력되도록 하여, bit density를 확연히 높일 수 있는 효과가 있다.

명세서

발명의 명칭: 3진수 논리회로

기술분야

- [1] 본 발명은 3진수 논리회로에 관한 것으로, 더욱 상세하게는 off 상태에서의 junction BTBT 누설전류와 문턱전류 기제를 이용하여 CMOS 기반의 2진 논리 게이트와 동일한 회로 구성에서 3진 논리 게이트를 만듦으로써 bit density를 높일 수 있는 3진수 논리회로에 관한 것이다.

배경기술

- [2] 종래 2진수 논리 기반의 디지털 시스템은 많은 양의 데이터를 빠르게 처리하기 위하여 CMOS 소자의 소형화를 통한 정보의 밀도 (bit density) 높이는 데 주력하였다. 하지만 최근 30-nm 이하로 집적되면서 양자적 터널링 효과에 의한 누설전류와 전력 소비의 증가로 인해 bit density를 높이는 데 제약을 받았다. 이러한 bit density의 한계를 극복하기 위하여 다중 값 논리 (multi-valued logic) 중 하나인 3진수 논리 소자 및 회로에 대한 관심이 급증하고 있으며, 특히 3진수 논리 구현을 위한 기본 단위로써 표준 3진수 인버터(STI)에 대한 개발이 활발하게 진행되어 오고 있다. 하지만 하나의 전압원에 두 개의 CMOS를 사용하는 기존의 2진수 인버터와 달리, STI에 관한 종래 기술들은 보다 많은 전압원을 필요로 하거나 복잡한 회로 구성이 요구 되는 문제점이 있다.
- [3] (선행기술문헌)
- [4] (특허문헌)
- [5] 대한민국 실용신안공보 제20-1994-0008249호(1994. 12. 05)

발명의 상세한 설명

기술적 과제

- [6] 상술한 바와 같은 문제점을 해결하기 위하여, 본 발명은 2진수의 논리가 직면한 bit density의 한계를 극복하며, 종래의 3진수 논리의 복잡한 회로에서 벗어나 간단한 구성의 저전력 3진수 논리 회로를 제안한다.

과제 해결 수단

- [7] 본 발명에 따른 3진수 논리회로는
- [8] 전원전압(V_{DD} 와 GND) 사이에 직렬로 연결된 풀업 소자(100)와 풀다운 소자(200) 그리고 입력전압(V_{IN})과 출력전압(V_{OUT})을 포함하되, 상기 입력전압(V_{IN})에 의해 모두 꺼진 경우, 상기 풀업 소자(100)와 상기 풀다운 소자(200)가 모두 출력전압(V_{OUT})에만 영향을 받는 단순 저항으로 동작하며 전압 분배를 통해 제 3의 진수 ("1" 상태)를 형성하고, 상기 풀업 소자(100) 또는 풀다운 소자(200)의 한쪽만 켜져 전류를 흘려주게 되면 V_{DD} ("2" 상태) 또는 GND ("0" 상태)가 출력전압(V_{OUT})으로 출력되는 것을 특징으로 한다.

발명의 효과

- [9] 본 발명에 따른 3진수 논리 회로는 off 상태에서의 junction BTBT 누설전류와 문턱전류 기제를 이용하여 CMOS 기반의 2진 논리 게이트와 동일한 회로 구성에서 3진 논리 게이트를 만듦으로써 bit density를 확연히 높일 수 있는 효과가 있다.

도면의 간단한 설명

- [10] 도 1은 풀업과 풀다운 소자로 구성된 본 발명에 따른 3진수 논리회로의 구성도, 및 풀업과 풀다운 소자의 출력전류-입력전압 특성 그래프 도면,
 [11] 도 2는 풀업 소자와 풀다운 소자의 출력전류-출력전압 특성에 따른 STI의 작동원리를 도시한 도면,
 [12] 도 3은 수학적 전압 전달 곡선을 도시한 도면,
 [13] 도 4는 평면 32nm nMOS소자 구조와 낮은 채널 도핑과 높은 채널 도핑에서의 BTBT 발생 비율을 보여주는 도면,
 [14] 도 5는 채널 도핑에 따른 출력전류-입력 전압 특성과 전압전달 곡선
 [15] 도 6은 소자 시뮬레이션 전류-전압 데이터와 [수학식 1]에 기반한 전류-전압 모델링의 비교도면,
 [16] 도 7은 SNM을 표현 및 분석한 도면, 및
 [17] 도 8은 3진수 인버터, 최소 값, 최대 값 회로 구성 및 진리표 도면이다.

발명의 실시를 위한 최선의 형태

- [18] 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정하여 해석되어서는 아니 되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여, 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- [19] 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- [20] 도 1은 풀업과 풀다운 소자로 구성된 본 발명에 따른 3진수 논리회로의 구성도이다.
- [21] 도 1(a)에 도시된 바와 같이 본 발명에 따른 3진수 논리회로는 풀업 소자(100)와 풀다운 소자(200)로 구성된다.
- [22] 도 1(a) 및 도 1(b)에 도시된 바와 같이, 본 발명에 따른 3진수 논리회로의 전류-전압 특성은 입력 전압에 영향을 받지 않고 출력 전압에만 영향을 받는 전류(I_{CON}) 성분과 입력 전압에 영향을 받고 출력 전압에 영향을 받지 않는 전류(I_{EXT}) 성분을 가진다.
- [23] 상기 출력 전압에 영향을 받는 전류(I_{CON})는 출력전압(V_{OUT})이 작동전압(V_{DD})의

이분의 일($V_{OUT}=V_{DD}/2$) 일 때 전류 값 I_C 를 가지고, 상기 입력 전압에 영향을 받는 전류(I_{EXT})는 입력전압(V_{IN})이 작동전압(V_{DD})의 이분의 일($V_{IN}=V_{DD}/2$) 일 때 전류 값 I_E 를 가지며 입력전압(V_{IN})과 작동전압(V_{DD})이 동일($V_{IN}=V_{DD}$)한 지점에서 최대전류(I_{MAX})로 지수적으로 증가한다.

[24] 이때, 상기 I_E , I_C , 및 I_{MAX} 간에는 " $I_E < I_C < I_{MAX}$ " 같은 등식이 성립한다.

[25] 본 발명에 따른 3진수 논리회로의 작동을 위한 보완적인 전류-전압특성은 아래와 수학식으로 표현될 수 있다.

[26] 수학식 1

$$I_{OUT}(V_{IN}, V_{OUT}) = I_{CON}(V_{OUT}) + I_{EXP}(V_{IN})$$

$$= I_C \exp[q\alpha(V_{OUT} - \frac{V_{DD}}{2})] + I_E \exp[q\beta(V_{IN} - \frac{V_{DD}}{2})]$$

[28] 상기 [수학식 1]에서 α 와 β 는 각 전류 메커니즘의 지수계수이고, 상기 α 와 β 앞의 + 와 - 부호는 각각 상기 풀다운 소자(200)와 풀업 소자(100)에 적용된다.

[29] 여기서, 상기 $I_{MAX}=I_E \exp[\beta(V_{DD}/2)]$ 는 상기 풀다운 소자(200)와 풀업 소자(100) 모두 같다.

[30] 본 발명에 따른 3진수 논리회로의 작동원리에 대하여, 상기 [수학식 1] 및 도 2를 참조하여 설명한다.

[31] 도 2(a) 내지 (c)에는 낮은 '0', 중간 '1', 높은 '2'의 세 가지 상태 전압 천이과정이 도시되어 있는데, 상기 낮은 '0', 중간 '1', 및 높은 '2'는 각각 상기 풀업 소자(100)와 풀다운 소자(200)의 출력전류(I_{OUT})-출력전압(V_{OUT}) 곡선이 교차하는 지점에 의해 결정된다.

[32] 상기 낮은 '0', 또는 높은 '2'로 천이되기 위해, 상기 풀업 소자(100) 또는 상기 풀다운 소자(200)는 $V_{IN} > V_{IL}$ (도 2(a)) 또는 $V_{IN} > V_{IH}$ (도 2(b)) 범위 내에서, I_{OUT} 내지 I_{EXP} 로서 I_{EXP} 의 우세전류를 보여서, 각각 GND(V_{OL}) 혹은 작동전압(V_{DD})(V_{OH})에 전류경로를 만든다.

[33] 출력전류(V_{OUT})가 V_{IMH} 및 V_{IML} 주변의 $V_{DD}/2$ 로 천이되는 동안, 상기 풀업 소자(100)와 풀다운 소자(200)는 출력전류(I_{OUT})가 정전류(I_{CON})와 지수전류(I_{EXP})의 합으로서 유사하고, 이는 느린 천이과정을 유도할 수 있다.

[34] 마지막으로, 추가적인 중간 '1' 상태(V_{OM})는 $V_{IMH} < V_{IN} < V_{IML}$ 범위 내의 $V_{OUT}=V_{DD}/2$ 에서 하나의 교차점에 의해 얻어지고, 여기서 상기 풀업 소자(100)와 풀다운 소자(200)의 출력전류(I_{OUT})는 정전류(I_{COM})만으로 지배된다(도 2(b)).

[35] $I_{MAX} > I_C$ 인 대칭소자를 가정할 때, 중간 입력전압 ($V_{IM}=V_{IML}-V_{IMH}$)과 천이 전압 ($V_{TR}=V_{IMH}-V_{IH}=V_{IL}-V_{IML}$)은 아래의 [수학식 2]와 [수학식 3]을 유도할 수 있다.

[36] 수학식 2

$$V_M = V_{DD} - \frac{2}{\beta} \ln\left(\frac{I_{MAX}}{I_C}\right) - \frac{2}{\beta} \ln\left(\frac{\beta}{2\alpha}\right)$$

[37] 수학적식 3

$$V_{TR} = \frac{\alpha}{\beta} \frac{V_{DD}}{2} + \frac{1}{\beta} \ln\left(\frac{\beta}{2\alpha}\right)$$

[38] 여기서, V_{IL} , V_{IH} , V_{IML} 및 V_{IMH} 는 상기 풀업 소자(100)와 상기 풀다운 소자(200) 전류 방정식의 조합에 의해 결정된다.

[39] 예를 들어, V_{IML} 은 $V_{IN} > V_{DD}/2$ 일 때, $\{I_{EXP} + I_{CON}\}_{pull-down} = \{I_{CON}\}_{pull-up}$ 관계로부터 $dV_{OUT}/dV_{IN} = -1$ 에 의해 얻어진다.

[40] 표준 3진수 인버터(STI)작동을 위해, $V_{IL} < V_{DD}$, $V_{IML} > V_{DD}/2$, $V_{IMH} < V_{DD}/2$ 및 $V_{IH} > 0(GND)$ 조건을 만족해야만 하고, 결과적으로 α 와 β 에 대한 다음 기준이 된다.

[41] 수학적식 4

$$\alpha' = \frac{\alpha}{\ln(10)} < \log\left(\frac{I_{MAX}}{I_C}\right) / \frac{V_{DD}}{2} \quad \beta' = \frac{\beta}{\ln(10)}$$

[42] 도 2에서 수학적 예로써, $I_{MAX} = 10^{-5}A$, $I_C = 10^{-8}A$, $\log(I_{MAX}/I_C)/(V_{DD}/2) = 6$, $\alpha' = 2$, $\beta' = 10$, $V_{DD} = 1$ 이 사용되었다.

[43] 도 3은 β' 와 α' 의 함수로서, 세 개의 출력 상태($V_{OH} = V_{DD}$, $V_{OM} = V_{DD}/2$, $V_{OL} = GND$)를 갖는 표준 3진수 인버터(STI)의 전압 전달 곡선을 나타내며, 결과적으로, [수학적식 2]에 의한 V_{IM} 과 [수학적식 3]에 의한 천이전압의 변경이 된다.

[44] 도 3의 삽입된 그래프에 보여지는 바와 같이, [수학적식 4]에 의해 주어진 α' 와 β' 의 범위하에서 낮은 천이전압(V_{TR})과 높은 V_{IM} 은 보다 큰 β' 와 보다 작은 α' 에 의해 얻어질 수 있고, 이는 이상적인 표준 3진수 인버터(STI)의 전압 전달 곡선을 위해 바람직하다.

[45] 하지만, 상기 풀업 소자(100)와 상기 풀다운 소자(200) 모두 [수학적식 2]와 [수학적식 3]에서 $\log(\beta'/2\alpha')/\beta'$ 항 때문에 특정 포화된 값을 가진다.

[46] β' 항에 있어 이런 비선형 $\log(x)/x$ 함수는 오직 상기 풀업 소자(100)와 상기 풀다운 소자(200)의 출력전류(I_{OUT})가 정전류(I_{CON})와 지수전류(I_{EXP})의 합으로서 유사되는 $V_{DD}/2$ 근처 V_{IMH} 와 V_{IML} 에서 유도된다.

[47] 천이전압(V_{TR})만을 고려했을 때 큰 β' 가 바람직해 보이지만, 그러나 노이즈 마진을 고려하면 합리적인 V_{IM} 을 위해 최적의 조건이 있을 것으로 예상된다.

[48] 표준 3진수 인버터(STI)의 중간 '1'상태를 위한 필수적인 전류 메커니즘인 입력 전압에 독립적인 정전류(I_{CON})는 게이트 전압에 독립적인 접합 BTBT 전류(I_{BTBT})를 통해 실현될 수 있다.

- [49] 또한, '0'과 '2'상태를 위한 입력전압에 의존하는 지수 전류(I_{EXP})는 문턱전압 이하의 전류(I_{sub})로 만들 수 있다.
- [50] 도 4는 32nm high-k/메탈-게이트 평면 nMOS의 단면과 낮은 채널 도핑 ($N_{ch}=2 \times 10^{18} \text{ cm}^{-3}$)과 높은 채널 도핑 ($N_{ch}=2 \times 10^{19} \text{ cm}^{-3}$)에서의 BTBT 발생 비율을 보여준다. 1nm의 산화물 두께, $1 \times 10^{20} \text{ cm}^{-3}$ 의 높은 드레인 도핑 (HDD), $2.5 \times 10^{19} \text{ cm}^{-3}$ 의 낮은 드레인 도핑 (LDD) 등 기본적인 구조 정보는 ITRS에서 보고한 32nm 낮은 정적 파워 테크놀로지를 기반으로 하였다. 소자 시뮬레이션은 BTBT 모델과 밴드갭 축소 모델과 함께 Synopsys Sentaurus™으로 진행하였다.
- [51] 채널 도핑을 증가시킴으로써 최대 BTBT 발생 영역이 게이트 아래의 LDD 영역에서 HDD와 바디 접합으로 이동하였고 이는 주 off 전류 메커니즘이 gate에 독립적인 I_{BTBT} 가 되게 하였다.
- [52] 도 5는 채널 도핑에 따른 출력전류-입력 전압 특성과 전압전달 곡선을 보여준다. 단순 채널 도핑의 증가로 2진 인버터 특성곡선에서 3진 인버터 특성곡선으로 바뀌는 것을 알 수 있다.
- [53] 도 6은 소자 시뮬레이션 전류-전압 데이터와 [수학식 1]에 기반한 전류-전압 모델링이 잘 맞음을 보여준다.
- [54] 도 7은 SNM을 표현 및 분석한 것으로써, 대표 디자인에서 ($N_{ch}=2 \times 10^{19} \text{ cm}^{-3}$) SNM은 200mV, 이상적인 CMOS에서는 230mV를 가진다. Figure 7에 삽입된 SNM 등고선에서 b가 클수록 a가 작을수록 NM이 커짐을 알 수 있다.
- [55] 상술한 바와 같은 특성을 가진 본 발명에 따른 3진수 인버터(STI)회로 및 진리표, 3진수 인버터(STI)회로가 응용된 MIN 게이트 회로 및 진리표, 및 MAX 게이트 회로 및 진리표를 도 8에 도시한 바와 같다.
- [56] 풀업 소자(100)와 상기 풀다운 소자(200)가 입력 전압에 영향을 받지 않는 경우 (모두 꺼진 경우), 두 소자 모두 단순 저항으로써 동작하며 전압 분배를 통해 제 3의 진수 ("1" 상태)를 형성하게 된다. 반면 상기 풀업 소자(100) 또는 풀다운 소자(200)의 한쪽만 켜져 전류를 흘려주게 되면 V_{DD} ("2"상태) 또는 GND ("0"상태)가 전달된다.
- [57] 입력 전압에 영향을 받지 않는 전류 영역은 상술한 바와 같이, CMOS의 gate에 영향을 받지 않는 junction band-to-band tunneling (BTBT) 전류 특성으로 구현 가능하며, 입력 전압에 지수적으로 증가하는 전류 영역은 CMOS의 문턱전류 (subthreshold 전류) 특성을 이용한다.
- [58] 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술 사상과 하기에 기재될 청구범위의 균등 범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.
- [59]
- [60] (부호의 설명)
- [61] 100 : 풀업 소자

[62] 200 : 폴다운 소자

청구범위

- [청구항 1] 전원전압 (V_{DD} 와 GND) 사이에 직렬로 연결된 풀업 소자(100)와 풀다운 소자(200) 그리고 입력전압(V_{IN})과 출력전압(V_{OUT})을 포함하되,
상기 입력전압(V_{IN})에 의해 모두 꺼진 경우, 상기 풀업 소자(100)와 상기 풀다운 소자(200)가 모두 출력 전압(V_{OUT})에만 영향을 받는 단순 저항으로 동작하며 전압 분배를 통해 제 3의 진수 (“1” 상태)를 형성하고, 상기 풀업 소자(100) 또는 풀다운 소자(200)의 한쪽만 켜져 전류를 흘려주게 되면 V_{DD} (“2”상태) 또는 GND(“0” 상태)가 출력전압(V_{OUT})으로 출력되는 것을 특징으로 하는 3진수 논리회로.
- [청구항 2] 제 1항에 있어서,
상기 입력전압(V_{IN})에 영향을 받지않고 상기 출력전압(V_{OUT})에만 영향을 받는 전류(I_{CON}) 성분과 상기 입력전압(V_{IN})에 영향을 받고 상기 출력전압(V_{OUT})에 영향을 받지않는 전류(I_{EXT}) 성분을 가지는 것을 특징으로 하는 3진수 논리회로.
- [청구항 3] 제 2항에 있어서,
상기 출력전압(V_{OUT})에 영향을 받는 전류(I_{CON})는 상기 출력전압(V_{OUT})이 작동전압(V_{DD})의 이분의 일($V_{OUT}=V_{DD}/2$)일 때 전류 값 I_C 를 가지고, 상기 입력전압(V_{IN})에 영향을 받는 전류(I_{EXT})는 상기 입력전압(V_{IN})이 작동전압(V_{DD})의 이분의 일($V_{IN}=V_{DD}/2$)일 때 전류 값 I_E 를 가지며 상기 입력전압(V_{IN})과 작동전압(V_{DD})이 동일($V_{IN}=V_{DD}$)한 지점에서 최대전류(I_{MAX})로 지수적으로 증가하는 것을 특징으로 하는 3진수 논리회로.
- [청구항 4] 제 3항에 있어서,
상기 풀업 소자(100) 및 상기 풀다운 소자(200)에서 출력되는 전류는
- $$I_{OUT}(V_{IN}, V_{OUT}) = I_{CON}(V_{OUT}) + I_{EXP}(V_{IN})$$
- 로 계산되되,
상기 수학식에서 α 와 β 는 각 전류 메커니즘의 지수계수이고, 상기 α 와 β 앞의 + 와 - 부호는 각각 상기 풀다운 소자(200)와 상기 풀업 소자(100)에 적용되는 부호인 것을 특징으로 하는 3진수 논리회로.
- [청구항 5] 제 2항에 있어서,
상기 출력 전압에 영향을 받는 전류(I_{CON})는 이트 전압에 독립적인 접합 BTBT 전류(I_{BTBT})를 통해 실현될 수 있고, 상기 입력 전압에 영향을 받는 전류(I_{EXT})는 문턱전압 이하의 전류(I_{sub})로 실현 될 수

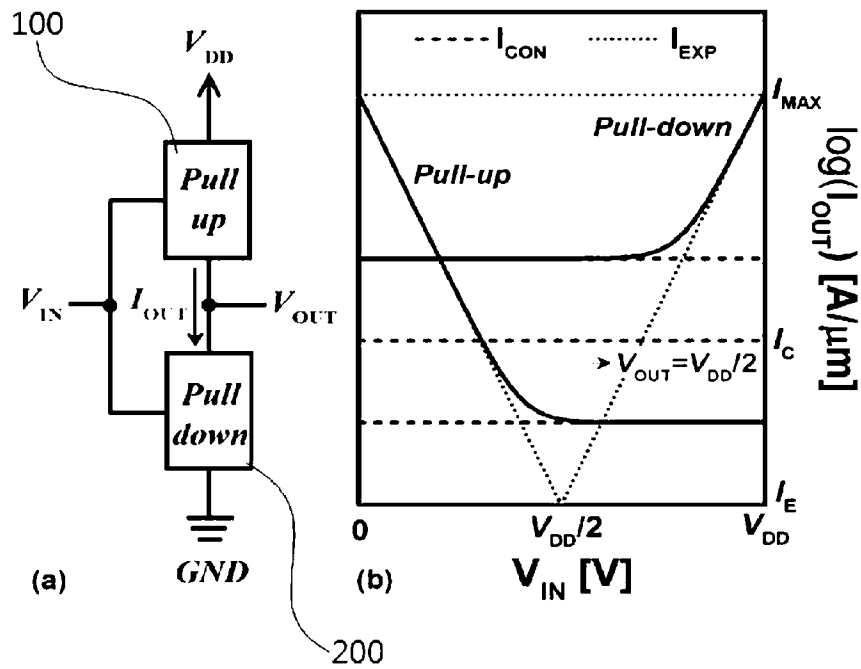
[청구항 6]

있는 3진수 논리회로.

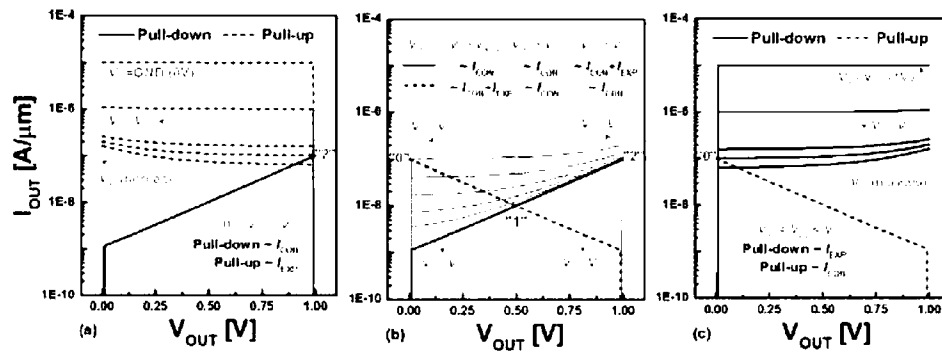
제 5항에 있어서,

2진 인버터에서 단순 채널 도핑의 증가로 상기 BTBT 전류(I_{BTBT})와 문턱전압 이하의 전류(I_{sub}) 특성을 얻어 3진 인버터로 동작 가능한 것을 특징으로 하는 3진수 논리회로.

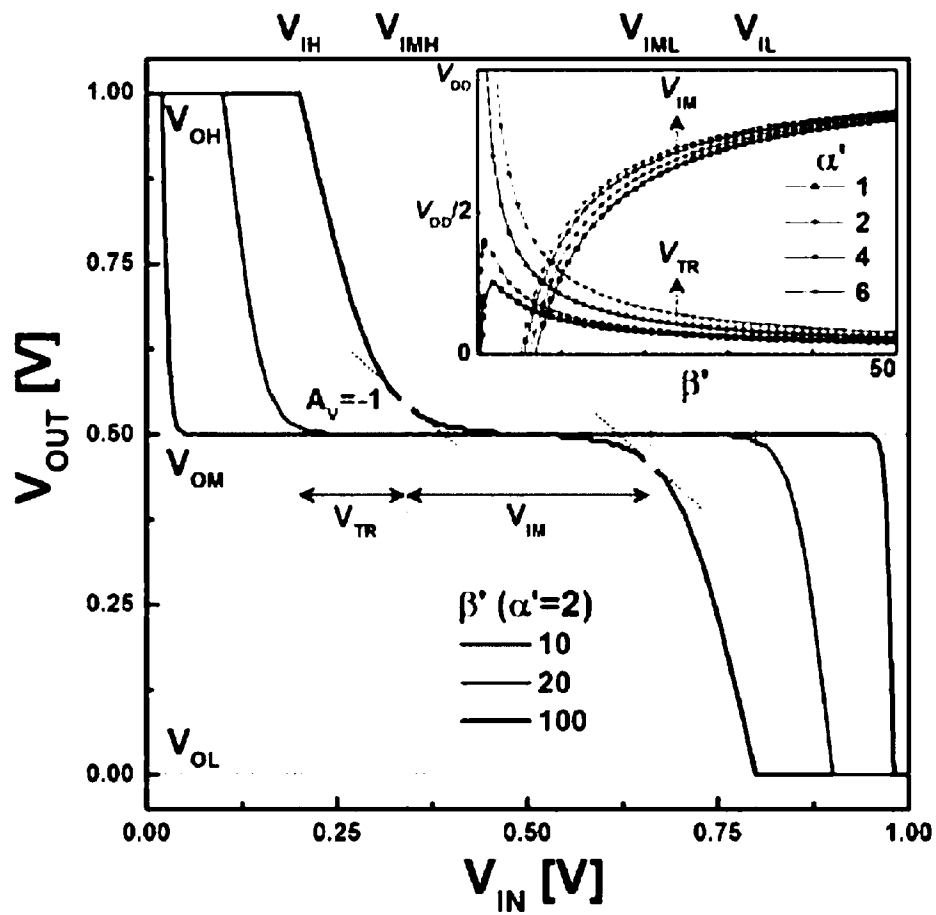
[Fig. 1]



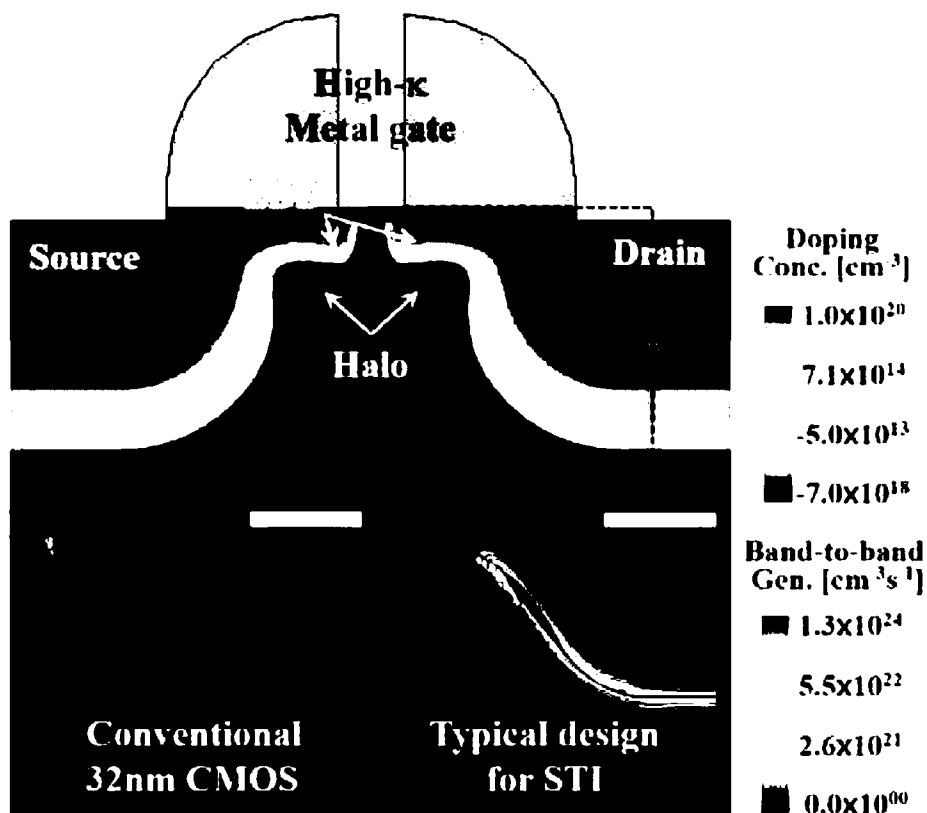
[Fig. 2]



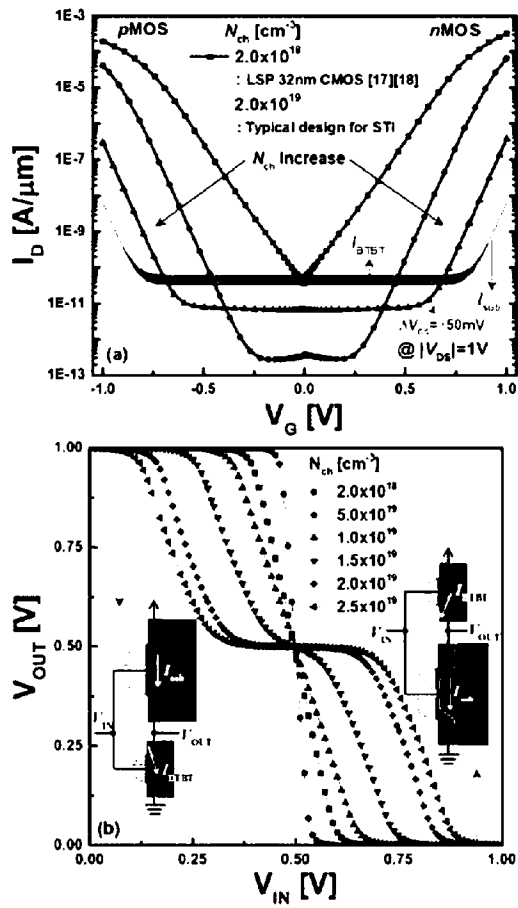
[Fig. 3]



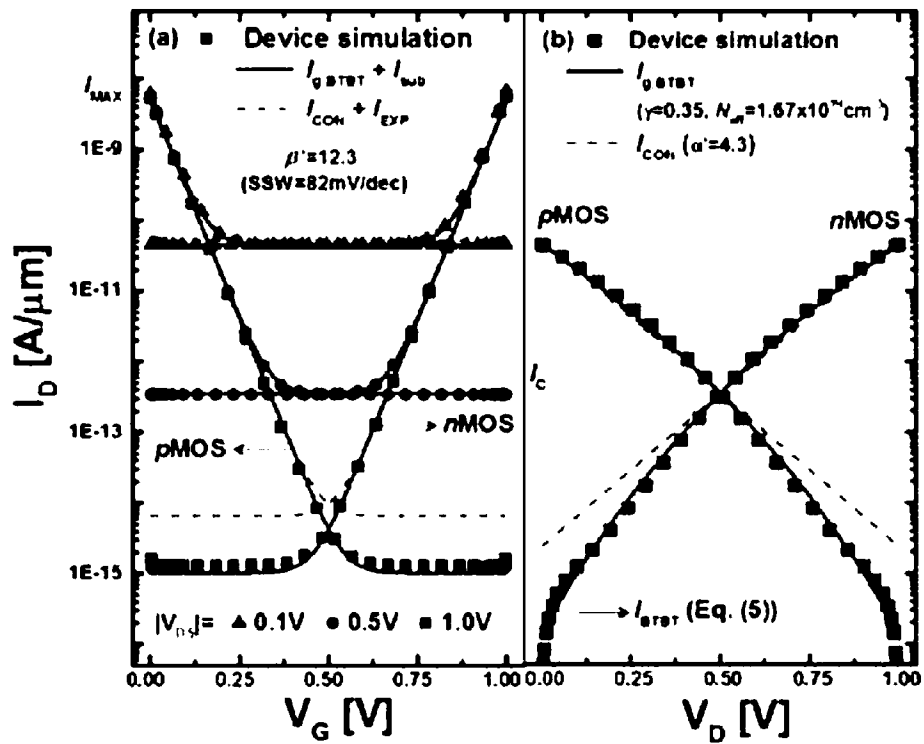
[Fig. 4]



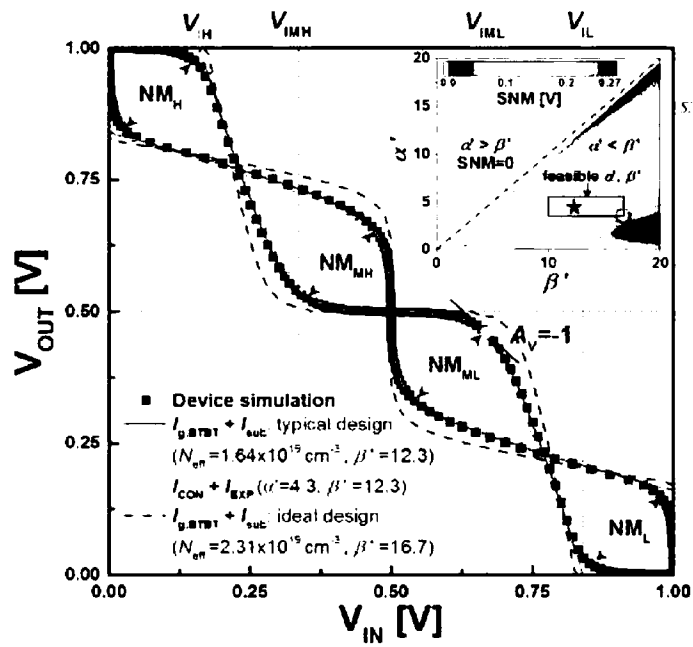
[Fig. 5]



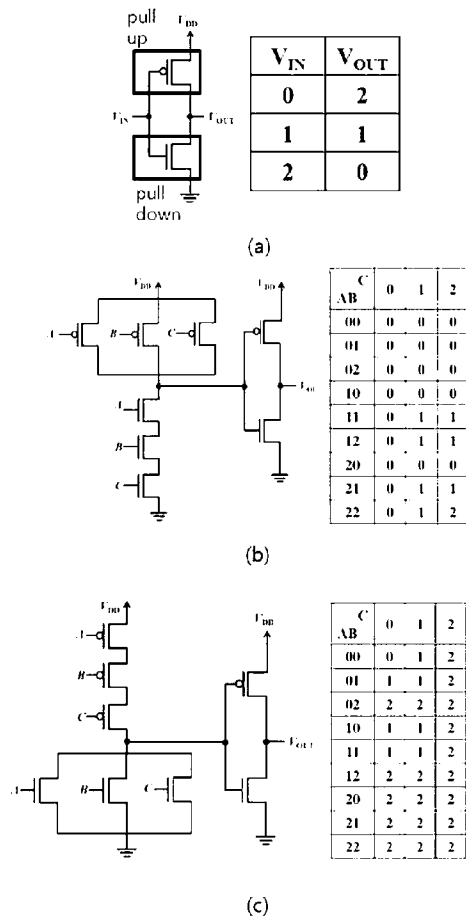
[Fig. 6]



[Fig. 7]



[Fig. 8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2015/014377**A. CLASSIFICATION OF SUBJECT MATTER****H03K 19/20(2006.01)i, H03K 19/0948(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K 19/20; H03K 19/02; H03K 19/00; H03K 19/096; H03K 19/177; H03K 19/017; H03K 19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: ternary, three-state, logic, electric current, threshold, critical

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2001-0082557 A (OLSON, Edgar Danny) 30 August 2001 See claims 1, 10 and figures 1-6.	1
A		2-6
Y	US 7567094 B2 (SHASTRI, Kalpendu) 28 July 2009 See column 3, line 10-column 4, line 67 and figure 2.	1
A	JP 2006-033060 A (RENESAS TECHNOLOGY CORP.) 02 February 2006 See abstract, paragraphs [0009]-[0019] and figures 1-4.	1-6
A	KR 10-2000-0077151 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 December 2000 See abstract, claim 1 and figures 1-3.	1-6
A	JP 2008-187384 A (TOSHIBA CORP.) 14 August 2008 See abstract, paragraphs [0012]-[0032] and figures 1-3.	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

28 APRIL 2016 (28.04.2016)

Date of mailing of the international search report

29 APRIL 2016 (29.04.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2015/014377

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2001-0082557 A	30/08/2001	KR 10-0683235 B1	28/02/2007
US 7567094 B2	28/07/2009	CA 2654553 A1	21/12/2007
		CN 101467351 A	24/06/2009
		CN 101467351 B	14/12/2011
		EP 2027652 A2	25/02/2009
		JP 04928606 B2	09/05/2012
		JP 2009-540750 A	19/11/2009
		KR 10-1384024 B1	17/04/2014
		KR 10-2009-0034335 A	07/04/2009
		US 2008-0007295 A1	10/01/2008
		WO 2007-146110 A2	21/12/2007
		WO 2007-146110 A3	10/04/2008
JP 2006-033060 A	02/02/2006	NONE	
KR 10-2000-0077151 A	26/12/2000	CN 1173405 C	27/10/2004
		CN 1273437 A	15/11/2000
		EP 1050968 A1	08/11/2000
		EP 1050968 B1	28/12/2005
		JP 03502328 B2	02/03/2004
		JP 2001-148627 A	29/05/2001
		TW 465045 A	21/11/2001
		US 6310492 B1	30/10/2001
JP 2008-187384 A	14/08/2008	JP 04851947 B2	11/01/2012
		US 2008-0183793 A1	31/07/2008

A. 발명이 속하는 기술분류(국제특허분류(IPC))**H03K 19/20(2006.01)i, H03K 19/0948(2006.01)i****B. 조사된 분야**

조사된 최소문헌(국제특허분류를 기재)

H03K 19/20; H03K 19/02; H03K 19/00; H03K 19/096; H03K 19/177; H03K 19/017; H03K 19/0948

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 3진수, 3상태, 논리, 전류, 문턱, 임계

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2001-0082557 A (울손 에드거 대니) 2001.08.30	1
A	청구항 1, 10 및 도면 1-6 참조.	2-6
Y	US 7567094 B2 (KALPENDU SHASTRI) 2009.07.28	1
	컬럼 3, 라인 10 - 컬럼 4, 라인 67 및 도면 2 참조.	
A	JP 2006-033060 A (RENESAS TECHNOLOGY CORP.) 2006.02.02	1-6
	요약, 단락 [0009]-[0019] 및 도면 1-4 참조.	
A	KR 10-2000-0077151 A (마츠시타 덴끼 산교 가부시키키가이샤) 2000.12.26	1-6
	요약, 청구항 1 및 도면 1-3 참조.	
A	JP 2008-187384 A (TOSHIBA CORP.) 2008.08.14	1-6
	요약, 단락 [0012]-[0032] 및 도면 1-3 참조.	

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 04월 28일 (28.04.2016)

국제조사보고서 발송일

2016년 04월 29일 (29.04.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

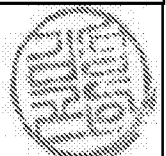
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김성곤

전화번호 +82-42-481-8746



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2001-0082557 A	2001/08/30	KR 10-0683235 B1	2007/02/28
US 7567094 B2	2009/07/28	CA 2654553 A1	2007/12/21
		CN 101467351 A	2009/06/24
		CN 101467351 B	2011/12/14
		EP 2027652 A2	2009/02/25
		JP 04928606 B2	2012/05/09
		JP 2009-540750 A	2009/11/19
		KR 10-1384024 B1	2014/04/17
		KR 10-2009-0034335 A	2009/04/07
		US 2008-0007295 A1	2008/01/10
		WO 2007-146110 A2	2007/12/21
		WO 2007-146110 A3	2008/04/10
JP 2006-033060 A	2006/02/02	없음	
KR 10-2000-0077151 A	2000/12/26	CN 1173405 C	2004/10/27
		CN 1273437 A	2000/11/15
		EP 1050968 A1	2000/11/08
		EP 1050968 B1	2005/12/28
		JP 03502328 B2	2004/03/02
		JP 2001-148627 A	2001/05/29
		TW 465045 A	2001/11/21
		US 6310492 B1	2001/10/30
JP 2008-187384 A	2008/08/14	JP 04851947 B2	2012/01/11
		US 2008-0183793 A1	2008/07/31