

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0038850
(43) 공개일자 2005년04월29일

(21) 출원번호 10-2003-0074138
(22) 출원일자 2003년10월23일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 장윤경
경기도의왕시오전동21진달래아파트103동807호
조홍렬
경기도수원시장안구울전동408-9청도아파트1동101호
(74) 대리인 김영호

심사청구 : 있음

(54) 표시 소자용 박막 트랜지스터 기관 및 그 제조 방법

요약

본 발명은 3마스크 공정으로 공정을 단순화면서 리프트-오프 능력을 향상시킬 수 있는 표시 소자용 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

본 발명의 박막 트랜지스터 기관의 제조 방법은 박막 트랜지스터와 함께 그 박막 트랜지스터에 신호를 공급하며 다수의 신호 라인을, 게이트 절연막을 사이에 두도록 형성하는 단계와; 상기 게이트 절연막 위에 상기 박막 트랜지스터 및 신호 라인을 덮는 보호막을 형성하는 단계와; 포토레지스트 패턴을 이용하여 상기 보호막 및 게이트 절연막을 패터닝하면서 상기 다수의 신호 라인 위 또는 그 신호 라인 사이에 슬릿을 형성하는 단계와; 상기 포토레지스트 패턴이 존재하는 보호막 위에 투명 도전막을 형성하는 단계와; 상기 슬릿을 통해 침투한 스트립퍼에 의해 상기 투명 도전막이 덮힌 포토레지스트 패턴을 제거하여 화소 전극을 형성하는 단계를 포함한다.

대표도

도 7a

명세서

도면의 간단한 설명

도 1은 종래의 박막 트랜지스터 기관을 부분적을 도시한 평면도.

도 2은 도 1에 도시된 박막 트랜지스터 기관을 I-I'선을 따라 절단하여 도시한 단면도.

도 3a 내지 도 3d는 도 2에 도시된 박막 트랜지스터 기관의 제조 방법을 단계적으로 도시한 단면도들.

도 4는 본 발명의 실시 예에 따른 박막 트랜지스터 기관을 부분적으로 도시한 평면도.

도 5는 도 4에 도시된 박막 트랜지스터 기관을 II-II'선을 따라 절단하여 도시한 단면도.

도 6a 및 도 6f는 도 5에 도시된 박막 트랜지스터 기관의 제조 방법을 단계적으로 설명하기 위한 단면도들.

도 7a 및 도 7b는 본 발명의 다른 실시 예에 따른 박막 트랜지스터 기관의 게이트 패드 영역을 부분적으로 도시한 평면도 및 단면도.

도 8a 및 도 8b는 본 발명의 다른 실시 예에 따른 박막 트랜지스터 기관의 데이터 패드 영역을 부분적으로 도시한 평면도 및 단면도.

도 9a 및 도 9b는 본 발명의 다른 실시 예에 따른 박막 트랜지스터 기관의 라인 온 글래스 영역을 부분적으로 도시한 평면도 및 단면도.

도 10a 내지 도 10c는 도 7b, 도 8b, 도 9b에 도시된 박막 트랜지스터 기관의 제조 방법을 단계적으로 도시한 단면도들.

< 도면의 주요 부분에 대한 부호의 설명 >

- 2, 102 : 게이트 라인 4, 104 : 데이터 라인
- 6, 106 : 박막 트랜지스터 8, 108 : 게이트 전극
- 10, 110 : 소스 전극 12, 112 : 드레인 전극
- 14, 114 : 활성층
- 16, 24, 30, 38, 125, 130, 138 : 컨택홀
- 18, 118 : 화소 전극 20, 120 : 스토리지 캐패시터
- 22, 122 : (제1)스토리지 상부 전극 26, 126, 305 : 게이트 패드
- 28, 128, 300 : 게이트 패드 하부 전극
- 32, 132, 304 : 게이트 패드 상부 전극
- 34, 134, 315 : 데이터 패드
- 36, 136, 312 : 데이터 패드 하부 전극
- 40, 140, 314 : 데이터 패드 상부 전극 42, 142, 320 : 기관
- 44, 144, 144A, 322 : 게이트 절연막 48, 148 : 오믹 접촉층
- 50, 150, 150A, 324 : 보호막 152, 328 : 포토레지스트 패턴
- 124 : 제2 스토리지 상부 전극 160 : 화소홀
- 154, 325 : 투명 도전막 302 : 이븐 쇼팅바
- 302A : 이븐 쇼팅바 수평부 302B : 이븐 쇼팅바 수직부
- 303 : 오드 쇼팅바 303A : 오드 쇼팅바 수평부
- 303B : 오드 쇼팅바 수직부 310 : 컨택 전극
- 318 : 데이터 링크 306, 316, 214, 216 : 슬릿
- 326, 330, 213, 215 : 투명 도전 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 소자에 적용되는 박막 트랜지스터 기관과 그 제조 방법에 관한 것으로, 특히 공정을 단순화할 수 있는 박막 트랜지스터 기관 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열되어진 액정 패널과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

액정 패널은 서로 대향하는 박막 트랜지스터 기관 및 칼라 필터 기관과, 두 기관 사이에 주입된 액정과, 두 기관 사이의 셀 갭을 유지시키는 스페이서를 구비한다.

박막 트랜지스터 기관은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치 소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다. 박막 트랜지스터는 게이트 라인에 공급되는 스캔 신호에 응답하여 데이터 라인에 공급되는 화소 신호를 화소 전극에 공급한다.

칼라 필터 기관은 액정셀 단위로 형성된 칼라 필터들과, 칼라 필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준 전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.

액정 패널은 박막 트랜지스터 기관과 칼라 필터 기관을 별도로 제작하여 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.

이러한 액정 패널에서 박막 트랜지스터 기관은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이를 해결하기 위하여, 박막 트랜지스터 기관은 마스크 공정수를 줄이는 방향으로 발전하고 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리소그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 박막 트랜지스터 기관의 표준 마스크 공정이던 5 마스크 공정에서 하나의 마스크 공정을 줄인 4 마스크 공정이 대두되고 있다.

도 1은 4 마스크 공정을 채택한 박막 트랜지스터 기관을 예를 들어 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 기관을 I-I'선을 따라 절단하여 도시한 단면도이다.

도 1 및 도 2에 도시된 박막 트랜지스터 기관은 하부 기관(42) 위에 게이트 절연막(44)을 사이에 두고 교차하게 형성된 게이트 라인(2) 및 데이터 라인(4)과, 그 교차부마다 형성된 박막 트랜지스터(6)와, 그 교차 구조로 마련된 셀 영역에 형성된 화소 전극(18)을 구비한다. 그리고, 박막 트랜지스터 기관은 화소 전극(18)과 전단 게이트 라인(2)의 중첩부에 형성된 스토리지 캐패시터(20)와, 게이트 라인(2)에 접속되는 게이트 패드부(26)와, 데이터 라인(4)에 접속되는 데이터 패드부(34)를 구비한다.

박막 트랜지스터(6)는 게이트 라인(2)에 공급되는 스캔 신호에 응답하여 데이터 라인(4)에 공급되는 화소 신호가 화소 전극(18)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(6)는 게이트 라인(2)에 접속된 게이트 전극(8)과, 데이터 라인(4)에 접속된 소스 전극(10)과, 화소 전극(16)에 접속된 드레인 전극(12)과, 게이트 전극(8)과 중첩되고 소스 전극(10)과 드레인 전극(12) 사이에 채널을 형성하는 활성층(14)을 구비한다.

이렇게 소스 전극(10) 및 드레인 전극(12)과 중첩되면서 소스 전극(10)과 드레인 전극(12) 사이의 채널부를 포함하는 활성층(14)은 데이터 라인(4), 데이터 패드 하부 전극(36), 스토리지 전극(22)과도 중첩되게 형성된다. 이러한 활성층(14) 위에는 데이터 라인(4), 소스 전극(10) 및 드레인 전극(12), 데이터 패드 하부 전극(36), 스토리지 전극(22)과 오믹 접촉을 위한 오믹 접촉층(48)이 더 형성된다.

화소 전극(18)은 보호막(50)을 관통하는 제1 컨택홀(16)을 통해 박막 트랜지스터(6)의 드레인 전극(12)과 접속된다. 화소 전극(18)은 충전된 화소 신호에 의해 도시하지 않은 상부 기관에 형성되는 공통 전극과 전위차를 발생시키게 된다. 이 전위차에 의해 박막 트랜지스터 기관과 상부 기관 사이에 위치하는 액정이 유전 이방성에 의해 회전하게 되며 도시하지 않은 광원으로부터 화소 전극(18)을 경유하여 입사되는 광을 상부 기관 쪽으로 투과시키게 된다.

스토리지 캐패시터(20)는 전단 게이트 라인(2)과, 그 게이트 라인(2)과 게이트 절연막(44), 활성층(14) 및 오믹접촉층(48)을 사이에 두고 중첩되는 스토리지 상부 전극(22)과, 그 스토리지 상부 전극(22)과 보호막(50)을 사이에 두고 중첩됨과 아울러 그 보호막(50)에 형성된 제2 컨택홀(24)을 경유하여 접속된 화소 전극(22)으로 구성된다. 이러한 스토리지 캐패시터(20)는 화소 전극(18)에 충전된 화소 신호가 다음 화소 신호가 충전될 때까지 안정적으로 유지되게 한다.

게이트 라인(2)은 게이트 패드부(26)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드부(26)는 게이트 라인(2)으로부터 연장되는 게이트 하부 전극(28)과, 게이트 절연막(44) 및 보호막(50)을 관통하는 제3 컨택홀(30)을 통해 게이트 하부 전극(28)에 접속된 게이트 패드 상부 전극(32)으로 구성된다.

데이터 라인(4)은 데이터 패드부(34)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드부(34)는 데이터 라인(4)으로부터 연장되는 데이터 하부 전극(36)과, 보호막(50)을 관통하는 제4 컨택홀(38)을 통해 데이터 패드(36)와 접속된 데이터 패드 상부 전극(40)으로 구성된다.

이러한 구성을 가지는 박막 트랜지스터 기관의 제조 방법을 4마스크 공정을 이용하여 상세히 하면 도 3a 내지 도 3d에 도시된 바와 같다.

도 3a를 참조하면, 제1 마스크 공정을 이용하여 하부기관(42) 상에 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(28)을 포함하는 게이트 금속 패턴들이 형성된다.

상세히 하면, 하부 기판(42) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(2), 게이트 전극(8), 게이트 패드 하부 전극(28)을 포함하는 게이트 금속 패드들이 형성된다. 게이트 금속으로는 크롬(Cr), 몰리브덴(Mo), 알루미늄계 금속 등이 단일층 또는 이중층 구조로 이용된다.

도 3b를 참조하면, 게이트 금속 패드들이 형성된 하부 기판(42) 상에 게이트 절연막(44)이 도포된다. 그리고 제2 마스크 공정을 이용하여 게이트 절연막(44) 위에 활성층(14) 및 오믹 접촉층(48)을 포함하는 반도체 패드와; 데이터 라인(4), 소스 전극(10), 드레인 전극(12), 데이터 패드 하부 전극(36), 스토리지 전극(22)을 포함하는 소스/드레인 금속 패드들이 순차적으로 형성된다.

상세히 하면, 게이트 금속 패드들이 형성된 하부 기판(42) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(44), 비정질 실리콘층, n+ 비정질 실리콘층, 그리고 소스/드레인 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(44)의 재료로는 산화 실리콘(SiO_x) 또는 질화 실리콘(SiN_x) 등의 무기 절연물질이 이용된다. 소스/드레인 금속으로는 몰리브덴(Mo), 티타늄, 탄탈륨, 몰리브덴 합금(Mo alloy) 등이 이용된다.

이어서, 소스/드레인 금속층 위에 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트 패턴을 형성하게 된다. 이 경우 제2 마스크로는 박막 트랜지스터의 채널부에 회절 노광부를 갖는 회절 노광 마스크를 이용함으로써 채널부의 포토레지스트 패턴이 다른 소스/드레인 패턴부 보다 낮은 높이를 갖게 한다.

이어서, 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(4), 소스 전극(10), 그 소스 전극(10)과 일체화된 드레인 전극(12), 스토리지 전극(22)을 포함하는 소스/드레인 금속 패드들이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(48)과 활성층(14)이 형성된다.

그리고, 애싱(Ashing) 공정으로 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 제거된 후 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(48)이 식각된다. 이에 따라, 채널부의 활성층(14)이 노출되어 소스 전극(10)과 드레인 전극(12)이 분리된다.

이어서, 스트립 공정으로 소스/드레인 패턴부 위에 남아 있는 포토레지스트 패턴이 제거된다.

도 3c를 참조하면, 소스/드레인 금속 패드들이 형성된 게이트 절연막(44) 상에 제3 마스크 공정을 이용하여 제1 내지 제4 콘택홀들(16, 24, 30, 38)을 포함하는 보호막(50)이 형성된다.

상세히 하면, 소스/드레인 금속 패드들이 형성된 게이트 절연막(44) 상에 PECVD 등의 증착 방법으로 보호막(50)이 전면 형성된다. 이어서, 보호막(50)이 제3 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝됨으로써 제1 내지 제4 콘택홀들(16, 24, 30, 38)이 형성된다. 제1 콘택홀(16)은 보호막(50)을 관통하여 드레인 전극(12)이 노출되게 형성되고, 제2 콘택홀(24)은 보호막(50)을 관통하여 스토리지 상부 전극(22)이 노출되게 형성된다. 제3 콘택홀(30)은 보호막(50) 및 게이트 절연막(44)을 관통하여 게이트 패드 하부 전극(28)이 노출되게 형성된다. 제4 콘택홀(38)은 보호막(50)을 관통하여 데이터 패드 상부 전극(36)이 노출되게 형성된다.

보호막(50)의 재료로는 게이트 절연막(44)과 같은 무기 절연 물질이나, 유전상수가 작은 아크릴(acryl)계 유기 화합물, BCB 또는 PFCB 등과 같은 유기 절연 물질이 이용된다.

도 3d를 참조하면, 제4 마스크 공정을 이용하여 보호막(50) 상에 화소 전극(18), 게이트 패드 상부 전극(32), 데이터 패드 상부 전극(40)을 포함하는 투명 도전막 패드들이 형성된다.

보호막(50) 상에 스퍼터링 등의 증착 방법으로 투명 도전막이 도포된다. 이어서 제4 마스크를 이용한 포토리소그래피 공정과 식각 공정을 통해 투명 도전막이 패터닝됨으로써 화소 전극(18), 게이트 패드 상부 전극(32), 데이터 패드 상부 전극(40)을 포함하는 투명 도전막 패드들이 형성된다. 화소 전극(18)은 제1 콘택홀(16)을 통해 드레인 전극(12)과 전기적으로 접속되고, 제2 콘택홀(24)을 통해 전단 게이트 라인(2)과 중첩되는 스토리지 상부 전극(22)과 전기적으로 접속된다. 게이트 패드 상부 전극(32)은 제3 콘택홀(30)을 통해 게이트 패드 하부 전극(28)과 전기적으로 접속된다. 데이터 패드 상부 전극(40)은 제4 콘택홀(38)을 통해 데이터 하부 전극(36)과 전기적으로 접속된다. 여기서, 투명 도전막의 재료로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO) 등이 이용된다.

이와 같이 종래의 박막 트랜지스터 기판 및 그 제조 방법은 4마스크 공정을 채용함으로써 5마스크 공정을 이용한 경우보다 제조 공정수를 줄임과 아울러 그에 비례하는 제조 단가를 절감할 수 있게 된다. 그러나, 4 마스크 공정 역시 여전히 제조 공정이 복잡하여 원가 절감에 한계가 있으므로 제조 공정을 더욱 단순화하여 제조 단가를 더욱 줄일 수 있는 박막 트랜지스터 기판 및 그 제조 방법이 요구된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 리프트-오프 공정을 이용함으로써 공정을 단순화할 수 있는 표시 소자용 박막 트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 리프트-오프 능력을 향상시킬 수 있는 표시 소자용 박막 트랜지스터 기관 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 표시 소자용 박막 트랜지스터 기관은 다수의 박막 트랜지스터에 신호를 공급하는 다수의 신호 라인과; 스트립퍼 칩투를 위하여 상기 신호 라인 위, 또는 상기 신호 라인들 사이의 보호막에 형성된 슬릿을 구비한다.

상기 슬릿은 상기 박막 트랜지스터 및 화소 전극이 형성된 표시 영역을 제외한 비표시 영역에 형성된다.

상기 표시 영역의 신호 라인은 상기 박막 트랜지스터와 접속되고 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 구비하고; 상기 화소 전극은 상기 화소 영역에서 상기 보호막과 경계를 이루며 형성된다.

상기 슬릿은, 상기 게이트 라인과 게이트 링크를 경유하여 접속된 게이트 패드들 사이, 또는 게이트 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된다.

상기 게이트 패드는 상기 게이트 링크와 접속된 게이트 패드 하부 전극과;

상기 게이트 패드 하부 전극 위의 게이트 절연막 및 보호막을 관통하여 형성된 다수의 컨택홀과; 상기 컨택홀 내에서 상기 보호막과 경계를 이루며 형성된 게이트 패드 상부 전극을 구비한다.

상기 게이트 패드 사이의 슬릿은 상기 게이트 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된다.

상기 게이트 패드 사이의 슬릿은 상기 게이트 링크들 사이로 연장된다.

상기 슬릿은, 상기 데이터 라인과 데이터 링크를 경유하여 접속된 데이터 패드들 사이, 또는 데이터 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된다.

상기 데이터 패드는 상기 데이터 링크와 접속된 데이터 패드 하부 전극과; 상기 데이터 패드 하부 전극 위의 보호막을 관통하여 형성된 다수의 컨택홀과; 상기 컨택홀 내에서 상기 보호막과 경계를 이루며 형성된 데이터 패드 상부 전극을 구비한다.

상기 데이터 패드 사이의 슬릿은 상기 데이터 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된다.

상기 데이터 패드 사이의 슬릿은 상기 데이터 링크들 사이로 연장된다.

상기 데이터 링크 사이의 슬릿은 복수개씩의 데이터 링크를 사이에 두고 형성된다.

상기 슬릿은 상기 비표시 영역에 형성되어 상기 게이트 라인들 및 데이터 라인들을 구동하는 드라이버에 필요한 구동 신호를 공급하는 라인 온 글래스형 신호 라인 위 또는 그 라인 온 글래스형 신호 라인 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된다.

상기 슬릿내에는 투명 도전 패턴이 잔존하게 된다.

상기 신호 라인들을 오드와 이븐으로 분리하여 접속된 쇼팅바를 추가로 구비하고, 상기 슬릿은 상기 쇼팅바 사이에도 형성된다.

본 발명에 따른 표시 소자용 박막 트랜지스터 기관의 제조 방법은 박막 트랜지스터와 함께 그 박막 트랜지스터에 신호를 공급하며 다수의 신호 라인을 형성하는 단계와; 상기 신호 라인을 덮는 절연막을 형성한 후 포토레지스트 패턴을 이용하여 상기 신호 라인 위 또는 그 신호 라인 사이의 절연막에 슬릿을 형성하는 단계와; 상기 슬릿을 경유하여 칩투한 스트립퍼에 의해 상기 포토레지스트 패턴을 제거하는 단계를 포함한다.

또한, 본 발명에 따른 표시 소자용 박막 트랜지스터 기관의 제조 방법은 박막 트랜지스터와 함께 그 박막 트랜지스터에 신호를 공급하며 다수의 신호 라인을, 게이트 절연막을 사이에 두도록 형성하는 단계와; 상기 게이트 절연막 위에 상기 박막 트랜지스터 및 신호 라인을 덮는 보호막을 형성하는 단계와; 포토레지스트 패턴을 이용하여 상기 보호막 및 게이트 절연막을 패터닝하면서 상기 다수의 신호 라인 위 또는 그 신호 라인 사이에 슬릿을 형성하는 단계와; 상기 포토레지스트 패턴이 존재하는 보호막 위에 투명 도전막을 형성하는 단계와; 상기 슬릿을 통해 칩투한 스트립퍼에 의해 상기 투명 도전막이 덮힌 포토레지스트 패턴을 제거하여 화소 전극을 형성하는 단계를 포함한다.

상기 신호 라인 형성시, 상기 박막 트랜지스터와 접속되고 상기 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 형성한다.

상기 신호 라인 형성시, 상기 비표시 영역에서 상기 게이트 라인과 접속된 게이트 링크, 그 게이트 링크와 접속된 게이트 패드 하부 전극을 형성하는 단계와; 상기 슬릿 형성시, 상기 게이트 패드 하부 전극 위의 게이트 절연막 및 보호막을 관통하는 다수의 컨택홀을 형성하는 단계와; 상기 화소 전극 형성시, 상기 다수의 컨택홀내에서 상기 보호막과 경계를 이루는 게이트 패드 상부 전극을 형성하는 단계를 추가로 포함하고, 상기 슬릿은 상기 게이트 패드들 사이 또는 게이트 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하도록 형성된다.

상기 신호 라인 형성시, 상기 비표시 영역에서 상기 데이터 라인과 접속된 데이터 링크, 그 데이터 링크와 접속된 데이터 패드 하부 전극을 형성하는 단계와; 상기 슬릿 형성시, 상기 데이터 패드 하부 전극 위의 보호막을 관통하는 다수의 컨택홀을 형성하는 단계와; 상기 화소 전극 형성시, 상기 다수의 컨택홀내에서 상기 보호막과 경계를 이루는 데이터 패드 상부 전극을 형성하는 단계를 추가로 포함하고, 상기 슬릿은 상기 데이터 링크와 데이터 링크를 경유하여 접속된 데이터 패드들 사이, 또는 데이터 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된다.

상기 신호 라인 형성시, 상기 비표시 영역에 상기 게이트 라인들 및 데이터 라인들을 구동하는 드라이버에 필요한 구동 신호를 공급하는 라인 온 글래스형 신호 라인을 형성하는 단계를 추가로 포함하고, 상기 슬릿은 상기 라인 온 글래스형 신호 라인 위 또는 그 라인 온 글래스형 신호 라인 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된다.

상기 슬릿 형성시, 상기 포토레지스트 패턴의 에지부가 상기 보호막의 에지부 보다 돌출되도록 그 보호막을 과식각한다.

상기 신호 라인 형성시, 그 신호 라인들을 오드와 이븐으로 분리하여 접속된 쇼팅바를 형성하는 단계를 추가로 포함하고, 상기 슬릿은 상기 쇼팅바 사이에도 형성된다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 4 내지 도 10c를 참조하여 상세하게 설명하기로 한다.

도 4는 본 발명의 실시 예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 5는 도 4에 도시된 박막 트랜지스터 기판을 III-III'선, IV-IV'선, V-V'선을 따라 절단하여 도시한 단면도이다.

도 4 및 도 5에 도시된 박막 트랜지스터 기판은 하부 기판(142) 위에 게이트 절연막(144)을 사이에 두고 교차하게 형성된 게이트 라인(102) 및 데이터 라인(104)과, 그 교차부마다 형성된 박막 트랜지스터(106)와, 그 교차 구조로 마련된 화소 영역에 형성된 화소 전극(118)을 구비한다. 그리고, 박막 트랜지스터 기판은 화소 전극(118)과 접속된 제1 및 제2 스토리지 상부 전극(122, 124)과 전단 게이트 라인(102)의 중첩부에 형성된 스토리지 캐패시터(120)와, 게이트 라인(102)에 접속되는 게이트 패드(126)와, 데이터 라인(104)에 접속되는 데이터 패드(134)를 구비한다.

박막 트랜지스터(106)는 게이트 라인(102)과 접속된 게이트 전극(108)과, 데이터 라인(104)과 접속된 소스 전극(110)과, 소스 전극(110)과 대향하게 위치하여 화소 전극(118)과 접속된 드레인 전극(112)과, 게이트 절연막(144)을 사이에 두고 게이트 전극(108)과 중첩되게 형성되어 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114), 소스 전극(110) 및 드레인 전극(112)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(114) 위에 형성된 오믹 접촉층(146)을 구비한다. 그리고, 활성층(114) 및 오믹 접촉층(146)은 데이터 라인(104), 데이터 패드 하부 전극(136), 제1 스토리지 상부 전극(122)과도 중첩되게 형성된다.

게이트 라인(102)와 데이터 라인(104)의 교차로 정의된 화소 영역에는 보호막(150) 및 게이트 절연막(144)을 관통하는 화소홀(160)이 형성된다. 화소 전극(118)은 그 화소홀(160) 내에서 보호막(150)과 경계를 이루며 형성된다. 그리고, 화소 전극(118)은 화소홀(160) 형성시 노출된 부분이 식각된 드레인 전극(112)과 측면 접속된다.

스토리지 캐패시터(120)는 스토리지 하부 전극 역할을 하는 전단 게이트 라인(102)과, 그 스토리지 하부 전극과 게이트 절연층(144)을 사이에 두고 중첩된 제1 및 제2 스토리지 상부 전극(122, 125)을 구비한다. 화소 전극(118)은 화소홀(160) 형성시 노출 부분이 식각된 제1 스토리지 상부 전극(122)과 측면 접속된다. 제2 스토리지 상부 전극(125)은 전단 게이트 라인(102)과의 중첩부에서 오믹 접촉층(146), 활성층(114), 제1 스토리지 상부 전극(122)을 관통하는 제1 컨택홀(124) 내에 형성되어 제1 스토리지 상부 전극(122)과 측면 접속된다. 이에 따라, 게이트 라인(102)과의 사이에 게이트 절연막(144)만을 구비하는 제2 스토리지 상부 전극(122)에 의해 전극 간격 감소로 스토리지 캐패시터(120)의 용량이 증가되는 장점을 갖는다.

게이트 패드(126)는 게이트 라인(102)으로부터 연장된 게이트 패드 하부 전극(128)과, 보호막(150) 및 게이트 절연막(144)을 관통하는 제1 컨택홀(130) 내에 형성되어 게이트 패드 하부 전극(128)과 접속된 게이트 패드 상부 전극(132)으로 구성된다.

데이터 패드(134)는 데이터 라인(104)으로부터 연장된 데이터 패드 하부 전극(136)과; 보호막(150), 데이터 패드 하부 전극(136), 오믹 접촉층(146), 활성층(114)을 관통하는 제2 컨택홀(138) 내에 형성되어 데이터 패드 하부 전극(136)의 측면과 접속된 데이터 패드 상부 전극(140)으로 구성된다.

이러한 구성을 갖는 본 발명에 따른 박막 트랜지스터 기판은 리프트-오프(Lift-off) 공정 적용으로 도 6a 내지 도 6f에 도시된 바와 같이 3마스크 공정으로 형성된다.

도 6a을 참조하면, 제1 마스크 공정으로 하부 기판(142) 상에 게이트 라인(102), 게이트 라인(102)과 접속된 게이트 전극(108) 및 게이트 패드 하부 전극(128)을 포함하는 게이트 금속 패턴이 형성된다.

상세히 하면, 하부 기판(142) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(102), 게이트 전극(108), 게이트 패드 하부 전극(128)을 포함하는 게이트 금속 패턴이 형성된다. 여기서, 게이트 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용된다.

도 6b를 참조하면, 게이트 절연막(144A)이 형성된 다음, 제2 마스크 공정으로 활성층(114) 및 오믹 접촉층(146)을 포함하는 반도체 패턴과; 데이터 라인(104), 소스 전극(110), 드레인 전극(112), 데이터 패드 하부 전극(136), 게이트 라인(102)과 중첩된 제1 스토리지 상부 전극(122)을 포함하는 소스/드레인 금속 패턴이 형성된다.

게이트 금속 패턴이 형성된 하부 기판(142) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 게이트 절연막(144A), 비정질 실리콘층, n+ 비정질 실리콘층, 소스/드레인 금속층이 순차적으로 형성된다. 여기서, 게이트 절연막(144A)의 재료로는 산화 실리콘(SiOx) 또는 질화 실리콘(SiNx) 등의 무기 절연 물질이 이용된다. 소스/드레인 금속으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd) 등이 이용된다.

이어서, 소스/드레인 금속층 위에 포토 레지스트를 전면 도포한 다음 부분 노광 마스크인 제2 마스크를 이용한 포토리소그래피 공정으로 박막 트랜지스터의 채널부에서 상대적으로 낮은 높이를 갖는 포토레지스트 패턴이 형성된다. 이러한 포토레지스트 패턴을 이용한 습식 식각 공정으로 소스/드레인 금속층이 패터닝됨으로써 데이터 라인(104), 박막 트랜지스터부의 소스 전극(110) 및 그와 일체화된 드레인 금속 패턴(112), 게이트 라인(102)과 중첩된 제1 스토리지 상부 전극(122)을 포함하는 소스/드레인 금속 패턴이 형성된다.

그 다음, 동일한 포토레지스트 패턴을 이용한 건식 식각 공정으로 n+ 비정질 실리콘층과 비정질 실리콘층이 동시에 패터닝됨으로써 오믹 접촉층(146)과 활성층(114)이 상기 소스/드레인 금속 패턴을 따라 형성된 구조를 갖게 된다.

이어서, 애싱(Ashing) 공정으로 상대적으로 낮은 높이를 갖는 채널부의 포토레지스트 패턴이 제거된 후, 건식 식각 공정으로 채널부의 소스/드레인 금속 패턴 및 오믹 접촉층(146)이 식각됨으로써 소스 전극(110)과 드레인 전극(112)이 서로 분리되고 활성층(114)이 노출된다.

그리고, 스트립 공정으로 소스/드레인 금속 패턴 부분에 남아 있던 포토레지스트 패턴이 모두 제거된다.

도 6c 내지 도 6f를 참조하면, 전면적인 보호막(150A) 형성 후, 제3 마스크 공정으로 전면적인 보호막(150A) 및 게이트 절연막(144A)이 패터닝됨으로써 화소홀(160)과, 제1 내지 제3 컨택홀(124, 130, 138)이 형성된다. 이어서 리프트-오프(Lift-off) 공정으로 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140), 제2 스토리지 상부 전극(125)을 포함하는 투명 도전 패턴이 형성된다.

상세히 하면, 도 6c와 같이 소스/드레인 금속 패턴이 형성된 전면적인 게이트 절연막(144A) 상에 전면적인 보호막(150A)이 형성된다. 보호막(150A)의 재료로는 상기 게이트 절연막(144A)과 유사한 무기 절연 물질이나, 유기 절연 물질이 이용된다. 그리고, 전면적인 보호막(150A) 위에 제3 마스크를 이용한 포토리소그래피 공정으로 보호막(150A)이 존재해야 할 부분에 포토레지스트 패턴(152)이 형성된다.

그 다음, 상기 포토레지스트 패턴(152)을 이용한 건식 식각 공정으로 전면적인 보호막(150A) 및 게이트 절연막(144A)이 패터닝됨으로써 도 6d와 같이 화소홀(160), 제1 내지 제3 컨택홀(124, 130, 138)을 갖는 보호막(150) 및 게이트 절연막(144)이 형성된다. 이 경우, 소스/드레인 금속이 건식 식각으로 식각되는 재질인 경우 포토레지스트 패턴(152)과 중첩되지 않은 드레인 전극(112), 제1 스토리지 상부 전극(122), 데이터 패드 상부 전극(136)의 일부분이 소스/드레인 금속 패턴의 일부분이 그 아래의 오믹 접촉층(146) 및 활성층(114)과 같이 식각된다.

이어서, 도 6e와 같이 상기 포토레지스트 패턴(152)이 존재하는 박막 트랜지스터 기판 상에 투명 도전막(154)이 스퍼터링 등과 같은 증착 방법으로 전면 형성된다. 투명 도전막(154)으로는 인듐 주석 산화물(Indium Tin Oxide : ITO)이나 주석 산화물(Tin Oxide : TO) 또는 인듐 아연 산화물(Indium Zinc Oxide : IZO), SnO₂ 등이 이용된다.

그리고, 리프트-오프 공정으로 포토레지스트 패턴(152)과 그 위의 투명 도전막(154)이 함께 제거됨으로써 도 6f와 같이 화소 전극(118), 게이트 패드 상부 전극(132), 데이터 패드 상부 전극(140), 제2 스토리지 상부 전극(125)을 포함하는 투명 도전 패턴이 형성된다. 이때, 보호막(150)을 관통하도록 형성된 화소홀(160)과, 제1 내지 제3 컨택홀(124, 130, 138)은 스트립퍼 침투 경로(A)로 이용되어 포토레지스트 패턴(152)이 쉽게 보호막(150)으로부터 분리될 수 있게 한다. 화소 전극(118)은 화소홀(160) 내에서 패터닝된 보호막(150)과 경계를 이루며 형성되어 드레인 전극(112) 및 제1 스토리지 상부 전극(122)과 측면 접촉된다. 제2 스토리지 상부 전극(125)은 제1 컨택홀(124) 내에서 패터닝된 보호막(150)과 경계를 이루며 형성되어 제1 스토리지 상부 전극(122)과 측면 접촉된다. 게이트 패드 상부 전극(132)은 제2 컨택홀(130) 내에서 패터닝된 보호막(150)과 경계를 이루며 형성되어 아래의 게이트 패드 하부 전극(128)과 접촉된다. 데이터 패드 상부 전극(136)은 제3 컨택홀(138) 내에서 패터닝된 보호막(150)과 경계를 이루며 형성되어 데이터 패드 하부 전극(136)과 측면 접촉된다.

이와 같이, 본 발명에 따른 박막 트랜지스터 기판은 게이트 금속 패턴을 형성하는 제1 마스크 공정과, 반도체 패턴과 소스/드레인 금속 패턴을 형성하는 제2 마스크 공정과, 보호막 및 게이트 절연막을 패터닝하고 리프트-오프 공정으로 투명 도전 패턴을 형성하는 제3 마스크 공정으로 형성된다. 이에 따라, 본 발명은 마스크 공정수의 감소로 공정을 단순화하고 제조 원가를 절감할 수 있게 된다.

나아가, 본 발명에 따른 박막 트랜지스터 기판 및 그 제조 방법은 투명 도전막이 덮인 포토레지스트 패턴을 기판으로부터 분리해내는 리프트-오프 능력을 향상시키기 위하여, 보호막에 스트립퍼(Stripper) 침투 경로인 슬릿(Slit)을 추가적으로 형성하게 된다. 슬릿은 포토레지스트 패턴을 통해 형성되어 포토레지스트 패턴과 보호막의 경계부로 스트립퍼가 쉽게 침

투할 수 있는 경로를 마련함으로써 그 포토레지스트 패턴의 리프트-오프 능력을 향상시키게 된다. 이러한 슬릿들은 박막 트랜지스터 및 화소 전극이 형성되는 표시 영역 보다 비표시 영역에 형성된다. 이는 표시 영역에서는 도 6e와 같이 상대적으로 넓은 면적의 화소홀(160) 등에 의해 스트립퍼 침투 경로(A)가 충분한 반면, 비표시 영역에서는 상대적으로 작은 면적의 게이트 패드(126) 및 데이터 패드(134)의 컨택홀(130, 138)과 같이 스트립퍼 침투 경로가 충분치 않기 때문이다. 이하, 도 7a 내지 도 11c를 참조하여 박막 트랜지스터 기판에 스트립퍼 침투 경로, 즉 슬릿을 형성한 경우들을 예를 들어 설명하기로 한다.

도 7a 및 도 7b는 비표시 영역 중 게이트 패드 영역을 부분적으로 도시한 것으로서, 게이트 패드 영역은 나란하게 형성된 다수의 게이트 패드(305)를 구비한다.

게이트 패드(305)는 게이트 패드 하부 전극(300)과, 보호막(324) 및 게이트 절연막(322)을 관통하는 다수의 컨택홀 내에 형성되어 게이트 패드 하부 전극(300)과 접속된 게이트 패드 상부 전극(304)으로 구성된다. 게이트 패드 하부 전극(300)은 게이트 링크(미도시)를 경유하여 표시 영역에 형성된 게이트 라인(미도시)과 접속된다. 그리고, 게이트 패드 하부 전극(300)은 박막 트랜지스터 기판 제조 이후 신호 검사를 위하여 패드 영역의 외곽에 마련된 이븐 및 오드 쇼팅바(302, 303)와 접속된다. 이븐 쇼팅바(302)는 다수의 이븐 게이트 패드 하부 전극(300)과, 오드 쇼팅바(303)는 다수의 오드 게이트 패드 하부 전극(300)과 공통 접속된다. 오드 쇼팅바(303)의 수직부(303A) 및 수평부(303B)는 게이트 패드 하부 전극(300)과 동일한 게이트 금속으로 형성된다. 그리고, 게이트 금속으로 형성된 이븐 쇼팅바(302)의 수직부(302B)는 소스/드레인 금속으로 형성된 수평부(303B)와 컨택 전극(310)을 통해 접속된다.

그리고, 게이트 패드 영역은 신호 라인들 위, 신호 라인들 사이에 스트립퍼 침투 경로로 형성된 슬릿(306)을 더 구비한다. 예를 들면, 슬릿(306)은 게이트 패드들(305) 사이마다 보호막(324) 및 게이트 절연막(322)을 관통하여 형성된다. 또한, 슬릿(306)은 게이트 패드들(305) 사이에서 분리되어 형성되기도 한다. 예를 들면, 슬릿(306)은 게이트 패드들(305) 사이 중 투명 도전막으로 이루어진 게이트 패드 상부 전극(304)과 인접한 영역을 제외한 나머지 영역에 형성된다. 이는 리프트-오프 공정으로 슬릿(306)에 필연적으로 잔존하게 되는 투명 도전 패턴(326)에 의해 좌우로 인접한 게이트 패드 상부 전극(304)간에 쇼트 불량 발생 가능성이 있는 경우를 방지하기 위함이다. 이러한 슬릿(306) 중 외곽부 쪽으로 향한 슬릿(306)은 쇼팅바의 수직부(302B, 303B) 사이까지 연장되거나, 표시 영역 쪽으로 향한 슬릿(306B)도 게이트 링크들(미도시) 사이까지 연장되게 형성된다. 이러한 슬릿(306)과 함께 게이트 패드 상부 전극(304)이 형성된 컨택홀도 스트립퍼 침투 경로로 이용된다.

도 8a 및 도 8b는 비표시 영역 중 데이터 패드 영역을 링크 부분을 위주로 도시한 것으로서, 데이터 패드 영역은 나란하게 형성된 다수의 데이터 패드(315) 및 데이터 링크(318)를 구비한다.

데이터 패드(315)는 데이터 패드 하부 전극(312)과, 보호막(324) 및 게이트 절연막(322)을 관통하는 다수의 컨택홀 내에 형성되어 데이터 패드 하부 전극(312)과 접속된 데이터 패드 상부 전극(314)으로 구성된다. 데이터 패드 하부 전극(312)은 절곡된 형태를 갖는 데이터 링크(318)를 경유하여 표시 영역에 형성된 데이터 라인(미도시)과 접속된다. 그리고, 데이터 패드 하부 전극(312)은 박막 트랜지스터 기판 제조 이후 신호 검사를 위하여 패드 영역의 외곽에 마련된 이븐 및 오드 쇼팅바(미도시)와도 접속된다.

그리고, 데이터 패드 영역은 신호 라인들 위, 신호 라인들 사이에 스트립퍼 침투 경로로 형성된 슬릿(316)을 더 구비한다. 예를 들면, 슬릿(316)은 데이터 패드들(315) 사이 및 데이터 링크들(318) 사이마다 보호막(324) 및 게이트 절연막(322)을 관통하여 형성된다. 또한, 슬릿(316)은 데이터 패드들(315) 사이 및 데이터 링크들(318) 사이에서 분리되어 형성된다. 예를 들면, 슬릿(316)은 데이터 패드들 사이 중 투명 도전막으로 이루어진 데이터 패드 상부 전극(314)과 인접한 영역을 제외한 나머지 영역에 형성된다. 그리고, 데이터 패드들(315) 사이에서 표시 영역 쪽으로 향한 슬릿(316)은 데이터 링크들(316) 사이까지 연장되게 형성된다. 또한, 슬릿(316)은 다수개의 데이터 패드들(315) 사이 및 데이터 링크들(316) 사이마다 형성되기도 한다. 이러한 슬릿(316)과 함께 데이터 패드 상부 전극(314)이 형성된 컨택홀도 스트립퍼 침투 경로로 이용된다.

도 10a 및 도 10b는 비표시 영역 중 게이트 패드부와 데이터 패드부 사이의 라인 온 글래스(Line On Glass; 이하, LOG) 영역을 부분적으로 도시한 것으로서, LOG 영역은 서로 독립되게 형성된 다수의 LOG형 신호 라인(210)을 구비한다.

LOG형 신호 라인(212)은 데이터 드라이버가 실장된 데이터 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP)를 통해 공급되는 게이트 제어 신호들과 전원 신호들을 게이트 드라이버가 실장된 게이트 TCP로 공급하는 역할을 한다. 구체적으로, 다수의 LOG형 신호 라인(210) 각각은 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부로부터 공급되는 직류 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어 신호들 각각을 공급하게 된다. 이러한 LOG형 신호 라인(210)에 의해 게이트 TCP에 부착되는 게이트 인쇄 회로 보드(Printed Circuit Board; 이하, PCB)를 생략할 수 있는 장점이 있다.

또한, LOG 영역은 LOG형 신호 라인(210)들 위, 그 신호 라인들(210) 사이에 스트립퍼 침투 경로로 형성된 슬릿(214, 216)을 더 구비한다. 예를 들면, LOG형 신호 라인(210) 위에 형성된 슬릿(214)과, LOG형 신호 라인들(210) 사이에 형성된 슬릿(216)은 보호막(324) 및 게이트 절연막(322)을 관통하여 형성된다. 또한, 슬릿(214, 216)은 LOG형 신호 라인(210) 위 및 LOG형 신호 라인들(210) 사이에서 다수개로 분리되어 형성된다. 이러한 슬릿(214, 216)에는 리프트-오프 공정상 투명 도전 패턴(213, 215)이 잔존하게 된다.

도 10a 내지 도 10c는 도 7b, 도 8b, 도 9b에 도시된 게이트 및 데이터 패드 영역, LOG 영역의 제조 방법을 단계적으로 도시한 단면도들이다.

도 10a를 참조하면, 게이트 금속 패턴을 형성하는 제1 마스크 공정으로 게이트 패드 하부 전극(300), 게이트 링크(미도시), LOG형 신호 라인(210)이 함께 형성되고, 그 위에 게이트 절연막(322)이 형성된다. 그 다음, 소스/드레인 금속 패턴과 반도체 패턴을 형성하는 제2 마스크 공정으로 데이터 링크(318)가 데이터 패드 하부 전극(312)과 함께 게이트 절연막

(322) 위에 형성된다. 이때, 데이터 링크(318) 및 데이터 패드 하부 전극(312) 아래에는 오믹 접촉층 및 활성층을 포함하는 반도체층(미도시)이 존재하게 된다. 이어서, 보호막(324)이 형성되고, 그 위에 제3 마스크 공정으로 보호막(324) 패터닝을 위한 포토레지스트 패턴(328)이 형성된다. 포토레지스트 패턴(328)은 다음과 같이 보호막(324)에 컨택홀 및 슬릿이 형성되어질 부분에서 오픈된 형태를 갖는다.

도 10b를 참조하면, 포토레지스트 패턴(328)을 따라 보호막(324) 및 게이트 절연막(322)이 식각되어 패드부의 컨택홀들(미도시)과 함께 슬릿(306, 316, 214, 216)이 형성된다. 그 다음, 포토레지스트 패턴(328)이 제거되지 않은 상태에서 투명 도전막(325)이 도포된다. 이어서, 스트립퍼를 이용하여 투명 도전막(325)이 덮인 포토레지스트 패턴(328)을 제거됨으로써, 컨택홀내의 게이트 및 데이터 패드 상부 전극(304, 314)와 함께 도 10c와 같이 슬릿(306, 316, 214, 216) 내에는 투명 도전막 패턴(326, 330, 213, 215)이 잔존하게 된다. 이 경우, 보호막(324) 및 게이트 절연막(322)에 형성된 슬릿(306, 316, 214, 216)과 패드부의 컨택홀은 스트립퍼 침투 경로(A)로 이용된다. 이러한 스트립퍼 침투 경로(A)를 통해 포토레지스트 패턴(328)과 보호막(324)의 경계부로 많은 스트립퍼가 침투할 수 있게 됨으로써 투명 도전막(325)이 덮인 포토레지스트 패턴(328)은 보호막(324)으로부터 쉽게 분리될 수 있게 된다. 이는 보호막(324)에 슬릿(306, 316, 214, 216) 및 컨택홀이 형성된 부분에서는, 보호막(324)의 과식각으로 포토레지스트 패턴(328)의 에지부가 보호막(324)의 에지부 보다 돌출된 형태를 갖기 때문이다. 그리고, 돌출된 포토레지스트 패턴(328)의 에지부에 의해 그와 보호막(324)의 에지부 사이에서 직진성을 갖고 증착된 투명 도전막(325)이 오픈되거나, 상대적으로 얇게 증착되어 스트립퍼가 쉽게 침투할 수 있기 때문이다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 기판 및 그 제조 방법은 리프트-오프 공정을 적용하여 3마스크 공정으로 공정을 단순화시킴으로써 제조 원가를 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있게 된다.

특히, 본 발명에 따른 박막 트랜지스터 기판 및 그 제조 방법은 신호 라인들 위 및 신호 라인들 사이의 보호막에 스트립퍼 침투 경로인 다수의 슬릿을 형성함으로써 투명 도전막이 덮인 포토레지스트 패턴의 리프트-오프 능력을 효과적으로 향상시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

다수의 박막 트랜지스터와, 그 박막 트랜지스터와 접속된 화소 전극을 포함하는 표시 소자용 박막 트랜지스터 기판에 있어서,

상기 다수의 박막 트랜지스터에 신호를 공급하는 다수의 신호 라인과;

스트립퍼 침투를 위하여 상기 신호 라인 위, 또는 상기 신호 라인들 사이의 보호막에 형성된 슬릿을 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 2.

제 1 항에 있어서,

상기 슬릿은

상기 박막 트랜지스터 및 화소 전극이 형성된 표시 영역을 제외한 비표시 영역에 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 3.

제 2 항에 있어서,

상기 표시 영역의 신호 라인은 상기 박막 트랜지스터와 접속되고 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 구비하고;

상기 화소 전극은 상기 화소 영역에서 상기 보호막과 경계를 이루며 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 4.

제 3 항에 있어서,

상기 슬릿은,

상기 게이트 라인과 게이트 링크를 경유하여 접속된 게이트 패드들 사이, 또는 게이트 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 5.

제 3 항에 있어서,

상기 게이트 패드는

상기 게이트 링크와 접속된 게이트 패드 하부 전극과;

상기 게이트 패드 하부 전극 위의 게이트 절연막 및 보호막을 관통하여 형성된 다수의 컨택홀과;

상기 컨택홀 내에서 상기 보호막과 경계를 이루며 형성된 게이트 패드 상부 전극을 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 6.

제 5 항에 있어서,

상기 게이트 패드 사이의 슬릿은 상기 게이트 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 7.

제 6 항에 있어서,

상기 게이트 패드 사이의 슬릿은 상기 게이트 링크들 사이로 연장된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 8.

제 3 항에 있어서,

상기 슬릿은,

상기 데이터 라인과 데이터 링크를 경유하여 접속된 데이터 패드들 사이, 또는 데이터 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 9.

제 8 항에 있어서,

상기 데이터 패드는

상기 데이터 링크와 접속된 데이터 패드 하부 전극과;

상기 데이터 패드 하부 전극 위의 보호막을 관통하여 형성된 다수의 컨택홀과;

상기 컨택홀 내에서 상기 보호막과 경계를 이루며 형성된 데이터 패드 상부 전극을 구비하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 10.

제 9 항에 있어서,

상기 데이터 패드 사이의 슬릿은 상기 데이터 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 11.

제 9 항에 있어서,

상기 데이터 패드 사이의 슬릿은 상기 데이터 링크들 사이로 연장된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 12.

제 8 항에 있어서,

상기 데이터 링크 사이의 슬릿은 복수개씩의 데이터 링크를 사이에 두고 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 13.

제 3 항에 있어서,

상기 슬릿은

상기 비표시 영역에 형성되어 상기 게이트 라인들 및 데이터 라인들을 구동하는 드라이버에 필요한 구동 신호를 공급하는 라인 온 글래스형 신호 라인 위 또는 그 라인 온 글래스형 신호 라인 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 14.

제 1 항에 있어서,

상기 슬릿내에는 투명 도전 패턴이 잔존하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 15.

제 1 항에 있어서,

상기 신호 라인들을 오드와 이븐으로 분리하여 접속된 쇼팅바를 추가로 구비하고,

상기 슬릿은 상기 쇼팅바 사이에도 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판.

청구항 16.

다수의 박막 트랜지스터와, 그 박막 트랜지스터와 접속된 화소 전극을 포함는 표시 소자용 박막 트랜지스터 기판의 제조 방법에 있어서,

상기 박막 트랜지스터와 함께 그 박막 트랜지스터에 신호를 공급하며 다수의 신호 라인을 형성하는 단계와;

상기 신호 라인을 덮은 절연막을 형성한 후 포토레지스트 패턴을 이용하여 상기 신호 라인 위 또는 그 신호 라인 사이의 절연막에 슬릿을 형성하는 단계와;

상기 슬릿을 경유하여 침투한 스트립퍼에 의해 상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 17.

다수의 박막 트랜지스터와, 그 박막 트랜지스터와 접속된 화소 전극을 포함하는 표시 소자용 박막 트랜지스터 기판의 제조 방법에 있어서,

상기 박막 트랜지스터와 함께 그 박막 트랜지스터에 신호를 공급하며 다수의 신호 라인을, 게이트 절연막을 사이에 두도록 형성하는 단계와;

상기 게이트 절연막 위에 상기 박막 트랜지스터 및 신호 라인을 덮는 보호막을 형성하는 단계와;

포토레지스트 패턴을 이용하여 상기 보호막 및 게이트 절연막을 패터닝하면서 상기 다수의 신호 라인 위 또는 그 신호 라인 사이에 슬릿을 형성하는 단계와;

상기 포토레지스트 패턴이 존재하는 보호막 위에 투명 도전막을 형성하는 단계와;

상기 슬릿을 통해 침투한 스트립퍼에 의해 상기 투명 도전막이 덮힌 포토레지스트 패턴을 제거하여 상기 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 슬릿은

상기 박막 트랜지스터 및 화소 전극이 형성된 표시 영역을 제외한 비표시 영역에 형성되는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 19.

제 18 항에 있어서,

상기 신호 라인 형성시, 상기 박막 트랜지스터와 접속되고 상기 게이트 절연막을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인 및 데이터 라인을 형성하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 20.

제 19 항에 있어서,

상기 신호 라인 형성시, 상기 비표시 영역에서 상기 게이트 라인과 접속된 게이트 링크, 그 게이트 링크와 접속된 게이트 패드 하부 전극을 형성하는 단계와;

상기 슬릿 형성시, 상기 게이트 패드 하부 전극 위의 게이트 절연막 및 보호막을 관통하는 다수의 컨택홀을 형성하는 단계와;

상기 화소 전극 형성시, 상기 다수의 컨택홀내에서 상기 보호막과 경계를 이루는 게이트 패드 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 21.

제 20 항에 있어서,

상기 슬릿은,

상기 게이트 패드들 사이 또는 게이트 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하도록 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관의 제조 방법.

청구항 22.

제 21 항에 있어서,

상기 게이트 패드 사이의 슬릿은 상기 게이트 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관의 제조 방법.

청구항 23.

제 21 항에 있어서,

상기 게이트 패드 사이의 슬릿은 상기 게이트 링크들 사이로 연장된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관.

청구항 24.

제 19 항에 있어서,

상기 신호 라인 형성시, 상기 비표시 영역에서 상기 데이터 라인과 접속된 데이터 링크, 그 데이터 링크와 접속된 데이터 패드 하부 전극을 형성하는 단계와;

상기 슬릿 형성시, 상기 데이터 패드 하부 전극 위의 보호막을 관통하는 다수의 콘택홀을 형성하는 단계와;

상기 화소 전극 형성시, 상기 다수의 콘택홀내에서 상기 보호막과 경계를 이루는 데이터 패드 상부 전극을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관의 제조 방법.

청구항 25.

제 24 항에 있어서,

상기 슬릿은,

상기 데이터 라인과 데이터 링크를 경유하여 접속된 데이터 패드들 사이, 또는 데이터 링크들 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관의 제조 방법.

청구항 26.

제 25 항에 있어서,

상기 데이터 패드 사이의 슬릿은 상기 데이터 패드 상부 전극과 인접한 영역을 회피하도록 분리되어 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기관의 제조 방법.

청구항 27.

제 25 항에 있어서,

상기 데이터 패드 사이의 슬릿은 상기 데이터 링크들 사이로 연장된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 28.

제 25 항에 있어서,

상기 데이터 링크 사이의 슬릿은 복수개씩의 데이터 링크를 사이에 두고 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 29.

제 17 항에 있어서,

상기 신호 라인 형성시, 상기 비표시 영역에 상기 게이트 라인들 및 데이터 라인들을 구동하는 드라이버에 필요한 구동 신호를 공급하는 라인 온 글래스형 신호 라인을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 30.

제 29 항에 있어서,

상기 슬릿은,

상기 라인 온 글래스형 신호 라인 위 또는 그 라인 온 글래스형 신호 라인 사이에서 상기 보호막 및 게이트 절연막을 관통하여 형성된 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 31.

제 17 항에 있어서,

상기 슬릿내에는 투명 도전 패턴이 잔존하는 것을 특징으로 하는 표시 소자용 박막 트랜지스터 기판의 제조 방법.

청구항 32.

제 17 항에 있어서,

상기 슬릿 형성시,

상기 포토레지스트 패턴의 에지부가 상기 보호막의 에지부 보다 돌출되도록 그 보호막을 과식각하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 33.

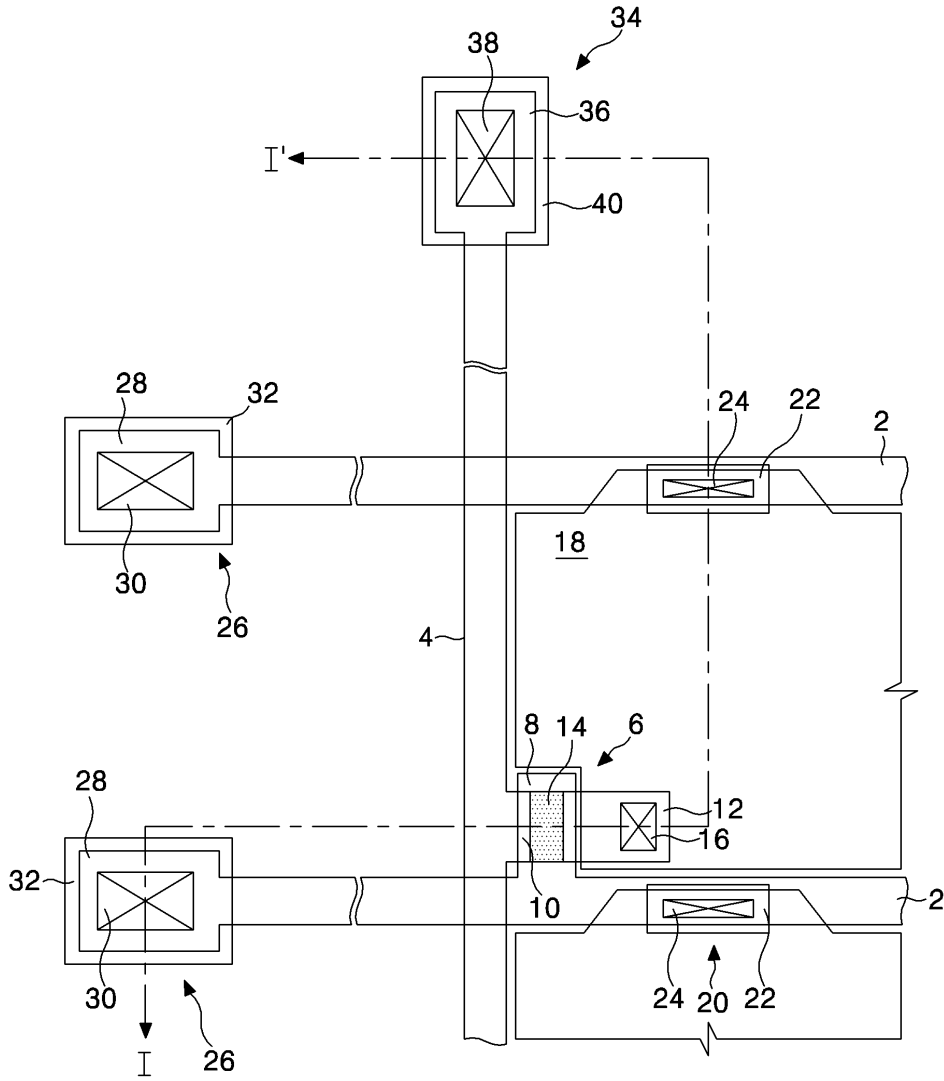
제 17 항에 있어서,

상기 신호 라인 형성시, 그 신호 라인들을 오드와 이븐으로 분리하여 접속된 쇼팅바를 형성하는 단계를 추가로 포함하고,

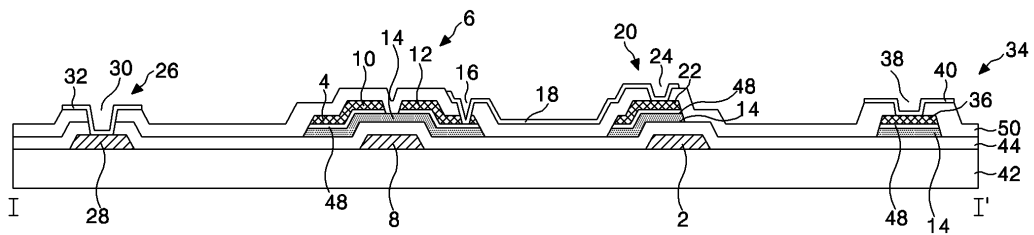
상기 슬릿은 상기 쇼팅바 사이에도 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

도면

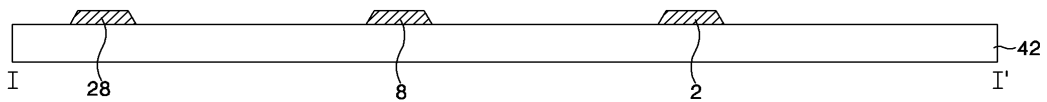
도면1



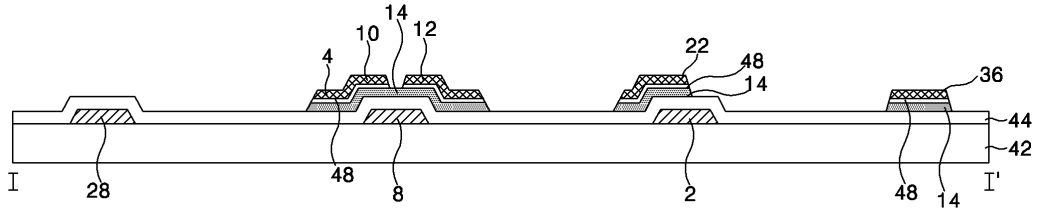
도면2



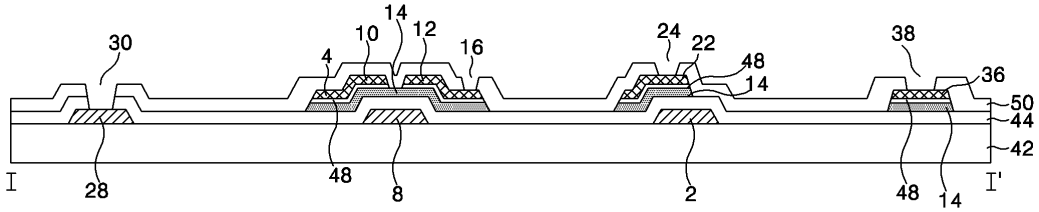
도면3a



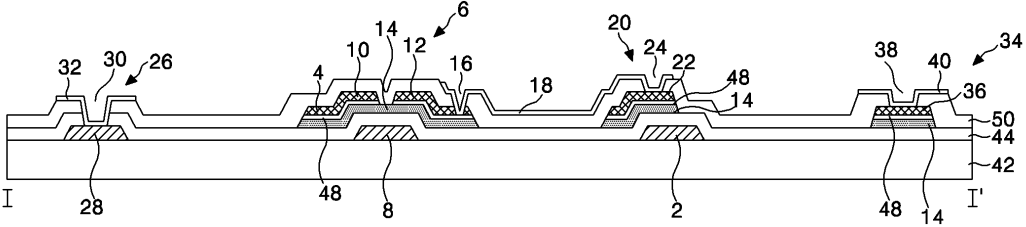
도면3b



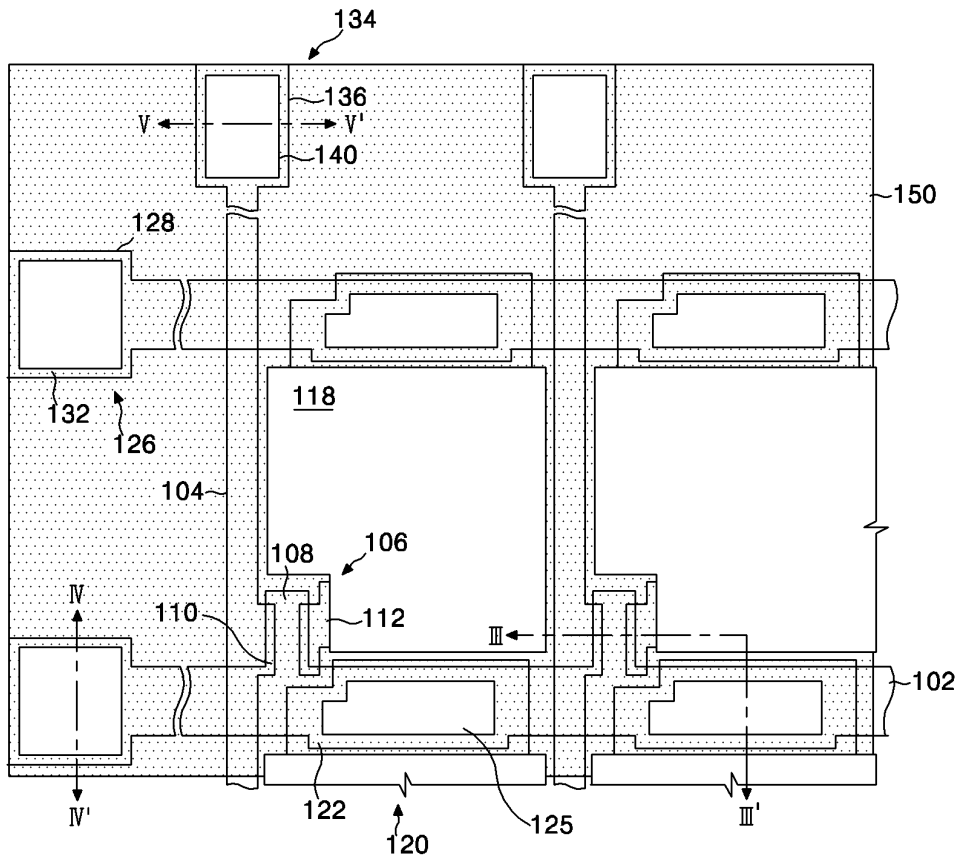
도면3c



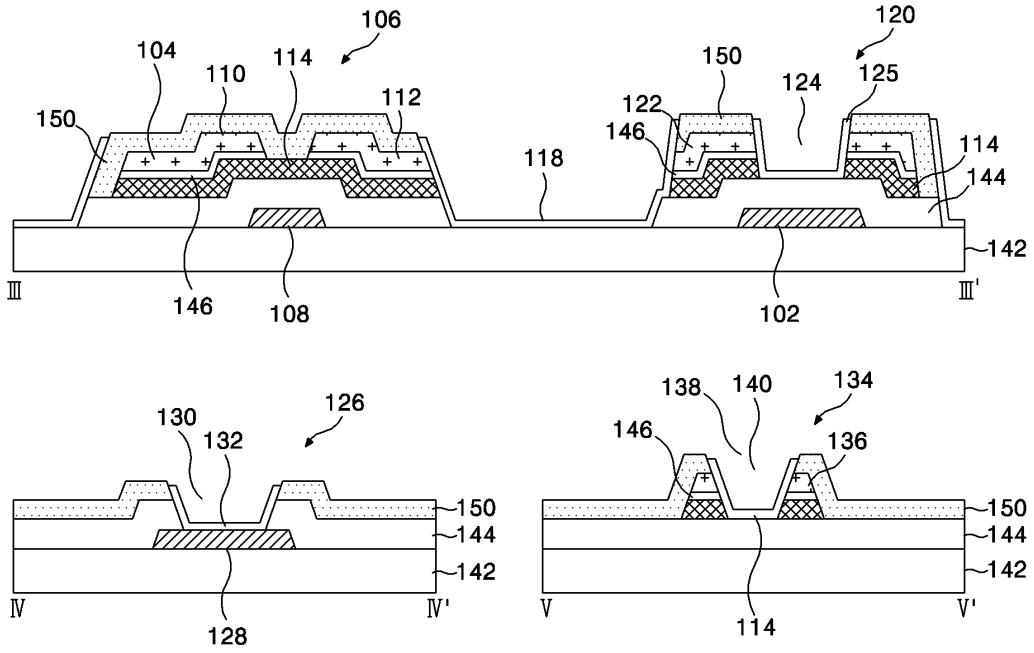
도면3d



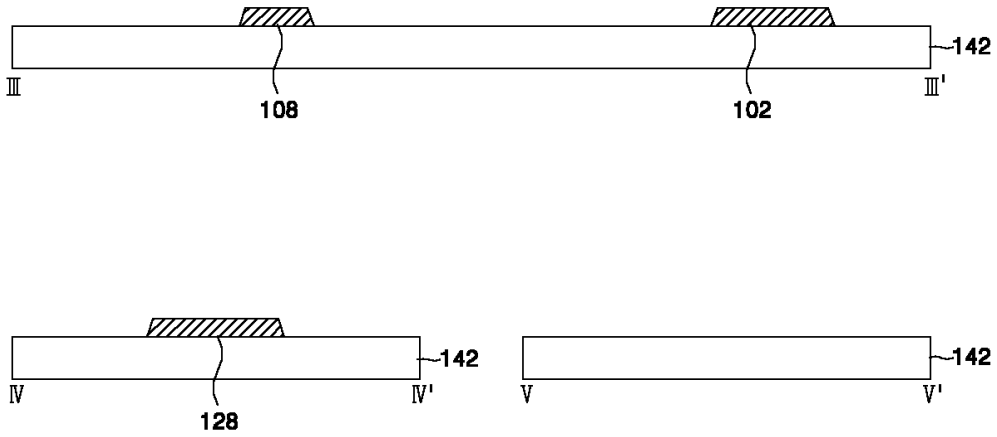
도면4



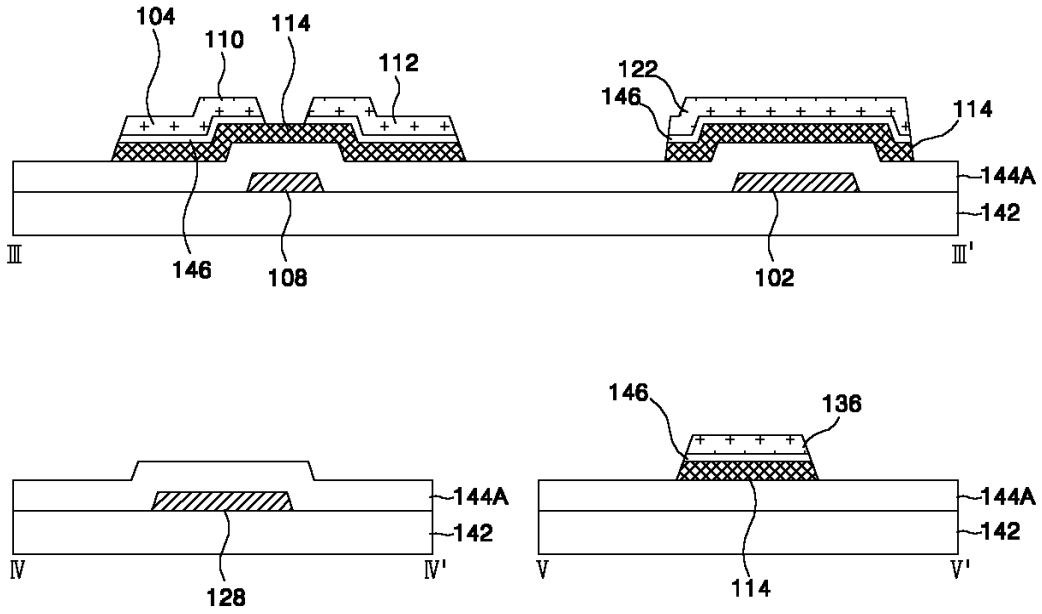
도면5



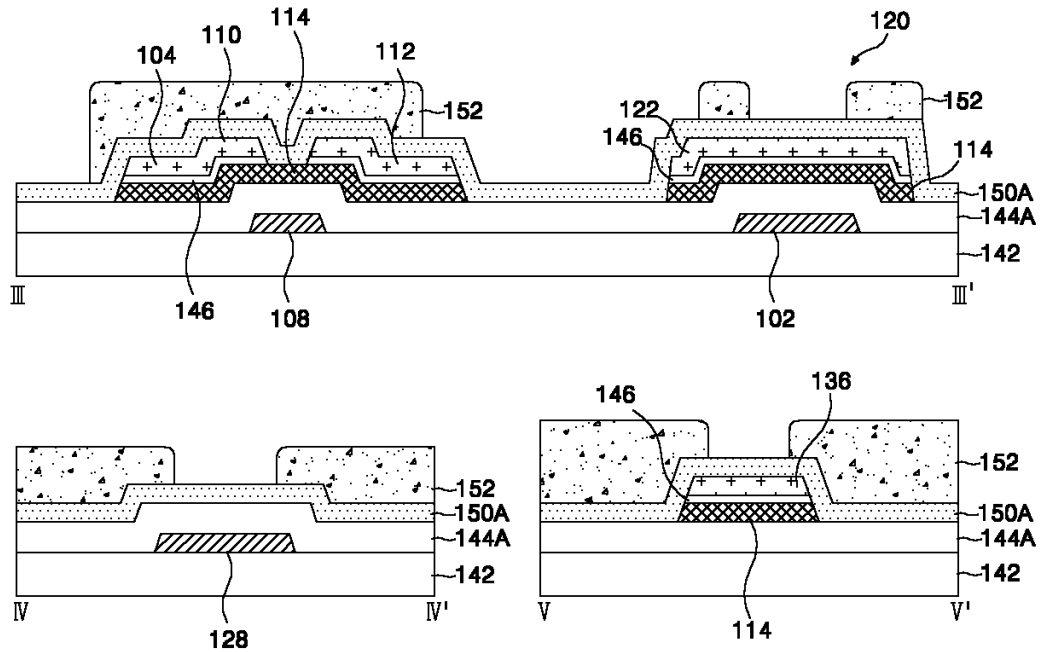
도면6a



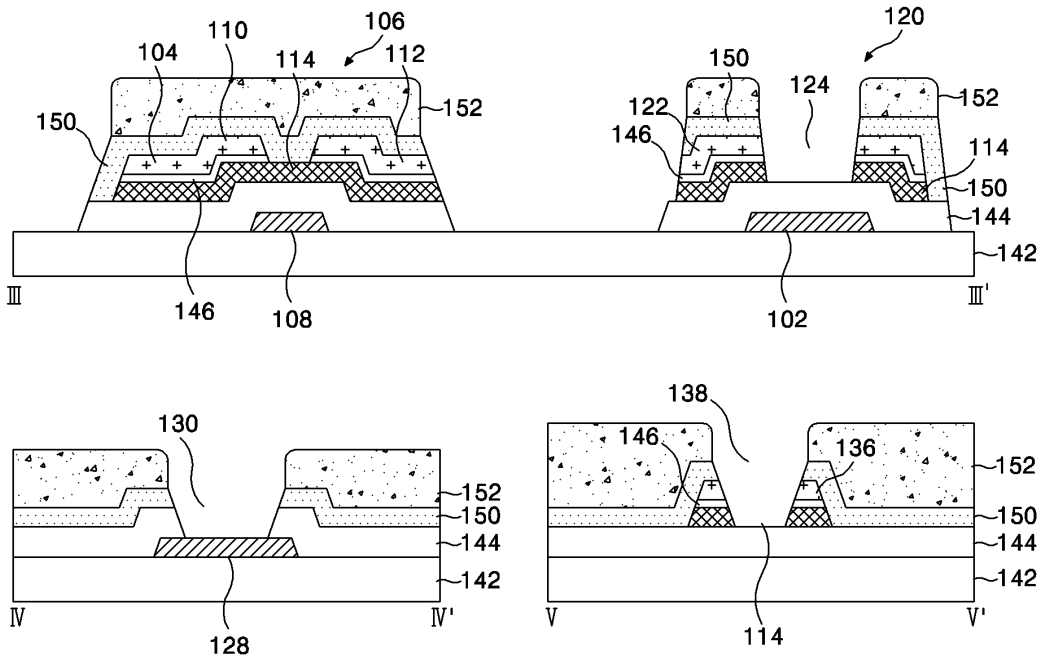
도면6b



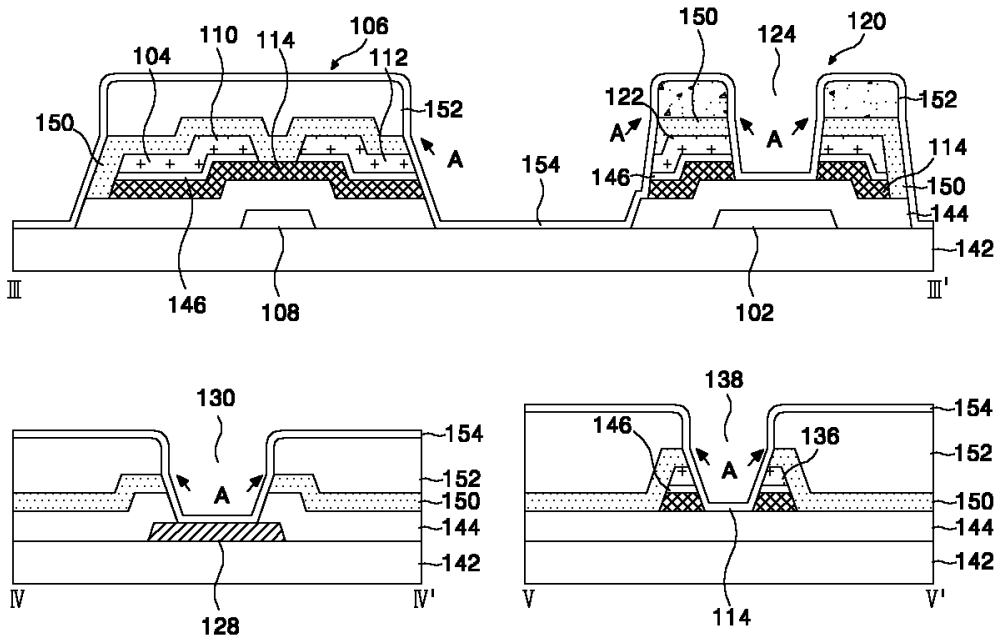
도면6c



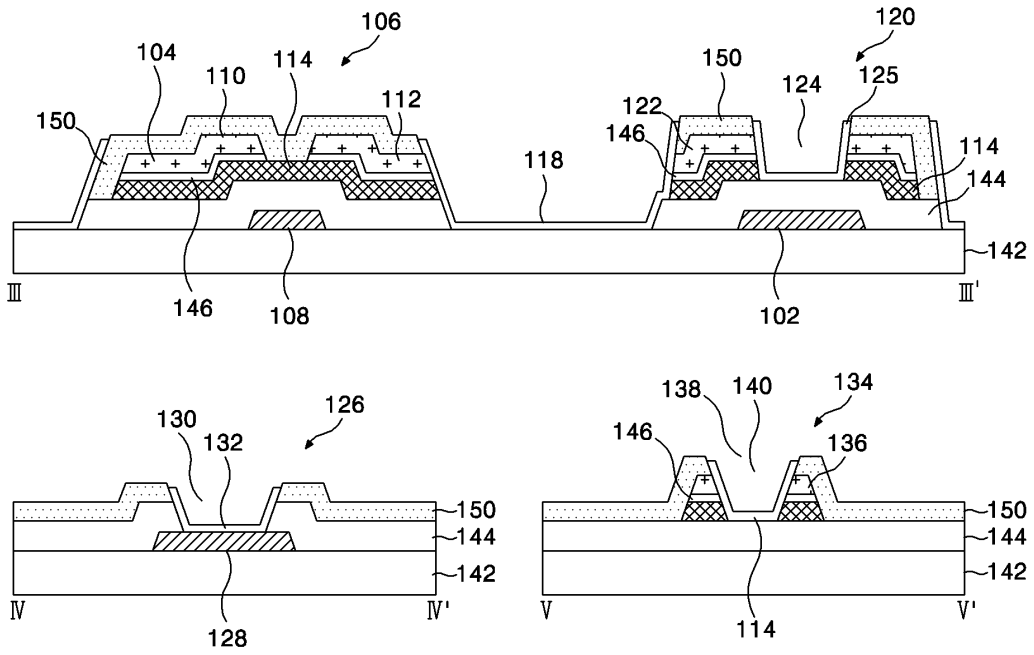
도면6d



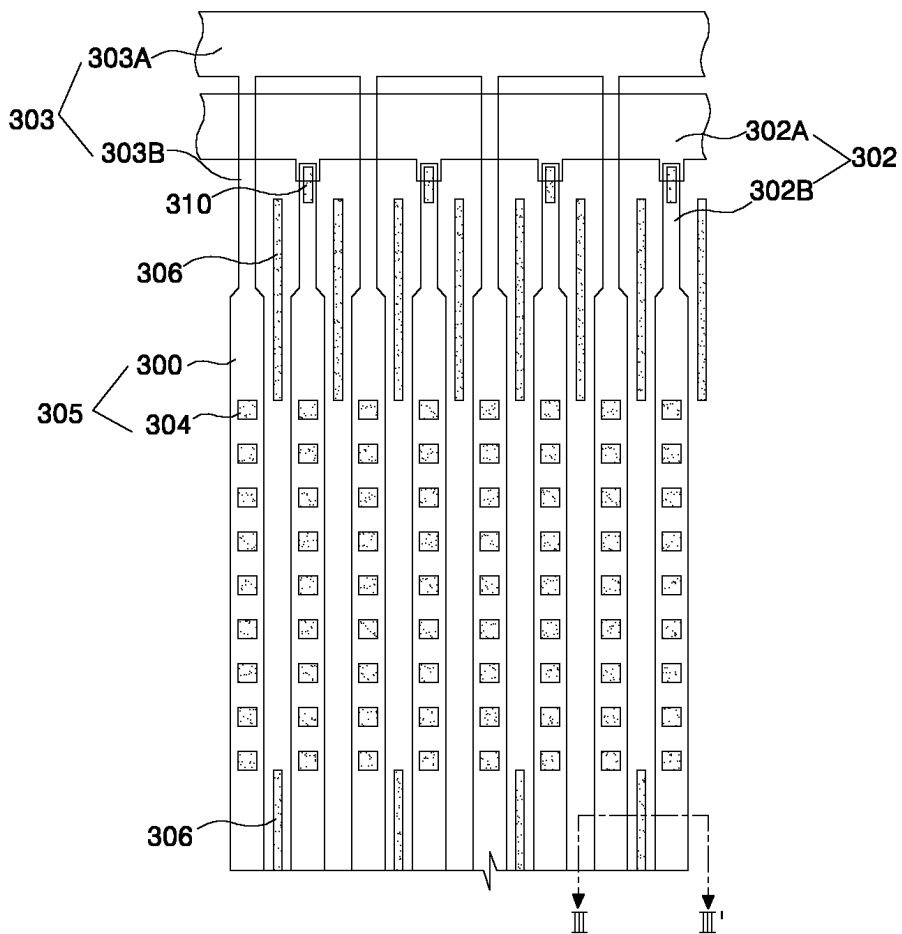
도면6e



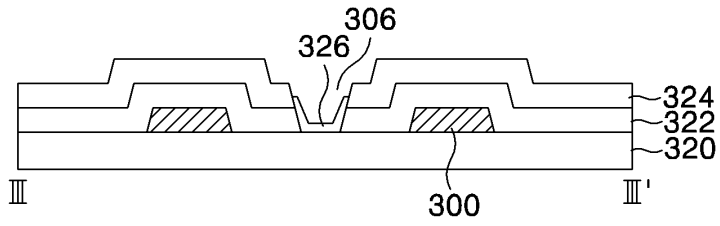
도면6f



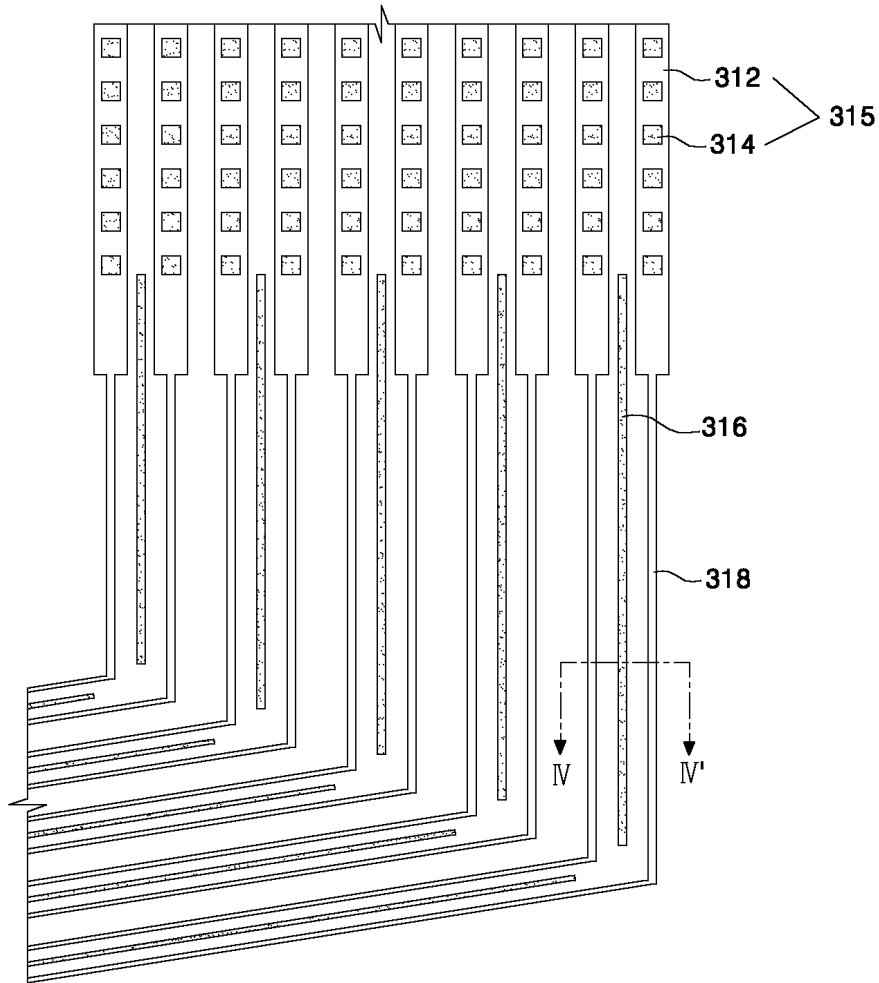
도면7a



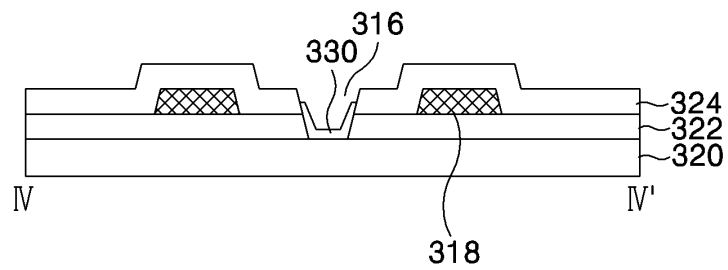
도면7b



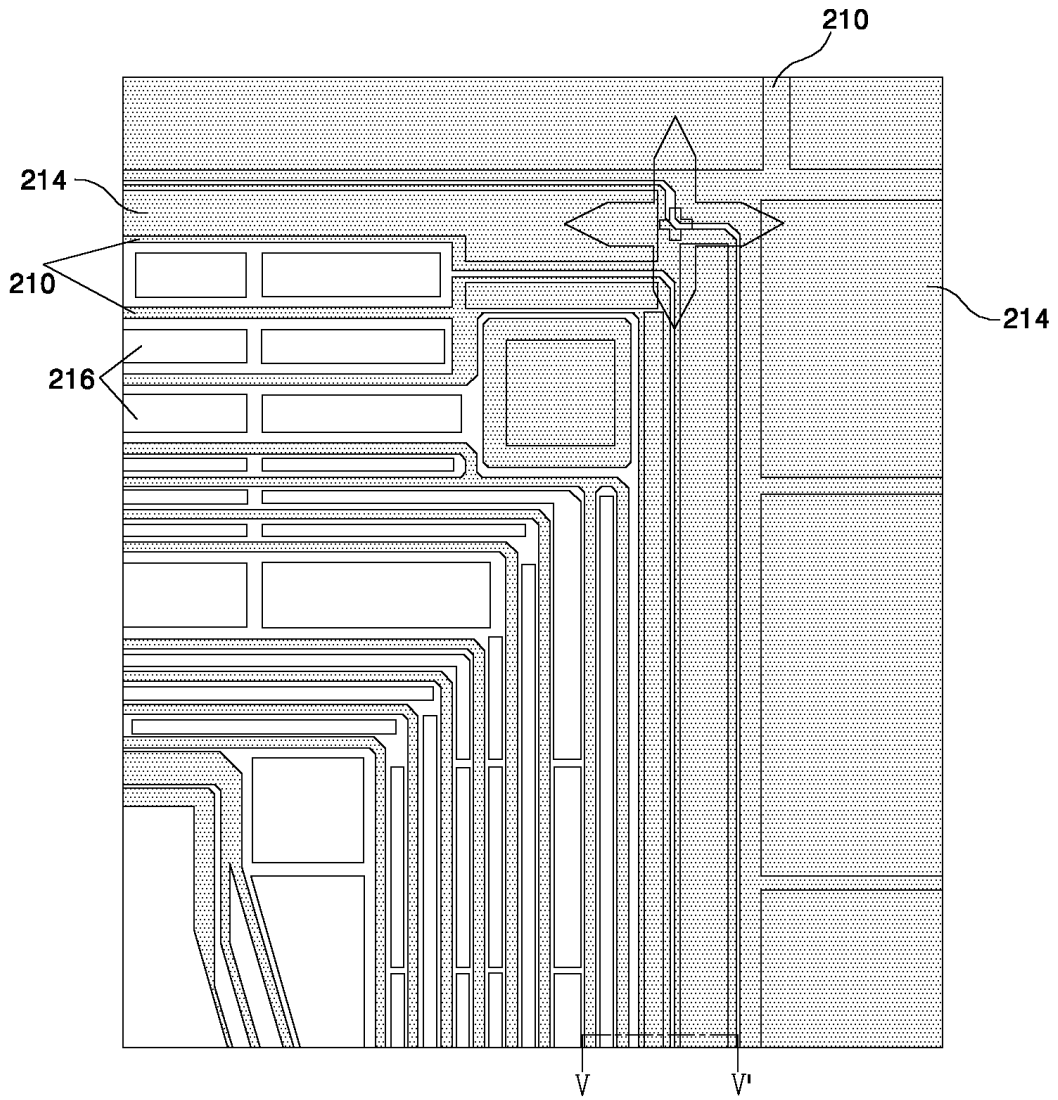
도면8a



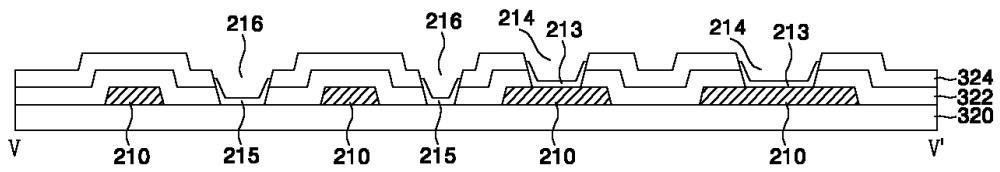
도면8b



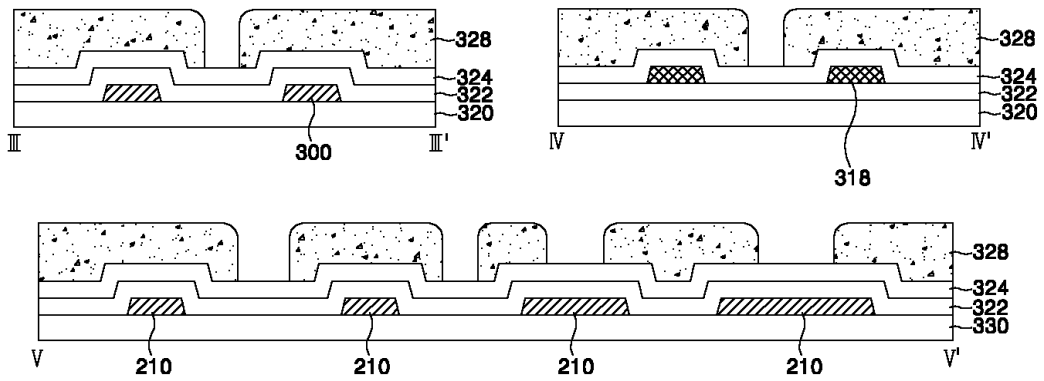
도면9a



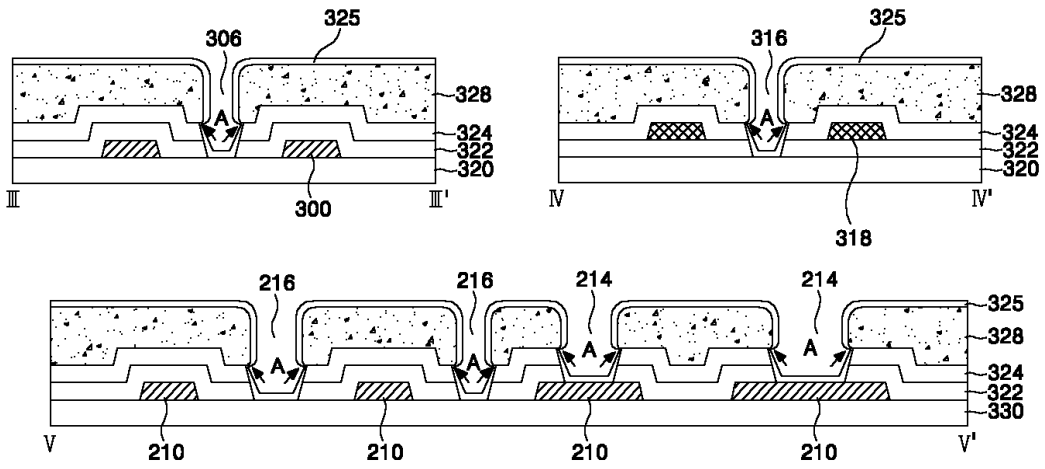
도면9b



도면10a



도면10b



도면10c

