

公告本

申請日期	90 3 13
案 號	89125655
類 別	H01L 21/70

A4
C4

486771

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電容電極結構表面之同形薄膜
	英 文	
二、發明 創作人	姓 名	1 艾維瑞傑馬克斯 2 蘇維 P. 賀加 3 奧斯特 H. A. 葛藍尼門
	國 籍	1 荷蘭 2 芬蘭 3 荷蘭
	住、居所	1 荷蘭比索門 3723 HD 蘇斯地史威基 389 號 2 芬蘭赫爾辛基克米堤 42A 3 荷蘭希威散 1217Ad 和基那達威 71A
三、申請人	姓 名 (名稱)	美商·ASM 美國股份有限公司
	國 籍	美國
	住、居所 (事務所)	美國亞利桑納州鳳凰城東大學大道 3440 號
	代 表 人 姓 名	隆納德 E. 史卡桑克

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
美國 1999/12/03 09/452,844

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (|)

本發明是有關於在下電極結構上形成薄膜，且特別是有關於提供高介電常數的介電質，且在具有半球形矽(hemispherical grain, HSG)的記憶胞下電極上形成接近完全共形的上電極。

當製作積體電路時，會沈積與定義絕緣層、導電層與半導體材料，以構成預期的電路，許多類型的電路結合電容器，其中每一電容器包括一層介電層夾在兩片板或電極之間，記憶晶片像是動態隨機存取記憶體(DRAM)分別使用電容器用以在記憶胞中儲存電荷，每個記憶胞可以表示一位元的資料，其中電容器可以充電或放電以表示邏輯狀態。

在半導體業界的趨勢中，積體電路不斷的縮小以追求更快的操作速度與消耗低的功率，當記憶晶片的封裝密度持續增加時，在更擁擠的記憶胞中的每一個電容器必須還能夠維持一個最低的電荷儲存量，以確保不需要外的更新週期仍保有記憶胞的操作可靠度，因此隨著電路設計的發展，電容器設計可以在分配給每一個記憶胞的縮小晶片區域中儲存更多的電荷，因此必須發展相關的技術以在給定的區域中增加記憶胞電容器的所有電荷容量。

儲存在電容器中電荷的量與靜電容量, $C = k k_0 A / d$ ，成正比，其中 k 表示位於兩個電極之間的電容器介電質的介電係數或是介電常數， k_0 表示真空的介電係數， A 為電極的表面積，而 d 表示電極之間的間隔，也表示內電極介電質的厚度。早期的技術均鎖定在利用堆疊電容器或溝渠電容

五、發明說明(7)

器中產生的摺疊結構來增加電極的有效表面積，溝渠電容器係形成在半導體基底中，基底中會有電晶體，而堆疊電容器則形成在電晶體上，這樣的結構是利用電極與電容器介電質的三度空間之外形來利用晶片區域。

第 1A 圖介紹一種堆疊電容器記憶胞 10 的例子，其中電容器係位於半導體基底 12 上方，對業界來說這種電容器設計是已知的，稱為”stud”電容器，首先形成包括堆疊在基底 12 上的閘極 14 與在基底 12 中有重摻雜主動區 16 的電晶體，穿過一層覆蓋在電晶體上方的絕緣層 20 形成一個接觸 18，此接觸 18 會形成在絕緣層 20 上的電容器 11 之下電極或儲存電極 22 電性連接，在下電極 22 上塗佈上一層薄的電容器介電層 24，且在電容器介電質 24 上形成一層上電極 26。

第 1B 圖為一個例子，介紹一種具有不同堆疊電容器設計的記憶胞 10a，相似的部分係利用相同的標號來表示，在第 1B 圖中，在基底 12 上有一個電容器 11a，此基底 12 包括有絕緣層 20 覆蓋之電晶體，其中電容器 11a 具有一個柱狀輪廓，其中下電極 22a 利用接觸 18 與下層的電晶體電性連接，柱狀結構可以提供較大的表面積。如圖所示，其內表面與外表面被暴露出來，因此下電極 22a 甚至比第 1A 圖中的電容器 11 之下電極 22 具有更大的有效表面積，將一層薄的電容器介電層 24a 塗佈在下電極 22a 上，然後在電容器介電質 24a 上覆蓋一層上電極 26a。所謂的”冠狀”結構與第 1B 圖中介紹的柱狀電容器 11a 相似，但是更進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

一步包括多個同心的圓柱體，其他的堆疊電容器設計均在半導體基底上有類似蕈狀外形、鰭狀結構、接腳以及其他各種複雜的結構。

第 2 圖與第 1A 圖與第 1B 的堆疊電容器相反，是介紹一種結合溝渠電容器 31 的記憶胞 30，其中溝渠電容器 31 大部分位於半導體基底 32 中。就像前述的堆疊電容器一樣，在基底 32 上有一個包括閘極結構 34 的電晶體，而在基底 32 中有一個重摻雜主動區，汲極區(其中一個主動區 36)與電容器 31 的下電極或儲存電極 42 電性連接，利用摻雜或其他方法使在半導體基底 32 的溝渠之側壁導電，以形成此下電極 42，利用溝渠的側壁提供一個大面積的下電極 42，將一層薄的電容器介電層 44 塗佈在下電極 42 上，而且形成一層上電極或參考電極 46 覆蓋在介電質 44 上。

無論如何，僅僅利用這樣的結構來增加記憶胞的電容量會在增進記憶晶片電路設計時變的不切實際，堆疊電容器的表面積理論上可以利用增加下電極的高度來增加，相同的，溝渠電容器的深度也幾乎可以增加到與基底厚度相近的程度，但是很不幸的，在積體電路上的高度與深度特性上都會有其限制，對熟習此技藝者來說均知，很難利用傳統的沈積技術在階梯高度大的地方進行共形的塗佈、形成線或填滿，此外後續晶片的表面狀態也對後續光學微影製程有不利的影響。

另外，僅以電容器的高度或深度來看，利用在下電極的大結構摺疊狀態下提供結構的或是粗糙的表面，其微結

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(4)

構可以進一步的增加電容器電極的表面積，比如利用沿著晶粒界面優先蝕刻的方法可以使複晶矽導電材料變的粗糙，比如揭露於由 Han 等人發明美國第 3,405,801 號專利中之技術，或是 Hirota 等人發明之美國第 5,372,962 號專利，裡面提到不同的選擇性蝕刻以穿過多晶矽層的方式。

另一種型態的電極結構技術包括半球形矽晶粒(HSG)的行程，習知有一些形成 HSG 的方法，包括直接沈積用以在成核的位置上選擇性的沈積多晶矽，以及對非晶矽進行回火以重新分配，用熱能使矽原子在表面上移動並在成核位置上聚集成塊。第 1A 圖與第 1B 圖顯示在下電極 22, 22a 的基本堆疊或柱狀結構上有 HSG 的微結構 28, 28a，以增加電極的有效表面積，同樣的，第 2 圖的下電極 42 也包括一層 HSG 層來增加其電極表面積。

爲了完全了解粗糙的下電極表面積增加的優點，電容器的介電層應該與下電極的表面共形當介電層厚度(上面電容量計算式中定義的“d”)應該盡可能的小以使電容量達到最大，但是太薄的電容器介電層會有電容器電極漏電的可能，漏電流可能來自於介電層的小洞或是量子的隧穿效應，兩者都更可能在薄的介電層中發生，薄的電容器介電層因此具有低的崩潰電壓，在崩潰漏電發生以前下電極中儲存的電荷即會因此受到限制，因此電容器介電質必須根據選擇的介電材料有一定的最小厚度限制以避免崩潰發生。

參照第 3 圖，其繪示爲一個 HSG 層 50 的放大圖，層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

52 包括在導電基底 54 上的半球型係晶粒 52 的導電摻雜複晶矽(複晶矽或單晶)，其中晶粒 52 的精粒尺寸約為 50 埃至 750 埃。利用 CVD 在 HSG 層 52 上沈積一層介電層 56，使用的介電質包括一般的介電材料，像是氧化矽(SiO_2)以及/或氮化矽(Si_3N_4)，這些都是熟知且容易與一單製程整合在一起的材料，舉例來說，這些材料的 CVD 也被發展的很好了。

如圖所示，利用 CVD 沈積的介電層 56 共形的覆蓋在 HSG 層 50 的表面上，但是因為各種因素，習知的 CVD 製程並無法在高粗糙表面結構，像是 HSG，上形成完全共形的介電質，CVD 本來就會在表面的不同工作區域上表現出不同的沈積速率，而區域的不均勻溫度，特別是大區域像是 300-mm 的晶圓，更會影響 CVD 層的厚度均勻度；而因為反應器的設計，反應劑的濃度變化、氣體流動動力與消耗的影像，同樣會影響大工作區域的厚度均勻度，基於這些及其他問題，利用傳統的 CVD 無法完全在事先控制成長速度與共形度。

以工作區域的變化來看，不均勻度也會造成微小的粗糙表面，且特別在彼此相鄰或交錯的鄰近晶粒 52 之間的連接區域 60，介電層橋接這些鄰近晶粒 52 並在這些晶粒的頂端表面 61 上產生一層相當厚度的介電質。在一些情況中，凹陷的外形 62 會發生在緊密的或是蕈狀晶粒 52 之間，在這些結構的連接區域 60 之介電質 CVD 會完全填滿這些晶粒 52 之間的連接區域，或是當介電質密合時在這

五、發明說明 (6)

些晶粒 52 之間留下空隙 64，在這些情況中，上電極無法共形的覆蓋在這些晶粒 52 的表面上，因此晶粒 52 的下部分將無法提供有效的電容量。

假如在 HSG 之間的連接區域 60 中沈積最小厚度之介電質 56，位於頂端表面的介電質會太薄，且可能會導致漏電而使資料錯誤，因使介電質 56 的最小厚度必須要求到晶粒 52 的頂端表面 61 不會有漏電，在晶粒 52 連接區域 60 的介電層 56 因此會較理論上的要求要厚，而因此降低了電容量。由另外一方面來看，橋接在連接區域 60 的介電質會損失 HSG 晶粒 52 下部的表面積，因此無法完全達到 HSG 的優點。

因為有這些在增加電極表面積的限制，許多研究便轉而均著重在增加電容器介電質的介電常數(k)，有太多的研究已鎖定在研發具有高 k 值的新介電材料，高 k 值材料包括氧化鋁(Al_2O_3)、氧化鉭(Ta_2O_5)、鈦酸鋇鉬(BST)、鈦酸鋇(ST)、鈦酸鋇(BT)、鈦酸鉛鉛(PZT)、與鉭酸鋇鉬(SBT)，這些材料的特性就是其介電常數很明顯的高於傳統的介電質(像是氧化矽或氮化物)。雖然二氧化矽的 k 等於 3.9，這些新材料的介電常數範圍卻可以由 10(氧化鋁)到 300(BST)，有一些甚至更高(600 到 800)，使用這些材料可以很有效的增加電容量。

此外，電容器介電質的 k 值的顯著增加使得利用較小且簡單的電容器設計就可以滿足其對電荷儲存之要求，電容器的表面積需求的減少可以簡化積體電路製程，且可以

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明()

使未來的電路設計有更高的封裝密度。

無論如何，要將高 k 材料結合進傳統的製程會有一些困難，一些材料，像是 Ta₂O₅、BST 與其他”奇特(exotic)”的材料，均傾向伴隨有高氧化性、高溫沈積與預先沈積回火等條件，會使傳統的電極材料氧化，且甚至將氧擴散到下方的電路元件中。其他材料，像是 ZrO₂ 與 TiO₂，具有很不規律的性質，會隨著製程的條件變化。

有鑑於此，需要更有效的方法來增加積集度高的記憶胞之儲存電容量。

爲了滿足此需求，在此提供方法以在粗糙的下電極表面上沈積介電質與上電極材料，其優點在於這些方法可以達到高的共形度，因此僅需要在整個表面上成長一層必要最小厚度的襯層即可，這些方法可以在維持矽電極的有利條件下於 HSG 上沈積高介電常數(高 k)的材料。

通常，這些方法包括反應物階段的交替變化的循環，其中每一個像具有自我限制的效果，利用吸附自我終止金屬或矽合成物的單層，經過根基交換(ligand-exchange)反應可以製作介電常數高於 10 的金屬氧化物與三元材料，在吸附的金屬或矽的合成物上的根基接著會被含氧的片對給移除掉，留下 OH 基與用於橋接鹵化物或有基單層的氧。有一些例子用來說明簡單二元金屬氧化物、三元材料像是金屬矽酸鹽與包括不同組成的介電層的極薄的結構。

有利的是，這些方法可以在 HSG 層上形成均勻厚度的介電層，而且盡可能的薄到不會由此介電質產生漏電流；

五、發明說明（ 8 ）

此外，這些方法容易將高 k 材料與具有高的表面積粗糙之電極作結合，可因此達到最大的電容量，更可進一步的在沒有損失可靠度的情況下降低其臨界尺寸。

相似的結構也可以用來在共形的介電層上形成上電極材料，這裡的例子以金屬氮化物遮蔽層作為基礎的金屬層，接著利用較佳的方法來沈積薄且共形的導電層，傳統減少其共形度的沈積方法可以在沒有減少電容量的情況下達到期預定的上電極厚度，利用較佳的方法形成之共形的電容器介電質與上電極因此可以提供粗糙下電極增加之表面積所帶來得完全優點。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖繪示為一種具有 HSG 的堆疊電容器記憶胞之結構剖面圖；

第 1B 圖繪示為另一種具有 HSG 的柱狀電容器記憶胞之結構剖面圖；

第 2 圖繪示為一種具有 HSG 的溝渠電容器記憶胞的結構剖面圖；

第 3 圖繪示為以傳統的化學器想沈積法形成介電層之具有 HSG 的電容器之局部放大圖；

第 4A 圖為在 HSG 上形成共形的介電層的一種記憶胞製造方法的步驟流程圖；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (C)

第 4B 圖係介紹在 HSG 上形成共形的三元介電材料的記憶胞製造方法的更詳盡的流程圖；

第 5 圖為根據本發明一較佳實施例的一種用於沈積二元介電層的氣體供應流程圖；

第 6 圖為根據本發明另一較佳實施例的一種用於沈積三元介電層的氣體供應流程圖；

第 7 圖為一個記憶胞電容器之局部結構剖面圖，其中包括一層共形極薄的介電質覆蓋在 HSG 層上；

第 8 圖為一個已進行部分製程的記憶胞電容器之局部結構剖面圖，其中包括一層共形極薄的介電質覆蓋在一層阻障層與 HSG 層上；

第 9 圖為一個已進行部分製程的記憶胞電容器之局部結構剖面圖，其中包括一層極薄結構的介電質覆蓋在 HSG 層上；以及

第 10 圖為一個具有 HSG 下電極的記憶胞電容器之局部結構剖面圖，其上有分別有一層共形極薄的介電質與一層共形的阻障層。

圖示標記說明：

- | | | | |
|----------------------------|-----|------------|--------|
| 10, 30 | 記憶胞 | 12, 32, 54 | 基底 |
| 14, 34 | 閘極 | 16 | 重摻雜主動區 |
| 20 | 絕緣層 | 18 | 接觸 |
| 11, 11a, 31 | 電容器 | | |
| 22, 22a, 40, 300 | 下電極 | | |
| 24, 44, 56, 302, 302a~302c | 介電質 | | |

五、發明說明 (10)

- 26, 26a, 46, 308, 310 上電極
- 28, 28a, 50, 52, 304 HSG 306 阻障層
- 60 連接區域 61 上表面
- 62 凹陷的外形 64 空隙
- 100~108a, 204~223a 製程步驟

實施例

雖然在文中的敘述中有提到較佳的材料，但是熟習此技藝者可由此說明書的揭露，運用各種其他適當的材料，作為粗糙表面上的電容器介電質，應用於本發明的方法與結構中，此外，本發明雖然是在介紹記憶胞儲存電容器，熟習此技藝者也可以根據本發明的敘述將此方法應用在其他粗糙的電極上，像是電力可抹除可程式唯讀記憶體 (EEPROM) 元件。

如上面所述的技術部分，可以知道由傳統 CVD 方法塗佈的電容器電極，且特別是有 HSG 的電極結構較不具有完全的共形性。當許多研究致力於在具有階梯高度差的半導體上得到更共形的階梯覆蓋能力時，很難在這種結構的所有表面上提供相同濃度的沈積成分，且特別的是，很難在 HSG 晶粒的上表面提供與晶粒之間的連接區域相同濃度之沈積成分，此問題再利用不平的電極形成三度空間的摺疊結構，像是如第 1A 圖與第 2 圖中的堆疊式或溝渠式的設計甚至是第 1B 圖中所示具有內部空間的結構，時會更顯的嚴重，因此利用 HSG 增加表面積的優點無法完全發揮。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (11)

藉著提供幾乎完美的階梯覆蓋能力，較佳實施例可以達到在 HSG 晶粒的所有表面上製作預期電容器介電層的最小必要厚度，理想上較佳實施例中的方法與晶粒，也就是有限的晶粒交叉處的反應物成份的相關濃度之相關性很低。

此外，較佳實施例提供沈積高 k 材料的方法，可以與高表面積不平坦的表面與電極作結合，其中最常用來產生微結構面不平坦的比如為 HSG 技術。相較於目前存在於三度空間堆疊結構的高表面積與高 k 介電質之間的一個選擇，本發明的較佳實施例可以使用兩種技術在一個可具有高產能製程下達到非常高的電容量。

較佳實施例提供一種方法來沈積氧化鋁($k \approx 10$)、氧化鋯($k \approx 12-20$)、氧化鈦($k \approx 20-50$)、混合的鋯矽氧化物($k \approx 8-13$)，以及利用組合上述成分形成之極薄結構的介電質，同樣的也提供方法在介電層與 HSG 層上沈積電極材料，這些材料的形成均使用與 HSG 相同的方法，加上產生幾乎完美的共形性。因此，較佳實施例不僅利用高 k 介電材料，還完全利用到 HSG 結構增加的表面積之優點所增加的電容量，如此即使在高寬比大的結構，像是堆疊式或是溝渠式電容器設計中也可以得到共形結構。

較佳實施例中的製程進一步的優點可以由下列的說明來了解。

形成共形電容器介電質的方法

第 4A 圖說明一種電容器介電層的形成方法，且具有

五、發明說明(12)

高的階梯覆蓋力，較適當的方法是先形成一層原子的沈積層(atomic layer deposition, ALD)，其中在一個循環中在交替的脈衝下將反應物提供到工作區域上，其中每一個循環矽利用吸附的方式，更恰當的是利用化學吸附的方法形成不超過一層的材料，將基底溫度維持在一個容易化學吸附的範圍中，且特別是將基底溫度維持在足夠低到維持吸附的化合物與下層表面之間的鍵的完整，且可以避免前趨物的分解。換句話說，將基底溫度維持在一個夠高的程度，以避免反應物的濃縮且在每一個階段中提供預期表面反應的活化能量。當然，對於每個給定的 ALD 反應之適當的溫度範圍繪與其表面結果與反應物以及其中的反應物成分有關。

每一個脈衝或每一個循環的階段較佳是在效果上會自限，在下面提到的進一步範例中，每一個階段均會自我終止(比如吸附且特別是化學吸附的單層會使表面與階段中的化學品沒反應)，在每一個階段中供應過量的反應前趨物使其節透表面飽和，表面飽和可以確保反應劑會佔據所有可以反應的位置(依物理尺寸控制而定，在下面將會有更詳細的敘述)，當自我終止因為長期暴露在反應物下而有過度的薄膜成長時，透過化學吸附，像是自我終止化學物的有計劃的飽和利用可以確保絕佳的階梯覆蓋性。

在形成介電層之前，首先會製作積體電路的部分結構，以構成電容器下電極，通常下電極在記憶胞中是作為一個儲存電極，為了達到本文的目的，下電極表示第一個形成

五、發明說明 (13)

的電容器電極或電板，不論其在整個積體電路中是否用以作為儲存或參考板。

如第 4A 圖所示，利用二元材料作為範例的製程開始為在積體電路中下電極結構的形成步驟 100，基本的下電極結構可以是平面的，像是 EEPROM 元件中的浮置閘，較佳的是下電極為具有較大表面積的三度空間摺疊結構，更適當的是電容器下電極為堆疊電容器的型態，如第 1A 圖中所示的堆疊結構或是第 1B 圖中所示的柱狀結構。對熟習此技藝者來說很容易瞭解本發明揭露的方法也可以應用在其他的堆疊電容器設計上，像是冠狀、鰭狀結構、梳狀、接腳狀等。在另一個排列結構中，電容器下電極乃利用導電摻雜以及/或將在半導體基底中的溝渠之側壁佈滿導電性，如第 2 圖所示。

在形成下電極的微結構以後，不論是堆疊式或是溝渠式的結構，下電極接著會進行步驟 101，將一個不平或粗糙微結構碟在三度空間的摺疊形撞上，進一步增加下電極的表面積，較佳的形式為形成一層 HSG 層。

在一個製作範例中，係在 ASM, International, Inc. 的一個商標名為 A600 UHV™ 下販售的系統下進行，利用非晶矽的沈積、長晶、重分配回火來形成 HSG 層，三度空間摺疊結構上會形成或塗佈有一層非晶矽，當在提到的實施例中的一些步驟中，非晶矽沈積可以與接下來的步驟在同一個反應室中進行，摺疊的非晶矽結構會在將晶圓傳送到 A600 UHV™ 系統以前就形成。

五、發明說明 (14)

在一個適當的反應器中，非晶矽表面會長晶，在提到的實施例中，當反應器壓力降到約為 10^{-5} Torr 的等級時，溫度會被提升到約為攝氏 550 度至 575 度之間的範圍內(比如為攝氏 560 度)，在實施例中長晶的氣體為甲矽烷，其矽甲烷之分壓為 4×10^{-6} Torr。在長晶以後，經過設計可以改變其密度，接續在預定的溫度下進行熱回火，以使非晶矽移動重分配，矽原子的傾向是藉著矽甲烷向長晶或成核的位置聚集，整個過程度大概需要約 10 分鐘的時間，而整個系統則需要 120 分鐘，包括溫度上升，長晶與回火。對於熟習此技藝者來說可以輕易的應用其他技術來製作 HSG 層。

由上述過程製作的 HSG 晶粒尺寸範圍在約為 50 埃至 750 埃，較正常的範圍約為 300 埃至 500 埃，製程條件會影響成核密度與 HSG 晶粒尺寸，通常會將製程條件設定在使形成的晶粒夠大，但彼此之間互相分離的。這樣的設計可以使電極的表面積達到最大，在這樣的限制中可以使接下來大部分的介電質與上電極層可以固定在晶粒之間。由第 7 圖至第 10 圖的局部放大圖來看，因為隨機的長晶過程，會使晶粒隨機的覆蓋在一些位置上，此外，適當的介電質與上電極層可以用的較緊密，較少分開的晶粒，因此可以增加有用的表面積。

對熟習此技藝者來說，下電極較佳是在動態隨機存取記憶體(DRAM)陣列中用以作為記憶胞之儲存電極，在製作以後，下電極通常會與其他陣列中的記憶胞之下電極區

五、發明說明 (15)

隔開，如第 1A 圖、第 1B 圖與第 2 圖所示。

接著將如此形成的下電極結構以高階梯覆蓋率進行塗佈，將介電層覆蓋於其上，介電層是利用一個週期性的製程來製作，其中每一個週期因為有自我限制的作用，因使不會形成超過一層的介電材料，每一個週期包括至少兩個個別的階段，其中每一個均為飽和反應，比如自我限制，而留下不會超過一個原子層的介電材料。

假如有必要，下電極暴露出來的表面(例如實施例中的 HSG 層) 會在終結步驟 102 中與 ALD 製程的第一個階段反應，在金屬氧化物實施例的第一階段(請見表 I 至 V)會與氫氧基(OH)或氨(NH₃)端有反應，在下面的討論中，HSG 的矽表面將不需要個別的限制，暴露在一個潔淨室的環境下會產生原生的氧化層，因為環境中自然存在的 OH 基。當 HSG 是在介電層形成以前在一連串工具中同步形成，可能會將 HSG 暴露在 H₂O 的蒸氣下，就像是表面處理或終結步驟 102。在其他的安排中(請見下面表 II、III 以及第 8 圖的討論)，金屬氧化物也可以直接形成在氮化矽上，而不需要個別的終止步驟，也就是說，HSG 層的氮化可以提供類似終止步驟 102 的功效。

在開始表面的限制以後 102，假如有必要，接著在步驟 104 中將第一化學品供應到工作區域中，根據本發明的金屬氧化物實施例，將會參照第 5 圖更詳盡說明於下。第一化學品包括一種含有金屬的化合物，會與前面提到的步驟 102 之終端表面反應，因此金屬化合物會透過根基(ligand)

五、發明說明 (16)

的交換而取代終端表面，最後含有金屬的單層結構會自我終止，因此任何過多的第一化學品的結構不會進一步的與單層結構反應，其中構成含有金屬的單層結構的較佳材料為鹵基或是有機根。

含有金屬的反應片段較適合以氣體的方式提供，且在後續的說明中以金屬氣體源來稱呼。在步驟 106 中將第一化學品由反應室移出，在實施例中，步驟 106 僅停止第一化學品的流動，而繼續供應載氣一段時間，以散佈或排除過多的反應物，並將反應副產物排出反應室，通入排除用的氣體的量大概為兩倍以上的反應室體積，最好是可以到達三倍以上的反應室體積的氣體量。在實施例中，步驟 106 在停止輸送第一化學品以後，約進行 0.1 秒至 20 秒左右的氣體排除程序，在 1999 年九月八日提出之美國專利申請號 09/392,371 的"IMPROVED APPARATUS AND METHOD FOR GROWTH OF A THIN FILM"申請案中有提到在跳動之間的移除程序，其中揭露的內容可以作為參考，在其他方面，反應室在輪流輸入化學品之前可以完全抽真空；在 1996 年六月 6 日公開，PCT 公開號為 WO 96/17107 之"METHOD AND APPARATUS FOR GROWING THIN FILMS"中揭露的內容也可以作為參考。步驟 104 的吸附作用與步驟 106 的對多餘反應物及副產物的移除可以表示 ALD 循環中的第一階段。

當第一化學品中沒有反應(或過多的)反應物在步驟 106 中自反應室移除以後，在步驟 108 中供應第二化學品到工

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

作區域，第二化學品會與在步驟 104 中形成的自我終止之單層反應。在下列的敘述中將參考第 5 圖作更詳盡的說明，此反應包括提供含氧氣體源到工作區域，氧氣或來自含氧氣體源的一種含氧化合物會與前面吸附的金屬化合物反應，而留下金屬氧化物的單層結構來取代金屬化合物的單層結構。

在其他方式上，第二化學品可以輕易的移除在步驟 104 中形成的吸附之金屬化合物單層的根基(比如以昇華作用或還原作用)或是利用氧化作用來製備單層結構，或是進行另一種化學品的化學吸附。

在步驟 108 中的反應也是自我終止的，反應劑填滿在步驟 104 中剩餘的反應位置，溫度與壓力條件最好是設定在不會有反應劑自第二化學品經過單層結構擴散到下層材料，第二化學品也會留下一個表面端，此表面端並不會與第二化學品的剩餘反應物反應，因此在一個飽和反應階段中操作可以限制沈積的效果，在表I至V中，氫氧根或在金屬氧化物單層的氧的橋接端不會與第二化學品中的過多的含氧氣體源反應。

在經過一段足夠時金屬化合物表面經過第二化學品的化學吸附(或自我限制反應)時間而完全達到飽和以後，過多的第二化學品會在步驟 110 中自工作區域移走，相較於移除第一化學品的步驟 106，此步驟 110 包括停止供應第二化學品，並繼續輸入載氣一段時間，藉以自反應室中排掉第二化學品中過多反應物與反應副產物。舉例來說，反

五、發明說明 (C8)

應物與反應副產物可以在停止供應第二化學品以後，利用輸入排除氣體來加以移除，排除氣體輸入的量至少為兩倍的反應室體積，更適當的是至少為三倍的反應室體積。在實施例中，步驟 110 的移除動作包括在停止輸入第一化學品以後持續通入排除氣體約 0.1 至 20 秒的時間。步驟 108 的反應與步驟 110 的移除動作在 ALD 循環中均表示第二階段。

在實施例中，當兩個階段輪替一次，過多的反應物與第二化學品的副產物會由反應室排出，ALD 過程的第一階段會被重複。因此，步驟 104 的會再次供應第一化學品到工作區域，而形成另一個自我終止的單層結構。

在 ALD 過程中兩個階段 107 與 111 表示循環 115，重複形成單層結構，第一化學品通常會與上一個循環中的第二化學品留下的末端反應(根基的交換)或化學吸附於其上。假如有必要，循環 115 可以延伸包括一個特別的表面製備，與步驟 102 相似，如第 4 圖中加虛線的標示。接著，循環 115 會進行步驟 104 至 110，循環 115 會重複進行數次，直到在 HSG 層上的介電層厚度可以避免元件在操作時候產生漏電的現象，利用相似的 ALD 過程可以沈積多層介電質由這些堆疊的介電質來組成一個薄的介電層，也就是由很多的介電質次層堆疊而成，由下列的敘述參照第 9 圖將可更加了解。

參照第 4B 圖，在每一個循環中也可以加入額外的化學品，在第 4B 圖中，步驟與第 4A 圖的步驟相同的係利

五、發明說明 (19)

用 200 序列中，其末兩位數字與第 4A 圖的 100 序列中的末兩位數字相同的標號來表示，因此步驟 200-210 乃與第 4A 圖中的步驟 100-110 相似。

在第 4B 圖中提到的循環 215 還更包括了兩個額外的階段，第一階段 207 與第二階段 211 會形成自我終止的金屬氧化物或氧化矽單層，第三階段 219 與第四階段 223 會形成另一種自我終止的金屬氧化物或氧化矽單層。請注意在設計的時候，第二個單層的成分最好與第一單層的成分不同，比如如下面的表 VI 中的金屬矽化物的例子。

特別的是，在第一金屬/矽階段 207 與第一氧階段 211 形成第一金屬氧化物或氧化矽單層以後，在步驟 216 中供應第二金屬或矽的氣體源以形成自我限制或自我終止的金屬或矽的化合物單層，覆蓋於前面形成的金屬或矽的氧化物上，與階段 207 的第一金屬/矽的處理程序相似的是，金屬/矽的氣體源可以利用交換根基(化學吸附)，與前面形成的金屬/矽的氧化物進行反應。接下來會進行另一道反應物的移除步驟 218(利用抽真空或是最好是利用排出的方法)、第二含氧氣體源的供應步驟 220 以及後續的移除步驟 222，第二氧化步驟 220(或氧化階段 223)也會自我限制，如同步驟 208 的第一道氧化一樣，含氧氣體源可以利用交換根基(化學吸附)進行反應。

雖然在每一個循環 215 中包括四個階段，因為會產生一種四元的介電質，循環 215 可以被稱為一個”四元循環 215”，這是因為第二階段 211 與第四階段 223 兩個都提供

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (ㄖ)

的相同的元素(氧)到成長中的介電層上。在其他的設計上，依照介電層中氧的預定含量，可以省略第二階段或第四階段，在這樣的一個情況下，連貫的化學品會被選擇用來完成交換根基的反應，以使表面末端有夠小的根基，以容許一些後續的化學品擴散，以及/或具有中間過渡的還原階段來取代省略的氧化階段。

在第三階段 218 中的第二金屬/矽的氣體源可以是鹵化金屬或有機金屬前趨物，產生一個具有鹵基或有機根的一個自我終止的金屬化合物單層，這些根基對第二金屬/矽的氣體源沒有反應性。在表VI的例子中，第二金屬/矽的氣體源包括會自我限制化學吸附的矽氣體源，像是 3-氨基丙基三乙氧基矽烷($\text{NH}_2\text{C}_3\text{H}_6\text{-Si(O-C}_2\text{H}_5)_3$ 或 AMTES)、或是 3-氨基丙基三甲氧基矽烷($\text{NH}_2\text{C}_3\text{H}_6\text{-Si(O-CH}_3)_3$ 或 AMTES)化合物，或是鹵矽烷 (halosilane)，須注意的是金屬源與矽源相的順序是可以顛倒的。

在第四階段 220 中的含氧氣體源可以與第 2 階段所用的相同或不同，本發明發現某些氧化劑(比如臭氧)較適合用來氧化具有有機根的金屬或矽的化合物單層，然而其他的氧化劑(比如水)則較適合用來氧化具有鹵素端的金屬或矽的化合物單層。因此，在表VI的例子中，第四階段 223 的氧化劑與第三階段 219 的氧化劑並不相同，至少在這些階段中，第三階段 219 的金屬/矽源與第一階段 207 的金屬/矽源不同。

為了使製造出來的介電質其不同金屬之間或金屬對矽

五、發明說明 (21)

的比例大概維持在一比一的狀況，會重複進行循環 215，在表 VI 的例子中，依序重複金屬、氧化、矽與氧化階段，以產生金屬矽化物層，用以製作四元介電層的循環 215 可以在一連串的二元循環 115(第 4A 圖)以後，依照最後的四元介電質中金屬預定的比例來進行；反過來說，二元循環 115(第 4A 圖)可以在一連串的四元循環 215 以後進行。可以利用軟體來控制氣體流動量，比如在每三個二元循環 115 以後進行一個四元循環 215，這樣的過程可以大約產生第一金屬對第二金屬(或矽)為 3 比 1 比例的介電層。對熟習此技藝者來說，由這段說明可以知道，實際比例將與第二金屬取代的頻率以及化學吸附分子的相關物理尺寸有關。

雖然在第 4A 圖與第 4B 圖中，二元與四元的過程是以起始金屬/矽的階段與接續的氧化階段為例，但是也可以由氧化階段開始，這與下層表面與階段使用的化學物品有關。

形成金屬氧化物介電質的方法

第 5 圖與表 I 至 V 用以說明在下電極的 HSG 層上形成金屬氧化物介電質的方法，在表 I 中舉例說明形成一個沒有反應性的金屬氧化物(比如鋁)；表 II 與 III 舉例說明形成第 5 族過渡金屬的氧化物(比如鈇、鈳、鉍)；而表 IV 與 V 則說明形成第 4 族過渡金屬的氧化物(比如鈦、鋯、鉛)。為了簡單說明，在第 4A 圖中的敘述中使用相同的參考標號會使用在形成金屬氧化物的階段與步驟中(第 5 圖)。

五、發明說明 (22)

請參照第 5 圖，根據實際應用的例子依序輸入氣體，在此範例中，利用輪流輸入金屬氣體源與含氧氣體源到工作區域中，可以形成高 k 的介電質，特別是高 k 的金屬氧化物，在每一個循環的第一或金屬形成階段 107 會化學吸附一層含有金屬的材料，最好是在沒有含氧氣體的存在下進行；每一循環的第二或氧化階段 111 會在沈積的含有金屬的材料上反應或吸附含氧的材料，此階段最好是在沒有金屬氣體源的存在下進行。在其他的變化上，爲了可以反覆進行這些步驟，進行反應物移除或排出的步驟會在程序中加入或在加入反應物前進行。

最適合的是，金屬化階段 107 是自我限制的，這樣在第一階段進行的期間不會沈積超過一個原子單層，理論上再添加步驟 104 中供應易揮發的金屬氣體源，適當的金屬氣體源比如爲三甲基鋁(TMA, $(CH_3)_3Al$)、氯化鋁($AlCl_3$)、鋁β二酮酸鹽類(比如 $Al(acac)_3$)、乙氧基鉭($Ta(OC_2H_5)_5$)、五氯化鉭($TaCl_5$)、五異二甲基氮化鉭($Ta[N(CH_3)_2]_5$)、四氯化鋇($ZrCl_4$)、四丙氧基鋇($Zr(OC_3H_7)_4$)、四氯化鈦($TiCl_4$)、四異二甲基氮化鈦($Ti[N(CH_3)_2]_4$)、氟化鎢(WF_6)、(AMTES)、(AMTMS)、二氯矽甲烷(DCS)、三氯矽甲烷(TCS)、三氯化鈮(VCl_3)、鈮β二酮酸鹽類($V(acac)_3$)、五氯化鈮($NbCl_5$)、五乙氧基鈮($Nb(OC_2H_5)_5$)、四氯化鉛($HfCl_4$)等。

在提供足夠的時間使下電極的表面充滿金屬氣體源以後，停止金屬氣體源的供應步驟 104，最好是在排除步驟 106 中繼續通入載氣直到金屬氣體源由反應室被完全排

五、發明說明 (23)

出。

在添加步驟 104 中，金屬氣體源會與工作區域暴露出來的表面反應，而沈積或化學吸附一”單層”的金屬化合物，理論上反應物會吸附在工作區域暴露出來的那一層表面每一個可以利用的位置上，吸附的化合物的物理尺寸(特別是具有大的有機根末端)會在每一個循環中限制單層的覆蓋程度。在表I的例子中，在 ALD 過程金屬氧化物的成長約 1 埃/每循環，因此由沈積材料形成一個完整的單層大概需要三個循環的氧化鋁，氧化鋁具有大的晶格參數約為 3 埃。每一個循環表示加入一組金屬氣體源與含氧氣體源，在此使用的”單層”則表示在沈積過程中單層的一個部分，與添加步驟 104 中的自我限制效應有關。

特別的是，供應到工作區域的含有金屬的成分是自我終止的，因使吸附化合物的表面將不會再進一步的與金屬氣體源反應，在下面提到的四個例子中，TMA(表I)會留下一層具有甲基末端的鋁，乙氧基鋁(表II)會留下一層具有乙氧基的鋁。同樣的，其他的易揮發的金屬鹵化物將會留下具有鹵素末端的表面，而有機金屬前趨物將會留下具有有機根的表面，這樣的表面在金屬氣體源的添加步驟 104 中，將不會進一步的與金屬源或其他反應物組成反應，因為暴露在過多的反應物下面將不會產生過多的沈積，在金屬階段 107 的化學品會被稱為飽和或是自我限制。雖然過長時間的暴露在較大的反應物濃度下，HSG 層上表面的沈積在晶粒之間的連接區域並不會有過多的沈積。

五、發明說明 (ㄟㄣ)

在循環 115 的第二階段 111 中，在添加步驟 108 中含氧的氣體源會被供應到工作區域上，在實施例中，含氧的氣體源包括水蒸氣或臭氧，其他適當的氧化劑包括：過氧化氫(H₂O₂)、甲醇、乙醇、氧化氮(N₂O, NO₂)、氧離子等。離子可以利用連接到反應室的電漿源來提供，而臭氧產生器則可以提供臭氧。最好是將第二階段 111 維持一段足夠長的時間，以使在第一階段 107 中產生的金屬化合物的單層完全暴露在含氧的氣體源下，當暴露在含氧氣體源一段足夠長的時間，使在 HSG 層上的含有金屬的單層達到飽和以後，終止步驟 108 的輸入含氧氣體的步驟，但最好在排出步驟 110 中繼續通入載氣，直到將含氧氣體完全排出反應室。

在加入含氧氣體的步驟 108 中，含氧的氣體員會與第一階段 107 會自我終止的金屬化合物單層反應或化學吸附於其上，在實施例中，化學吸附包括一個飽和的根基交換反應，以氧或氧的化合物取代含金屬的單層之有機根或鹵素端，此過程會產生一化學當量的金屬氧化物，具有氫氧根與氧橋接端。相較於金屬添加步驟 107，此單層根據吸附的化合物的物理尺寸，不需要佔據所有可利用的位置，且第二階段 111 也具有自我限制的效果。

特別的是，含氧的氣體源會與前述在加入含金屬氣體的步驟中吸附在工作區域上的金屬化合物之根基反應，因為在添加步驟 108 期間的氧化不會與金屬氧化物單層的氫氧根或氧的橋接端反應，所以此反應也是有表面限制或終

五、發明說明 (六)

止的。此外，溫度與壓力條件被設定在會使氧化劑擴散通過金屬單層而到達下層的材料，在長時間暴露於高含量的反應物的自我限制反應階段 111 中，形成在 HSG 層上表面的金屬氧化物的厚度不會超過其在晶粒之間的連接區域沈積的厚度。

金屬化階段 107(包括加入含有金屬的氣體源的步驟 104 與排出步驟 106)與氧化階段 108(包括加入含氧的氣體源步驟 108 與排出步驟 110)，將一起被定義為一個循環，在 ALD 過程中被重複操作，在開始循環 115 以後，會進行第二個循環 115a，其中含氧的氣體源的步驟 104 會再次進行，金屬氣體源會在前一個循環 115 中形成的金屬氧化物表面上吸附金屬化合物，含有金屬的成分會與暴露出來的表面反應，沈積另一個單層或是金屬化合物單層的一部分，並且產生一個自我終止的表面所以不會繼續與金屬氣體源反應；之後停止金屬氣體源的添加步驟 104a，進行自反應室排除氣體的排出步驟 106a，然後進行第二循環 115a 的第二階段 111a，以提供含氧的氣體源氧化第二個金屬單層。

循環 115a 會被重複至少 10 次，更佳的是至少為 20 次以上，直到形成足夠厚度的金屬氧化物，以避免在記憶胞操作期間漏電。利用本實例的優點在於形成的各層具有一個約為 10 至 200 埃的均勻厚度，更適當的是在 25 至 100 埃之間的厚度，且具有近乎完美的階梯覆蓋效果。

下面列出的表可以提供形成金屬氧化物與適合用於

五、發明說明 (56)

ULSI 製程中 DRAM 記憶胞內的電容器介電層的四元介電層之製作範例說明，這些介電質特別適合用來沈積在 HSG 層上，每一個過程步驟表示在單個經援製程模組上的一個循環，特別的是，其中提到的參數可以用於商標名為 Pulsar 2000™ 的單一晶圓 ALD 模組中，此模組係由 ASM Microchemistry Ltd. of Finland 開發出來的。

請注意表中提到的參數僅用以作為例子，每一個製程階段僅需要使下電極表面達到飽和即可，排出步驟會在反應步驟之間進行，以將反應物排除反應室。提到的 ALD 製程可以在平均晶粒尺寸為 400 埃的 HSG 上達到優於 95% 的厚度均勻度，在此提到的厚度均勻度被定義為最小厚度相對於最大厚度的百分比。由此說明，熟習此技藝者可以很容易根據不同的反應室與不同的反應情況來修正、取代或以其他的沈積條件，以在可接受的沈積速率下達到飽和、自我終止的狀態。

其好處在於，在此提到的 ALD 製程對壓力與反應劑濃度較無反應，只要反應劑供應足夠使不平坦的表面達到飽和即可，此外製程可以在低溫下操作，工作區域的溫度在整個製程中最好可以維持在攝氏 150 度至 350 度之間，以在有效的熱預算下達到夠快的沈積速度，更適當的是依照反應物將溫度維持在攝氏 220 度至 300 度之間，反應室的壓力可以由千分之一 Torr 到高過大氣壓力的範圍，但較佳是維持在 1Torr 至 500Torr 之間，更好的是維持在 1Torr 至 10Torr 之間。

五、發明說明 (27)

表I：氧化鋁

階段 步驟	載氣流 速(sccm)	反應物	反應物流速 (sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	TMA	20	300	5	0.1
排出	400	--	--	300	5	0.2
氧化	400	H ₂ O	40	300	5	0.1
排出	400	--	--	300	5	0.6

上列的表I表示在 HSG 層上覆蓋氧化鋁介電質的 ALD 製程參數，使用的金屬氣體源包括 TMA，載氣包括氮氣，而含氧的氣體源較佳包括水蒸氣，在製程期間的溫度最好是保持在攝氏 150 度至 350 度之間，更恰當的是維持在攝氏 300 度。

在第一循環的第一階段中，TMA 會化學吸附在下電極的 HSG 層上，金屬氣體源相對於其他製程參數，最好是包括足夠百分比的載氣，以使下電極的表面達到飽和，而在 HSG 層表面上留下一單層的鋁化合物，且此單層會自我終止具有一個甲基末端。

在停止通入 TMA 與持續通入載氣進行排出步驟以後，加入水蒸氣到工作區域上，使水與金屬單層的甲基端表面進行一個根基交換反應，形成一單層的氧化鋁，此反應會受限於前面化學吸附的金屬化合物的數量。此反應會自我終止，所以不論是水或是載氣均不會與氫氧基或氧化鋁單層的氧之橋接端進一步的反應，此外較佳的溫度與壓力參數必須可以抑制水的擴散或在金屬參層之間反應產生副產

五、發明說明 (>8)

物。

在下一個循環中，在第一階段導入 TMA，會與氧化鋁的單層反應，再次留下甲基端的鋁層於第一層的金屬氧化層上，第二循環的第二階段接著會被進行，就像第一循環一樣，這些循環會被重複直到氧化鋁達到理想的厚度為止。

在實施例中，以一個固定的速度在每個循環的兩個階段持續通入載氣，但是也可以利用在輪流輸入氣體之間將反應室抽真空來達到排除反應物的效果。在一個設計上，將適當的反應器結合硬體與軟體，以在沈積過程中維持固定的壓力，1988 年 5 月 31 日核准的美國第 4,747,367 號專利與 1988 年 8 月 2 日核准的美國第 4,761,269 號專利中揭露的內容可以作為參考。

利用電漿產生器產生的離子可以容易在低溫的 ALD 製程中沈積含有金屬的層，利用離子改良的沈積層之形成方法與結構可見於 1999 年 9 月 8 號申請之申請案號為 09/392,371，名稱為"IMPROVED APPRATUS AND METHOD FOR GROWTH OF A THIN FILM"的申請案中，可以作為本實施例的參考資料。另一個 ALD 製程的步驟流程可見於 1999 年 6 月 29 日獲准的美國第 5,916,365 號專利，亦可作為參考。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

表II：五氧化二鉬

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	Ta(OC ₂ H ₅) ₅	40	220	5	1
排出	400	--	--	220	5	1
氧化	400	O ₃	100	220	5	1
排出	400	--	--	220	5	2

上列的表II表示在 HSG 層上覆蓋五氧化二鉬介電質的 ALD 製程參數，其中提到的介電層通常會先在 HSG 層上沈積一層阻障層以避免其氧化。在實施例中，形成的介電質阻障材料包括氮化矽，其優點在於在 HSG 上的氮化矽是利用氮化矽表面形成，可以具有近乎完美的共形效果。在另一方面，先在 HSG 層上成長一層薄的氧化層(比如利用熱氧化法)，然後如習知的方法一樣對氧化物表面進行熱氮化反應。

在形成阻障層以後，接著進行 ALD 製程形成五氧化二鉬，如表II所列，形成使用的金屬氣體源包括 Ta(OC₂H₅)₅，載氣包括氮氣，而含氧的氣體源較佳包括臭氧，在製程期間的溫度最好是保持在攝氏 150 度至 300 度之間，更恰當的是維持在攝氏 220 度。

在第一循環的第一階段中，Ta(OC₂H₅)₅ 會化學吸附在下電極的 HSG 層的氮化表面上，金屬氣體源相對於其他製程參數，最好是包括足夠百分比的載氣，以使下電極氮化塗佈的 HSG 層表面達到飽和，而在不平坦的表面上留

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

下一單層的鉭化合物，且此單層會自我終止具有一個乙氧基末端。

在停止通入金屬氣體源與持續通入載氣進行排出步驟以後，加入臭氧到工作區域上，臭氧相對於其他製程參數，最好是包括足夠百分比的載氣，以使含有金屬的單層表面達到飽和，臭氧會與金屬單層的乙氧基末端進行一個根基交換反應，形成一單層的五氧化二鉭，此反應會受限於前面化學吸附的金屬化合物的數量，所以不論是臭氧或是載氣均不會與鉭氧化物單層進一步的反應。臭氧會產生有機根，產生二氧化碳與水，且單層會具有氫氧基與氧的橋接末端，其中較佳的溫度與壓力參數必須可以抑制臭氧的擴散或在金屬參層之間反應產生副產物。

在下一個循環中，在第一階段導入 $Ta(OC_2H_5)_5$ ，會與五氧化二鉭的單層反應，再次留下具有乙氧基末端的鉭層，第二循環的第二階段接著會被進行，就像第一循環一樣，這些循環會被重複直到氧化鉭達到理想的厚度為止，約進行 80 至 200 個循環以使氧化鉭之厚度成長到 40 埃至 100 埃之間，更適當的是進行 80 至 100 個循環，使其厚度達到 40 埃至 50 埃之間。

在實施例中，以一個固定的速度在每個循環的兩個階段持續通入載氣，但是也可以利用在輪流輸入氣體之間將反應室抽真空來達到排除反應物的效果。在一個設計上，將適當的反應器結合硬體與軟體，以在沈積過程中維持固定的壓力，1988 年 5 月 31 日核准的美國第 4,747,367 號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

專利與 1988 年 8 月 2 日核准的美國第 4,761,269 號專利中揭露的內容可以作為參考。

由此可形成一層含有微量碳的非晶系氧化鉬，將此層回火可以得到結晶化的介電質，其介電常數介於 20 與 25 之間。

表 III：五氧化二鉬

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	TaCl ₅	40	300	5	0.5
排出	400	--	--	300	5	0.5
氧化	400	H ₂ O	40	300	5	0.5
排出	400	--	--	300	5	0.5

上列的表 III 表示在 HSG 層上覆蓋五氧化二鉬介電質的 ALD 製程參數，在形成阻障層以後，接著進行 ALD 製程形成五氧化二鉬，如表 III 所列，形成使用的金屬氣體源包括 TaCl₅，載氣包括氮氣，而含氧的氣體源較佳包括水蒸氣，在製程期間的溫度最好是保持在攝氏 150 度至 300 度之間，更恰當的是維持在攝氏 300 度。

在第一循環的第一階段中，TaCl₅ 會化學吸附在下電極的 HSG 層的氮化表面上，金屬氣體源相對於其他製程參數，最好是包括足夠百分比的載氣，以使下電極氮化塗佈的 HSG 層表面達到飽和，而在不平坦的表面上留下一單層的鉬化合物，且此單層會自我終止具有一個氯離子端。

在停止通入 TaCl₅ 與持續通入載氣進行排出步驟以後，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (2~)

加入水蒸氣到工作區域上，水蒸氣相對於其他製程參數，最好是包括足夠百分比的載氣，以使含有金屬的單層表面達到飽和，水蒸氣會與金屬單層的氯離子端進行一個根基交換反應，形成一單層的五氧化二鉬，此反應會受限於前面化學吸附的金屬化合物的數量，所以不論是水蒸氣或是載氣均不會與鉬氧化物單層的氫氧基與氧的橋接末端進一步的反應，其中較佳的溫度與壓力參數必須可以抑制水的擴散或在金屬參層之間反應產生副產物。

在下一個循環中，在第一階段導入 TaCl₅，會與五氧化二鉬的單層反應，再次留下具有氯離子端的鉬層，第二循環的第二階段接著會被進行，就像第一循環一樣，這些循環會被重複直到氧化鉬達到理想的厚度為止。

如上所述，以一個固定的速度在每個循環的兩個階段持續通入載氣，但是也可以利用在輪流輸入氣體之間將反應室抽真空來達到排除反應物的效果。

由此可形成一層含有微量氯的非晶系氧化鉬，將此層回火可以得到結晶化的介電質，其介電常數介於 20 與 25 之間。

表IV：氧化鉬

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	ZrCl ₄	5	300	5	0.5
排出	400	--	--	300	5	3
氧化	400	H ₂ O	40	300	5	2
排出	400	--	--	300	5	6

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

上列的表IV表示在 HSG 層上覆蓋氧化鋯介電質的 ALD 製程參數，如表 IV 所列，形成使用的金屬氣體源包括 $ZrCl_4$ ，載氣包括氮氣，而含氧的氣體源較佳包括水蒸氣，在每一個反應階段，會供應足夠量的反應物使其在其他參數下使表面達到飽和。

製程期間的溫度最好是保持在攝氏 200 度至 500 度之間，對於非晶系的氧化鋯來說，較適當的溫度是在這個範圍的低溫部分，約為攝氏 200 度至 250 度之間，更恰當的是維持在攝氏 225 度。對結晶層來說，適當的溫度是在這個範圍的高溫部分，約為攝氏 250 度至 500 度之間，更適當的是在攝氏 300 度。對熟習此技藝者來說，可以了解非晶系與結晶體成份的混合誤會在這兩個結構間產生界面，本發明提供的製程會產生較多的結晶化氧化鋯層。

在此情況中，在金屬加入步驟中形成的金屬單層會自我終止且具有一個氯離子端，在適當的條件下不會與過量的 $ZrCl_4$ 進一步的反應，在加入含氧氣體源的階段中，含氧氣體源會與金屬單層的氯離子端反應或吸附，以進行一個根基交換反應，此外氧化會留下氫氧基與氧橋接的末端，不會在飽和的環境下與過多的氧化劑進一步的反應。

較佳約進行 30 至 80 個循環以使氧化鋯之厚度成長到 20 埃至 60 埃之間，更適當的是進行 30 至 50 個循環，使其厚度達到 20 埃至 40 埃之間，此層結構的介電常數約介於 18 至 24 之間。

五、發明說明(34)

表V：氧化鈦

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	TiCl ₄	20	300	5	0.5
排出	400	--	--	300	5	3
氧化	400	H ₂ O	40	300	5	2
排出	400	--	--	300	5	6

上列的表V表示在 HSG 層上覆蓋氧化鈦介電質的 ALD 製程參數，如表V所列，形成使用的金屬氣體源包括 TiCl₄，載氣包括氮氣，而含氧的氣體源較佳包括水蒸氣，在每一個反應階段，會供應足夠量的反應物使其在其他參數下使表面達到飽和。

與前一個例子提到的氧化鋯相同，此製程期間的溫度最好是保持在攝氏 200 度至 500 度之間，而在本實施例中使用的溫度係介於攝氏 250 度至 500 度之間，更恰當的是在攝氏 300 度。

在此情況中，在金屬加入步驟中形成的金屬單層會自我終止且具有一個氯離子端，在適當的條件下不會與過量的 TiCl₄ 進一步的反應，在加入含氧氣體源的階段中，含氧氣體源會與金屬單層的氯離子端反應或吸附，以進行一個根基交換反應，此外氧化會留下氫氧基與氧橋接的末端，不會在飽和的環境下與過多的氧化劑進一步的反應。

較佳約進行 30 至 80 個循環以使氧化鋯之厚度成長到 20 埃至 60 埃之間，更適當的是進行 30 至 50 個循環，使

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

其厚度達到 20 埃至 40 埃之間，此層結構的介電常數約介於 18 至 24 之間。

形成四元介電層的方法

如第 4B 圖所示，上面提到用於製作金屬氧化物電容器電晶體的 ALD 製程理論也可以延伸在沈積四元材料或更複雜的材料上。

請參照第 6 圖，其繪示為一種形成四元結構的一般方法的氣體流程圖，特別是在於形成混合或化核的金屬氧化物或金屬矽化物。雖然下列表VI的例子中是有關於一種金屬矽化物層，利用金屬/第一氧/矽/第二氧等階段依序進行而形成，但熟習此技藝者可了解其形成金屬矽化物的步驟可以交換(比如矽/氧/金屬/氧)，或是也是用於複雜的金屬氧化物(比如第一金屬/氧/第二金屬/氧)。此外，上面說明的順序可以延伸包括更複雜的材料，係由多種元素組成，為了方便起見，在下列的說明中會採用與第 4B 圖中所用相同之標號來表示相似的步驟、階段與順序。

在實施例中，此製程每一個循環包括四個階段，其中每一個階段包括一個加入反應物步驟與一個排出步驟。在步驟 207 中加入第一金屬或矽以後，接著依序進行步驟 211 的第一道氧化步驟，步驟 218 的第二金屬或矽的加入步驟，以及第二道氧化步驟 223，然後重複循環。在其他的設計上，假如希望氧的含量低的話，則可以在每一個循環中或在幾的循環中將第一步驟或第四步驟省略，在這樣的一個

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (76)

情況下，使用的化學品應該選擇不會在沈積的單層與後續的化學品之間產生反應，由下列的表VI可以比較容易瞭解，第一含氧源(在第二步驟 211 中)可以與第二含氧源(在第四步驟 223 中)相同，但並不一定要相同，在完成四個步驟 207, 211, 219, 223 的第一循環 215 以後，會進行相似的第二循環 215a，以繼續四元材料的成長，這些循環 215, 215a 會持續進行直到四元材料的厚度足以避免漏電，但又夠薄到可以提供高的電容量。

通常，此製程可以使介電層具有混合的金屬氧化物，四元金屬氧化物、金屬矽化物或更複雜的介電材料，舉例來說，利用輪流上面提過的沈積循環，可以將氧化鈦與氧化鋇混合，假如僅考慮到輕微的摻雜效果，可以將一個大的二元循環在四元循環之間重複幾次。在下面的表VI，是以氧化矽鋇或稱為”鋇的矽酸鹽”層為例。

表VI：氧化矽鋇

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	ZrCl ₄	40	300	5	0.5
排出	400	--	--	300	5	3
氧化	400	H ₂ O	40	300	5	2
排出	400	--	--	300	5	6
矽	400	AMTMS	40	300	5	1
排出	400	--	--	300	5	2
氧化	400	O ₃	40	300	5	3.5
排出	400	--	--	300	5	1

五、發明說明 (37)

上列的表VI表示矽氧化鋯或鋯矽酸鹽($ZrSi_xO_y$)的 ALD 製程參數，如表VI所列，第一反應物源包括一個用以形成化合物的金屬源，在此以氯化鋯來提供金屬，其他的製程氣體包括有氮的載氣，還有一個矽的氣體源，較佳是包括 AMTMS，其他適當的矽氣體源包括各種有機矽甲烷與鹵化矽甲烷氣體，在每一個反應步驟期間，會供應足夠的反應物配合其他的參數使表面達到飽和。

在提到的順序中，金屬階段後面接著進行一個氧化階段，然後再接著一個矽的階段與第二氧化階段，然後再重複此循環。本例子係在每個循環中使用兩個不同的氧氣源作為第一與第二氧化步驟(第二與第四階段)的含氧氣體源，實際運用時也可以在兩個步驟上輪流使用相同的含氧氣體源。

在金屬步驟中，含鋯的單層會自我終止且具有一個氯離子端，此單層的氯離子端並不會在適當的條件下與 $ZrCl_4$ 進一步的反應。而在下一個步驟中，水氣會氧化含有金屬的單層，以氫氧根或氧的橋接端取代氯離子端；接著在供應矽的步驟中，含矽的氣體源會與氫氧根或氧的橋接端反應或吸附於其上，進行一個根基的交換反應，此反應會受到前步驟吸附的金屬氧化物之限制。此外，含矽的氣體源會留下一個有機根(乙氧基)或鹵素根(氯離子)的末端，此末端不會與剩餘的乙氧基矽在飽和相中反應，最後臭氧會氧化前面吸附的含矽單層，而產生一個四元的氧化物。

對熟習此技藝者來說可以知道，四元材料像是例子中

五、發明說明 (38)

的銦矽酸鹽層其優點在於具有高的介電常數、低的操作漏電以及與矽形成更穩定的結構界面，其中根據製程中四階段製程與二階段製程相對之次數，透過控制銦與矽的比例可以達到最理想的特性，因此銦矽酸鹽不需要進行化學計量。

較佳約進行 20 至 100 個循環以使銦矽酸鹽的厚度成長到 20 埃至 100 埃之間，更適當的是進行 20 至 40 個循環，使其厚度達到 20 埃至 40 埃之間，此層結構的介電常數約介於 10 至 15 之間。

形成介電質堆疊結構的方法

相較於第 4B 圖與第 6 圖之製程製作之混合或化合結構，電容器介電質也可以是個別的介電次層堆疊而成的，在此提供一個堆疊結構的範例，可以包括 5 至 40 層，較適當是 10 層由氧化鋇與氧化鈦交互堆疊而成的結構。

其中至少有一次層甚至是多到所有的次層都是利用 ALD 根據上面敘述的方法來製作的，第 9 圖介紹一個以此方式形成的電容器，在下面有更進一步的詳細說明。

在實施例中，將上面提到的製程重複 10 至 100 的循環，以產生一個高 k 的介電層，其厚度約為 5 至 50 埃(假設每一個循環的厚度約為 0.5 埃)，另外沈積另一種介電材料，其厚度也介於 5 至 50 埃之間。在製作過程中，會交替進行表II與表V所提到的製程，在形成約 5 埃的氧化鋇以後接續形成約 5 埃的氧化鈦，如此進行直到達到一個適當的

五、發明說明 89)

厚度，適用於記憶胞電容器。

就像表 VI 提到的混合或化合層一樣，以此形成的介電堆疊或 "nanolaminates" 具有增進的介電效果，且與矽接觸時有更穩定的結構。

形成上電極材料的方法

在形成介電層以後，會在電容器介電層上覆蓋一層上電極，假如上電極無法完全共形於介電質，那麼不平坦的下電極與其共形的介電質所具備的好處就無法完全顯現出來，因此形成於電容器介電層上的上電極至少要包括一層以 ALD 製程沈積，具有近乎完美共形度的導電薄膜。

上電極的厚度相關於其記憶陣列之高導電率，以及/或與其接觸的接著處不會有尖峰現象穿過電容器電層，無論如何，以上述方法進行的沈積過程並不需要形成全部厚度的上電極，較適當的是利用本實施例提到的方法形成一或多層一開始的薄的共形的導電層，然後再以習知的方法沈積後續大部分的上電極厚度，本發明可以形成導電的塗佈材料與電容器介電質直接接觸，因此可以共形於下層的不平坦之下電極表面的起伏，而利用習知方式沈積的上電極之其他部分並不需要共形。此外，在一開始沈積的共形薄膜與上電極的其他部分之間的空隙的存在是可以容許的，只要起始薄膜可以充分的與積體電路中的電路連接即可。

起始導電薄膜可以包括任何適當的導電材料，包括矽、金屬氮化物與元素金屬、其混合物以及這些材料的薄片，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (40)

依照電容器介電質的材料，可能會在介電質上覆蓋一層阻障層，特別是在使用到氧化鋇時，就會使用阻障層來避免上電極的部分氧化，而剩餘的上電極可以利用習知沈積導電膜，像是矽或金屬的方法來完成。

在下列表VII的例子中，上電極包括金屬氮化物，可以作為一個覆蓋在氧化鋇上的阻障層，此層係利用 ALD 製程沈積而成，藉以共形並連續的塗佈於電容器介電質上，在表中上電極包括一種元素金屬層，可以覆蓋或取代表中的阻障層，也是利用 ALD 製程來製作。

表VII：氮化鈦

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	400	TiCl ₄	20	400	10	1
排出	400	--	--	400	10	1
氮化	400	NH ₃	100	400	10	2
排出	400	--	--	400	10	4

上列的表VII表示在電容器介電層上以 ALD 製程形成共形的金屬氮化物阻障層之製程參數，此製程與第 4A 圖以及第 5 圖提到的製程相似，除了將含氧的氣體源取代成含氮的氣體源以外。因此，其中一個反應物成分包括具有有機根或鹵素根的一個含金屬成分，而第二種反應物成分包括含氮的成分。在實施例中，金屬薄膜包括以 ALD 製程製作之氮化鈦，其中自我限制的金屬與氮化步驟均被排出步驟分開，在表中提到的例子，使用的金屬氣體源包括

五、發明說明 (11)

TiCl₄，載氣包括氮氣，而含氮的氣體源較佳包括氨。

在第一個循環的第一個階段，TiCl₄ 會化學吸附在先前沈積的高 k 介電質的氫氧基或氧的橋接端，金屬氣體源含有足夠百分比的載氣流量，配合其他的參數，藉以使介電層表面達到飽和，在此介電層上會形成一層單層的鈦化合物，此單層是自我終止且具有鹵素根離子。

最理想的是在反應器中有一個結晶體可以將金屬氣體源轉換成較小以及/或更多的反應片段，在實施例中較適合的反應室具有鈦的側壁，可以將 TiCl₄ 轉換成 TiCl₃⁺，較小的反應片段可以容易的滲透到狹窄的空間裡面，在每個循環中佔據更多的反應位置，且更容易吸附到有活性的位置上，因此此結晶體可以加快沈積速度，對熟習此技藝者來說也可以根據其他的化學品而使用其他的結晶體。

在停止通入 TiCl₄ 與持續通入載氣的排出步驟以後，將氨加入到工作區域上，氨裡面最好包括足夠比例的載氣，配合其他的製程參數，以使含有金屬的單層表面達到飽和，氨可以很容易的與金屬單層表面的氯離子端進行根基交換反應，形成氮化鈦的單層，此反應會受限於金屬氯化物可利用的數量，不論是氨或載氣都不會與形成的氮化鈦層再有進一步的反應，而此外其較佳溫度與壓力參數必須可以避免氨擴散進入到金屬單層。

在下一個循環中，在第一階段導入的 TiCl₄ 會與氮化鈦層的表面反應，再次於其上留下具有氯離子端的鈦層，接著與第一循環一樣，進行第二循環的第二階段，重複這

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (42)

些循環直到氮化鈦層的厚度足以提供一個阻障的效果為止，其厚度較佳在 5nm 至 50nm 之間，更適當的厚度是在 10nm 至 30nm 之間。

在實施例中，以一個固定的速度在每個循環的兩個階段持續通入載氣，但是也可以利用在輪流輸入氣體之間將反應室抽真空來達到排除反應物的效果。在一個設計上，將適當的反應器結合硬體與軟體，以在沈積過程中維持固定的壓力，1988 年 5 月 31 日核准的美國第 4,747,367 號專利與 1988 年 8 月 2 日核准的美國第 4,761,269 號專利中揭露的內容可以作為參考。

表 VIII

階段 步驟	載氣流速 (sccm)	反應物	反應物流 速(sccm)	溫度 (攝氏)	壓力 (Torr)	時間 (秒)
金屬	600	WF ₆	50	400	10	0.25
排出	600	--	--	400	10	0.5
還原	600	TEB	40	400	10	0.1
排出	600	--	--	400	10	0.8

上列的表 VIII 表示在電容器介電層上以 ALD 製程形成共形的元素金屬層之製程參數，此製程可以在形成阻障層 (見表 VII) 以後直接進行，或直接覆蓋在電容器介電層上，此製程也與第 4A 圖以及第 5 圖提到的製程相似，除了將含氧的氣體源取代一種還原劑以外。因此，其中一個反應物成分包括具有有機根或鹵素根的一個含金屬成分，而第二種反應物成分包括強的還原劑。在實施例中，金屬薄膜

五、發明說明 (47)

包括以 ALD 製程製作之鎢層，其中提供含金屬成分之步驟與還原步驟係以排出步驟加以分開，在表中提到的例子，使用的金屬氣體源包括 WF_6 ，載氣包括氮氣，而還原劑較佳包括三乙基硼或 TEB。

在第一個循環的第一個階段， WF_6 會化學吸附在先前沈積的高 k 介電質的氫氧基或氧的橋接端，或是先前沈積的阻障層的末端，金屬氣體源含有足夠百分比的載氣流量，配合其他的參數，藉以使介電層表面達到飽和，在此介電層上會形成一層單層的鎢化合物，此單層是自我終止且具有鹵素根離子。

在停止通入 WF_6 與持續通入載氣的排出步驟以後，將 TEB 加入到工作區域上，TEB 裡面最好包括足夠比例的載氣，配合其他的製程參數，以使含有金屬的單層表面達到飽和，TEB 可以很容易的與金屬單層表面的氯離子端進行根基交換反應，形成單層的鎢，此反應會受限於金屬氯化物可利用的數量，不論是 TEB 或載氣都不會與形成的鎢單層再有進一步的反應，而此外其較佳溫度與壓力參數必須可以避免 TEB 擴散進入到金屬單層。

在下一個循環中，在第一階段導入的 WF_6 會與鎢單層的表面反應，再次於其上留下具有氯離子端的鎢層，接著與第一循環一樣，進行第二循環的第二階段，重複這些循環直到鎢層的厚度足夠為止，其厚度較佳在 5nm 至 50nm 之間，更適當的厚度是在 10nm 至 30nm 之間，以確保其有連續且共形的覆蓋率，使得下層的下電極與電容器介電

五、發明說明(44)

質之大表面積的優點可以完全表現。

在實施例中，以一個固定的速度在每個循環的兩個階段持續通入載氣，但是也可以利用在輪流輸入氣體之間將反應室抽真空來達到排除反應物的效果。在一個設計上，將適當的反應器結合硬體與軟體，以在沈積過程中維持固定的壓力，1988年5月31日核准的美國第4,747,367號專利與1988年8月2日核准的美國第4,761,269號專利中揭露的內容可以作為參考。

在以ALD相似於表VII以及/或表VIII的製程製作最初的導電薄膜以後，再以習知的沈積方法成長上電極的其他部分，CVD甚至是PVD都可以用來沈積這額外的100nm至500nm的導電材料，習知的沈積將不會在最初的薄膜上有高的階梯覆蓋率，因此將不會與下層由下電極與不平坦的介電質及最初沈積的導電薄膜形成的下電極薄膜共形，此大部分的沈積雖然階梯覆蓋能力較差，但是將不會造成電容量的損失，因為組成部分上電極的最初沈積之導電薄膜確定連續且共形的覆蓋在電容器介電質上。

產生的電容器結構

請參照第7圖，下電極300上面有一層極薄的共形介電層302覆蓋於HSG層304上，根據DRAM電容器的需求，形成的介電層之最小厚度必須可以避免額外的漏電以及接續的資料錯誤，根據使用的材料，塗佈在下電極300上的介電層302的厚度範圍最好在10埃至200埃之間，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(45)

更好是在 25 埃至 100 埃之間。

在同樣的時間，本發明提供的方法可以利用高階梯覆蓋能力，在 HSG 層的所有表面上形成理想厚度均勻的介電質，因此在 HSG 層 304 上的介電層 302 再結構上的任一點的最小厚度不會超過最大厚度的 95%，更理想的是不會超過最大厚度的 98%。

在理想的情況下，根據佔據所有可利用的位置之化學吸附化合物的物理尺寸，特別是每一個吸附的化合物均有一個有機根，此材料會在每一個循環會沈積一單層結構的一部份的介電質，如表IV中提到的例子，每個循環大概會沈積約 0.75 埃的氧化鋅，因此大概要進行 30 至 80 個循環，最好是進行 30 至 50 個循環，才可以產生理想厚度的介電層，以避免在操作時有漏電與資料錯誤的情況發生。

其中沒有繪示，但熟習此技藝者均可以了解在形成介電層 302 以後，會接續覆蓋一層上電極於其上，才會完成整個製作。

請參照第 8 圖，其中相同的部分係沿用相同的標號，有一層共形的介電層 302 會覆蓋在下電極 300 的 HSG 層 304 上，此外在介電層 302 與 HSG 層 304 之間還有一層阻障層 306，根據上述的表II與表III提到的例子，比如在氧化鋁介電層 302 的下方會有一層熱成長的氮化矽層作為阻障層 306，因此已經氧化的 HSG 層 304 多少可以避免氧化發生，氮化矽會變成電容器介電質的一部份，雖然會降低介電質的介電係數，不過可以避免下電極 300 氧化。

五、發明說明(46)

請參照第 9 圖，圖中顯示下電極 300 上有一層未成長的極薄介電質 302 共形的延伸覆蓋在 HSG 層 304 上，其中製作的介電質堆疊結構 302 包括約 3 埃至 10 埃的第一介電質次層 302a(比如 5 埃的氧化鈦)、約 3 埃至 10 埃的第二介電質次層 302b(比如 5 埃的氧化鋁)、約 3 埃至 10 埃的第三介電質次層 302c(比如 5 埃的氧化鈦)等，在延伸的應用上可以多加上幾層相同材質之介電質次層，或是不同材質的介電質次層，藉以完成不會漏電的記憶胞電容器。

請參照第 10 圖，電容器下電極 300 包括一層 HSG 層 304，上面具有一層極薄的高 k 介電質 302 沿著 HSG 層 304 的表面共形延伸，與第 7 圖介紹的相似，此外第 10 圖提到一層上電極覆蓋在高 k 的介電質 302 上，此上電極包括一層最初的導電薄膜 308，係利用 ALD 製程覆蓋在高 k 的介電質上，因為導電薄膜 308 是以如表VII以及/或表VIII所述之 ALD 製程製作，導電層 308 會共形的塗佈在電容器介電質上，因此可以確保全部的上電極會覆蓋到大表面積的電容器，同時上電極的其他部分 310 可以利用習知的方法，像是 CVD 或 PVD 來製作，並不會造成電容量的損失。

在其中一個例子中，電容器的介電質包括一種易揮發的材料，像是氧化鋁，起始的導電薄膜 308 包括一個薄(比如約為 10nm 至 30nm)的阻障層，在此以由表VII所提到的方法製作的氮化鈦為例。在此例子中，上電極剩下的部分

五、發明說明 (47)

310 最好包括另一層約 100nm 的金屬氮化物，以使其有足夠的厚度達到阻障效果，上電極的剩餘部分 310 也包括沈積一種更具導電性的材料，像是元素金屬。

在另一個例子中，起始導電薄膜 308 包括一層薄(比如約為 10nm 至 30nm)的元素金屬層，在此以由表VIII所提到的鎢為例，在此例子中，上電極剩下的部分 310 最好包括另一層約 100-500nm 的導電材料，且最好是元素金屬，以使上電極具有足夠的厚度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，比如在實施例中提到很多特定的介電材料，但熟習此技藝者將可以將 ALD 製程用來製作其他的材料以形成電容器，此外在實施例中說明的製程與順序結構也可以作變動，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要 (發明之名稱： 電容電極結構表面之同形薄膜)

在積集的記憶胞之不平的矽電極上覆蓋共形的電容器介電質之方法與結構。電容器結構與第一電極或板會形成在半導體基底之中或之上，第一電極包括半球形矽晶粒(HSG)以增加電容器板的表面積，接著將 HSG 外部暴露以化學品處理，形成預定的介電材料的單層結構。處理的過程包括輪流供應金屬有機與氧氣氣體源，將其注入到一個固定的載氣流中，自我終止的金屬層會因此與氧氣反應，形成的電容器介電質會有近乎完美的階梯覆蓋效果，因此在特定材料的漏電流的考慮下可以有最薄的厚度，因此可以使記憶胞的電容量達到最大，並可以增加記憶胞設計的可靠度。加入的化學品也可以用來技術覆蓋在電容器介電層上，而沈積形成上電極材料，沿著下層不平的表面而達到完全的電容量。

英文發明摘要 (發明之名稱：)

六、申請專利範圍

1.一種在積體電路中形成電容器的方法，包括：
建構一下電極，其中包括一不平坦之矽層；以及
沈積一介電層於該不平坦之矽層上，其中該沈積步驟
包括：

利用暴露在一第一反應物中，形成不超過約一單
層之第一材料於該不平坦之矽層上；以及

使該第一材料與一第二反應物反應，留下不超過
約一單層之第二材料。

2.如申請專利範圍第 1 項所述之方法，其中該不平坦
之矽層包括一半球形矽晶粒。

3.如申請專利範圍第 1 項所述之方法，其中利用暴露
在一第一反應物中，形成不超過約一單層之第一材料於該
不平坦之矽層的步驟包括供應一第一化學品排除該第二反
應物，而使該第一材料與一第二反應物反應，留下不超過
約一單層之第二材料之步驟包括供應一第二化學品排除該
第一反應物。

4.如申請專利範圍第 3 項所述之方法，其中進一步包
括重複輪流供應該第一化學品與該第二化學品，直到形成
之一介電層厚度達到約 10 埃至 200 埃。

5.如申請專利範圍第 3 項所述之方法，其中進一步包
括在重複輪流供應該第一化學品與該第二化學品時供應一
載氣。

6.如申請專利範圍第 5 項所述之方法，其中該載氣會
再供應該第一化學品與供應該第二化學品之間排出反應

六、申請專利範圍

物。

7.如申請專利範圍第 6 項所述之方法，其中停止供應該第一化學品，且在供應該第二化學品之前以超過兩個反應室體積之該載氣清除該反應室。

8.如申請專利範圍第 1 項所述之方法，其中沈積該介電層的步驟進一步包括將該第二材料暴露在一第三反應物下，以留下不超過一單層結構之一第三材料。

9.如申請專利範圍第 8 項所述之方法，其中該介電層成分包括兩不同之金屬與氧。

10.如申請專利範圍第 9 項所述之方法，其中該介電層成分包括一金屬、矽與氧。

11.如申請專利範圍第 1 項所述之方法，其中該介電層之介電常數大於 10。

12.如申請專利範圍第 11 項所述之方法，其中該介電層係選自氧化鋁、氧化鋇、氧化鈦、氧化鋯、氧化鈹、氧化鉛、氧化矽以及其混合物與化合物其中之一。

13.如申請專利範圍第 11 項所述之方法，其中該介電層之介電常數等於或大於 20。

14.如申請專利範圍第 1 項所述之方法，其中該第一材料會自我終止。

15.如申請專利範圍第 14 項所述之方法，其中該第一材料之末端為鹵基。

16.如申請專利範圍第 15 項所述之方法，其中該第一反應物包括一鹵化鋯，而第二反應物包括一含氧之氣體

六、申請專利範圍

源。

17.如申請專利範圍第 14 項所述之方法，其中該第一材料之末端為有機根。

18.如申請專利範圍第 1 項所述之方法，其中該第一材料包括有甲基根的鋁，而該第二反應物包括一含氧之氣體源。

19.如申請專利範圍第 1 項所述之方法，其中該第一材料包括乙氧基之鋁，而第 2 反應物包括一含氧之氣體源。

20.如申請專利範圍第 1 項所述之方法，其中進一步包括在形成不超過一單層結構以前，形成一阻障層直接位於該不平坦之矽層表面。

21.如申請專利範圍第 20 項所述之方法，其中形成該阻障層之步驟包括氮化該不平坦之矽層。

22.如申請專利範圍第 20 項所述之方法，其中形成該阻障層之步驟包括氧化該不平坦之矽層表面以形成氧化矽，並氮化該氧化矽。

23.如申請專利範圍第 1 項所述之方法，其中該下電極共形於一三度空間的摺疊結構。

24.如申請專利範圍第 23 項所述之方法，其中該下電極共形於位於該半導體基底中之一溝渠。

25.如申請專利範圍第 23 項所述之方法，其中該三度空間摺疊結構係位於該半導體基底上。

26.如申請專利範圍第 25 項所述之方法，其中該三度空間摺疊結構定義出一內部體積。

六、申請專利範圍

27.如申請專利範圍第 26 項所述之方法，其中該三度空間摺疊結構共形於一圓柱體。

28.如申請專利範圍第 1 項所述之方法，其中進一步包括沈積一導電層於該介電層上，其中沈積該導電層之步驟包括：

利用暴露在一第三反應物下，形成一不超過一單層結構之一第三材料於該介電層上；以及

將一第四反應物與該第三材料反應，以留下不超過一單層結構之一第四材料。

29.如申請專利範圍第 28 項所述之方法，其中該第三反應物包括一金屬化合物，該第四反應物包括一含氮之氣體源，而該導電層包括一金屬氮化物。

30.一種在一積體電路之一不平坦的下電極上形成一介電層的方法，該介電層之介電常數大於 10，該方法包括下列步驟：

在一自我限制反應中形成不超過一單層結構之含有金屬的成分；以及

使該單層結構與一含氧之反應物進行反應。

31.如申請專利範圍第 30 項所述之方法，其中該不平坦之下電極包括矽。

32.如申請專利範圍第 31 項所述之方法，其中該不平坦之下電極具有半球形矽晶粒。

33.如申請專利範圍第 30 項所述之方法，其中該自我限制反應包括形成一具有鹵基的金屬層。

六、申請專利範圍

34.如申請專利範圍第 33 項所述之方法，其中使該單層結構與一含氧之反應物進行反應包括管能基的置換反應。

35.如申請專利範圍第 30 項所述之方法，其中進一步包括重複形成不超過一單層結構之步驟以及與含氧反應物反應之步驟至少 10 次，直到該介電層具有一預定厚度。

36.一種積體電路中的一電容器結構，包括：

一下電極，具有一微觀的三度空間摺疊結構，且具有一不平坦之矽表面；以及

一電容器介電質，其介電常數大於 10，與該不平坦之矽表面共形，該介電質具有之一最大厚度要小於 100 埃，而其最小厚度要大於最大厚度的 95%。

37.如申請專利範圍第 36 項所述之電容器結構，其中進一步包括一上電極，共形於該介電質，該上電極係沿著整個不平坦表面與該介電質相接觸。

38.如申請專利範圍第 37 項所述之電容器結構，其中該上電極包括一導電阻障層沿著整個不平坦表面與該介電質相接觸，而有一更導電之材料形成於該導電阻障層上。

39.如申請專利範圍第 37 項所述之電容器結構，其中該上電極包括一金屬元素層沿著整個不平坦表面與該介電質相接觸。

40.如申請專利範圍第 36 項所述之電容器結構，其中該電容器介電層包括一金屬氧化物。

41.如申請專利範圍第 40 項所述之電容器結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該金屬氧化物包括氧化鋁。

42.如申請專利範圍第 40 項所述之電容器結構，其中該金屬氧化物包括過渡金屬之氧化物。

43.如申請專利範圍第 42 項所述之電容器結構，其中進一步包括一共形之阻障層形成於該不平坦之矽層與該介電質之間。

44.如申請專利範圍第 42 項所述之電容器結構，其中該金屬氧化層包括第四族過渡金屬之氧化物。

45.如申請專利範圍第 42 項所述之電容器結構，其中該金屬氧化物包括一第五族過渡金屬之氧化物。

46.如申請專利範圍第 36 項所述之電容器結構，其中該介電質包括一二元材料。

47.如申請專利範圍第 46 項所述之電容器結構，其中該介電質包括一金屬、矽與氧。

48.如申請專利範圍第 36 項所述之電容器結構，其中該介電層之厚度介於 25 埃與 100 埃之間。

49.如申請專利範圍第 36 項所述之電容器結構，其中該最小厚度至少為該最大厚度之 98%。

50.一種具有複數個記憶胞之積體電路，每一記憶胞包括一電容器，該電容器包括：

一第一電極，具有一表面與一半球形矽晶粒共形；

一電容器介電層，與該第一電極相鄰，且共形於該半球形矽晶粒，該電容器介電層包括一材料係選自氧化鋁、氧化鋇、氧化鈦、氧化鋯、氧化鉍、氧化鉛、氧化矽以及

六、申請專利範圍

其混合物與化合物其中之一；以及

一第二電極，相鄰並共形於該半球形矽晶粒。

51.如申請專利範圍第 50 項所述之積體電路，其中該電容器介電層之厚度介於 10 埃至 200 埃之間。

52.如申請專利範圍第 50 項所述之積體電路，其中該電容器介電層具有大於該第一電極之一最大厚度，且其最小厚度大於該第一電極而不超過該最大厚度之 95%。

53.如申請專利範圍第 50 項所述之積體電路，其中該電容器介電層進一步包括複數個小層。

54.如申請專利範圍第 53 項所述之積體電路，其中該些小層包括複數個具有一第一金屬氧化物之小層與複數個其他金屬氧化物之小層交替配置。

55.一種在半球形矽晶粒表面上形成一電容器介電質的方法，包括下列步驟：

在一第一階段中以不超過一單層結構之具有根基的金屬化合物塗佈該半球形矽晶粒表面；

在不同於該第一階段的一第二階段中，以氧置換掉該金屬化合物之根基；以及

重複該第一階段與該第二階段至少 10 個循環。

56.如申請專利範圍第 55 項所述之方法，其中每一循環包括一第三階段，該第三項包括在第二階段之後吸附不超過一單層結構之具有根基之第二金屬。

57.如申請專利範圍第 56 項所述之方法，其中每一循環進一步包括一第四階段，該第四階段包括以氧置換該第

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

二金屬之根基。

58.如申請專利範圍第 57 項所述之方法，其中該第一階段包括加入一第一含氧成分。

59.如申請專利範圍第 58 項所述之方法，其中進一步包括加入一不同的含氧成分。

60.如申請專利範圍第 55 項所述之方法，其中該具有根基之金屬包括一金屬乙氧基化合物。

61.如申請專利範圍第 55 項所述之方法，其中該具有根基之金屬包括一金屬氯化物化合物

62.如申請專利範圍第 55 項所述之方法，其中包括將溫度維持在低於攝氏 350 度。

63.一種在積體電路中形成具有大表面積的電容器的方法，包括下列步驟：

形成一下電極，具有一三度空間摺疊結構；

在該三度空間摺疊結構上加上一不平坦表面；以及

利用循環交替的供應至少兩個自我終止的化學品，來沈積一共形層於該不平坦表面上，該共形層構成部分之該電容器。

64.如申請專利範圍第 63 項所述之方法，其中該共形層包括一電容器介電質直接與該下電極接觸。

65.如申請專利範圍第 63 項所述之方法，其中該共形層包括一薄的導電層覆蓋於該電容器介電質上，其中該電容器介電質直接接觸該下電極。

66.如申請專利範圍第 65 項所述之方法，其中該下電

六、申請專利範圍

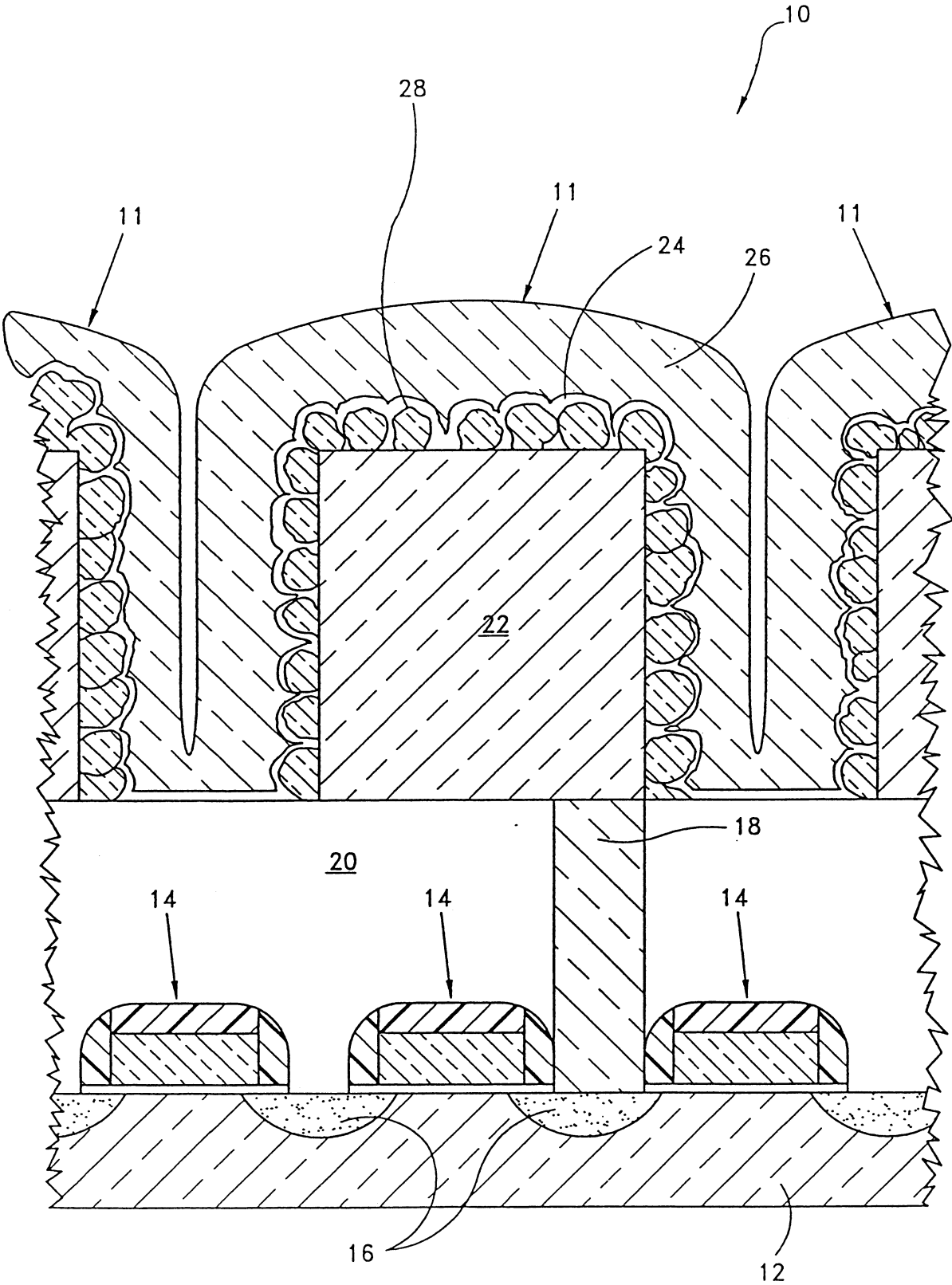
極包括一半球形矽晶粒。

(請先閱讀背面之注意事項再填寫本頁)

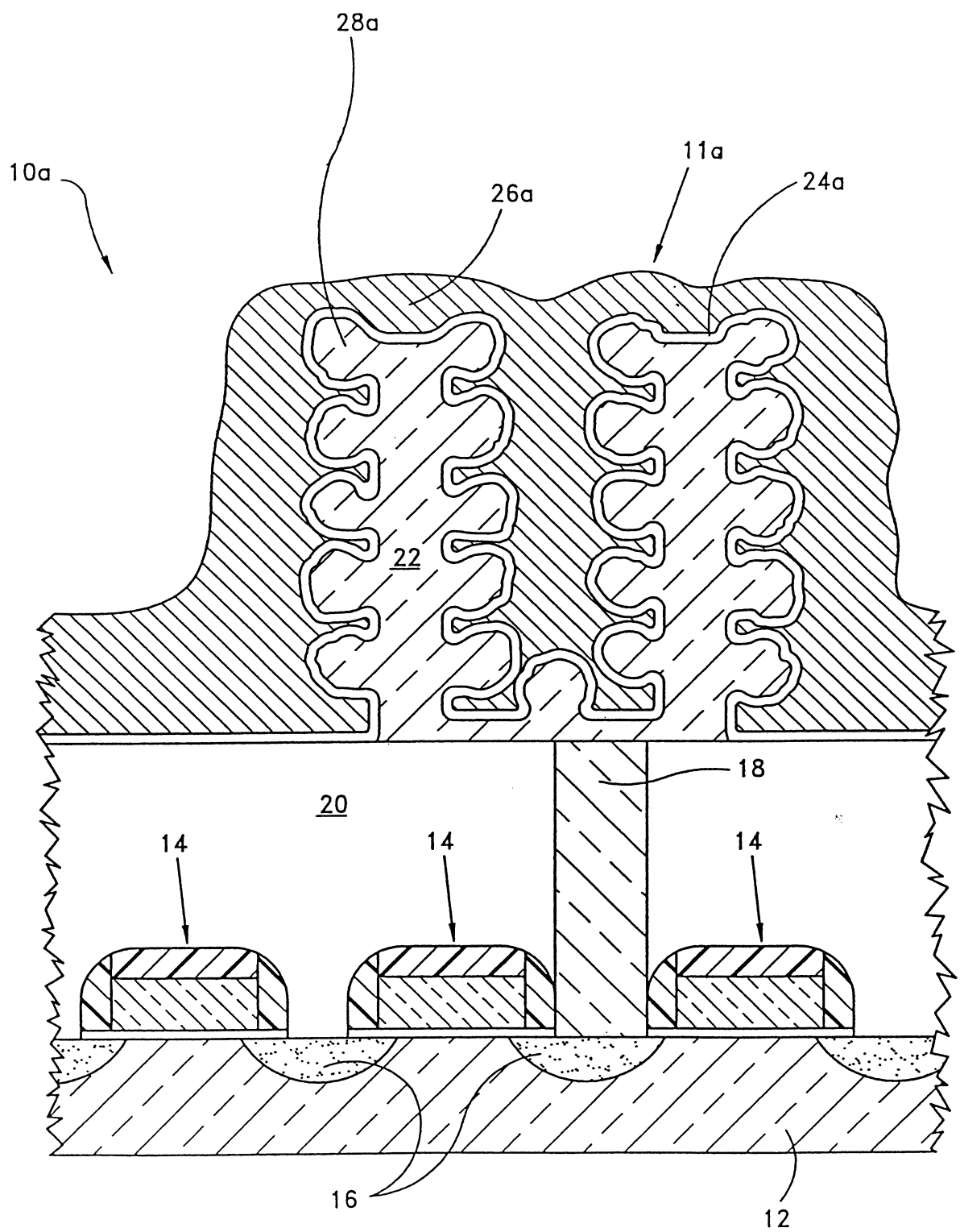
裝

訂

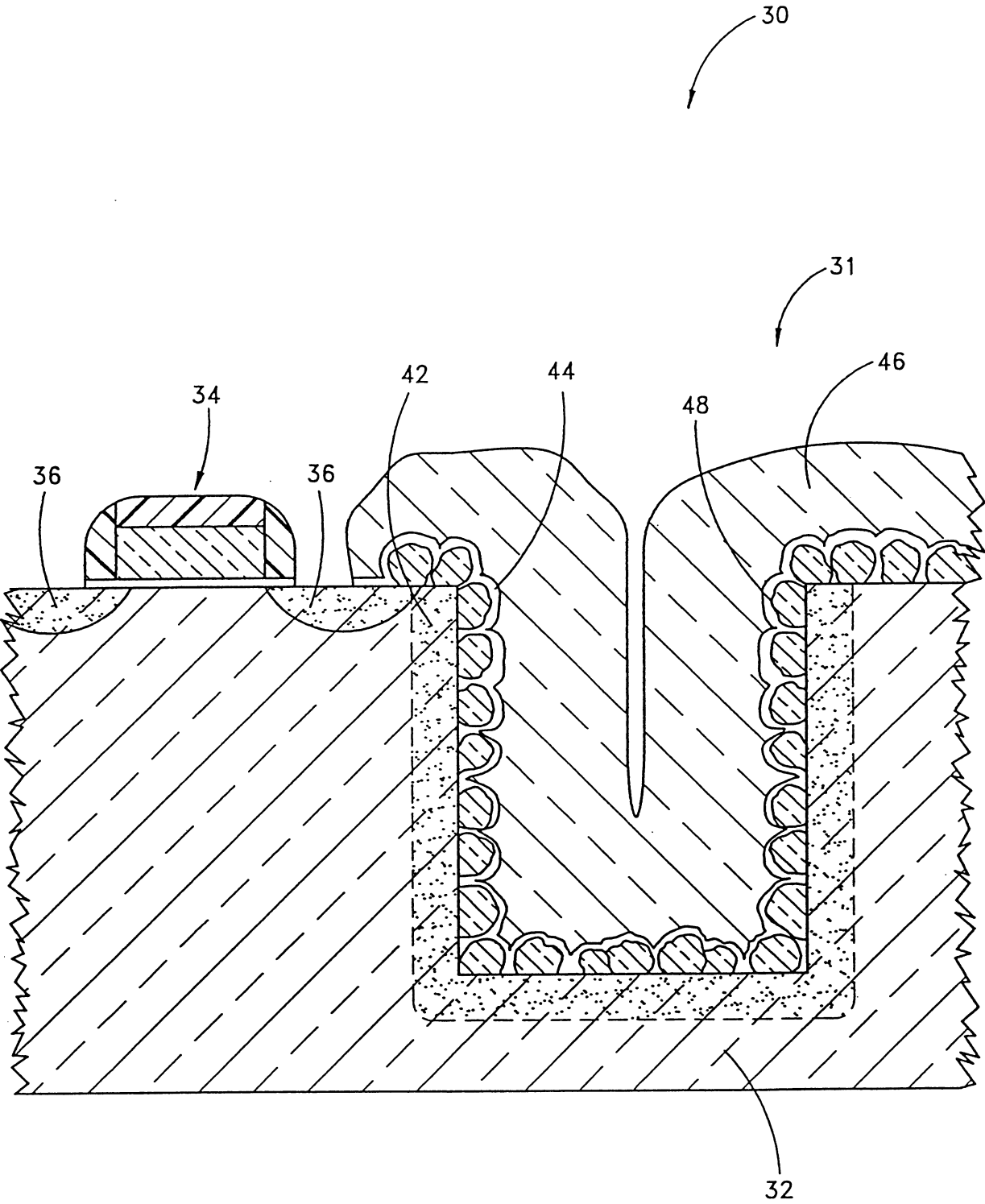
線



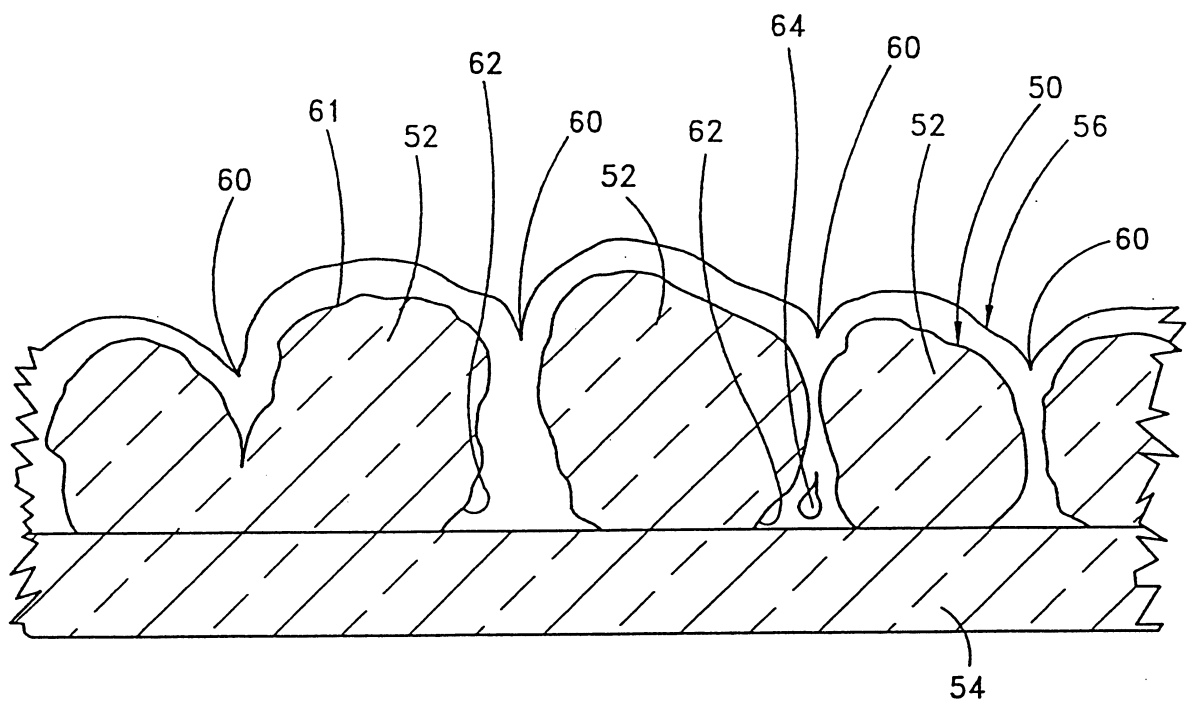
第1A圖



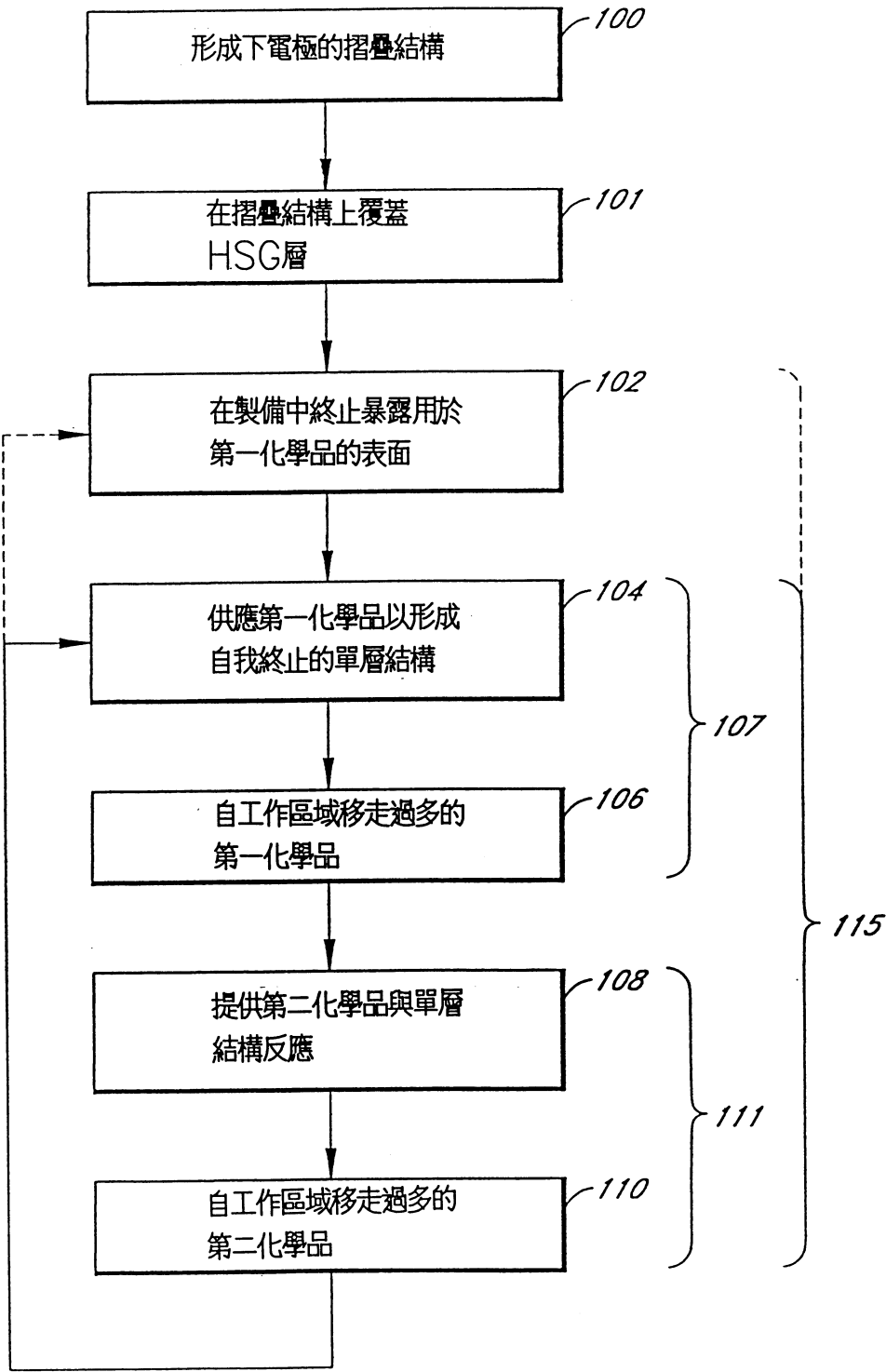
第 1B 圖



第 2 圖

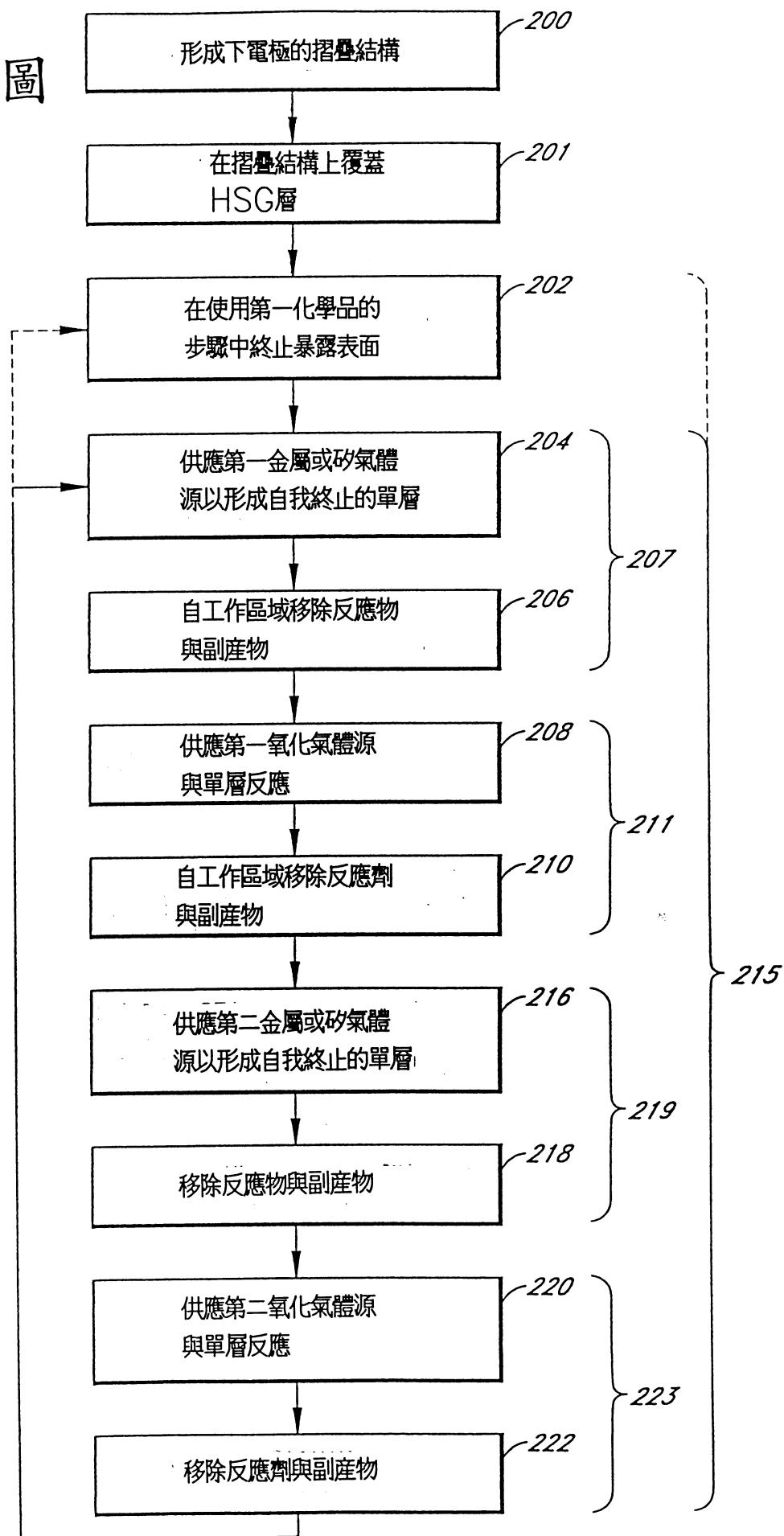


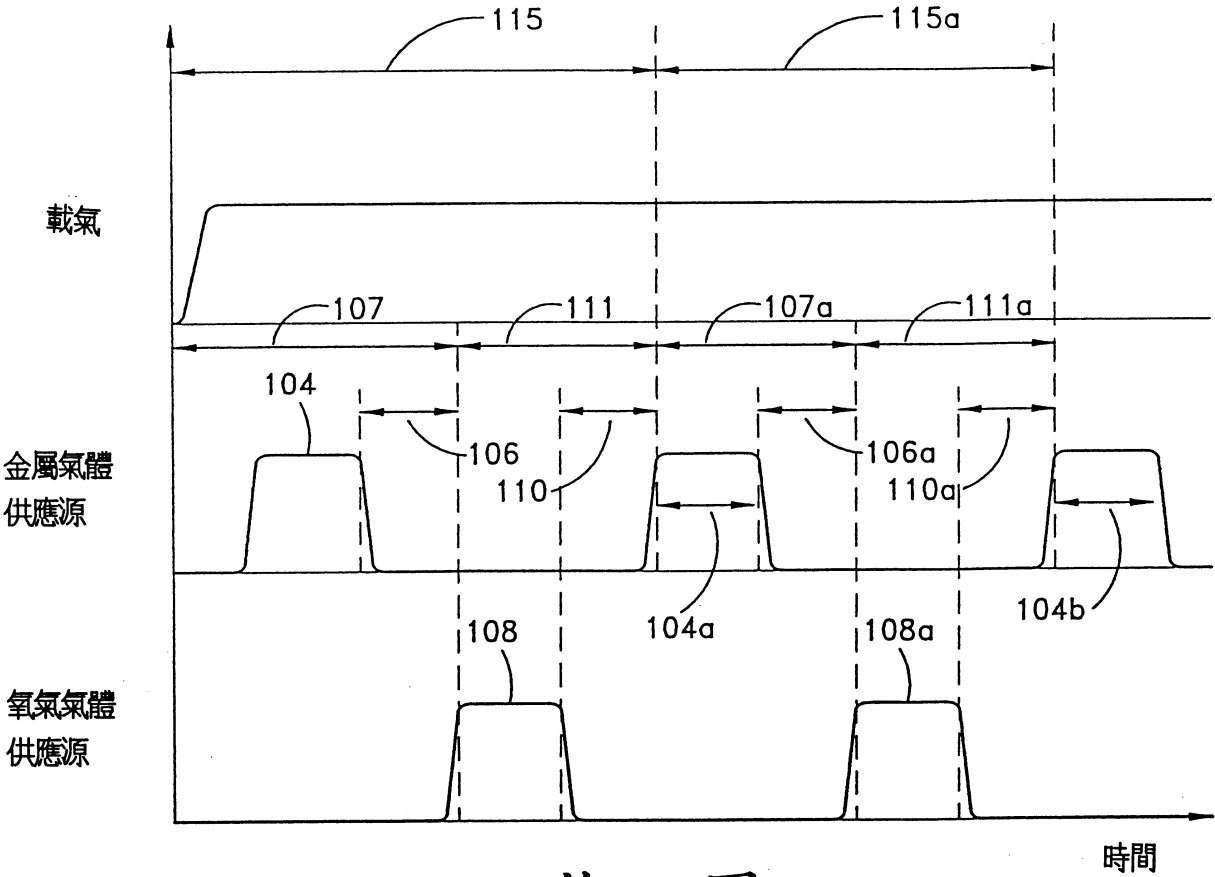
第 3 圖



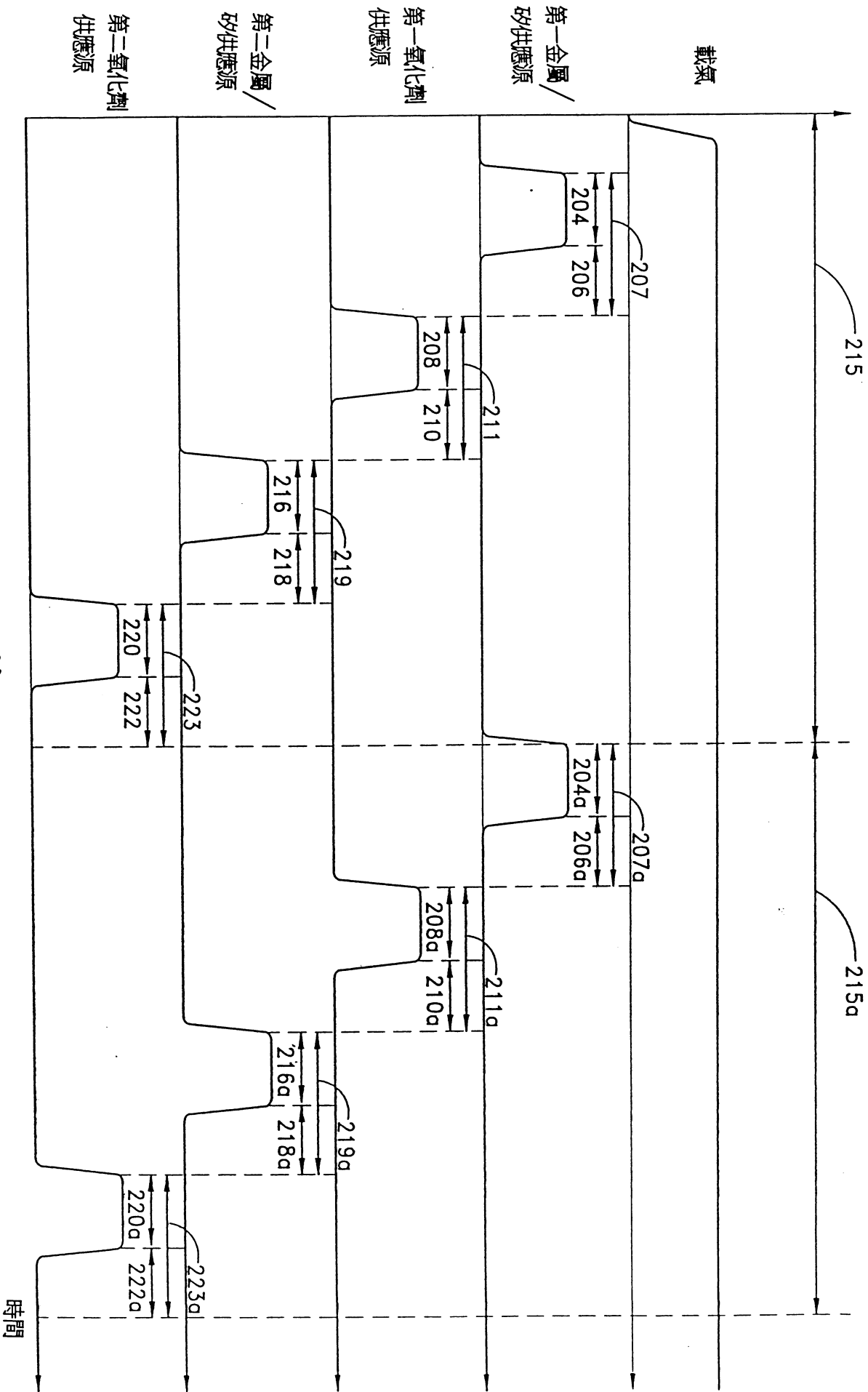
第 4A 圖

第 4B 圖

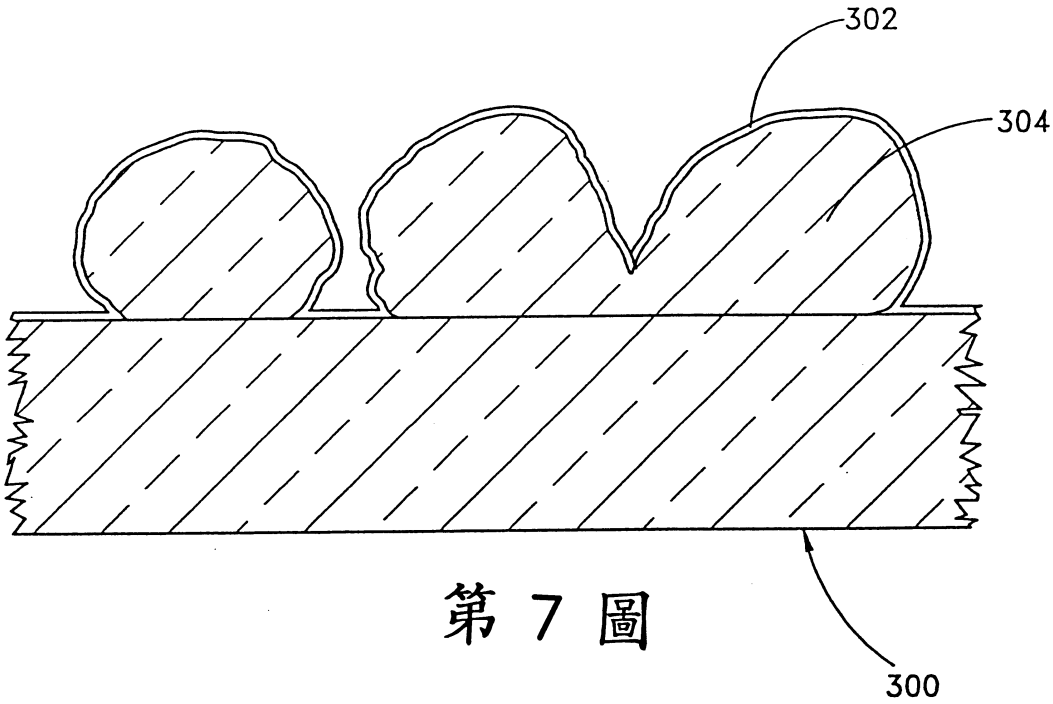




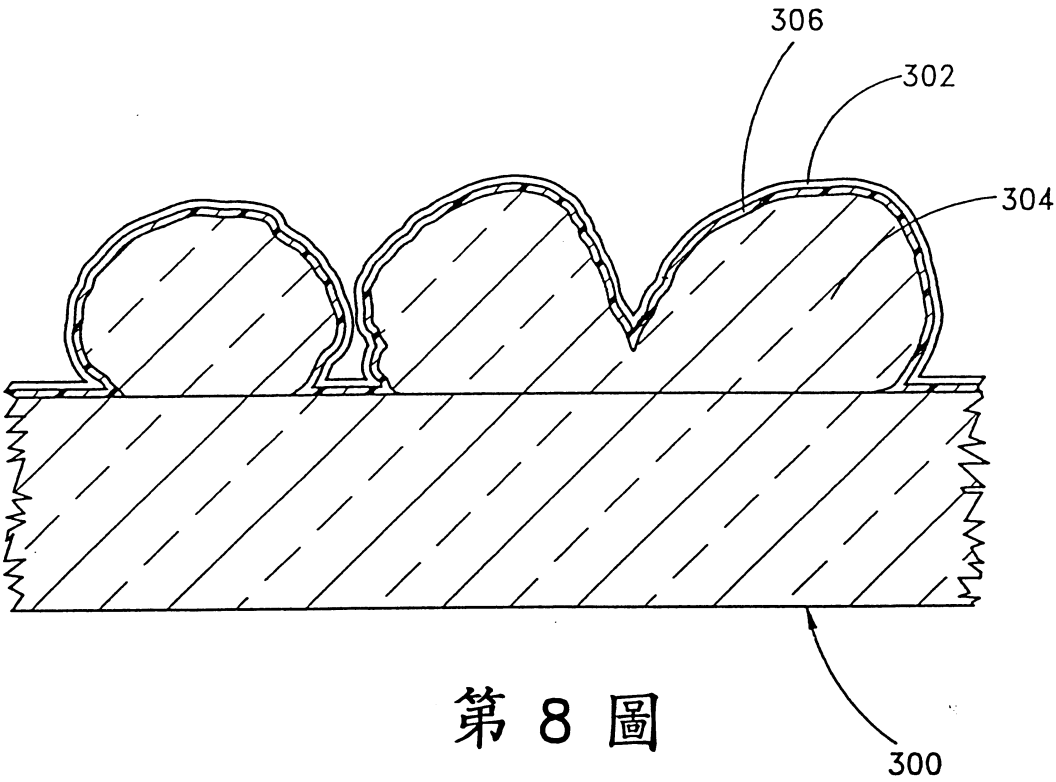
第 5 圖

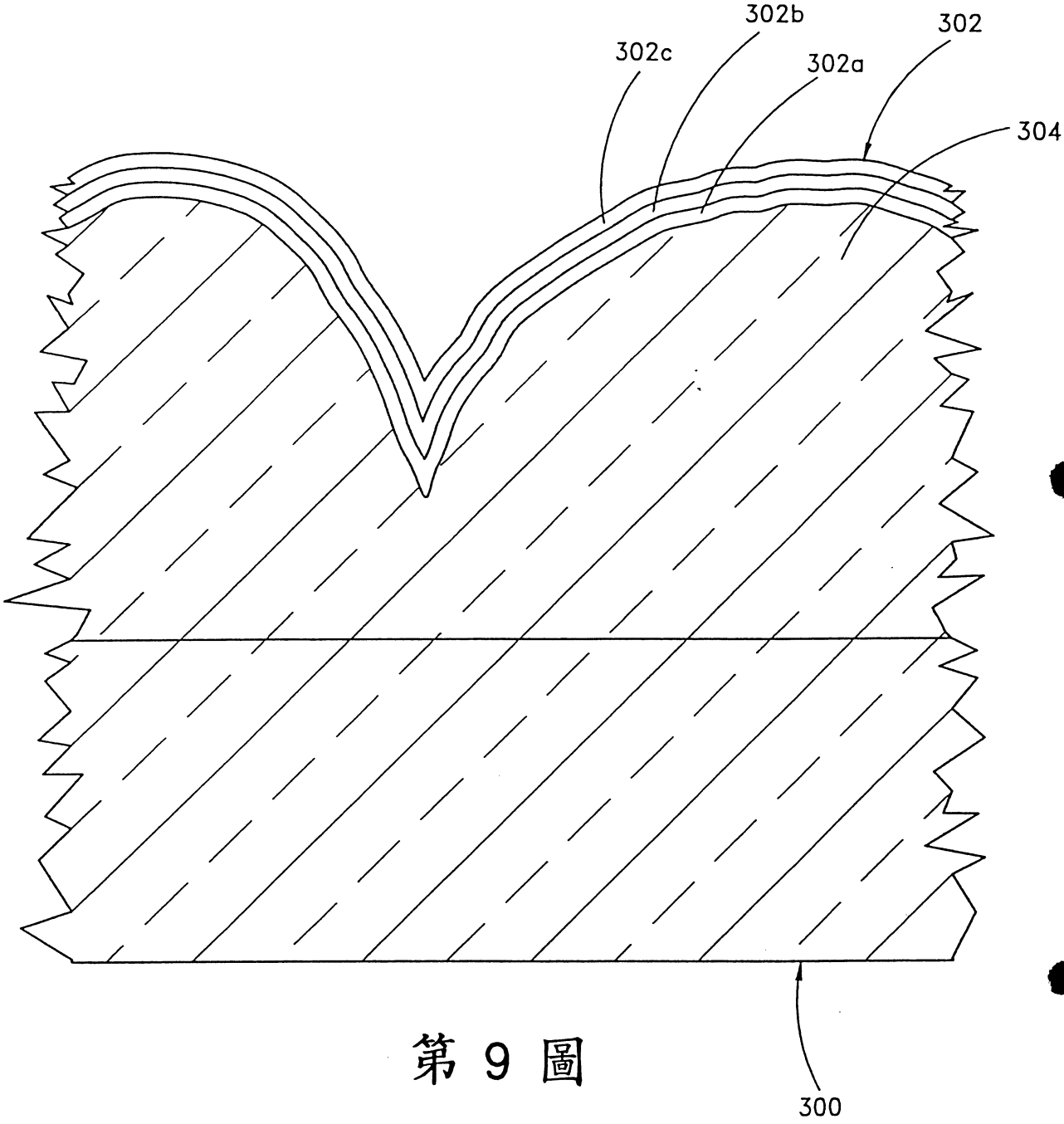


第 6 圖

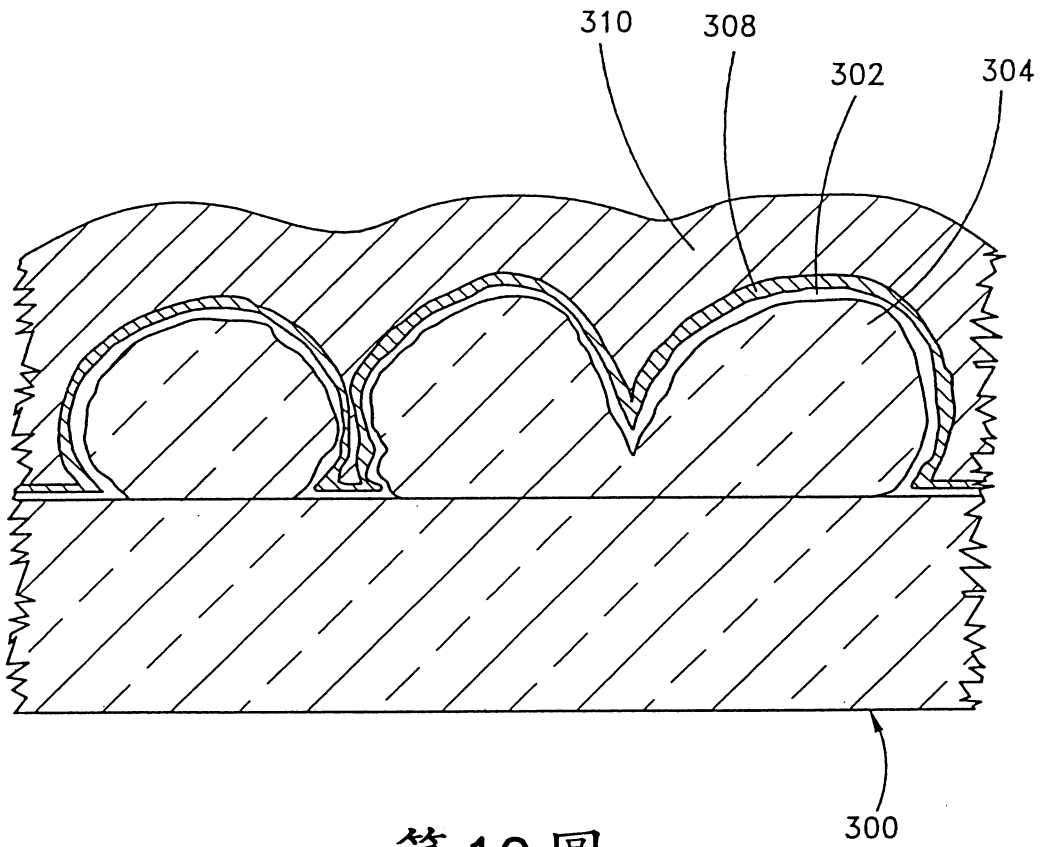


第 7 圖





第 9 圖



第 10 圖