

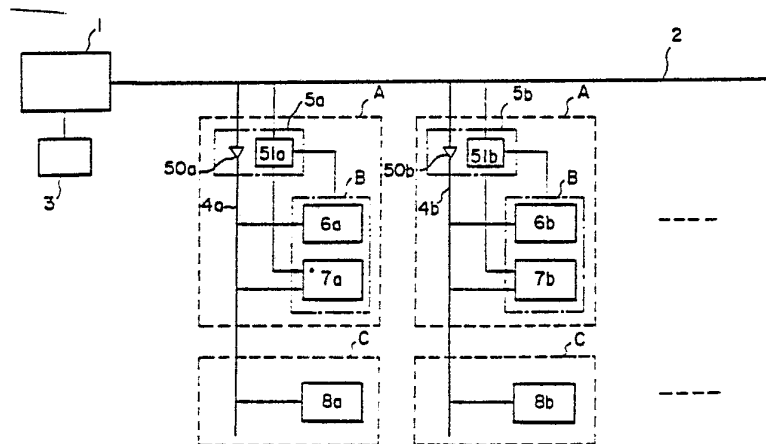


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 G 05 B 19/403	A1	(11) 国際公開番号 WO 82/00210	(43) 国際公開日 1982年1月21日 (21. 01. 82)
(21) 国際出願番号 PCT/JP81/00155 (22) 国際出願日 1981年7月7日 (07. 07. 81) (31) 優先権主張番号 特願昭55-92381 (32) 優先日 1980年7月7日 (07. 07. 80) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) 富士通ファナック株式会社 (FUJITSU FANUC LIMITED) [JP/JP] 〒191 東京都日野市旭が丘3丁目5番地1 Tokyo, (JP) (72) 発明者; および (75) 発明者/ 出願人 (米国についてのみ) 萩掛三津雄 (KURAKAKE, Mitsuo) [JP/JP] 〒191 東京都日野市多摩平3-3-10 いずみハイツ103号 Tokyo, (JP) (74) 代理人 弁理士 辻 實 (TSUJI, Minoru), 外 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP) (81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), SU, US. 添付公開書類 国際調査報告書			

(54) Title: NUMERICAL CONTROL UNIT

(54) 発明の名称 数値制御装置



(57) Abstract

A numerical control unit having: a main memory (3) for storing numerical control programs and the like, a main processor (1) for executing the data processing necessary for numerical control, and a main bus (2). In the unit, local buses (4a, 4b) are coupled to the main bus (2) through buffer circuits (5a, 5b), respectively, with respect to control axes, and axis-control circuits (8a, 8b) are coupled to the local buses (4a, 4b), respectively. In addition, coupled to the local buses are local processor units (6a, 7a; 6b, 7b) for taking a part of the loading to the main processor (1), as required, according to the number of the processings in the main processor.

(57) 要約

数値制御プログラムなどを記憶するメインメモリ(3)と、数値制御のためのデータ処理を行うメインプロセッサ(1)と、メインバス(2)を有する数値制御装置において、制御軸毎にバッファ回路(5a, 5b)を介して、メインバス(2)にローカルバス(4a, 4b)が接続され、該ローカルバス(4a, 4b)に軸制御回路(8a, 8b)が接続されている。そして、ローカルバスには、メインプロセッサ(1)の処理件数に応じて、該メインプロセッサの負荷分担用のローカルプロセッサユニット(6a, 7a, 6b, 7b)が必要に応じて接続される。

情報としての用途のみ

PCTに基づいて公開される国際出願のパフレット第1頁にPCT加盟国を同定するために  
使用されるコード

AT	オーストリア	KP	朝鮮民主主義人民共和国
AU	オーストラリア	LI	リヒテンシュタイン
BR	ブラジル	LU	ルクセンブルグ
CF	中央アフリカ共和国	MC	モナコ
CG	コンゴ	MG	マダガスカル
CH	スイス	MW	マラウイ
CM	カメルーン	NL	オランダ
DE	西ドイツ	NO	ノールウエー
DK	デンマーク	RO	ルーマニア
FI	フィンランド	SE	スウェーデン
FR	フランス	SN	セネガル
GA	ガボン	SU	ソヴィエト連邦
GB	イギリス	TD	チャード
HU	ハンガリー	TC	トーゴ
JP	日本	US	米国

## 明 細 書

## 数 値 制 御 装 置

## 技 術 分 野

この発明は、数値制御のためのデータ処理を行な  
5 うメインプロセッサに接続されたメインバスに、制  
御軸毎にそれぞれローカルバスを接続し、しかも該  
ローカルバスに軸制御回路を接続してなる数値制御  
装置に係り、特にローカルバスにメインプロセッサ  
の負荷分担用のローカルプロセッサユニットを接続  
10 可能に構成してなる数値制御装置に関する。

## 背 景 技 術

プロセッサの演算機能を用いて数値制御のための  
データ処理を実行する従来の数値制御装置において  
は、ある程度の機能の拡張は新しい機能（新しい制  
15 御プログラム）を書込んだリードオンリメモリ等の  
メモリ素子の追加や交換のみで実現することができる  
けれども、内蔵プロセッサの処理能力を越える大  
幅な機能の拡大は、その内蔵プロセッサをより性能  
の良い高速度のプロセッサに取替える等既存の部分  
20 に大幅に手を加えなければその実現が困難であった。  
その為に従来は、制御軸数の増加や複雑な位置ルー  
プ制御たとえばサーボ制御のデジタル化に伴なう  
制御などの機能拡張が容易に行なえず、多様化する  
ユーザのニーズに短納期、低価格で応えることがで  
25 きない等の欠点があった。

従って、本発明は既存の構成部分に変更を加えることなく、機能を容易に拡張することができる融通性の高い数値制御装置を提供することを目的とする。

#### 発明の開示

5 本発明においては、数値制御のためのデータ処理を行なうメインプロセッサに接続されたメインバスに、制御軸毎にそれぞれローカルバスを接続し、しかも該ローカルバスに軸制御回路を接続すると共に、  
10 所定のローカルバスにメインプロセッサの処理件数がその処理能力を越えて多くなったとき負荷分担用のローカルプロセッサユニットを接続して数値制御装置を構成している。即ち、ローカルプロセッサユニットをローカルバスに接続することでメインプロセッサの負荷を分担することができるように構成し  
15 ているから、制御軸数の増加あるいは位置ループ制御の複雑化といった機能の拡大を既存の部分に変更を加えずに実現することが可能となる。従って、ローカルプロセッサユニットを設けない状態を標準仕様にしておき、必要に応じてローカルプロセッサユニットを付加する構成とすることにより、機能の拡張に対する融通性が高まり、多様化するユーザのニーズに迅速に対処することができ非常に有効である。  
20

#### 図面の簡単な説明

25 図は本発明の実施例を示す数値制御装置のブロック図である。



## 発明を実施するための最良の形態

本発明をより詳細に説述するために、以下添付図面に従って説明する。

図は本発明の実施例を示すブロック図であり、1  
5 はメインプロセッサ、2はメインバス、3はメインメモリ、4 a, 4 bはローカルバス、5 a, 5 bはバッファ回路、6 a, 6 bはローカルプロセッサ、7 a, 7 bはローカルメモリ、8 a, 8 bは軸制御回路である。バッファ回路5 a, 5 bにはメインバス2とローカルバス4 a, 4 bとの電氣的接続を可能ならしめるバッファゲート5 0 a, 5 0 b及びローカルメモリ7 a, 7 bをメインプロセッサ1とローカルプロセッサ6 a, 6 bの双方からアクセスできるようにタイミングを制御するタイミングコントローラ5 1 a, 5 1 bなどが含まれている。またA, B, Cは各々回路ブロックを示し、特にローカルプロセッサ6 a, 6 b及びローカルメモリ7 a, 7 bから成る回路ブロックBはローカルプロセッサユニットを構成している。

20 本実施例装置は同図に示すように、メインプロセッサ1に接続されるメインバス2とはバッファ回路5 a, 5 bによって分離されたローカルバス4 a, 4 bを設けると共に、これに制御軸毎に分割される回路例えば軸制御回路8 a, 8 bを結合し、しかも  
25 メインプロセッサ1の負荷分担用のローカルプロセ

ッサ 6 a, 6 b 及びローカルメモリ 7 a, 7 b から成るローカルプロセッサユニット B をローカルバス 4 a, 4 b に対し適直接続可能に構成している。

メインプロセッサ 1 はローカルプロセッサユニット B が結合されない状態においては、メインメモリ 3 から読取ったプログラムに従って数値制御のための演算処理を行ない、その処理結果をバッファゲート 5 0 a, 5 0 b 及びローカルバス 4 a, 4 b を介して軸制御回路 8 a, 8 b に与え、所定の数値制御を  
10 実行するものである。またローカルプロセッサユニット B が接続された状態ではその負荷の一部をローカルプロセッサ 6 a, 6 b に分担させるものである。即ち、ローカルメモリ 7 a, 7 b にはローカル  
15 プロセッサ 6 a, 6 b が実行するプログラム、演算用データが入力されており、ローカルプロセッサ 6 a, 6 b は該プログラムに従って、メインプロセッサ 1 に代わって軸制御回路を制御するものである。この場合、メインプロセッサ 1 からローカルメモリ  
20 7 a, 7 b をアクセス可能としておくのは、例えば軸制御回路 8 a, 8 b に異常が発生した場合にローカルメモリ 7 a, 7 b の所定領域にその旨を言込み、メインプロセッサ 1 がそれを読取ることによりシステム全体の動作を停止させるような制御を可能とするためであり、また、メインメモリ 3 のデータのう  
25 ち必要なものをローカルメモリ 7 a, 7 b に転送し

得るようにするためである。なお、本実施例ではローカルプロセッサ 6 a, 6 b からはメインメモリ 3 にアクセスできないよう構成されているが、これは簡略化等のためであるからアクセスできるように構成しても良い。

本実施例装置はこのような構成を有するから、例えば制御軸数の増加に伴いメインプロセッサ 1 の処理能力に限界がきた場合には、ローカルバス 4 a, 4 b にローカルプロセッサユニット B を結合して軸毎に分割される処理たとえば加減速制御や位置ループ制御等をそのローカルプロセッサ 6 a, 6 b に分担させることにより、メインプロセッサ 1 の負荷を軽減することができる。また振動やガタなどのある機械負荷に対してはメインプロセッサの負担を増加させることなく位置ループ制御の機能を上げることができる。即ち、ローカルプロセッサユニットを接続し、ローカルプロセッサ 6 a, 6 b に位置制御ループの機能を向上させる処理を行わせることによりメインプロセッサ 1 の負担を軽減できる。

また本実施例装置においては、回路構成を図示の如く A, B, C の回路ブロックに分割しており、各々を実装単位としている結果、ローカルプロセッサユニット B はオプション仕様にでき、制御軸数が少ないとき等はローカルプロセッサなしの安価なシステムを構成できる利点がある。

## 産業上の利用可能性

以上のように、本発明はメインプロセッサの処理能力を越えて処理件数が多くなったとき、適宜ローカルプロセッサユニットを追加して該メインプロセッサの負荷分担を軽減するように構成したから数値制御装置の機能を向上させる際に使用して好適である。

## 請 求 の 範 囲

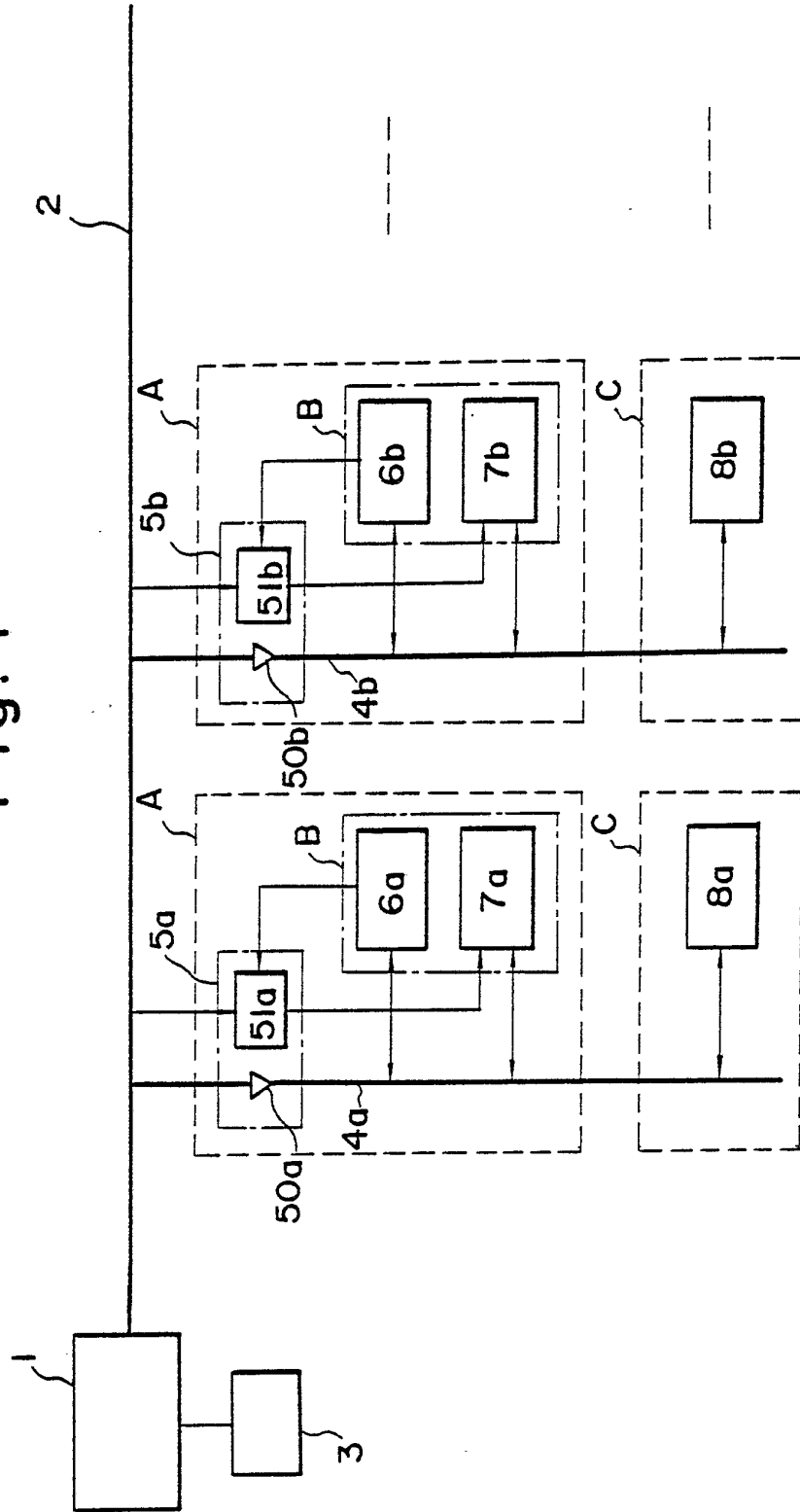
1. 数値制御プログラムなどを記憶するメインメモリと、数値制御のためのデータ処理を行なうメインプロセッサと、メインバスとを有し、データ処理結果に基づいて工作機械を制御する数値制御装置において、制御軸毎に前記メインバスにローカルバスを接続すると共に該ローカルバスに軸制御回路を接続し、しかもローカルバスにメインプロセッサの処理件数に応じて該メインプロセッサの負荷分担用のローカルプロセッサユニットを適宜接続してなることを特徴とする数値制御装置。

2. 前記メインバスとローカルバス間にバッファ回路を設けてなることを特徴とする特許請求の範囲第1項記載の数値制御装置。

3. 前記ローカルプロセッサユニットはローカルプロセッサと、メインプロセッサとローカルプロセッサとからアクセス可能なメモリを有することを特徴とする特許請求の範囲第1項又は第2項記載の数値制御装置。




Fig. 1



国際調査報告

国際出願番号 PCT/JP 81 / 00155

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. cl. G05B19/403		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
I P C	G05B15/00, 19/00	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926年—1981年 日本国公開実用新案公報 1971年—1981年		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 48-80974, 1973-10-30 第1頁右欄参照, 富士通株式会社	1, 2
X	JP, A, 55-39944, 1980-3-21 第3頁～第5頁 (第8～11欄) 参照, 三菱重工業株式会社	1, 2
*引用文献のカテゴリー 「A」 一般的技术水準を示す文献 「E」 先行文献ではあるが国際出願日以後に公表されたもの 「L」 他のカテゴリーに該当しない文献 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日以後に公表された文献 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献		
IV. 認 証		
国際調査を完了した日 25.09.81	国際調査報告の発送日 05.10.81	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 早 福 宏 理	5 丑 7 / 6 4 

# INTERNATIONAL SEARCH REPORT

International Application No PCT/JP81/00155

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>3</sup>				
According to International Patent Classification (IPC) or to both National Classification and IPC				
Int. Cl. <sup>3</sup> G05B19/403				
<b>II. FIELDS SEARCHED</b>				
Minimum Documentation Searched <sup>4</sup>				
Classification System	Classification Symbols			
IPC	G05B15/00, 19/00			
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>5</sup>				
Jitsuyo Shinan Koho	1926 - 1981			
Kokai Jitsuyo Shinan Koho	1971 - 1981			
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>14</sup>				
Category <sup>*</sup>	Citation of Document, <sup>16</sup> with indication, where appropriate, of the relevant passages <sup>17</sup>	Relevant to Claim No. <sup>18</sup>		
X	JP, A, 48-80974, 1973-10-30 See page 1, right column, FUJITSU LIMITED	1, 2		
X	JP, A, 55-39944, 1980-3-21 See pages 3 to 5 (columns 8 to 11), Mitsubishi Heavy Industries, Ltd.	1, 2		
<p><sup>*</sup> Special categories of cited documents: <sup>16</sup></p> <table style="width: 100%; border: none;"> <tr> <td style="width: 50%; border: none;"> <p>"A" document defining the general state of the art</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document cited for special reason other than those referred to in the other categories</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> </td> <td style="width: 50%; border: none;"> <p>"P" document published prior to the international filing date but on or after the priority date claimed</p> <p>"T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance</p> </td> </tr> </table>			<p>"A" document defining the general state of the art</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document cited for special reason other than those referred to in the other categories</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p>	<p>"P" document published prior to the international filing date but on or after the priority date claimed</p> <p>"T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance</p>
<p>"A" document defining the general state of the art</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document cited for special reason other than those referred to in the other categories</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p>	<p>"P" document published prior to the international filing date but on or after the priority date claimed</p> <p>"T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance</p>			
<b>IV. CERTIFICATION</b>				
Date of the Actual Completion of the International Search <sup>19</sup>	Date of Mailing of this International Search Report <sup>20</sup>			
September 25, 1981 (25.09.81)	October 5, 1981 (05.10.81)			
International Searching Authority <sup>1</sup>	Signature of Authorized Officer <sup>20</sup>			
Japanese Patent Office				