

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3634660号
(P3634660)

(45) 発行日 平成17年3月30日(2005.3.30)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int.Cl.⁷

F I

H O 1 L 21/337
H O 1 L 21/331
H O 1 L 21/8222
H O 1 L 27/06
H O 1 L 29/73H O 1 L 29/80 C
H O 4 R 3/00 3 2 O
H O 1 L 27/06 1 O 1 U
H O 1 L 29/72 Z

請求項の数 4 (全 10 頁) 最終頁に続く

(21) 出願番号 特願平11-61415
(22) 出願日 平成11年3月9日(1999.3.9)
(65) 公開番号 特開2000-260786(P2000-260786A)
(43) 公開日 平成12年9月22日(2000.9.22)
審査請求日 平成13年12月3日(2001.12.3)

(73) 特許権者 000001889
三洋電機株式会社
大阪府守口市京阪本通2丁目5番5号
(74) 代理人 100111383
弁理士 芝野 正雅
(72) 発明者 大川 重明
大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内
(72) 発明者 大古田 敏幸
大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

審査官 松本 貢

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

一導電型の半導体基板と、前記基板の上に形成したエピタキシャル層と、前記エピタキシャル層を分離した島領域と、前記島領域の1つに形成した入力トランジスタと、外部接続用のボンディングパッドと、前記半導体層の表面を被覆する絶縁膜と、前記入力トランジスタの入力端子に接続されて前記絶縁膜の上に延在され、エレクトリックコンデンサマイクの一方の電極となる拡張電極とを備え、

前記拡張電極下部の前記エピタキシャル層の比抵抗を100～5000Ω・cmにしたことを特徴とする半導体装置。

【請求項2】

前記入力トランジスタが、接合型電界効果トランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記島領域の一つに前記エピタキシャル層より不純物濃度の高い逆導電型の拡散領域が形成され、該拡散領域をコレクタとして、バイポーラ型トランジスタを構成したことを特徴とする請求項1記載の半導体装置。

【請求項4】

前記接合型電界効果トランジスタを、前記100～5000Ω・cmの比抵抗を持つ島領域内に形成したことを特徴とする請求項2記載の半導体装置。

【発明の詳細な説明】

10

20

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、エレクトリックコンデンサマイクを駆動するために用いて好適な、半導体装置に関するものである。

【 0 0 0 2 】

【 従来の技術 】

コンデンサマイクロホン（ECM）は、音声などの空気振動を容量値の変化という電気信号に変換するための素子である。その出力信号は極めて微弱なものであり、これを増幅するための素子には、入力インピーダンスが高く、高ゲインが得られ、且つ低ノイズであるという特性が求められる。

10

【 0 0 0 3 】

斯かる要求に適切な素子として、接合型FET素子（J-FET）や、MOS型FET素子等があげられる。このうちJ-FET素子は、BIP型ICに集積化が容易である等の特徴を有している。（例えば、特開昭58-197885号）。

【 0 0 0 4 】

図9にこの種のJ-FET（Pチャネル型）装置を示した。まずP型の半導体基板1には、N型のエピタキシャル層2が積層され、この間には、N+型の埋込層3が形成されている。この埋込層3を囲むようにP+型の分離領域4がエピタキシャル層2表面から半導体基板1に貫通して形成され、島領域5を形成している。

【 0 0 0 5 】

また島領域5の表面には、N+型のトップゲート領域6が形成され、このトップゲート領域6の下層には、P型のチャネル領域7が形成されている。前記チャネル領域の両端には、P+型のソース領域8、P+型のドレイン領域9が形成され、外側には高濃度のゲートコンタクト領域10が形成されている。

20

【 0 0 0 6 】

更に、絶縁膜を介して、ソース電極11S、ドレイン電極11Dおよびゲート電極11Gが形成されて、Pチャネル型のJ-FETとして構成される。ゲート領域にPN接合が形成されているためここを逆バイアスし、空乏層の大小によりドレイン電流の制御を行っている。

【 0 0 0 7 】

また、集積化した場合は、他の島領域5には、P型のベース領域12とN+型のエミッタ領域13及びN+型のコレクタコンタクト領域14を形成している。NPNトランジスタ等の素子は、J-FETが受けた信号を処理する集積回路網を構成する。

30

【 0 0 0 8 】

【 発明が解決しようとする課題 】

しかしながら、斯かる素子をエレクトリックマイクコンデンサの信号増幅用途に用いるときは、半導体集積回路上に電極パッドよりも遙かに大きな面積の拡張電極15を設けることを要求される場合がある。

【 0 0 0 9 】

この様な場合、絶縁膜16を挟んで拡張電極15とエピタキシャル層2とで形成される容量C1、およびエピタキシャル層2と基板1とで形成されるPN接合容量C2とが寄生的に発生し、これらが基板バイアスした接地電位GNDに接続される。これらの容量値は数十pFにも達し、決して無視できないレベルの値となる。

40

【 0 0 1 0 】

図10に容量C1、C2を含めた回路図を示した。エレクトリックコンデンサマイクECMの一端がJ-FET17のゲート（入力端子）に接続され、J-FET17のソースが接地され、ドレインが出力端子OUTに接続される。出力端子OUTは、同一基板上に形成されたNPNトランジスタ等からなる集積回路網に接続される。そして、J-FET17のゲートと接地電位GNDとの間に、上記した容量C1、C2が直列接続される。すると、エレクトリックコンデンサマイクECMから出力された信号が容量C1、C2を介し

50

て接地電位 GND に流出し (図示電流 i)、J - FET 17 のゲートに印加される信号レベルが低下して、好ましい出力電圧が得られないという欠点があった。

【 0 0 1 1 】

【課題を解決するための手段】

本発明は前述の課題に鑑みて成され、一導電型の半導体基板と、前記基板の上に形成したエピタキシャル層と、前記エピタキシャル層を分離した島領域と、前記島領域の 1 つに形成した入力トランジスタと、前記半導体層の表面を被覆する絶縁膜と、前記入力トランジスタの入力端子に接続され前記絶縁膜の上に延在された拡張電極とを備え、前記拡張電極下部の前記エピタキシャル層の比抵抗を $100 \sim 5000 \Omega \cdot \text{cm}$ にしたことを特徴とするものである。

10

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の実施の形態を詳細に説明する。

【 0 0 1 3 】

図 1 は本発明の半導体装置を示す断面図である。電界効果トランジスタ J - FET として N チャンネル型の素子を形成し、更には NPN トランジスタと共に同一基板上に集積化したものである。

【 0 0 1 4 】

図中、符号 21 は P 型の単結晶シリコン半導体基板を示す。半導体基板 21 の表面には N + 埋め込み層 22 を形成し、その上に形成したエピタキシャル層 23 を P + 分離領域 24 で接合分離して複数の島領域 25 を形成する。島領域 25 の 1 つには、N + 埋め込み層 22 に重畳して P + 埋め込み層 26 が設けられ、P + 埋め込み層 26 は島領域 25 の表面から拡散により形成した P ウェル領域 27 と連結している。P ウェル領域 27 の表面には、N 型のチャンネル領域 28 と P + 型のトップゲート領域 29 を設け、チャンネルを構成する N 型チャンネル領域 28 をエピタキシャル層 23 表面から下方に埋め込んでいる。P ウェル領域 27 がバックゲートとなる。

20

【 0 0 1 5 】

チャンネル領域 28 とトップゲート領域 29 の端部に重畳して、ウェル領域 28 の低濃度拡散表面を覆うように、P + 型のゲートコンタクト領域 30 が形成される。更に、チャンネル領域 28 を貫通するようにして、N + 型のソース領域 31 とドレイン領域 32 とが形成される。このトランジスタは、ゲートに印加される電位に応じてチャンネル領域 28 内に空乏層を形成し、ソース・ドレイン間のチャンネル電流を制御する。符号 33 がソース電極、符号 34 がドレイン電極、同じく符号 35 がゲート電極である。

30

【 0 0 1 6 】

他方の島領域 25 には、エピタキシャル層 23 表面から N + 埋め込み層 22 に達するコレクタ領域 60 を形成し、該コレクタ領域 60 表面に P 型のベース領域 36 を形成し、ベース領域 36 の表面に N + エミッタ領域 37 を形成して、拡散によって形成したコレクタ領域 60 をコレクタとする NPN トランジスタとする。符号 38 は N + コレクタコンタクト領域である。また、符号 39 はエミッタ電極、符号 40 はベース電極、符号 41 はコレクタ電極である。

40

【 0 0 1 7 】

これらの電極群は、対応する各拡散領域の表面にオーミック接触すると共に、エピタキシャル層 23 表面を被覆するシリコン酸化膜 42 の上を延在し、各回路素子間を接続して集積回路網を形成する。このうち、J - FET のゲートに接続されるゲート電極 35 は、酸化膜 42 の上を拡張されて、例えば直径が $1.0 \sim 1.5 \text{ mm}$ の円形パターンからなる拡張電極 43 に連続する。拡張電極 43 が、エレクトリックコンデンサマイクに接続される。

【 0 0 1 8 】

拡張電極 43 の下部は、酸化膜 42 を挟んで P + 分離領域 24 で囲まれた島領域 25 の一つが位置する。N + 埋め込み層 22 は設けていない。また、回路素子を収納することもな

50

い。

【0019】

基板21には、電極45によって分離領域を介して、及び裏面電極を介して接合分離用の接地電位GNDが与えられる。拡張電極44下部の島領域25は電位を印加しないフローティング状態で利用する構成としている。

【0020】

そして、通常のバイポーラ型集積回路のNPNトランジスタが要求するエピタキシャル層23の比抵抗が $5 \sim 20 \Omega \cdot \text{cm}$ であるのに対して、本発明ではこれを $100 \sim 5000 \Omega \cdot \text{cm}$ とする。その結果、拡張電極43下部の島領域25は設定した $100 \sim 5000 \Omega \cdot \text{cm}$ の半導体層となる。この値は、回路的には殆ど絶縁状態にしたのに等しい。また、例えば比抵抗が $1000 \Omega \cdot \text{cm}$ ともなれば導電性を定義することが困難であり、表記ではN-型としているが、イントリシック(i)型と称しても良い。あるいはP-型に反転していても何ら支障はない。

10

【0021】

図2は、この半導体装置の全体像を示す平面図である。チップサイズが略 $2.5 \times 3.0 \text{ mm}$ 程度の半導体チップ50のほぼ中央部分に、直径が $1.0 \sim 1.5 \text{ mm}$ 程度の拡張電極43が設けられており、拡張電極43の一部が延在してJ-FET素子51のゲート電極35に接続されている。半導体チップ50の周辺部には、外部接続用のボンディングパッド52が複数個配置されている。ボンディングパッド52は、1辺が $100 \sim 300 \mu\text{m}$ の正方形を有する。他の回路素子、例えばNPNトランジスタ、抵抗素子、容量素子などは、拡張電極43を除いた領域に、拡張電極43を取り囲むようにして配置されている。

20

【0022】

図3に等価回路図を示した。エピタキシャル層23を高比抵抗としたことによって、島領域25が持つ直列抵抗が極めて大になる。また、基板21との境界部に生じるであろう空乏層が極めて大きく拡大され、結局拡張電極43と基板21との間に形成される寄生容量C1の値が極めて小さくなる。空乏層が島領域25全体を埋め尽くすほど拡大されれば、容量C1の値は最小になるし、そこまで到達できなければ、今度は直列抵抗の働きによって回路接続を殆ど遮断することが出来る。よって、拡張電極43から基板21への信号の漏れを防止できる。

30

【0023】

尚、島領域25とP+分離領域24とのPN接合によっても容量C3が発生して、接地電位GNDとの間に接続されるものの、面積比で考慮すれば容量C3は無視し得る範囲内(容量C1の数十pFに対して数mF)の容量値である。容量C3をも考慮するので有れば、少なくとも拡張電極43を囲む分離領域24表面には接地電極を配置しないパターン設計が望ましい。

【0024】

尚、コレクタ領域60は、エピタキシャル層23を高比抵抗にした代わりに、NPNトランジスタのコレクタとして機能する不純物濃度とプロファイルを与えている。

【0025】

また、J-FET素子を形成した島領域25自体もフローティング状態で利用する構成とし、更にはエピタキシャル層23の高比抵抗層を残す構成とした。これにより、P+埋め込み層27、P型ウェル領域26、ゲートコンタクト領域30など、ゲート電位が印加されるP型領域と島領域25との接合に生じる空乏層を拡大して、接地電位GNDに対する寄生容量を小さくすることが出来る。これも、拡張電極43から接地電位への漏れ電流を防止することに寄与する。

40

【0026】

以下に本発明の製造方法を、図4～図7を用いて説明する。

【0027】

第1工程：図4(A)参照

50

半導体基板 21 を準備する。表面を熱酸化して酸化膜を形成し、ホットエッチング手法によって酸化膜に開口部分を形成する。該開口部分に露出する半導体基板 21 表面に、アンチモン (Sb) を拡散して N+ 型の埋め込み層 22 を形成する。続いて、酸化膜を形成し直し、再度ホットエッチング手法によって酸化膜に開口部分を形成し、基板 21 表面にボロン (B) をイオン注入して P+ 型の埋込層 26 および分離領域 24a を形成する。

【0028】

第 2 工程：図 4 (B) 参照

続いて、前記イオン注入用の酸化膜マスクを取り除いた後、N 型のエピタキシャル層 23 を気相成長法によって形成する。膜厚は 5 ~ 12 μm とし、比抵抗 $\rho = 100 \sim 5000 \Omega \cdot \text{cm}$ とする。この様な高比抵抗は、例えば気相成長法によってエピタキシャル成長させるときに、不純物を供給しないノンドーピング成長で形成する事により、得ることが出来る。

10

【0029】

第 3 工程：図 5 (A) 参照

エピタキシャル層 23 を形成した後、エピタキシャル層 23 の表面に Si 酸化膜を形成し、その上にレジストマスクを形成する。レジストマスクの開口部を通してボロン (B、BF₂) をイオン注入して P 型のウェル領域 27 を形成する。更に、レジストマスクを変更し、NPN トランジスタを形成すべき領域に燐 (P) をイオン注してコレクタ領域 60 を形成する。

【0030】

20

第 4 工程：図 5 (B) 参照

全体に 1100、1 ~ 3 時間程度の熱処理を与えて、イオン注入した P 型のウェル領域 27 とコレクタ領域 60 を熱拡散する。

【0031】

第 5 工程：図 6 (A) 参照

続いて、前記の熱処理によりエピタキシャル層 23 表面に成長した Si 酸化膜の上にイオン注入用のレジストマスクを形成し、上側の分離領域 24b に対応する部分の開口部を介して P 型の不純物、ここではボロンをイオン注入する。そして前記レジストマスクを除去した後、上側と下側の分離領域 24a、24b が結合するまで、そして P 型埋め込み層 26 と P 型ウェル領域 27 とが結合するまで、同じく 1100、1 ~ 3 時間程度の熱処理で拡散する。分離領域 24 によって、エピタキシャル層 23 が接合型電界効果トランジスタ (J-FET) 等を形成すべき島領域 25 に接合分離される。

30

【0032】

第 6 工程：図 6 (B) 参照

先の熱処理によってエピタキシャル層 23 表面に成長した SiO₂ 膜を除去した後、再度 500 程度の SiO₂ 膜を付け直す。SiO₂ 膜上にホトレジスト膜によりイオン注入用マスクを付け、NPN トランジスタのベース領域 36 とゲートコンタクト領域 30 に対応する部分を開口し、ここにベースの不純物であるボロンをイオン注入する。そしてレジストマスク除去の後、1100、1 ~ 2 時間の熱処理によりベース拡散を行う。ベース領域 36 とゲートコンタクト領域 30 は P 型ウェル領域 27 よりは浅い拡散領域とし、ゲートコンタクト領域 30 は P 型ウェル領域 27 と N 型島領域 25 との PN 接合の上部を覆うようにして配置されている。即ち、ゲートコンタクト領域 30 は P 型ウェル領域 27 の周辺部分を環状に取り囲んでいる。そして、再度イオン注入用マスクを付け直し、形成予定のエミッタ領域 37、ソース領域 31、ドレイン領域 32 およびコレクタコンタクト領域 38 に対応する部分を開口し、ここに N 型の不純物であるヒ素またはリンをイオン注入する。

40

【0033】

第 7 工程：図 7 (A) 参照

更に、レジストマスクを付け直して、チャネル領域 28 に対応する部分の Si 酸化膜上に開口部 62 を具備するマスク層 63 を形成する。開口部 62 の端は、ゲートコンタクト領

50

域 30 の上部に位置して、ウェル領域 27 の表面及び環状に形成されたゲートコンタクト領域 30 の内周端近傍の表面を露出する。そして、マスク層 63 の開口部を通して N 型の不純物であるヒ素またはリンを $1 \times 10^{12} \sim 10^{13} \text{ atoms/cm}^3$ でイオン注入し、チャネル領域 28 を形成する。

【0034】

マスク層 63 をそのままに、開口部 62 を通して P 型の不純物である B 又は BF_2 を $1 \times 10^{13} \sim 10^{14} \text{ atoms/cm}^3$ でイオン注入し、トップゲート領域 29 を形成する。

【0035】

その後前記イオン注入用マスクを取り除き、1000、30～1時間のエミッタ拡散を行ってエミッタ領域 37、ソース領域 31、ドレイン領域 32 を熱拡散すると共に、チャネル領域 28 とトップゲート領域 29 を熱拡散する。尚、エミッタ熱拡散の後にチャネル領域 28 とトップゲート領域 29 のイオン注入と熱処理を行っても良い。

【0036】

第 8 工程：図 7 (B) 参照

これらの熱処理によってエピタキシャル層 23 表面に形成されたシリコン酸化膜 64 に、一般的なホットエッチング手法によってコンタクト孔 65 を形成する。拡張電極 43 を形成すべき領域には、既に膜厚 8000～20000 のシリコン酸化膜 64 が形成されている。これらの酸化膜厚を更に厚くするために CVD 酸化膜、SiN 膜等を形成しても良い。

【0037】

そして、全面にアルミニウム材料をスパッタあるいは蒸着手法によって膜厚 1.0～3.0 μm 膜厚に形成し、一般的なホットエッチング手法によってホットエッチングすることにより、ソース電極 33、ドレイン電極 34、ゲート電極 35、エミッタ電極 39、ベース電極 40、コレクタ電極 41、接地電極 45、及び拡張電極 43 を形成して、図 1 の構成を得る。

【0038】

図 8 は、製造方法の第 2 の実施形態を示す断面図である。先の製造方法は、コレクタ領域 60 をエピタキシャル層 23 の表面から拡散したが、この例では基板 21 表面からとエピタキシャル層 23 表面からと両方から拡散して結合した例である。

【0039】

すなわち図 8 (A) を参照して、P 型基板 21 を準備し、基板 21 表面に選択マスクを形成し、NPN トランジスタを形成すべき領域に選択的に N 型不純物（砒素、アンチモン等）をイオン注入し、これを熱拡散することによってコレクタ埋め込み層 61 を形成する。

【0040】

その後、図 4 (A)～図 6 (A) までの工程と同様の工程を経ることにより、図 8 (B) に示したように、コレクタ領域 60 とコレクタ埋め込み層 61 とを結合させてコレクタ層を形成した構造を得ることが出来る。この後は図 6 (B)～図 7 (B) と同様の工程を施す。上下方向からの拡散を用いるので、熱処理を短くすることが可能である。

【0041】

上記の実施例は、J-FET として N チャネル型を例にしたが、P チャネル型 J-FET を形成することも可能である。また、入力トランジスタとして J-FET を例にしたが、N チャネル、P チャネル型の MOSFET 素子を用いたものでも良い。

【0042】

【発明の効果】

本発明によれば、エピタキシャル層 23 の比抵抗を増大することによって、拡張電極 43 と基板 21（接地電位）とを結合する寄生容量の値を小さなものとし、これによって拡張電極 43 に印加された信号電流が漏れるのを防止できる利点を有する。

【0043】

また、高比抵抗とした代わりに、N 型のコレクタ層 60 を形成する事により、NPN トラ

10

20

30

40

50

ンジスタをも共存できる利点を有する。

【図面の簡単な説明】

【図 1】 本発明を説明する為の断面図である。

【図 2】 本発明を説明する為の平面図である。

【図 3】 本発明を説明するための回路図である。

【図 4】 本発明の製造方法を説明する為の断面図である。

【図 5】 本発明の製造方法を説明する為の断面図である。

【図 6】 本発明の製造方法を説明する為の断面図である。

【図 7】 本発明の製造方法を説明する為の断面図である。

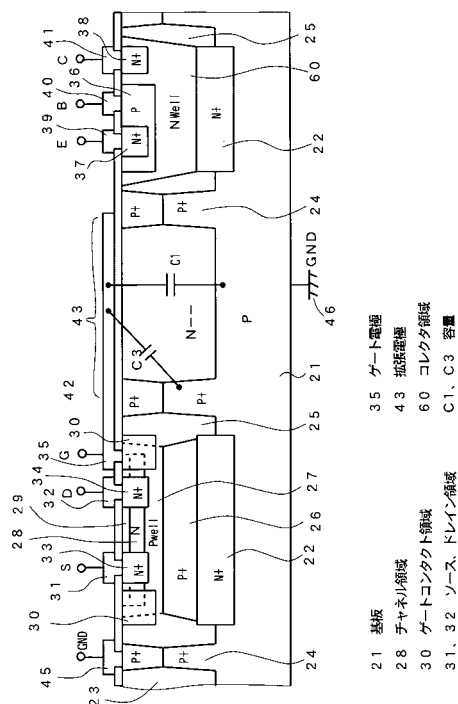
【図 8】 本発明の製造方法を説明する為の断面図である。

【図 9】 従来例を説明するための断面図である。

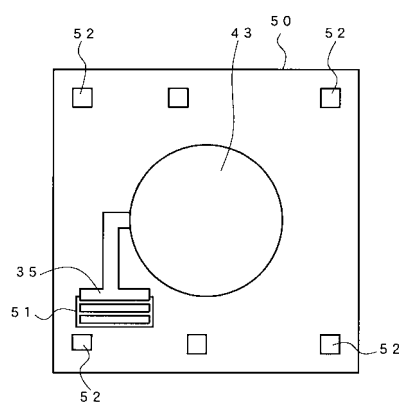
【図 10】 従来例を説明するための回路図である。

10

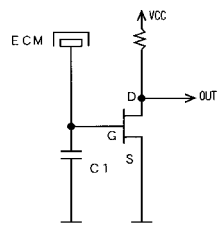
【図 1】



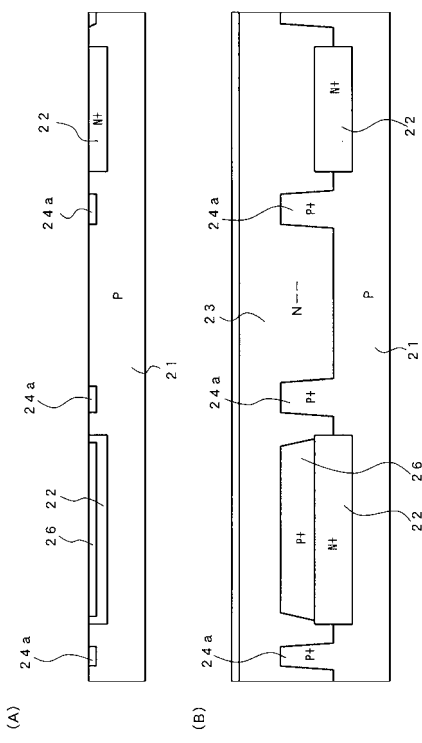
【図 2】



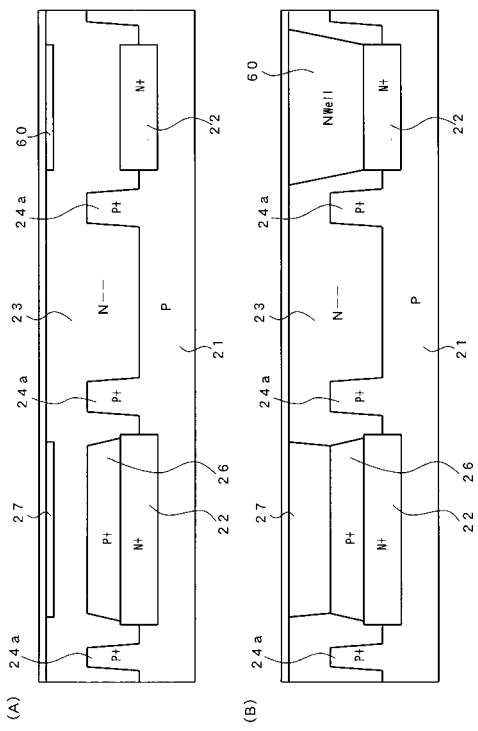
【図 3】



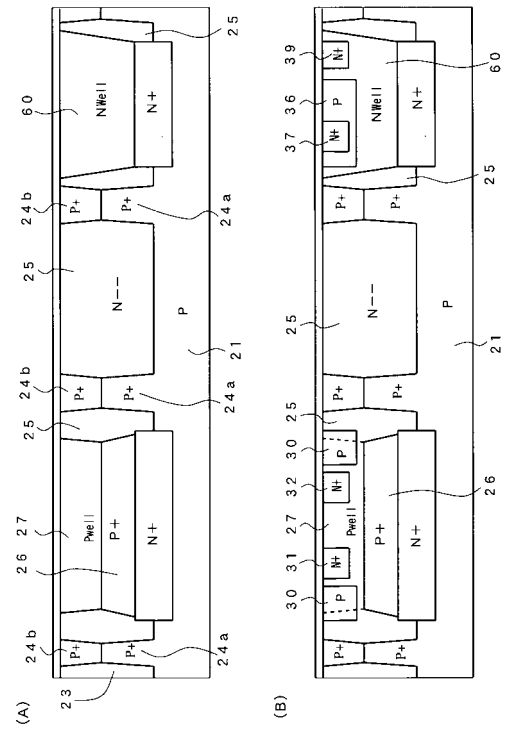
【図 4】



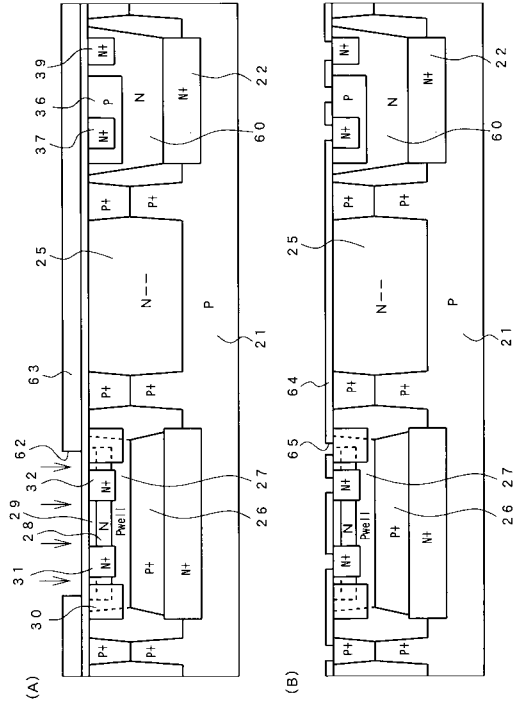
【図 5】



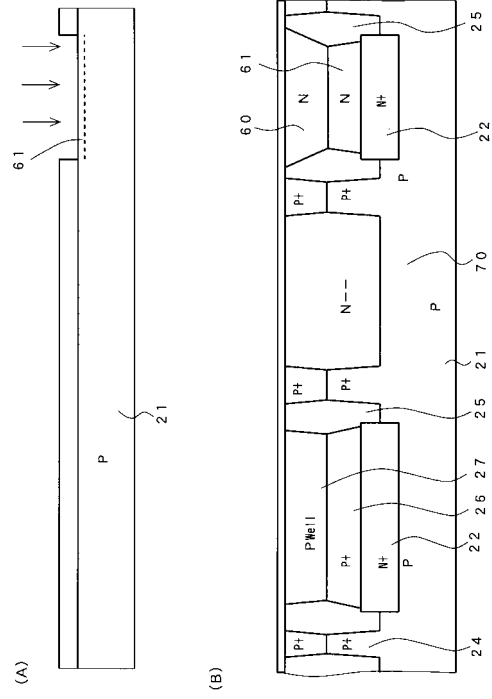
【図 6】



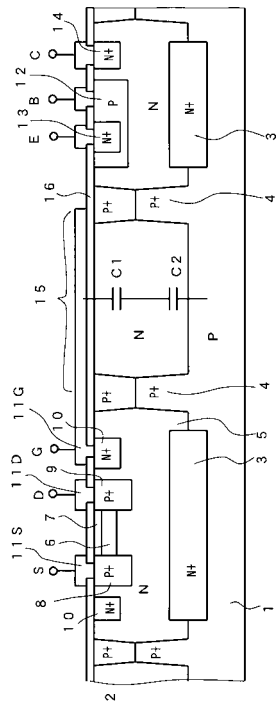
【圖 7】



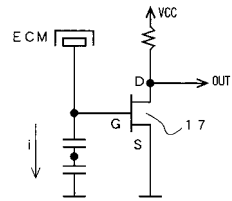
【 図 8 】



【 図 9 】



【 図 1 0 】



フロントページの続き

(51) Int.Cl.⁷ F I

H 0 1 L 29/808

H 0 4 R 3/00

(56) 参考文献 特開昭 5 5 - 1 5 1 3 5 9 (J P , A)

特開平 0 7 - 1 4 2 5 3 8 (J P , A)

特開平 0 7 - 1 0 6 3 4 2 (J P , A)

特開昭 5 9 - 1 8 4 5 5 8 (J P , A)

特開昭 6 2 - 1 9 9 0 5 0 (J P , A)

特開平 1 0 - 0 9 6 7 4 5 (J P , A)

特開昭 6 1 - 1 6 0 9 6 3 (J P , A)

特開昭 6 0 - 1 8 2 7 7 2 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

H01L 21/337

H01L 21/331

H01L 21/8222

H01L 27/06

H01L 29/73

H01L 29/808