

# 公告本

406434

申請日期： 87.9.24

案號： 87115871

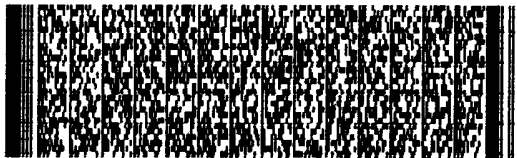
類別： 1401C<sup>29</sup>/786

(以上各欄由本局填註)

## 發明專利說明書

406434

一、 發明名稱	中文	薄膜電晶體及薄膜電晶體之製造方法
	英文	THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF
二、 發明人	姓名 (中文)	1. 中西史朗 2. 米田清
	姓名 (英文)	1. SHIRO NAKANISHI 2. KIYOSHI YONEDA
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國岐阜縣大垣市稻葉東2-47-5 2. 日本國岐阜縣本巢郡巢南町古橋1495-6
三、 申請人	姓名 (名稱) (中文)	1. 三洋電機股份有限公司
	姓名 (名稱) (英文)	1. SANYO ELECTRIC CO., LTD.
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府守口市京阪本通2丁目5番5號
	代表人 姓名 (中文)	1. 近藤定男
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP.

1997/09/30 特願平9-266707

有

有關微生物已寄存於

寄存日期

寄存號碼



## 五、發明說明 (1)

## [發明的技術領域]

本發明係適用於有關主動式矩陣(active matrix)方式顯示面板的畫素顯示用開關元件(switching element)之薄膜電晶體者。

## [習用技術]

第4圖為表示底閘(bottom gate)型薄膜電晶體構造的剖面圖。

於絕緣性透明基板1表面配置由鎢或鉻等高融點金屬所成之閘電極2。該閘電極2兩端部係於透明基板1側形成廣闊的斜台狀(taper)。配置閘電極2的透明基板1上則由氮化矽膜3沈積氧化矽膜4。氮化矽膜3係為阻止包含於透明基板1的摻質侵入後述活性領域，而氧化矽膜4則作為閘絕緣膜之用。於氧化矽膜4上，橫跨閘電極2沈積有多晶矽膜5。該多晶矽膜5則為薄膜電晶體之活性領域。

於多晶矽膜5上，配置有氧化矽等絕緣材料所成的阻止膜(stopper)6。該阻止膜6所覆蓋的多晶矽膜5則成為通道領域(channel region)5c，而其他多晶矽膜5則為源極領域5s及汲極領域5d。而於形成為阻止膜6的多晶矽膜5上，沈積氧化矽膜7及氮化矽膜8。由該氧化矽膜7及氮化矽膜8形成保護包括源極領域5s及汲極領域5d的多晶矽膜5之層間絕緣膜。

於源極領域5s及汲極領域5d上的氧化矽膜7及氮化矽膜8之所定位置，形成接觸孔9。而於該接觸孔9部分，配置連接源極領域5s及汲極領域5d的源極10s及汲極10d。又於



## 五、發明說明 (2)

配置源極10s及汲極10d的氮化矽膜8上，沈積對可視光為透明的丙烯酸(acryl)樹脂層11。該丙烯酸樹脂層11，係為填平由閘電極2及阻止膜6所生的凹凸，使表面為平坦化。

又於源極10s上之丙烯酸樹脂層11，形成接觸孔12。經由該接觸孔12與源極10s連接之由ITO等所成的透明電極13，則以擴展在丙烯酸樹脂層11上配置。而以該透明電極13構成液晶顯示面板之顯示電極。

上述薄膜電晶體係與顯示電極同時，在透明基板1上，以複數個成行列配置，對應於施加在閘電極2的掃描控制訊號，將供應於汲極10d之影像資訊，分別施加於顯示電極。

多晶矽膜5係為作薄膜電晶體之活性領域，將該結晶粒徑形成為充分的尺度。形成多晶矽膜5大結晶粒徑的方法，有使用受激準分子雷射器(excimer laser)的雷射退火(laser anneal)法。該雷射退火法係於作為閘絕緣膜的氧化矽膜4上，沈積非晶質狀態的矽後，以受激準分子雷射器照射該非晶矽，使之暫時溶解後，再結晶為晶矽。使用上述雷射退火法則不必提升透明基板1之溫度，可採用融點較低的玻璃基板為透明基板1。

## [發明所欲解決的問題]

作為閘絕緣膜的氧化矽膜4，係以橫跨由閘電極2所生成之段差而沈積。此時，閘電極2雖係將該側壁與透明基板1表面形成為銳角交叉的梯狀斷面，唯於段差部分，容易發生閘絕緣膜的絕緣不良。也就是說；以電漿CVD法形成的氧化矽膜4，因係較高溫熱氧化處理形成之氧化矽膜的膜質粗



## 五、發明說明 (3)

糙，故以微小曲折部亦有不能維持耐壓之虞。為此，開電極2與為活性領域之多晶矽膜5間發生電流洩漏(leak)，招致動作特性的劣化，甚至為不能動作。

因此，本發明係，以提供於開絕緣膜不發生絕緣不良之薄膜電晶體為其目的。

## [解決問題的手段]

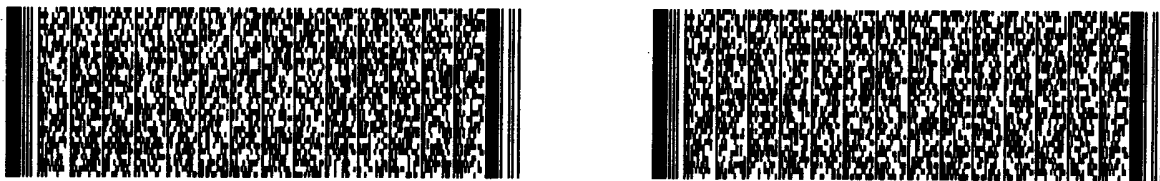
本發明的薄膜電晶體具有：基板；配置於上述基板一主面上的開電極；於上述基板上覆蓋上述開電極狀沈積的開絕緣膜；橫跨上述開電極，沈積在上述開絕緣膜上之半導體膜；以及沈積於上述半導體上的層間絕緣膜，上述開電極係於接觸上述基板側的寬度擴大，同時，上述開絕緣膜係以至少具有 $1200 \text{ \AA}$ 膜厚之氧化矽膜所成，為其特徵。

如依本發明，係將構成開絕緣膜的氧化矽膜，定為膜厚 $1200 \text{ \AA}$ 以上，即可將因開電極所生的段差完全覆蓋，得以減低開絕緣膜的絕緣不良。

## [發明的實施形態]

第1圖為表示本發明薄膜電晶體構造之剖面圖。

透明基板21的表面配置有開電極22。該開電極22係於透明基板21側成擴大的梯狀剖面，橫跨電晶體之形成領域而延伸。此時，開電極22的剖面形狀係，側壁與底面(透明基板21表面)間的交叉角度為 $20^\circ$ 以下，膜厚係以 $1000 \text{ \AA}$ 為宜。配置開電極22的透明基板21上，以所定膜厚( $T^1 \geq 400 \text{ \AA}$ )沈積作為開電極22的氮化矽膜23。該氮化矽膜23係為阻止由透明基板21析出摻質離子而設，經實驗確認如以



## 五、發明說明(4)

膜厚 $400 \text{ \AA}$ ，即可達成該機能。於上述氮化矽膜23上，即以前所定的膜厚( $T^2 \geq 1200 \text{ \AA}$ )沈積氧化矽膜24。由該氮化矽膜23及氧化矽膜24構成閘絕緣膜。

於氮化矽膜23及氧化矽膜24所成的閘絕緣膜上，以重疊閘電極22的方式沈積作為活性領域的半導體膜之多晶矽膜25。該多晶矽膜25係以橫跨閘電極22的狀況，形成為小島狀。再於多晶矽膜25上，配置由氧化矽所成的阻止膜26。該阻止膜26所覆蓋的多晶矽膜25為通道領域25c，而其他多晶矽膜25即為源極領域25s及汲極領域25d。於形成有阻止膜26的多晶矽膜25上，沈積由氧化矽膜27及氮化矽膜28兩層所成的層間絕緣膜。氧化矽膜27係為防止多晶矽膜25與氮化矽膜28的接觸，而氮化矽膜28係於製造過程中，對多晶矽膜25供應氫離子。

在層間絕緣膜設到達多晶矽膜25的接觸孔29。且於該接觸孔29部分，配置連接源極領域25s及汲極領域25d之源極30s及汲極30d。又於氮化矽膜28上沈積覆蓋源極30s及汲極30d，以使表面平坦化的丙烯酸(acryl)樹脂層31。再於丙烯酸樹脂層31設到達源極30s的接觸孔32，將連接於源極30s的透明電極33，以擴展狀配置於丙烯酸樹脂層31上。上述源極30s、汲極30d及透明電極33係與第4圖所示薄膜電晶體之源極10s、汲極10d及透明電極13相同。

於上述薄膜電晶體中，將膜厚 $400 \text{ \AA}$ 的氮化矽膜23與膜厚為 $1200 \text{ \AA}$ 的氧化矽膜24重疊為閘絕緣膜的構成，可大幅減低閘絕緣膜的絕緣不良。依測定，若係與以 $1000 \text{ \AA}$ 膜厚



## 五、發明說明 (5)

的氧化矽膜作為閘絕緣膜時比較，該起因於閘絕緣膜絕緣不良的不良率，將由約25%減低為約4%。

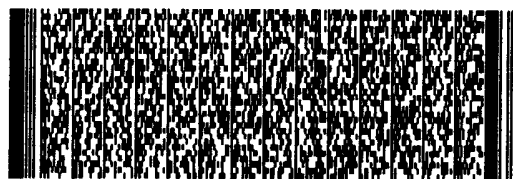
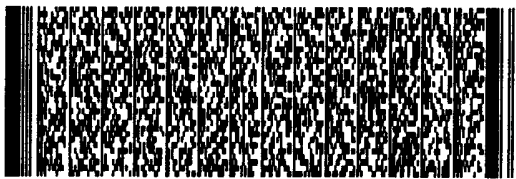
第2圖(a)至(c)及第3圖(d)至(f)係說明本發明薄膜電晶體的製造方法之製程別剖面圖。該圖係於圖中，表示與第1圖相同的部分。

## (a) 第1製程

在絕緣性透明基板21上，將鉻或鈿等高融點金屬，以噴濺法沈積 $1000 \text{ \AA}$ 的膜厚，以形成高融點金屬膜34。將該高融點金屬膜34，以所定的形狀圖案化，以形成閘電極22。在該圖案化處理，係以斜台狀蝕刻(taper etching)，使閘電極22的剖面於透明基板21側擴展為斜台狀。此時，閘電極22的側壁與底面之交叉角度係以20度以下為準。斜台狀蝕刻的方法有：降低作為蝕刻遮罩的抗蝕膜與高融點金屬膜34間的密著性之方法、於高融點金屬膜34表面形成快速蝕刻膜的方法等。

## (b) 第2製程

在透明基板21上，以電漿(plasma)CVD法將氮化矽沈積成 $400 \text{ \AA}$ 以上的膜厚。由此，形成可防止由透明基板21析出摻質離子的氮化矽膜23。繼之，在氮化矽膜23上，以電漿CVD法沈積厚度 $1200 \text{ \AA}$ 的氧化矽。由此，可與氮化矽膜23同時形成作為閘絕緣膜的氧化矽膜24。然後，於氧化矽膜24上，由電漿CVD法沈積矽膜 $400 \text{ \AA}$ ，以形成非晶矽膜25'。上述氮化矽膜23、氧化矽膜24及非晶矽膜25'得以同一的裝置連續形成之。再，以 $430^\circ\text{C}$ 作1小時的熱處理作業，排出矽



## 五、發明說明 (6)

膜25'內的氫於膜外,使氫的濃度為1%以下後,以受激準分子雷射器(excimer laser)照射矽膜25',加熱至非晶狀態的矽融解為止。由此,可使矽結晶成多晶矽膜25。

## (c) 第3製程

在多晶矽膜25上,將氧化矽沈積1000Å,以形成氧化矽膜。然後於該氧化矽膜35,對應於閘電極22的形狀予以圖案化,以形成重疊於閘電極22的阻止膜26。在形成該阻止膜26中、覆蓋氧化矽膜35形成抗蝕層,將該抗蝕層由透明基板側作為遮罩,予以曝光,可減少遮罩偏差。

## (d) 第4製程

對形成有阻止膜26的多晶矽膜25,植入對應於應形成電晶體形態的P型或N型離子。也就是說;形成P通道型的電晶體時,植入硼(boron)等P型離子,形成N通道型電晶體時,即植入磷等之N型離子。由上述離子的植入,可於除阻止膜26覆蓋領域以外的多晶矽膜25,形成表示P型或N型導電性的領域。該領域可在阻止膜26的兩側,成為源極領域25s及汲極領域25d。

## (e) 第5製程

對形成有源極領域25s及汲極領域25d的多晶矽膜25,使用受激準分子雷射器照射而予以加熱至矽質不融解的程度,由此,可使源極領域25s及汲極領域25d內的摻質離子活性化。再於阻止膜26(閘電極22)兩側留存所定寬度,將多晶矽膜25構成小島型圖案,分離電晶體,予以獨立。

## (f) 第6製程

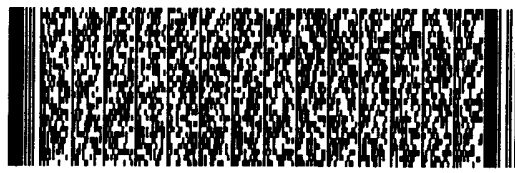
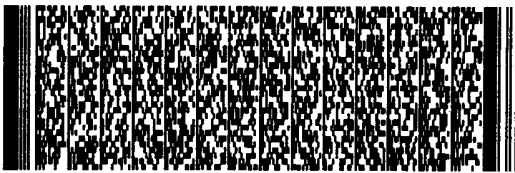


## 五、發明說明 (7)

以電漿(plasma)CVD法將氧化矽沈積 $1000\text{\AA}$ 的膜厚後，繼續沈積氮化矽 $3000\text{\AA}$ 。由此，可形成由氧化矽膜27及氮化矽膜28等兩層作成的層間絕緣膜。形成氧化矽膜27及氮化矽膜28後，在氮氣中加熱，將含於氮化矽膜28內的氫離子導入多晶矽膜25。該加熱溫度須設定於氫離子能充分移動，而透明基板21不軟化的範圍，故以 $350\sim 450\text{ }^{\circ}\text{C}$ 為宜。含於氮化矽膜28內的氫離子，將對應於氮化矽膜28的膜厚得以通過薄氧化矽膜27，導至多晶矽膜25，故多晶矽膜25得以確實獲得必需量。因此，多晶矽膜25內的晶格缺陷，能由氫離子填補。

於完成由氫離子對多晶矽膜25內晶格缺陷的填補後，對應於源極領域25s及汲極領域25d，形成貫通氧化矽膜27及氮化矽膜28的接觸孔29，再於該接觸孔29部分形成由鋁等金屬所成的源極30s及汲極30d。該源極30s及汲極30d的形成係如；係於形成接觸孔29的氮化矽膜28上，將由噴濺法作成的鋁等予以圖案化而成。

再，於形成有源極30s及汲極30d的氮化矽膜28上，塗布丙烯酸(acryl)樹脂溶液，燒成為丙烯酸樹脂層31。該丙烯酸樹脂層31係作為由阻止膜26，或源極30s、汲極30d引起的凹凸之平坦化用。又於源極30s上，形成貫通丙烯酸樹脂層31之接觸孔32，在該接觸孔32部分形成連接源極30s的，由ITO等所成之透明電極33。該透明電極33之形成，係於形成接觸孔32之丙烯酸樹脂層31上噴濺的ITO之圖案化而成。



## 五、發明說明 (8)

由上述第1製程至第6製程，可形成如第1圖所示之底閘 (bottom gate) 型薄膜電晶體。

又，於上述格實施形態例示之各部膜厚，係在特定條件下之最適值，並不限定於該例示數值。作為閘絕緣膜的氮化矽膜23膜厚 $T_1$ 及氧化矽膜24的膜厚 $T_2$ ，若能滿足上述之條件 ( $T_1 \geq 400 \text{ \AA}$ 、 $T_2 \geq 1200 \text{ \AA}$ )，其他部分膜厚可任意設定。

## [發明的效果]

如依本發明，可提升閘絕緣膜的耐壓，以減低閘電極與活性領域間的電流洩漏，因而得以提升製造時的良品率，同時，可期待製品信賴性的提升。

## [圖面的簡單說明]

第1圖 為表示本發明薄膜電晶體構造之剖面圖。

第2圖 為表示本發明薄膜電晶體製造方法之前半製程之製程別剖面圖。

第3圖 為表示本發明薄膜電晶體製造方法之後半製程之製程別剖面圖。

第4圖 為表示習用薄膜電晶體構造之剖面圖。

## [符號的簡單說明]

1、21	透明基板
2、22	閘電極
3、8、23、28	氮化矽膜
4、7、24、27	氧化矽膜
5、25	多晶矽膜
5c、25c	通道領域



## 五、發明說明 (9)

5s、25s	源領域
5d、25d	汲領域
6、26	阻止膜
9、12、29、32	接觸孔
10s、30s	源極
10d、30d	汲極
11、31	丙烯酸(acryl)樹脂層
12、33	透明電極

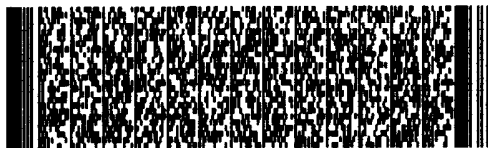


406434

四、中文發明摘要 (發明之名稱：薄膜電晶體及薄膜電晶體之製造方法)

一種薄膜電晶體及薄膜電晶體之製造方法，係為提升薄膜電晶體之閘極絕緣膜耐壓性者。該薄膜電晶體係於透明基板21上，配置剖面在透明基板21側形成擴展的梯形狀的閘電極22。再以覆蓋閘電極22，沈積膜厚 $T_1$ 為400 Å的氮化矽膜23，在該氮化矽膜23上，沈積膜厚 $T_2$ 為1200 Å的氧化矽膜。且於由氮化矽膜23及氧化矽膜24所成的閘極絕緣膜上，沈積作為活性領域的多晶矽膜25。

英文發明摘要 (發明之名稱：THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF)



## 六、申請專利範圍

1. 一種薄膜電晶體，係具有：

基板，及

配置於上述基板一主面上的閘電極，及

於上述基板上覆蓋上述閘電極狀沈積的閘絕緣膜，

及

橫跨上述閘電極，沈積在上述閘絕緣膜上之半導體膜，以及

沈積於上述半導體上的層間絕緣膜；且

上述閘電極係於接觸上述基板側擴大寬度，同時，該閘絕緣膜係以至少具有 $1200 \text{ \AA}$ 膜厚之氧化矽膜所成，為其特徵者。

2. 如申請專利範圍第1項的薄膜電晶體，係於該薄膜電晶體具有至少 $400 \text{ \AA}$ 膜厚的氮化矽膜，且沈積於上述基板與上述氧化矽膜間者。

3. 一種薄膜電晶體的製造方法，係包括：

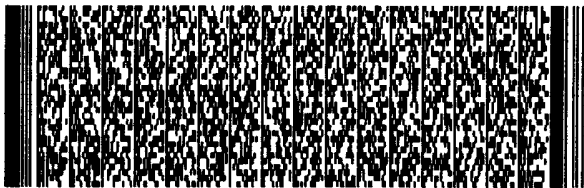
於基板之一主面上，形成閘電極的第1製程，及

於上述基板上覆蓋上述閘電極狀沈積閘絕緣膜的第2製程，及

於上述閘絕緣膜上，沈積橫跨上述閘電極的半導體膜的第3製程，以及

在上述半導體膜上，沈積層間絕緣膜的第4製程；且於

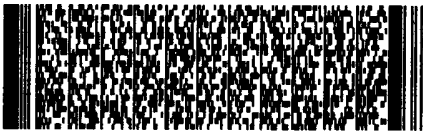
上述第1製程，使上述閘電極在上述基板側形成擴大的寬度，同時，於上述第2製程沈積膜厚至少為 $1200 \text{ \AA}$ 的



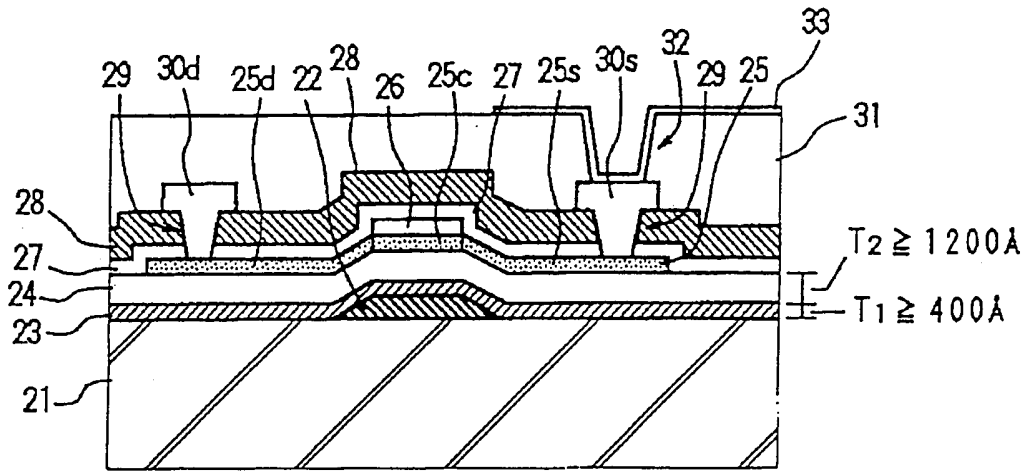
## 六、申請專利範圍

氧化矽膜為其特徵者。

4. 如申請專利範圍第3項的薄膜電晶體的製造方法，該製造方法的第2製程，係於上述基板上，沈積膜厚至少為400 Å的氮化矽膜後，在該氮化矽膜上沈積上述氧化矽膜者。

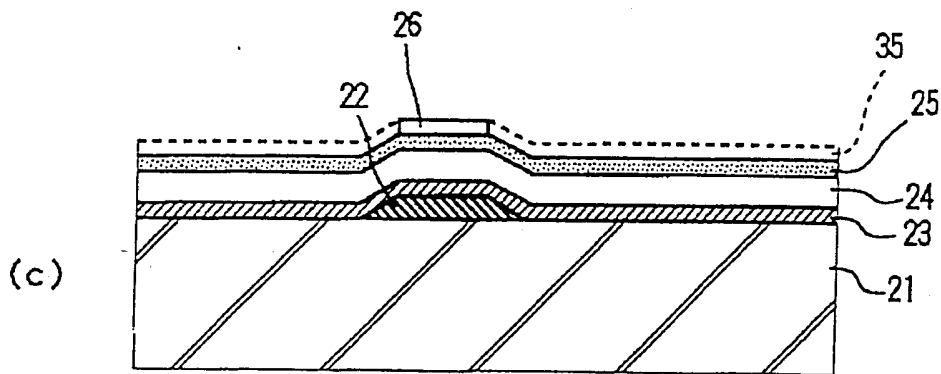
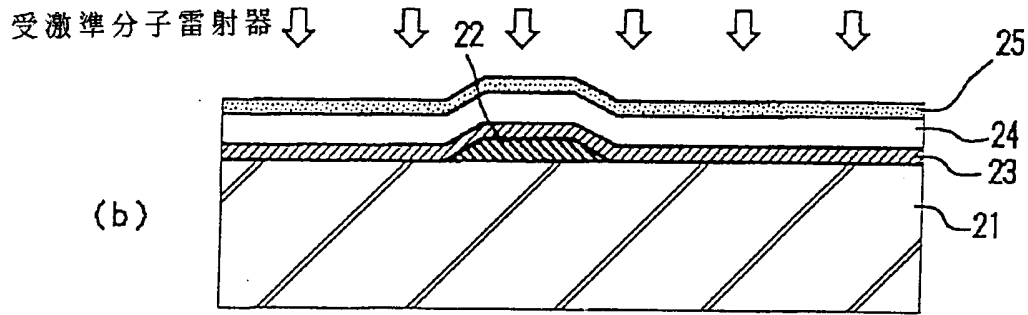
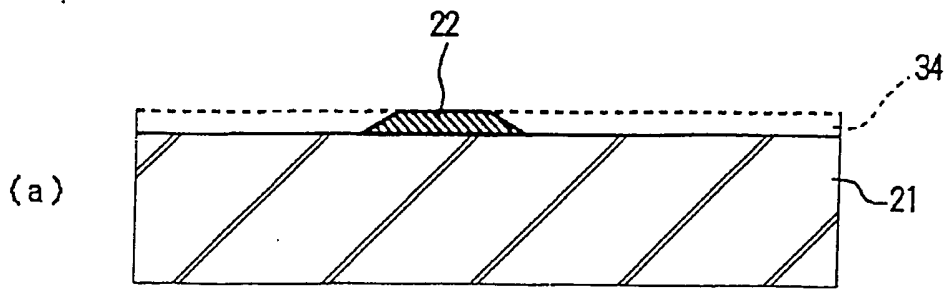


圖式



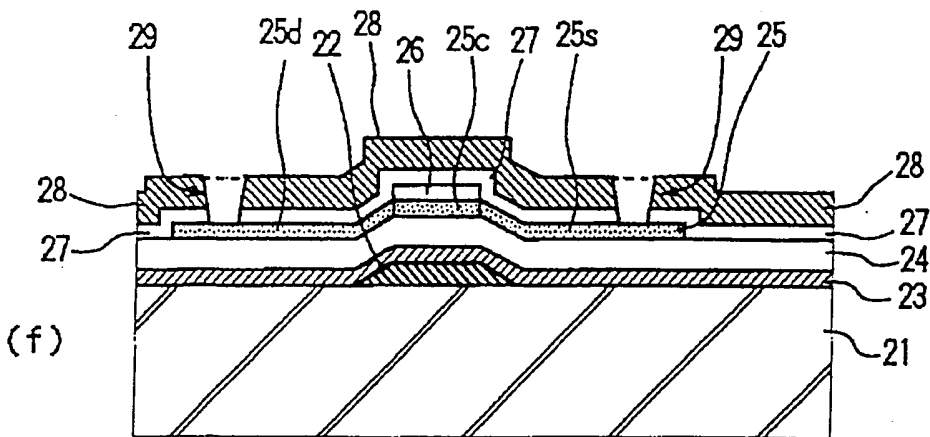
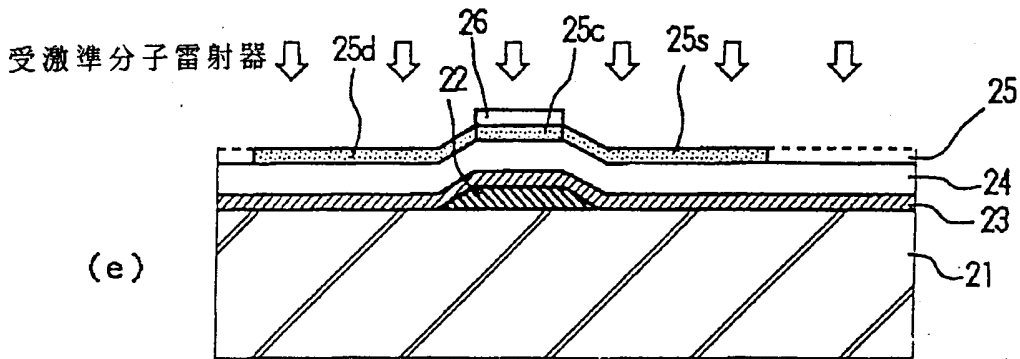
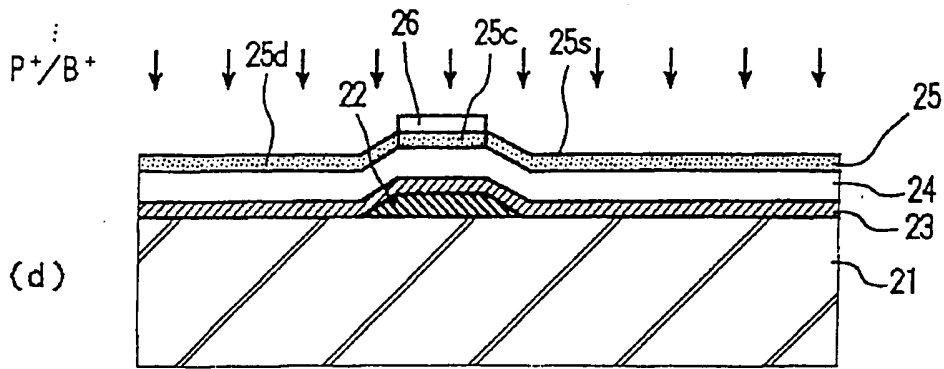
第 1 圖

圖式



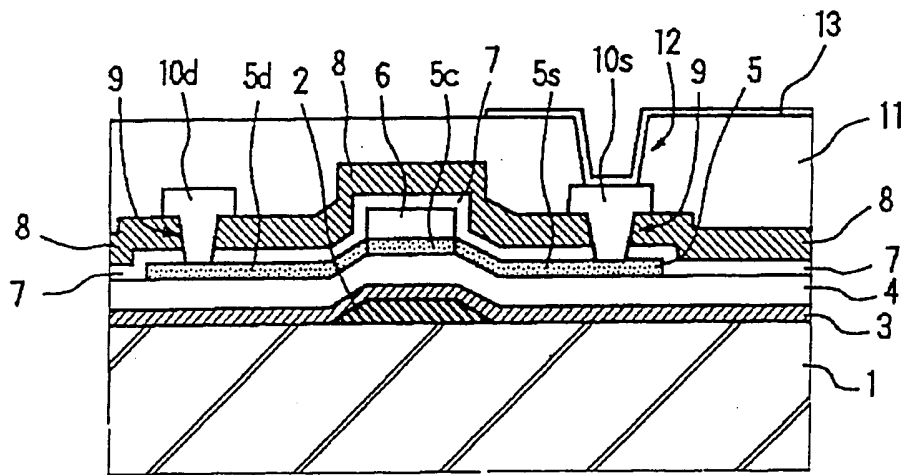
第 2 圖

圖式



第 3 圖

圖式



第 4 圖