

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G11C 8/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200480029643.3

[43] 公开日 2007 年 1 月 24 日

[11] 公开号 CN 1902708A

[22] 申请日 2004.9.29

[21] 申请号 200480029643.3

[30] 优先权

[32] 2003.10.9 [33] US [31] 10/684,123

[86] 国际申请 PCT/US2004/032037 2004.9.29

[87] 国际公布 WO2005/038864 英 2005.4.28

[85] 进入国家阶段日期 2006.4.10

[71] 申请人 米克伦技术公司

地址 美国爱达荷

[72] 发明人 阿龙·M·舍恩菲尔德

罗斯·E·德茂特

[74] 专利代理机构 永新专利商标代理有限公司

代理人 韩 宏

权利要求书 11 页 说明书 12 页 附图 4 页

[54] 发明名称

用于为低功率刷新操作而控制时钟同步电路
的电路及方法

[57] 摘要

本发明提供了一种方法及装置，用于在存储设备中的刷新操作执行过程的至少一部分时间内，使时钟同步电路空闲。在接收外部时钟信号的存储设备中，提供了一种用于执行刷新操作的方法及装置，包括在存储设备中发起至少一个刷新操作，并且在完成至少一个刷新操作所占用时间的至少一部分时间内，停止相对于外部时钟信号定时的内部时钟信号的生成。

1. 一种用于在接收外部时钟信号的同步存储设备中执行刷新操作的方法，该方法包括：

在所述存储设备中发起至少一个刷新操作；以及

在完成至少一个刷新操作所占用的时间的至少一部分时间内，停止相对于所述外部时钟信号定时的内部时钟信号的生成。

2. 如权利要求 1 所述的方法，其中，发起至少一个刷新操作的步骤包括发起 n 个刷新操作，以及停止内部时钟信号的生成的步骤包括对于每 n 个刷新操作停止一次所述内部时钟信号的生成。

3. 如权利要求 1 所述的方法，其中，停止内部时钟信号的生成的步骤包括对于每个被执行的刷新操作，在完成刷新操作所占用的时间的至少一部分时间内，停止所述内部时钟信号的生成。

4. 如权利要求 1 所述的方法，其中，所述刷新操作占用刷新时间段来完成，所述刷新操作包括内部刷新操作时间段，在该内部刷新操作时间段中，所述刷新操作内部完成，并且所述刷新操作还包括预充电时间段，并且其中，在完成至少一个刷新操作所占用的时间的至少一部分时间内，停止内部时钟信号的生成的步骤包括在所述内部刷新操作时间段期间，停止所述内部时钟信号的生成。

5. 如权利要求 4 所述的方法，还包括经过所述刷新操作时间段之后，恢复所述内部时钟信号的生成，以及在所述预充电时间段，监控从所述内部时钟信号的生成被停止时到所述内部时钟信号的生成被恢复时所述同步存储设备中的运行状况的变化。

6. 如权利要求 1 所述的方法，其中，停止内部时钟信号的生成的步骤包括使同步存储设备中的同步时钟电路空闲。

7. 如权利要求 6 所述的方法, 还包括响应于所述内部时钟信号, 使输出电路的操作空闲。

8. 如权利要求 6 所述的方法, 其中, 所述同步时钟电路包括延迟锁定环。

9. 如权利要求 1 所述的方法, 其中, 所述刷新操作包括自动刷新操作。

10. 一种用于在存储设备中执行刷新操作的方法, 包括:

发起具有刷新时间段的刷新操作, 在该刷新时间段内完成所述刷新操作, 并且所述刷新时间段在新的存储器命令的执行开始之前消逝;

在所述刷新时间段的至少一部分时间内, 使所述存储设备中的同步时钟电路空闲, 所述同步时钟电路在被启动时生成与输入时钟信号同步的输出时钟信号; 以及

在所述刷新时间段消逝之前重新启动所述同步时钟电路。

11. 如权利要求 10 所述的方法, 还包括响应于所述存储设备接收到刷新命令, 生成刷新执行信号, 并且其中, 使同步时钟电路空闲的步骤包括响应于所述刷新执行信号变为激活, 使所述同步时钟电路空闲, 以及重新启动所述同步时钟电路的步骤包括响应于所述刷新执行信号变为非激活, 重新启动所述同步时钟电路。

12. 如权利要求 10 所述的方法, 还包括在重新启动之后通过所述同步时钟电路监控所述存储设备中的运行状况, 以及当所述运行状况已经从所述同步时钟电路被空闲改变到所述同步时钟电路被重新启动时, 调整所述同步时钟电路的定时。

13. 如权利要求 10 所述的方法, 其中, 使同步时钟电路空闲的步骤包括停止内部时钟信号的生成。

14. 如权利要求 13 所述的方法, 还包括响应于所述内部时钟信号使输出电路的操作空闲。

15. 如权利要求 10 所述的方法, 其中, 所述刷新操作包括自动刷新操作。

16. 如权利要求 10 所述的方法, 其中, 所述同步时钟电路包括延迟锁定环。

17. 如权利要求 10 所述的方法, 其中, 所述刷新时间段包括内部刷新操作时间段, 在该内部刷新操作时间段中内部完成所述刷新操作, 所述刷新时间段还包括预充电时间段, 并且其中, 重新启动所述同步时钟电路的步骤包括在经过所述内部刷新操作时间段之后重新启动所述同步时钟电路。

18. 一种用于在存储设备中执行刷新操作的方法, 包括:

发起多个刷新操作;

对发起的每 n 个刷新操作, 在完成一个刷新操作所占用的时间段的至少一部分时间内, 使同步时钟电路空闲; 以及

为剩余的 $(n-1)$ 个刷新操作启动所述同步时钟电路。

19. 如权利要求 18 所述的方法, 其中, 所述多个刷新操被顺序地发起。

20. 如权利要求 18 所述的方法, 其中, n 个刷新操作被顺序地发起。

21. 如权利要求 18 所述的方法, 还包括响应于所述存储设备接收到刷新命令, 生成刷新执行信号, 并且其中, 使同步时钟电路空闲的步骤包括响应于所述一个刷新操作变为激活的刷新执行信号, 使所述同步时钟电路空闲, 以及重新启动同步时钟电路的步骤包括响应于所述一个刷新操作变为非激活的刷新执行信号, 重新启动所述同步时钟电路。

22. 如权利要求 18 所述的方法, 还包括在所述同步时钟电路被启动之后通过该同步时钟电路来监控所述存储设备中的运行状况, 以及当所述运行状况已经从所述同步时钟电路被空闲改变到所述同步时钟电路被启动时, 调整所述同步时钟电路的定时。

23. 如权利要求 18 所述的方法, 其中, 使同步时钟电路空闲的步骤包括停止内部时钟信号的生成。

24. 如权利要求 23 所述的方法, 还包括对每 n 个刷新操作, 响应于内部时钟信号, 使输出电路的操作空闲。

25. 如权利要求 18 所述的方法, 其中, 所述刷新操作包括自动刷新操作。

26. 如权利要求 18 所述的方法, 其中, 所述同步时钟电路包括延迟锁定环。

27. 如权利要求 18 所述的方法, 其中, 每个刷新操作占用在新的存储器命令执行之前的刷新时间段, 该刷新时间段包括内部刷新操作时间段, 在该内部刷新操作时间段中内部完成所述刷新操作, 所述刷新时间段还包括预充电时间段, 并且其中, 启动同步时钟电路的步骤包括在所述一个刷新操作经过所述内部刷新操作时间段之后, 启动所述同步时钟电路。

28. 一种存储设备, 包括

地址总线;

控制总线;

数据总线;

连接到所述地址总线的地址解码器;

连接到所述数据总线的读/写电路;

连接到所述控制总线的控制电路;

连接到所述地址解码器、控制电路以及读/写电路的存储器-单元阵列;

刷新电路, 其连接到所述存储器-单元阵列和所述控制电路, 以响应于所述控制电路提供的刷新命令信号来执行具有刷新时间段的刷新操作, 在该刷新时间段内完成所述刷新操作, 并且所述刷新时间段在新的存储器命令的执行开始之前消逝;

同步时钟电路, 其连接到所述控制电路并接收输入时钟信号, 所述同步时钟电路用于生成相对于所述输入时钟信号定时的内部时钟信号; 以及

同步时钟控制电路, 其连接到所述同步时钟电路和所述控制电路, 所述同步时钟控制电路用于响应于所述刷新命令信号来生成空闲信号, 从而在所述刷新时间段的至少一部分时间内, 使所述同步时钟电路空闲。

29. 如权利要求 28 所述的存储设备, 其中所述同步时钟电路包括延迟锁定环。

30. 如权利要求 28 所述的存储设备, 其中所述同步时钟控制电路包括或逻辑门, 该或逻辑门的第一输入端连接到所述控制电路以接收所述刷新命令信号, 其第二输入端连接到所述控制电路以接收节电信号, 所述或逻辑门还具有连接到所述同步时钟电路的输出端, 以提供所述空闲信号。

31. 如权利要求 28 所述的存储设备, 其中, 所述同步时钟控制电路包括:

计数器电路, 其具有连接到所述控制电路的输入端, 以接收所述刷新命令信号, 该计数器电路用于响应于计数 n 个激活的刷新命令信号, 在输出端生成激活的输出信号;

与逻辑门, 其具有第一输入端和第二输入端, 该第一输入端连接到所述控制电路, 以接收所述刷新命令信号, 该第二输入端连接到所述计数器电路的输出端, 并且所述与逻辑门还具有输出端; 以及

或逻辑门, 其具有第一输入端和第二输入端, 该第一输入端连接到所述与逻辑门的输出端, 该第二输入端连接到所述控制电路以接收节电信号, 所述或逻辑门还具有连接到所述同步时钟电路的输出端, 以提供所述空闲信号。

32. 如权利要求 28 所述的存储设备, 其中, 所述读/写电路包括连接到所述同步时钟电路的输出电路, 以响应于所述内部时钟信号, 输出来自所述存储器-单元阵列的数据。

33. 一种存储设备, 包括

地址总线;

控制总线;

数据总线;

连接到所述地址总线的地址解码器;

连接到所述数据总线的读/写电路;

连接到所述控制总线的控制电路;

连接到所述地址解码器、控制电路以及读/写电路的存储器-单元阵列;

刷新电路, 其连接到所述存储器-单元阵列和控制电路, 以响应于所述控制电路提供的刷新命令信号, 执行刷新所述存储器-单元阵列中的存储器单元的刷新操作;

同步时钟电路，其连接到所述控制电路并接收输入时钟信号，所述同步时钟电路用于生成相对于所述输入时钟信号定时的内部时钟信号；以及

同步时钟控制电路，其连接到所述同步时钟电路和所述控制电路，所述同步时钟控制电路用于响应于接收到 n 个刷新命令信号，而生成空闲信号，从而在每 n 个刷新操作的一个刷新时间段的至少一部分时间内，使所述同步时钟电路空闲。

34. 如权利要求 33 所述的存储设备，其中，所述同步时钟控制电路包括：

计数器电路，其具有连接到所述控制电路的输入端，以接收所述刷新命令信号，该计数器电路用于响应于计数 n 个激活的刷新命令信号，在输出端生成激活的输出信号；

与逻辑门，其具有第一输入端和第二输入端，该第一输入端连接到所述控制电路以接收所述刷新命令信号，该第二输入端连接到所述计数器电路的输出端，并且所述与逻辑门还具有输出端；以及

或逻辑门，其具有第一输入端和第二输入端，该第一输入端连接到所述与逻辑门的输出端，该第二输入端连接到所述控制电路以接收节电信号，所述或逻辑门还具有连接到所述同步时钟电路的输出端，以提供所述空闲信号。

35. 如权利要求 33 所述的存储设备，其中，所述同步时钟电路包括延迟锁定环。

36. 如权利要求 33 所述的存储设备，其中，所述读/写电路包括连接到所述同步时钟电路的输出电路，以响应于所述内部时钟信号，输出来自所述存储器-单元阵列的数据。

37. 一种基于处理器的系统，包括：

具有处理器总线的处理器；

连接到所述处理器总线的系统控制器，该系统控制器具有系统存储器端口和外围设备端口；

连接到所述系统控制器的外围设备端口的至少一个输入设备；

连接到所述系统控制器的外围设备端口的至少一个输出设备；

连接到所述系统控制器的外围设备端口的至少一个数据存储设备；以及

连接到所述处理器的存储设备，该存储设备包括：

地址总线；

控制总线；

数据总线；

连接到所述地址总线的地址解码器；

连接到所述数据总线的读/写电路；

连接到所述控制总线的控制电路；

连接到所述地址解码器、控制电路和读/写电路的存储器-单元阵列；

刷新电路，其连接到所述存储器-单元阵列和控制电路，以响应于所述控制电路提供的刷新命令信号，执行具有刷新时间段的刷新操作，其中，在所述刷新时间段内完成所述刷新操作，并且所述刷新时间段在新的存储器命令的执行开始之前消逝；

同步时钟电路，其连接到所述控制电路并接收输入时钟信号，所述同步时钟电路用于生成相对于所述输入时钟信号定时的内部时钟信号；以及

同步时钟控制电路，其连接到所述同步时钟电路和所述控制电路，所述同步时钟控制电路用于响应于所述刷新命令信号生成空闲信号，从而在所述刷新时间段的至少一部分时间内，使所述同步时钟电路空闲。

38. 如权利要求 37 所述的基于处理器的系统，其中，所述存储设备的同步时钟电路包括延迟锁定环。

39. 如权利要求 37 所述的基于处理器的系统，其中，所述存储设备的同步时钟控制电路包括或逻辑门，该或逻辑门的第一输入端连接到所述控制电路以接收所述刷新命令信号，其第二输入端连接到所述控制电路以接收节电信号，所述或逻辑门还具有连接到所述同步时钟电路的输出端，以提供所述空闲信号。

40. 如权利要求 37 所述的基于处理器的系统，其中，所述存储设备的同步时钟控制电路包括：

计数器电路，其具有连接到所述控制电路的输入端，以接收所述刷新命令信号，所述计数器电路用于响应于计数 n 个激活的刷新命令信号，在输出端生成激活的输出信号；

与逻辑门，其具有第一输入端和第二输入端，该第一输入端连接到所述控制电路以接收所述刷新命令信号，该第二输入端连接到所述计数器电路的输出端，并且所述与逻辑门还具有输出端；以及

或逻辑门，其具有第一输入端和第二输入端，该第一输入端连接到所述与逻辑门的输出端，该第二输入端连接到所述控制电路以接收节电信号，所述或逻辑门还具有连接到所述同步时钟电路的输出端，以提供所述空闲信号。

41. 如权利要求 37 所述的基于处理器的系统，其中，所述存储设备的读/写电路包括连接到所述同步时钟电路的输出电路，以响应于所述内部时钟信号，输出来自所述存储器-单元阵列的数据。

42. 一种基于处理器的系统，包括：

具有处理器总线的处理器；

连接到所述处理器总线的系统控制器，该系统控制器具有系统存储器端口和外围设备端口；

连接到所述系统控制器的外围设备端口的至少一个输入设备；

连接到所述系统控制器的外围设备端口的至少一个输出设备；

连接到所述系统控制器的外围设备端口的至少一个数据存储设

备；

连接到所述处理器的存储设备，该存储设备包括：

地址总线；

控制总线；

数据总线；

连接到所述地址总线的地址解码器；

连接到所述数据总线的读/写电路；

连接到所述控制总线的控制电路；

连接到所述地址解码器、控制电路以及读/写电路的存储器-单元阵列；

刷新电路，其连接到所述存储器-单元阵列和控制电路，以响应于所述控制电路提供的刷新命令信号，执行刷新所述存储器-单元阵列中的存储器单元的刷新操作；

同步时钟电路，其连接到所述控制电路并接收输入时钟信号，所述同步时钟电路用于生成相对于所述输入时钟信号定时的内部时钟信号；以及

同步时钟控制电路，其连接到所述同步时钟电路和所述控制电路，所述同步时钟控制电路用于响应于接收到 n 个刷新命令信号，而生成空闲信号，从而在每 n 个刷新操作的一个刷新时间段的至少一部分时间内，使所述同步时钟电路空闲。

43. 如权利要求 42 所述的基于处理器的系统，其中，所述存储设备的同步时钟控制电路包括：

计数器电路，其具有连接到所述控制电路的输入端，以接收所述刷新命令信号，该计数器电路用于响应于计数 n 个激活的刷新命令信号，在输出端生成激活的输出信号；

与逻辑门，其具有第一输入端和第二输入端，该第一输入端连接到所述控制电路以接收所述刷新命令信号，该第二输入端连接到所述计数器电路的输出端，并且所述与逻辑门还具有输出端；以及

或逻辑门，其具有第一输入端和第二输入端，该第一输入端连接

到所述与逻辑门的输出端，该第二输入端连接到所述控制电路以接收节电信号，所述或逻辑门还具有连接到所述同步时钟电路的输出端，以提供所述空闲信号。

44. 如权利要求 42 所述的基于处理器的系统，其中，所述存储设备的同步时钟电路包括延迟锁定环。

45. 如权利要求 42 所述的基于处理器的系统，其中，所述存储设备的读/写电路包括连接到所述同步时钟电路的输出电路，以响应于所述内部时钟信号，输出来自所述存储器-单元阵列的数据。

用于为低功率刷新操作而控制时钟同步电路的电路及方法

技术领域

本发明通常涉及同步集成电路，并尤其涉及比如同步动态随机存取存储设备中的、用于在刷新操作过程中使同步电路空闲的控制电路。

背景技术

在同步集成电路中，集成电路由外部时钟信号来计时，并在与所应用的时钟信号的上升沿和下降沿相关的预定时间执行操作。同步集成电路的例子包括同步存储设备，比如同步动态随机存取存储器 (SDRAM)、同步静态随机存取存储器 (SSRAM) 以及如 SLDRAM 和 RDRAM 的分组存储器，并且同步集成电路的例子还包括其他类型的集成电路，如微处理器。在 SDRAM 设备中，存储器内核典型地包括一排易失性动态随机存取存储器 (DRAM) 单元。如本领域所熟知的，由于数据被存储的方式为电容上存在或不存在电荷，所以 DRAM 单元是易失性的。由于半导体 DRAM 单元的设计中所固有的泄露电流，电容仅仅能将其电荷保持一段有限的时间。因此，DRAM 单元必须被周期性地“刷新”以保持相应的数据状态。DRAM 和 SDRAM 设备的存储器单元被刷新所使用的机制在本领域中是众所周知的。

通过具体参考 SDRAM 设备，同步存储设备外部的信号的定时由外部时钟信号来确定，并且存储设备内的操作典型地必须与外部操作同步。同步存储设备外部的信号的定时由外部时钟信号来确定，并且存储设备内的操作典型地必须与外部操作同步。例如，数据被存储设备与外部时钟信号的同步地放置在数据总线上，而且因此，存储设备必须在合适的时间将数据提供给总线。为了在正确的时间提供数据，就要响应于外部时钟信号来产生内部时钟信号，并且内部时钟信号被典型地施加到存储设备中所包含的锁存器，从而将数据计时到数据总线

上。内部时钟信号和外部时钟必须是同步的，以确保内部时钟信号在合适的时间计时锁存器，从而成功地在合适的时间输出数据。

如此处所使用的，术语“同步的”包括同时发生的信号和相互具有期望延迟的信号。此外，在本描述中，“外部的”用来指存储设备外部的信号和操作，而“内部的”用来指存储设备内部的信号和操作。而且，尽管本描述涉及同步的存储设备，但是此处所描述的原理同样适用于其他类型的同步集成电路。

为了对现代同步存储设备的外部 and 内部时钟信号进行同步，已考虑和使用了多种不同的方法，包括使用能生成与输入时钟信号同步的输出时钟信号的时钟同步电路。传统的时钟同步电路的例子包括延迟锁定环(DLLs)、锁相环(PLL)以及同步镜像延迟(SMD)，如本领域的技术人员所理解的。众所周知，传统的时钟同步电路典型包括用来生成同步的输出时钟信号的可变延迟线。例如，在传统的 DLL 中，可变延迟线是定时反馈回路的一部分。输入与输出的时钟信号之间的相位差被比较，并生成一个指示该相位差的控制信号。然后控制信号能被用来渐进地调整可变延迟线，直到延迟导致同步的输出时钟信号。当达到合适的延迟时间时，DLL 被称为“锁定”。即使在 DLL 被锁定之后，DLL 还不断地监控影响输入与输出的时钟信号之间的同步的变化，如电压的变化、操作温度方面的改变等，并且相应地调整时间延迟来保持同步的输出时钟信号，以防过度的偏离同步。

可变延迟线通常由多个顺序连接的单独延迟阶段构成，通过添加或去掉单独延迟阶段来调整可变延迟，如本领域的技术人员所理解的。例如，多个顺序连接的延迟阶段可被用来构成可变延迟线，响应于控制信号，通过选择不同延迟阶段的输入中的一个来作为输入时钟信号的输入点，从而控制可变延迟的长度。希望的是可变延迟线上有大量的阶段，因为每个阶段可以有一个增加的延迟，这使得控制可变延迟的值时能够提供较好的分辨率。此外，如大家所熟知的，DLL 能够操作的最低输入时钟频率是由可变延迟线所能提供的最大可变延迟限制的。

期望的高分辨率和可变延迟线必须提供的最大可变延迟会通过同步时钟电路而导致明显的功率消耗，这可能是不希望的，尤其是存储设备被用于低功率的应用中时。例如当同步存储设备被包含在便携式的电池供电设备中时。当使用较多的延迟阶段时会有较大的功率消耗的一个原因就是输入时钟信号被施加到可变延迟线的延迟阶段的方式。众所周知，每个延迟阶段典型地接收输入时钟信号，并且延迟时间通过选择输入时钟信号对于延迟阶段链的输入点来进行调整。然后输入时钟信号沿延迟阶段进行传播，直到在链中的最后延迟阶段输出。应该认识到，输入点可以处于延迟阶段链的“中部”。尽管“上行”延迟阶段未被用于使输出时钟信号同步，但它们仍然是由输入时钟信号来计时，这在每个延迟阶段中都引起了逻辑门的拨动(toggling)。由于如前面所讨论的，所产生的开关电流被浪费，上行延迟阶段未被用于生成同步的输出时钟信号。此外，由如前面所描述的通过时钟锁存器将输出数据与同步时钟信号进行同步的情况，由于输出电路中的开关电流，同步输出时钟信号所驱动的电路上将随着同步输出时钟信号的转换而继续消耗功率。

发明内容

本发明的实施例提供了一种方法及装置，用于在存储设备中的刷新操作执行过程中的至少一部分时间内，使时钟同步电路空闲。根据本发明的一个方面，在接收外部时钟信号的同步存储设备中，提供了一种用于执行刷新操作的方法，该方法包括在存储设备中发起至少一个刷新操作，并且在完成至少一个刷新操作所占用时间的至少一部分时间内，停止相对于外部时钟信号定时的内部时钟信号的生成。根据本发明的另一方面，提供了一种用于在存储设备中执行刷新操作的方法，该方法包括发起具有刷新时间段的刷新操作，在刷新时间段内完成刷新操作，并且刷新时间段在新的存储器命令的执行开始之前消逝。在刷新时间段的至少一部分时间内，存储设备中的同步时钟电路被空闲，并在刷新时间段消逝之前被重新启动。根据本发明的另一方面，提供了一种用于在存储设备中执行刷新操作的方法，该方法包括

发起多个刷新操作，而且对于所发起的每 n 个刷新操作，在完成一个刷新操作所占用的时间段的至少一部分时间内，使同步时钟电路空闲。对于剩余的 $(n-1)$ 个刷新操作，同步时钟电路被启动。

根据本发明的另一方面，提供了一种存储设备，该存储设备包括连接到存储器-单元阵列和控制电路的刷新电路，以执行刷新操作，刷新操作刷新存储器-单元阵列中的存储器单元。存储设备还包括连接到控制电路的同步时钟电路，以生成相对于输入时钟信号定时的内部时钟信号，并且还包括连接到同步时钟电路和控制电路的同步时钟控制电路。响应于接收到 n 个刷新命令信号，同步时钟控制电路生成空闲信号，从而在每 n 个刷新操作的一个刷新时间段的至少一部分时间内，使同步时钟电路空闲。

根据本发明的另一方面，提供了一种存储设备，该存储设备包括连接到存储器-单元阵列和控制电路的刷新电路。刷新电路响应于控制电路提供的刷新命令信号，执行具有刷新时间段的刷新操作，其中，在刷新时间段内完成刷新操作，并且刷新时间段在新的存储器命令的执行开始之前消逝。连接到控制电路的同步时钟电路生成相对于输入时钟信号定时的内部时钟信号，而且，连接到同步时钟电路和控制电路的同步时钟控制电路响应于刷新命令信号，生成空闲信号，从而在刷新时间段的至少一部分时间内，使同步时钟电路空闲。

附图说明

图 1 是本发明的实施例可以用于其中的同步存储设备的功能框图。

图 2 是根据本发明的实施例的延迟锁定环控制电路的简单功能框图。

图 3 是本发明的实施例的操作过程中的各种信号的时序图。

图 4 是根据本发明的可选实施例的延迟锁定环控制电路的简单功能框图。

图 5 是包括图 1 中的同步存储设备的基于处理器的系统的简单功能框图。

具体实施方式

图1是本发明的实施例可以应用于其中的存储设备100的功能框图。以下将描述一些细节来提供对本发明的充分理解。但是，本领域的技术人员明白，没有这些特定的细节本发明也可以实现。在其他例子中，公知的电路、控制信号和定时协议没有详细给出，以防不必要地使本发明不清楚。图1中的存储设备100是双数据率(DDR)同步动态随机存取存储器(“SDRAM”)，尽管这里所描述的原理适用于可包括用于同步内部和外部信号的同步电路的任何存储设备，如传统的同步DRAM(SDRAM)，以及如SLDRAM和RDRAM的分组(packetized)存储设备，并同样适用于必须同步内部和外部的时钟信号的任何集成电路。

存储设备100包括控制逻辑与命令解码器134，其通过控制总线CONT接收多个命令和时钟信号，典型地从外部电路如存储器控制器(未示出)接收命令和时钟信号。命令信号典型地包括片选信号CS*、写启动信号WE*、列地址选通信号CAS*和行地址选通信号RAS*，而时钟信号包括时钟启动信号CKE和互补(complementary)时钟信号CLK、CLK*，带有“*”指明信号为低态有效。命令信号CS*、WE*、CAS*和RAS*被驱动到与特定命令如读、写或自动刷新命令相对应的值。CKE信号用于激活和去激活内部时钟、输入缓冲器和输出驱动器。响应于时钟信号CLK、CLK*，命令解码器134对所施加的命令进行锁存和解码，并生成用于控制元件102-132执行所施加命令的功能的一系列的时钟和控制信号。命令解码器134在CLK、CLK*信号的正沿(即，CLK变成高而CLK*变成低的交叉点)锁存命令和地址信号，而输入寄存器130和数据驱动器124响应于数据选通信号DQS的两个边沿，并因此以时钟信号CLK、CLK*的频率的两倍，分别传输数据到存储设备100或从存储设备100传输数据。这是因为DQS信号具有与CLK、CLK*信号相同的频率。存储设备100被称为双数据率设备，因为被传输到设备的和从设备传输出的数据字DQ以传统SDRAM的速率的两倍进行传输，其中传统SDRAM以对应于所施加的时钟信号的频率的速率

传输数据。控制逻辑与命令解码器 134 生成控制和定时信号的详细操作是传统的，而且因此，为简短起见，就不再进行更详细的描述了。

存储设备 100 还包括地址寄存器 102，其从典型地提供地址的存储器控制器(未示出)，通过地址总线 ADDR 接收行地址、列地址和存储体(bank)地址。地址寄存器 102 接收分别被施加到行地址复用器 104 和存储体控制逻辑电路 106 上的行地址和存储体地址。行地址复用器 104 把从地址寄存器 102 接收的行地址或从刷新计数器 108 接收的刷新行地址施加到多个行地址锁存器与解码器 110A-D。存储体控制逻辑 106 激活对应于从地址寄存器 102 接收的存储体地址或从刷新计数器 108 接收的刷新存储体地址的行地址锁存器与解码器 110A-D，而且被激活的行地址锁存器与解码器对所接收的行地址进行锁存并解码。响应于已解码的行地址，被激活的行地址锁存器与解码器 110A-D 将各种信号施加到相应的存储器存储体 112A-D，从而激活对应于已解码行地址的一行存储器单元。每个存储器存储体 112A-D 包括具有多个按行和列来排列的存储器单元的存储器-单元阵列，并且存储于被激活的行中的存储器单元中的数据被存储在相应的存储器存储体中的读出放大器中。当存储设备 100 响应于被施加在其上的自动或自我刷新命令而运行在自动刷新或自我刷新的操作模式下时，行地址复用器 104 将来自刷新计数器 108 的刷新行地址施加到解码器 110A-D，并且存储体控制逻辑电路 106 使用来自刷新计数器的刷新存储体地址，如本领域的技术人员所理解的。

列地址在行地址和存储体地址之后被施加在 ADDR 总线上，并且地址寄存器 102 将列地址施加到列地址计数器与锁存器 114 上，然后，列地址计数器与锁存器 114 锁存列地址并将锁存的列地址施加到多个列解码器 116A-D 上。存储体控制逻辑 106 激活对应于所接收的存储体地址的列解码器 116A-D，而且被激活的列解码器对所施加的列地址进行解码。根据存储设备 100 的操作模式，列地址计数器与锁存器 114 直接将锁存的列地址施加到解码器 116A-D 上，或者由地址寄存器 102 所提供的列地址开始，将一系列列地址施加到解码器上。响应于来自计数器与锁存器 114 的列地址，被激活的列解码器 116A-D

将解码和控制信号施加到 I/O 门控与数据屏蔽电路 118 上,然后, I/O 门控与数据屏蔽电路 118 访问被访问的存储器存储体 112A-D 中的被激活的那行存储器单元中的、对应于已解码的列地址的存储器单元。

在数据读取操作过程中,从编址存储器单元中读取的数据通过 I/O 门控与数据屏蔽电路 118 被连接到读锁存器 120。I/O 门控与数据屏蔽电路 118 向读锁存器 120 提供 N 比特数据,然后读锁存器 120 将两个 N/2 比特的字施加到复用器 122。在图 1 的实施例中,电路 118 向读锁存器 120 提供 64 比特数据,读锁存器 120 接着将两个 32 比特的字提供给复用器 122。数据驱动器 124 顺序地从复用器 122 接收 N/2 比特的字,而且还从选通信号发生器 126 接收数据选通信号 DQS,并从延迟锁定环(DLL)123 接收延迟的时钟信号 CLKDEL。连接到 DLL 123 的是 DLL 控制电路 125。DLL 控制电路 125 接收由控制逻辑 134 所生成的自动刷新激活信号 AREF,这在本领域是已知的。如以下将进行的更详细的解释,响应于 AREF 信号,也就是当自动刷新操作已经被请求时,DLL 控制电路 125 生成控制信号来使 DLL 123 处于空闲状态。

在读取操作过程中锁存来自存储设备 100 的数据时,外部电路如存储器控制器(未示出)使用 DQS 信号。响应于延迟的时钟信号 CLKDEL,数据驱动器 124 顺序地输出所接收的 N/2 比特的字作为相应的数据字 DQ,每个数据字被与 CLK 信号的上升沿或下降沿同步输出,该 CLK 信号被用来对存储设备 100 进行计时。数据驱动器 124 还输出数据选通信号 DQS,该数据选通信号 DQS 具有分别与 CLK 信号的上升沿和下降沿同步的上升沿和下降沿。每个数据字 DQ 和数据选通信号 DQS 共同定义数据总线。如本领域的技术人员所理解的,来自 DLL 123 的 CLKDEL 信号是 CLK 信号的延迟形式,而且 DLL 123 相对于 CLK 信号来调整 CLKDEL 信号的延迟,以确保 DQS 信号和 DQ 字被置于数据总线上以满足公布的存储设备 100 的定时规范。数据总线还包括屏蔽信号 DM0-X,以下将参考数据的写操作进行更详细的描述。

在数据的写操作过程中,外部电路如存储器控制器(未示出),将 N/2 比特的数据字 DQ、选通信号 DQS 和相应的数据屏蔽信号 DM0-X 施加到数据总线。数据接收器 128 接收每个 DQ 字和有关的 DM0-X 信号,

并将这些信号施加到由 DQS 信号计时的输入寄存器 130。响应于 DQS 信号的上升沿, 输入寄存器 130 锁存第一个 $N/2$ 比特的 DQ 字和有关的 DM0-X 信号, 而响应于 DQS 信号的下降沿, 输入寄存器锁存第二个 $N/2$ 比特的 DQ 字和有关的 DM0-X 信号。输入寄存器 130 将这两个锁存的 $N/2$ 比特的 DQ 字作为一个 N 比特的字提供给写 FIFO 与驱动器 132, 输入寄存器 130 响应于 DQS 信号将所施加的 DQ 字和 DM0-X 信号计时输入到写 FIFO 与驱动器中。响应于 CLK 信号, DQ 字被从写 FIFO 和驱动器 132 中计时输出, 并被施加到 I/O 门控与屏蔽电路 118。I/O 门控与屏蔽电路 118 根据 DM0-X 信号将 DQ 字传输到被访问的存储体 112A-D 中的编址存储器单元中, I/O 门控与屏蔽电路 118 可以被用来选择性地屏蔽被写到编址存储器单元的 DQ 字中(即写数据中)的比特或比特组。

图 2 示出了根据本发明的实施例的 DLL 控制电路 200。DLL 控制电路 200 能够被 DLL 控制电路 125(图 1)代替。如前面参考图 1 所讨论的, 在存储器单元刷新操作的过程中, DLL 控制电路 200 能被用来将 DLL 置为空闲状态, 因此显著减少了这段时间内的 DLL 的开关电流, 并且因此而节约了功耗。DLL 控制电路 200 包括布尔或门 202, 互补时钟启动信号 CKef 被施加到其第一输入端, 自动刷新激活信号 AREF 被施加到其第二输入端。或门 202 的输出提供 DLL 空闲信号 DLL_FRZN, 用来将 DLL 置为空闲状态。

CKef 信号表示当内部时钟发生器已经被去激活时的状态。也就是说, 当 CKE 信号(图 1)为低并且内部时钟被去激活时, CKef 信号为高。相反, 低 CKef 信号表示时钟发生器被启动。如本领域所知, CKE 信号常用来将存储设备置于“节电”状态。在此状态下, 存储设备消耗最少的功率却保持存储在存储器单元中的数据的完整性。典型地, 作为进入低功率状态过程的一部分, 非关键电路被禁止, 以消除存储设备中额外的开关电流。在一些应用中, 包括任何 DLL 的输出电路被置于空闲状态。如图 2 所示, 当响应于施加在存储设备 100(图 1)的低 CKE 信号, CKef 信号为高时, 生成高 DLL_FRZN 信号来使 DLL 123 空闲。在空闲状态下, DLL 123 停止生成同步的输出时钟信号, 但是

保持其延迟线的当前设置，以使当 DLL 123 退出空闲状态时，DLL 123 能够基于可变的延迟线的最近的延迟设置开始生成同步的输出时钟信号。尽管电压和温度方面的变化可以引起输出时钟信号的同步发生偏移，但是与 DLL 123 已经被完全重置的情况相比，DLL 123 能够更快地重新获得输入时钟信号的锁定。

如前面所述，响应于存储设备接收到用于执行自动刷新操作的外部命令信号，生成 AREF 信号。如本领域所知，当自动刷新命令被存储设备接收到时，对应于内部生成的地址的存储器单元就按传统的方式被刷新。AREF 信号被典型地提供给适当的电路来发起自动刷新操作，并且也常被用作自动刷新操作的内部定时信号。同样如本领域所知，一旦内部刷新操作被发起，就会要求刷新操作在新命令能被发起之前以最少的时间来完成。

在图 2 所示的本发明的实施例中，AREF 信号还被提供给或门 202，以使 DLL 控制电路 200 生成激活的 DLL_FRZN 信号并将 DLL 123 置为空闲状态。结果，在自动刷新操作的过程中，DLL 123 能根据 AREF 信号的定时被置为空闲状态。如前面所讨论，要求刷新操作在新命令能被发起之前以最少的时间来完成。在一个实施例中，DLL 123 在该时间终止之前退出空闲状态，以允许 DLL 123 在下一命令被执行前对电压或温度方面的变化进行调整。如图 3 所示，以下将更详细地进行解释，在该实施例中，适当定时的 AREF 信号能被用来为 DLL 123 的空闲状态定时。在时刻 T0 时，自动刷新命令 REF 被存储设备 100 锁存。控制逻辑 134 解释该自动刷新命令并生成内部信号来发起自动刷新操作。作为发起该操作的一部分，激活的 AREF 信号由控制逻辑 134 在时刻 T1 产生。作为响应，DLL 控制电路 125 生成使 DLL 123 进入空闲状态的激活的 DLL_FRZN 信号。结果，DLL 123 的输出时钟信号 CLKDEL 停止时钟状态之间的转换，并保持在 DLL 123 变为空闲时的最后时钟状态。在时刻 T2 时，刷新操作已经内部完成，而且 AREF 信号变成了非激活。作为响应，DLL 控制电路 200 将生成使 DLL 123 退出空闲状态并开始生成输出时钟信号的低 DLL_FRZN 信号。T0 与 T2 之间的时间通常称为 tRAS。如前面所讨论，DLL 123 将使用其变为空

闲状态时的可变延迟线的设置，来开始产生输出时钟信号。在时刻 T3，新命令被存储设备锁存，并且该命令的执行能够开始。在 T2 与 T3 之间的时间（通常称为 t_{RP} ），如果需要的话，DLL 123 将有时间调整可变延迟线，以适应那些影响 DLL 123 的定时的变化，如电压或温度方面的变化。因此，下一存储器命令 CMD 在时刻 T3 被锁存之前，DLL 123 已经对任何的同步偏移进行了调整，并将提供与 CLK 信号再同步的输出时钟信号。

应该认识到，通过在自动刷新周期的至少一部分把 DLL 123 置为空闲状态，能减少存储设备在自动刷新操作过程中所消耗的平均功率。额外的功率节约是通过 DLL 123 的同步输出时钟信号所驱动的输出电路，如数据驱动器 124，也将消耗较少的功率来获得的，因为自动刷新操作过程中的开关电流将通过空闲的 DLL 123 被减少。与本发明的实施例相反，典型的存储设备使整个 DLL 在自动刷新操作过程中都被启动，以确保 DLL 连续不断地监控电压和变化，而不管自动刷新周期时间。如前面所讨论，所关心的是除非 DLL 不断地监控和调整会影响同步的运行状况的变化，DLL 的同步输出时钟信号将过度偏移。但是，在本发明的实施例中，自动刷新操作被内部完成之后，足够的时间被提供给 DLL 123，以在随后的存储器命令的执行开始之前，对将会影响输出时钟信号的同步的运行状况的变化进行任何必需的调整。提供给 DLL 123 进行调整的时间的长度是本领域的一般技术人员比较了解的一项设计选择。

应该进一步认识到，图 3 的时序图是以示例的方式提供的，并且特定的信号和时序仅仅是本发明的实施例的操作的表示。但是，时序图不应该被理解为将本发明的范围限制在此处所描述的任何特定实施例。

在图 3 的时序图中，T0 时刻的自动刷新命令 REF 最终被跟随的是 T3 时刻的存储器命令 CMD。然而应该认识到，几个自动刷新命令可以被顺序发布到存储设备来执行“突发(burst)”自动刷新操作。在参考图 2 和 3 所描述的实施例中，DLL 通过从每个自动刷新操作进入空闲状态到退出空闲状态来进行循环。因此，DLL 将有机会估计影

响同步的任何变化(例如,电压和温度方面的变化),并且如果需要的话,在每个自动刷新周期中进行调整来重新同步。但是,在本发明的可选实施例中,额外的逻辑电路被包括在 DLL 控制电路 200 中(图 2),以在每 n 个自动刷新周期将 DLL 置于空闲状态。与参考图 3 所讨论的实施例相比较,在该实施例中允许 DLL 对一系列的自动刷新操作以更长的时间长度来监控运行状况的变化。也许希望有这样的实施例来更密切地与输入时钟信号保持同步。

图 4 所示为根据本发明的另一实施例的 DLL 控制电路 123。DLL 控制电路 123 包括异步计数器电路 404,该异步计数器电路 404 具有一个输入端和一个输出端,AREF 信号被施加在其输入端上,其输出信号被提供给布尔与门 402 的第一输入端。与门 402 的另一输入端接收 AREF 信号。与门 402 将其输出信号提供给布尔或门 406 的第一输入端。或门的另一输入端接收 CKEf 信号。在运行中,异步计数器 404 对 AREF 信号的周期数进行计数并在 AREF 信号的 $n-1$ 周期输出激活的 COUNT 信号。响应于 COUNT 信号和 AREF 信号都为高,或门 406 将输出激活的 DLL_FRZN 信号。以这种方式,对每 n 个周期的 AREF 信号 DLL 将被置为空闲状态一次,也就是,对每 n 个自动刷新操作 DLL 将被置为空闲状态一次。异步计数器 404 的设计和操作都是传统的,因而本领域的一般技术人员对提供合适的计数器电路具有足够的理解。

图 5 是包括计算机电路 502 的基于处理器的系统 500 的框图,其中的计算机电路 502 包括图 1 的存储设备 100。典型地,计算机电路 502 通过地址、数据和控制总线连接在存储设备 100 上,来提供向存储设备写数据和从存储设备读取数据。计算机电路 502 包括用于执行各种计算功能的电路,如执行特定的软件来完成特定的计算或任务。此外,基于处理器的系统 500 包括一个或多个输入设备 504,如键盘或鼠标,输入设备 504 被连接到计算机电路 502 以允许操作者与计算机系统进行交互。典型地,基于处理器的系统 500 还包括连接到计算机电路 502 的一个或多个输出设备 506,比如,输出设备典型地包括打印机和视频终端。典型地,还有一个或多个数据存储设备 508 被连接到计算机电路 502,以存储数据或从外部存储介质(未示出)获取数

据。典型的存储设备 508 的例子包括硬盘和软盘、磁带、高密度只读光盘 (CD-ROM) 和高密度读写光盘 (CD-RW) 存储器, 以及数字视频光盘 (DVD)。

根据前面所述, 应该认识到, 尽管本发明的特定实施例在此是以举例为目的而进行描述的, 但是在不脱离本发明的精神和范围的情况下, 可以对其做出各种修改。因此, 除了所附权利要求的限制外, 本发明不受限制。

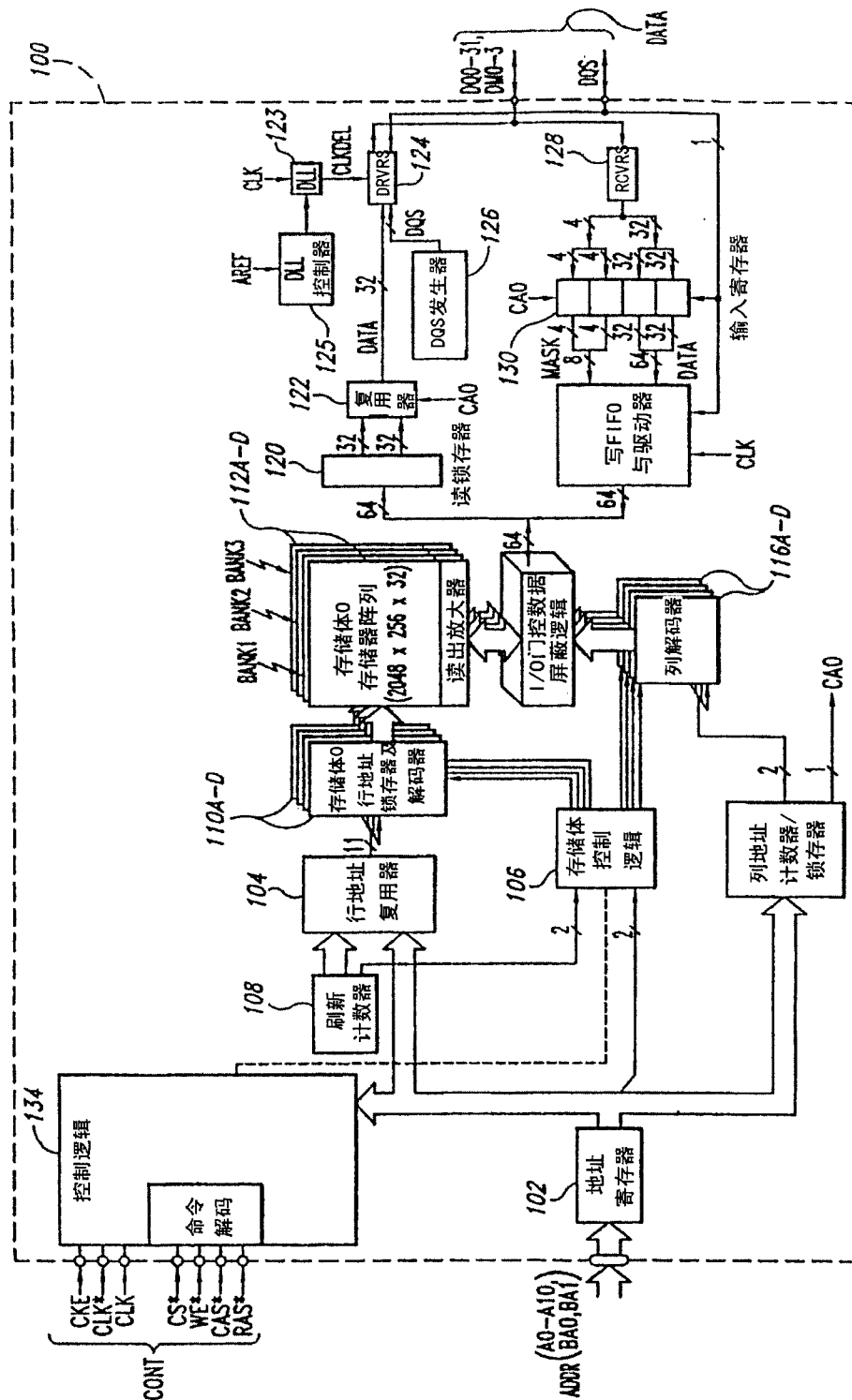


图1

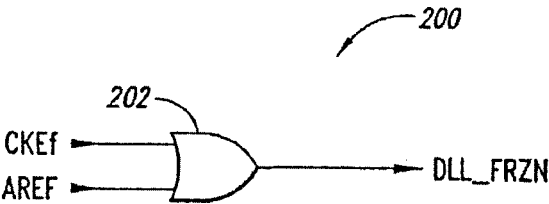


图2

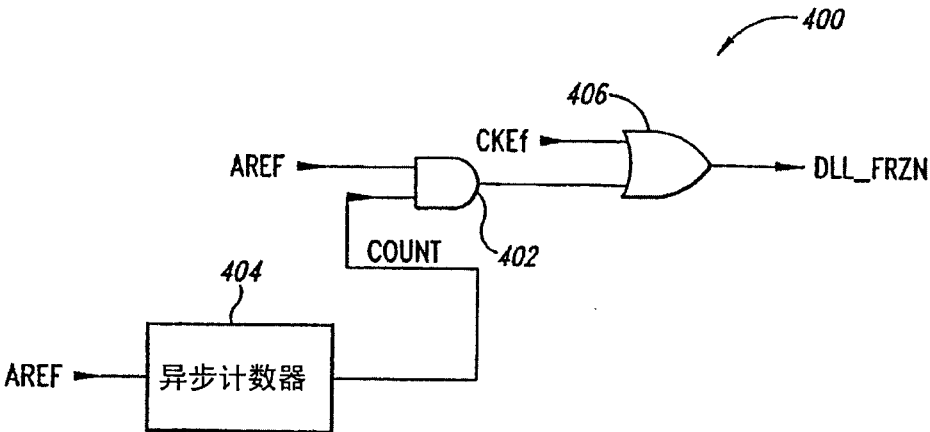


图4

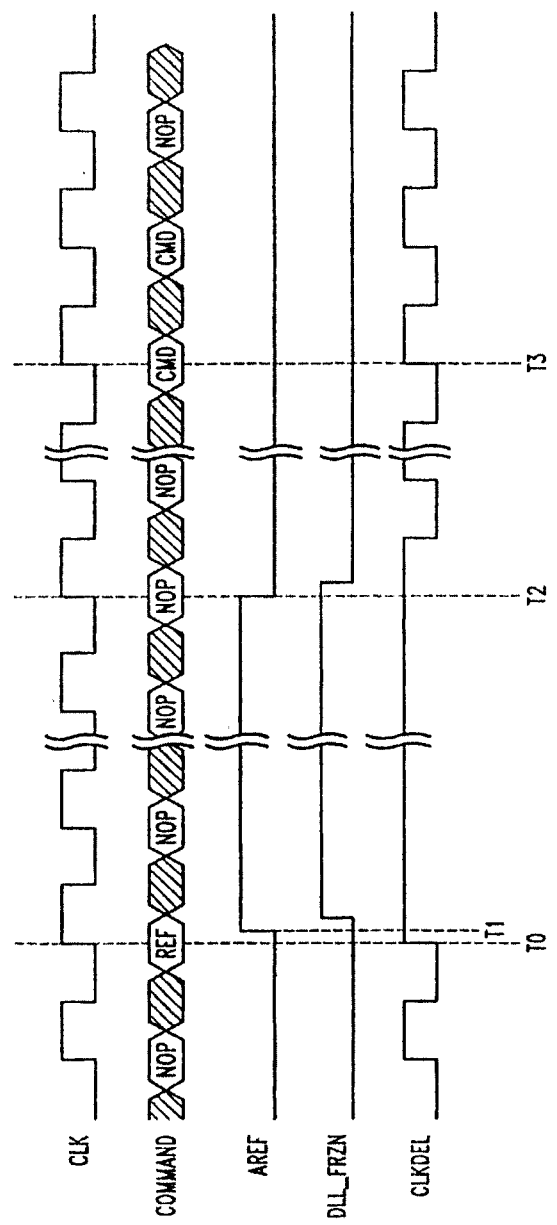


图3

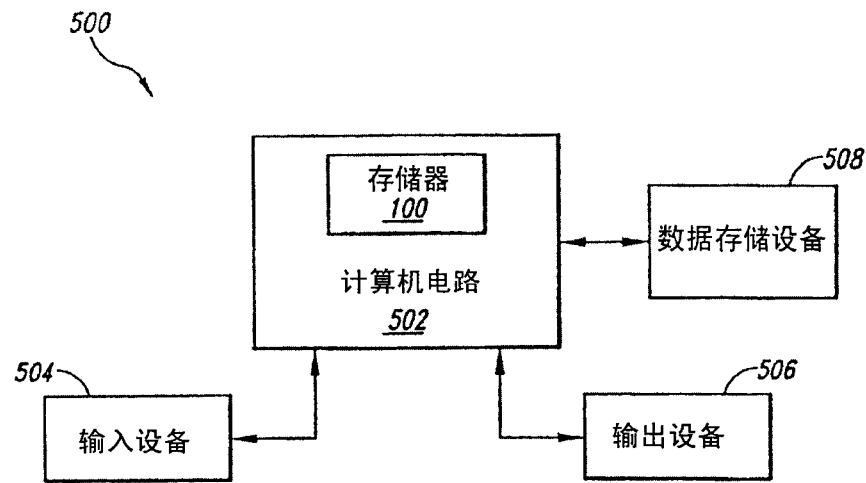


图5