(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0096253
(43) 공개일자 2014년08월05일

(51) 국제특허분류(Int. Cl.)
C23C 16/06 (2006.01) *H01L 21/28* (2006.01)
(21) 출원번호 10-2014-0090283(분할)
(22) 출원일자 2014년07월17일
심사청구일자 없음
(62) 원출원 특허 10-2010-0035453
원출원일자 2010년04월16일
심사청구일자 2011년05월04일
(30) 우선권주장
12/755,259 2010년04월06일 미국(US)
61/169,954 2009년04월16일 미국(US)

(71) 출원인
노벨러스 시스템즈, 인코포레이티드
미국, 95134 캘리포니아, 산 호세, 노스 퍼스트 스트리트 4000
(72) 발명자
첸, 펭
미국, 캘리포니아 95035, 밀피타스, 그랜드 테톤 드라이브 1852
후마윤, 라아시나
미국, 캘리포니아 94539, 프레몬트, 노더웨이 애비뉴 784
(뒷면에 계속)
(74) 대리인
강명구

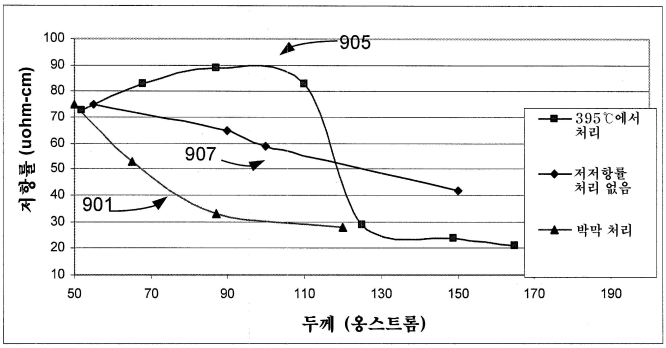
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **작은 임계 치수의 컨택트 및 인터커넥트를 위한 초박 저저항률 텅스텐막 증착 방법**

(57) 요 약

고종횡비 피처의 공극이 없는 텅스텐 충전 방법이 제공된다. 다양한 구체예들에 따르면, 상기 방법은 텅스텐으로 피처를 충전하기 위하여 저하된 온도의 화학기상증착(CVD) 공정을 포함한다. 특정 구체예에서, 공정 온도는 피처를 충전하기 위하여 화학기상증착 동안 약 350℃ 미만에서 유지된다. 감소된-온도의 CVD 텅스텐 충전은 고종횡비 피처에서 개선된 텅스텐 충전을 제공하고, 아래의 층으로 플루오르가 이동하는 것에 대한 개선된 배리어를 제공하며, 표준 CVD 충전과 유사한 박막 저항률을 달성한다. 또한 저-저항률을 가지는 텅스텐 박막 증착 방법이 제공된다. 다양한 구체예들에 따르면, 상기 방법은 텅스텐 벌크층 증착 및/또는 저하된 온도의 CVD 공정에 이어 고온 CVD 공정을 통한 벌크층 증착에 앞서 증착된 핵형성층에 저하된 온도의 저저항률 처리를 수행하는 것을 포함한다.

대 표 도 - 도9



(72) 발명자

다넥, 미첼

미국, 캘리포니아 95019, 쿠퍼티노, 아멜리아 코트 10201

찬드라세카르, 아난드

미국, 캘리포니아 94086, 서니베일, #11, 리드 애비뉴 1180

특허청구의 범위

청구항 1

다음 단계를 포함하는, 반응 챔버에서 기판에 텅스텐막을 형성하는 방법:

텅스텐 핵형성층을 기판에 증착하는 단계;

핵형성층을 다수의 환원제 펄스에 노출시키는 것을 포함하는 저저항률(low-resistivity) 처리 조업을 수행하는 단계 및; 및

화학기상증착(CVD)으로 텅스텐 핵형성층(nucleation layer) 위에 벌크 텅스텐 물질을 증착하는 단계;

여기서 저저항률 처리 조업 동안 실질적으로 텅스텐이 증착되지 않고, 저저항률 처리 조업 동안 기판 온도가 약 250℃ 내지 350℃로 유지됨.

청구항 2

제1항에 있어서, 벌크 텅스텐 물질 증착이 저온 CVD 공정을 통하여 저온 벌크 텅스텐 CVD층을 텅스텐 핵형성층에 증착하는 것을 포함하고; 저온 CVD 공정 동안 기판 온도가 약 250℃ 내지 350℃로 유지되는, 기판에 텅스텐막을 형성하는 방법.

청구항 3

제2항에 있어서, 저온 CVD 벌크 텅스텐 CVD층을 증착한 후 기판 온도를 적어도 약 50℃ 상승시키고, 기판 온도를 상승시킨 후 고온 벌크 텅스텐 CVD층을 저온 벌크 텅스텐 CVD층에 증착하는 것을 추가로 포함하는, 기판에 텅스텐막을 형성하는 방법.

청구항 4

제1항에 있어서, 기판이 리세스된 피처를 포함하고, 텅스텐 핵형성층 증착이 리세스된 피처에 등각성(conformal) 핵형성층을 증착하는 것을 포함하고, 텅스텐 벌크 물질 증착이 피처를 텅스텐으로 충전하는 것을 포함하는, 기판에 텅스텐막을 형성하는 방법.

청구항 5

제4항에 있어서, 리세스된 피처에 등각성 텅스텐 핵형성층을 증착하는 것이 약 250-350℃의 기판 온도에서 기판을 붕소-함유 환원제와 텅스텐 함유 전구물질의 교대하는 펄스에 노출시키는 것을 포함하고, 여기서 펄스 동안 또는 펄스 사이에 수소가 흐르지 않는, 기판에 텅스텐막을 형성하는 방법.

청구항 6

제1항에 있어서, 저저항률 처리 조업 동안 기판 온도가 약 250℃ 내지 325℃로 유지되는, 기판에 텅스텐막을 형성하는 방법.

청구항 7

제1항에 있어서, 저저항률 처리 조업 수행이 핵형성층을 중간의 텅스텐-전구물질 펄스가 없는 다수의 환원제 펄스에 노출시키는 것을 포함하는, 기판에 텅스텐막을 형성하는 방법.

청구항 8

제1항에 있어서, 환원제가 붕소-함유 화합물인, 기판에 텅스텐막을 형성하는 방법.

청구항 9

제8항에 있어서, 기판이 저저항률 처리 조업 동안 약 1E-5 내지 1E-2 몰의 붕소-함유 화합물에 노출되는, 기판에 텅스텐막을 형성하는 방법.

청구항 10

제8항에 있어서, 기판이 저저항률 처리 조업 동안 약 1E-4 내지 1E-3 몰의 붕소-함유 화합물에 노출되는, 기판에 텅스텐막을 형성하는 방법.

청구항 11

다음 단계를 포함하는, 기판상의 리세스된 피처 충전 방법:

필드 영역(field region) 및 필드 영역으로부터 리세스된(recessed) 제1 피처를 가지는 기판을 제공하는 단계, 상기 리세스된 피처는 측벽, 바닥 및 개구(opening)를 포함함;

등각성 텅스텐 핵형성층을 리세스된 피처의 측벽 및 바닥에 증착하는 단계;

화학기상증착(CVD) 공정을 통하여 저온 CVD 텅스텐 벌크층으로 피처를 부분 충전하는 단계; 여기서 CVD 공정 동안 기판 온도가 약 250℃ 내지 350℃로 유지됨; 및

고온 CVD 공정을 통하여 고온 CVD 텅스텐 벌크층으로 피처의 충전을 완료하는 단계; 여기서 고온 CVD 공정 동안 기판 온도가 약 350℃ 내지 450℃이고, 고온 CVD 공정 동안의 기판 온도가 저온 CVD 공정 동안의 기판 온도보다 적어도 약 25℃ 더 높음.

청구항 12

제11항에 있어서, 피처 부분 충전 후 및 피처의 충전 완료 전에 기판 온도를 적어도 약 30℃ 상승시키는 것을 추가로 포함하는, 기판에 텅스텐막을 형성하는 방법.

청구항 13

제11항에 있어서, 리세스된 피처가 적어도 10:1의 종횡비를 가지는, 기판상의 리세스된 피처 충전 방법.

청구항 14

제11항에 있어서, 리세스된 제1 피처가 적어도 20:1의 종횡비를 가지는, 기판상의 리세스된 피처 충전 방법.

청구항 15

제11항에 있어서, 리세스된 제1 피처 개구의 폭이 약 100 nm 이하인, 기판상의 리세스된 피처 충전 방법.

청구항 16

제11항에 있어서, 리세스된 제1 피처 개구의 폭이 약 50 nm 이하인, 기판상의 리세스된 피처 충전 방법.

청구항 17

제11항에 있어서, 리세스된 제1 피처 개구의 폭이 약 40 nm 이하인, 기판상의 리세스된 피처 충전 방법.

청구항 18

다음 단계를 포함하는, 기판상의 리세스된 피처 충전 방법:

필드 영역 및 필드 영역으로부터 리세스된 제1 피처를 가지는 기판을 제공하는 단계, 상기 리세스된 피처는 측벽, 바닥 및 개구를 포함함;

리세스된 피처의 측벽 및 바닥에 등각성 텅스텐 핵형성층을 증착하는 단계;

핵형성층을 다수의 환원제 펄스에 노출시키는 것을 포함하는 저저항률 처리 조업을 수행하는 단계, 여기서 저저항률 처리 조업 동안 기판 온도가 약 250℃ 내지 350℃로 유지됨;

저저항률 처리 조업 수행 후, 피처 충전을 위하여 다중-스테이지 화학기상증착(CVD) 공정을 수행하는 단계, 상기 다중-스테이지 CVD 공정은 증착 동안 기판 온도가 약 250℃ 내지 350℃로 유지되는 제1 스테이지 및 증착 동안 기판 온도가 약 375℃ 내지 450℃로 유지되는 제2 스테이지를 포함함,

여기서 피처는 제1 스테이지 후 단지 부분적으로만 충전되고 제2 스테이지 후 완전히 충전됨.

청구항 19

제18항에 있어서, 저저항률 처리 조업 동안 실질적으로 텅스텐이 증착되지 않는, 기판상의 리세스된 피처 충전 방법.

청구항 20

다음을 포함하는, 기판에 텅스텐막을 증착하기 위한 장치:

a) 다음을 포함하는 다중스테이션 기판 증착 챔버:

텅스텐 핵형성층 증착 스테이션, 증착 스테이션은 기판 지지대(support) 및 기판을 가스의 펄스에 노출시키도록 구성된 하나 이상의 가스 유입구를 포함함;

저저항률 처리 스테이션, 저저항률 처리 스테이션은 기판 지지대 및 기판을 가스의 펄스에 노출시키도록 구성된 하나 이상의 기체 유입구를 포함함;

제1 텅스텐 벌크층 증착 스테이션, 제1 텅스텐 벌크층 증착 스테이션은 기판 지지대 및 기판을 가스에 노출시키도록 구성된 하나 이상의 기체 유입구를 포함함;

제2 텅스텐 벌크층 증착 스테이션, 제2 텅스텐 벌크층 증착 스테이션은 기판 지지대 및 기판을 가스에 노출시키도록 구성된 하나 이상의 기체 유입구를 포함함; 및

b) 다중스테이션 증착 챔버 내의 조업을 제어하기 위한 컨트롤러, 조업은 다음을 포함함:

i) 텅스텐 핵형성층을 기판 표면에 증착하기 위하여 텅스텐 핵형성층 증착 스테이션에서 다수의 환원제 펄스/퍼지 가스 펄스/텅스텐-함유 전구물질 펄스 사이클을 펄싱(pulsing);

ii) 환원제 노출 스테이션에서 다수의 환원제 펄스를 펄싱;

iii) 기판 온도를 약 250℃ 내지 350℃로 유지시키면서 환원제와 텅스텐-함유 전구물질을 동시에 제1 텅스텐 벌크 증착 스테이션에 흘러 들어가게 함; 및

iv) 기판 온도를 약 375℃ 내지 450℃로 유지시키면서 환원제와 텅스텐-함유 전구물질을 동시에 제2 텅스텐 벌크 증착 스테이션에 흘러 들어가게 함.

명 세 서

기 술 분 야

[0001] 본 발명은 고종횡비 피처의 공극이 없는 텅스텐 충전 방법에 관한 것이다. 또한 본 발명은 저-저항률을 가지는 텅스텐 박막을 증착하는 방법에 관한 것이다.

배 경 기 술

[0002] 화학기상증착(CVD) 기술을 사용하는 텅스텐막의 증착은 여러 반도체 제작 공정에서 필수적인 부분이다. 텅스텐막은 수평 인터커넥트 형태의 저저항률(low resistivity) 전기 커넥션, 인접 금속층 사이의 비아(via), 및 제1 금속층과 실리콘 기판상의 디바이스(device) 사이의 컨택트(contact)로서 사용될 수 있다. 통상적인 텅스텐 증착 공정에서, 웨이퍼가 진공 챔버에서 공정 온도로 가열된 다음 종자층(seed layer) 또는 핵형성층(nucleation layer) 역할을 하는 매우 얇은 부분의 텅스텐막이 증착된다. 그 후에, 나머지 텅스텐막(벌크층)이 핵형성층에 증착된다. 통상적으로, 수소(H_2)로 텅스텐 헥사플루오라이드(WF_6)를 환원시켜, 성장하고 있는 텅스텐층에 텅스텐 벌크층이 형성된다.

[0003] 반도체 디바이스가 32nm 기술노드(technology node) 및 그보다 작은 크기로 됨에 따라, 축소되는 컨택트 및 비아 치수가 텅스텐의 화학기상증착을 더욱 어렵게 만든다. 종횡비(aspect ratio) 증가는 디바이스 피처(feature) 내에 공극(void) 또는 큰 균열(seam)을 유발하여 마이크로프로세서 및 메모리 칩의 낮은 수율 및 저하된 성능을 초래할 수 있다. 국제 반도체기술 로드맵(International Technology Roadmap for Semiconductors, ITRS)은 32nm 적층 캐패시터(stacked capacitor) DRAM 컨택트가 20:1 초과의 종횡비를 가지도록 요구한다. 로직 컨택트는 비록 DRAM 컨택트 만큼 종횡비가 크지는 않더라도, 역시 종횡비가 10:1을 초과하도록 도전될 것이다. 이와

같은 큰 종횡비 피처에서의 공극이 없는 충전은 통상적인 CVD 텅스텐 증착 기술을 사용하여 해결하기 어렵다.

발명의 내용

[0004] **발명의 요약**

[0005] 본 발명의 한 양태는 고종횡비 피처의 공극이 없는 텅스텐 충전 방법에 관한 것이다. 다양한 구체예들에 따르면, 상기 방법은 피처를 텅스텐으로 충전하기 위하여 저하된 온도의 화학기상증착(CVD) 공정을 포함한다. 특정 구체예에서, 피처를 충전하기 위한 화학기상증착 동안 공정 온도가 약 350℃ 미만으로 유지된다. 저하된-온도의 CVD 텅스텐 충전은 고종횡비 피처에서 개선된 텅스텐 충전을 제공하고, 아래의 층으로 플루오르가 이동하는 것에 대하여 개선된 배리어를 제공하며, 표준 CVD 충전과 유사한 박막 저항률을 달성한다. 본 발명의 다른 양태는 저-저항률을 가지는 텅스텐 박막을 증착하는 방법에 관한 것이다. 다양한 구체예들에 따르면, 상기 방법은 텅스텐 벌크층 증착에 앞서 증착된 핵형성층에 저하된 온도의 저저항률 처리를 수행하는 것 및/또는 저하된 온도의 CVD 공정에 이어서 고온 CVD 공정을 통하여 벌크층을 증착하는 것을 포함한다.

[0006] **발명의 상세한 설명**

[0007] 다음 기재에서, 텅스텐 박막 형성에 관한 본 발명의 완전한 이해를 돕기 위하여 여러 구체적 세부사항이 나타난다. 본 명세서에 나타나고 논의되는 특정 방법 및 구조물의 변경, 개조 또는 변형은 당업자에게 명백할 것이고, 본 발명의 범위 내에 있다.

[0008] 텅스텐을 32nm 이하(sub-32nm) 기술로 확장하는 것은 메모리 및 로직 디바이스 모두에서 비아/컨택트 성능 및 신뢰도 유지에 중요하다. 디바이스 규모가 더 작은 기술노드로 축소됨에 따라 텅스텐 충전에 다양한 과제가 존재한다. 한 과제는 컨택트와 비아에서 더 얇은 막으로 인한 저항 증가를 방지하는 것이다. 피처가 더욱 작아짐에 따라, 텅스텐(W) 컨택트 또는 라인 저항이 더 얇은 W막에서의 산란 효과로 인하여 증가한다. 효율적인 텅스텐 증착 공정이 텅스텐 핵형성층을 필요로 하기는 하지만, 이러한 층은 전형적으로 벌크 텅스텐층보다 더 높은 전기 저항률을 가진다. 피처가 더욱 작아짐에 따라, 저저항률 텅스텐막이 집적회로 설계에서 전력 손실 및 과열을 최소화한다. 저항률이 높은 얇은 배리어 및 텅스텐 핵형성막은 더 작은 피처에서 더 큰 백분율을 차지한다.

[0009] 도 1은 비아/컨택트 구조물(100)에서 핵형성막(110) 및 벌크 텅스텐 물질(120)로 채워진 부피를 나타낸다. 도 2는 12Å 및 50Å 핵형성막에 의하여 채워진 부피 백분율을 기술노드의 함수로 나타낸다. 핵형성층의 저항률이 벌크층의 저항률보다 높기 때문에 ($\rho_{\text{핵형성}} > \rho_{\text{벌크}}$), 전체 저항을 가능한 한 낮게 유지하기 위하여 핵형성층의 두께가 최소화되어야 한다. 한편으로는 고품질 벌크 증착을 유지하기 위하여, 텅스텐 핵형성이 아래의 기판을 충분히 덮도록 두꺼워야 한다.

[0010] 디바이스 규모가 더 작은 기술노드로 축소됨에 따른 텅스텐 플러그충전(plugfill)에서의 또 다른 과제는 단차 피복(step coverage)이다. 예를 들어 적층 캐패시터 DRAM 컨택트는 32nm 노드에서 20:1을 초과하는 피처의 고종횡비 텅스텐 충전을 필요로 한다. 로직 컨택트는 비록 DRAM 컨택트 만큼 종횡비가 크지는 않더라도, 더 작은 컨택트 개구(opening)가 종횡비 요건을 10:1 가까이로 증가시킴에 따라 여전히 과제를 가진다. 메모리 디바이스는 전형적으로 CVD $TiCl_4$ 기초의 Ti/TiN 라이너(liner)/배리어를 사용하고, 이들은 상당히 등각성이다(conformal).

그러나 로직 디바이스는 여전히PVD/MOCVD 기초 Ti/TiN 막에 의존하는데, 이는 요각(reentrant) 형태나 핀치 오프(pinch off)를 생성하는 큰 오버행(overhang)과 관련된 추가적인 단차 피복 과제를 발생시킨다. 라이너/배리어 막의 PVD 오버행은 작은 피처 충전에서 난점을 증대시킨다. 이는 핵형성막으로 피처를 충전하는 것 뿐만 아니라 궁극적으로 벌크 CVD 막으로 피처를 충전하는 것을 어렵게 만든다. 고종횡비 구조물의 치수와 조합으로 도입부 오버행은 이전의 기술노드에서 사용된 CVD 텅스텐 증착 공정을 사용하여 공극이 없는 플러그충전을 달성하는 것을 어렵게 하거나 불가능하게 한다.

[0011] 다양한 구체예들에 따르면, 본 발명은 핵형성막 두께 감소 및 충전 공정의 단차 피복 개선을 포함하여, 큰 종횡비 및 라이너/배리어 단차 피복 제한을 극복하기 위한 텅스텐 충전 공정을 제공한다. 특정 구체예에서, 또한 충전 방법이 아래에 위치한 배리어/라이너층의 플루오르 공격에 대한 우수한 배리어 막을 제공한다.

[0012] 도 3은 특정 구체예에 따른 충전을 제공하는 방법의 조업을 도해하는 공정 흐름도를 나타낸다. 공정은 기판에 형성된 고종횡비 피처를 가지는 기판 제공으로 시작한다 (302). 본 발명의 구체예가 고종횡비 피처로 한정되는 것은 아니지만, 본 명세서에 기재한 방법은 고종횡비 피처에서 우수하고 공극이 없는 충전 달성에 결정적이고, 이에 대하여 선행 기술노드에서 피처를 충전하기 위하여 사용된 CVD 공정은 적절한 충전을 제공하지 않는다. 다양한 구체예들에 따르면, 기판 피처는 적어도 10:1, 적어도 15:1, 적어도 20:1, 적어도 25:1 또는 적어도 30:1

의 종횡비를 가진다. 또한 다양한 구체예들에 따르면, 피처 크기는 종횡비 대신에, 또는 종횡비에 추가하여 피처 개구 크기로 규정된다. 개구는 10 nm - 100 nm, 또는 10 nm - 50 nm의 폭일 수 있다. 예를 들어 특정 구체예에서, 상기 방법이 종횡비를 막론하고, 좁은 개구를 가지는 피처에서 유리하게 사용될 수 있다.

[0013] 특정 구체예에서, 리세스된(recessed) 피처가 기판상의 유전층(dielectric layer) 내에 형성되고, 피처의 바닥이 아래의 금속층에 컨택트를 제공한다. 또한 특정 구체예에서, 피처가 측벽 및/또는 바닥에서 라이너/배리어층을 포함한다. 라이너층의 예에는 Ti/TiN, TiN 및 WN이 포함된다. 피처는 확산 배리어층 대신 또는 이에 추가하여, 접착층, 핵형성층, 이들의 조합과 같은 층, 또는 피처의 측벽과 바닥을 라이닝(lining)하는 임의의 다른 이용 가능한 물질을 포함할 수 있다.

[0014] 특정 구체예에서, 피처는 요각(re-entrant) 피처이다; 다시 말해서, 라이너층 또는 다른 물질이 피처 개구를 부분적으로 차단하는 오버행을 형성한다. 많은 증착 공정이 우수한 단차 피복 특성을 가지지 않으므로, 즉, 더 많은 물질이 피처 내부보다는 필드 영역(field region) 및 개구 근처에 증착되므로, 라이너층은 예를 들어 피처 내부보다 개구 근처에서 더 두껍다. 이러한 기재의 목적으로, "개구 근처"는 필드 영역으로부터 측정된 약 0-10%의 피처 깊이에 상응하는 피처 내부의(즉, 피처의 측벽을 따른) 대략적 위치 또는 구역으로 정의된다. 특정 구체예에서, 개구 근처의 구역은 개구 구역에 상응한다. 또한, "피처 내부"는 피처 최상부의 필드 영역으로부터 측정된 피처 깊이의 약 20-60%에 상응하는 피처 내부의 대략적 위치 또는 영역으로 정의된다. 전형적으로, 특정 파라미터(예를 들어, 두께)에 대한 값이 "개구 근처" 또는 "피처 내부"로 명시될 경우, 이러한 값은 이러한 위치/구역 내에서 취한 한 측정치 또는 여러 측정치의 평균을 나타낸다. 특정 구체예에서, 개구 근처의 하층(under-layer)의 평균 두께가 피처 내부의 평균 두께보다 적어도 약 10% 더 크다. 더 상세한 구체예에서, 이 차이가 적어도 약 25%, 적어도 약 50%, 또는 적어도 약 100%일 수 있다. 또한 피처 내부 물질의 분포가 단차 피복에 의하여 규정될 수 있다. 이러한 기재의 목적으로, "단차 피복"은 두 두께의 비율, 즉 피처 내부 물질의 두께를 개구 근처 물질의 두께로 나눈 것으로 정의된다. 특정 실시예에서, 라이너 또는 다른 하층의 단차 피복은 약 100% 미만, 더욱 구체적으로, 약 75% 미만 또는 심지어 약 50% 미만이다.

[0015] 도 3으로 돌아가서, 이후 피처(304)의 측벽 및 바닥을 등각으로 코팅하기 위하여 텅스텐 핵형성층이 피처에 증착된다. 일반적으로, 핵형성층은 얇은 등각성 층이고, 이 층은 추후 상기 층에 벌크 물질이 용이하게 형성되도록 한다. 아래의 피처에 대한 등각성은 고품질 증착 유지에 중요하다. CVD 공정, 원자층증착(ALD) 공정 및 펄스 핵형성층(PNL) 증착 공정을 포함하지만 이들로 한정되지는 않는 다양한 공정이 핵형성층 형성에 사용될 수 있다.

[0016] PNL 기술에서, 반응물의 펄스가 연속으로 주입되고, 전형적으로 반응물 사이의 퍼지 가스의 펄스에 의하여 반응 챔버로부터 퍼지된다. 제1반응물은 전형적으로 기판에 흡착되고, 다음 반응물과 반응할 수 있다. 공정은 원하는 두께가 달성될 때까지 주기적 방식으로 반복된다. PNL은 문헌에 보고된 원자층증착 기술과 유사하다. PNL은 일반적으로 더 높은 조업 압력 범위(1 Torr 초과) 및 더 빠른 사이클당 성장 속도(사이클당 1 초과의 단층 막 성장)로 ALD와 구분된다. 본 명세서의 기재에 있어서, PNL은 반도체 기판상의 반응을 위한 반응물을 연속으로 첨가하는 임의의 주기적 공정을 광범하게 구현한다. 따라서, 상기 구상은 통상적으로 ALD로 일컫는 기술을 구현한다. 본 명세서의 기재에 있어서, CVD는 반응물이 증기상 반응을 위한 반응기에 함께 도입되는 공정을 구현한다. PNL 및 ALD 공정은 CVD 공정과 별개이고, 그 반대도 마찬가지이다.

[0017] 하나 이상의 PNL 사이클을 사용하여 핵형성층을 형성하는 것이 미국 특허번호 제6,844,258호; 제7,005,372호; 제7,141,494호; 제7,262,125호; 및 제7,589,017호; 미국 특허 공개번호 제2008/0254623호 및 제2009/0149022호, 및 미국 특허 출원번호 제12/407,541호에서 논의되고, 이들 모두는 참고문헌으로 전체가 본 명세서에 수록된다. 이러한 PNL 핵형성층 공정은 원하는 두께의 핵형성층을 성장시키기 위하여 기판을 다양한 일련의 환원제 및 텅스텐 전구물질에 노출시키는 것을 포함한다. PNL-CVD 조합된 핵형성층 증착 방법이 미국 특허번호 제7,655,567호에 기재되며, 이 또한 전체가 참고문헌으로 수록된다.

[0018] 핵형성층 두께는 고품질 증착을 유지하기에 충분하다. 특정 구체예에서, 필요한 두께는 핵형성층 증착 방법에 얼마간 의존한다. 이후 더 자세히 기재하는 바와 같이, 약 12Å(전형적인 50Å의 핵형성막과 비교)의 두께에서 거의 100%의 단차 피복 핵형성막을 제공하는 PNL 방법이 특정 구체예에서 사용될 수 있다. 그러나 핵형성층 증착에 사용되는 방법을 막론하고, 피처 충전에 이용되는 저하된 온도의 CVD 조업은 통상적인 더 높은 온도의 CVD에 의하여 요구되는 것보다 더 얇은 핵형성층과 함께 이용될 수 있다. 특정 이론에 제한되지 않고, 이는 아마도 저하된 온도에서의 더 느린 화학이 완전히 드러나지 않은 핵형성 위치에서도 성장을 증진하기 때문일 것으로 생각된다. 다양한 구체예들에 따르면, 약 30-50Å(3-5 nm), 특정 구체예에서 10-15Å의 핵형성층이 형성될 수 있

다.

[0019] 특정 구체예에서, 저항률을 개선하기 위하여 핵형성층 증착에 증착후 처리 조업이 이어진다. 이러한 처리 조업은 아래에 더 기재되고 미국 특허 공개번호 제2009/0149022호 및 미국 특허 출원번호 제12/407,541호에 더욱 상세하게 기재되며, 이들 모두 본 명세서에 참고문헌으로 수록된다.

[0020] 핵형성층이 형성되면, 저온 CVD 텅스텐막으로 피처를 충전하여 공정이 계속된다 (306). 이 조업에서, 피처에 벌크 막층을 증착시키기 위하여 환원제 및 텅스텐-함유 전구물질이 증착 챔버에 흘러 들어간다. 불활성 운반 가스가 미리 혼합되거나 혼합되지 않을 수 있는 하나 이상의 반응물 스트림 전달에 사용될 수 있다. PNL 또는 ALD 공정과는 달리, 이 조업은 일반적으로 원하는 양이 증착될 때까지 반응물을 계속하여 흐르게 하는 것을 포함한다. 특정 구체예에서, CVD 조업이 다중 스테이지(stage)에서 일어날 수 있고, 다중 주기의 연속적이고 동시적인 반응물의 흐름이 한 가지 이상의 전환된 반응물 흐름의 주기에 의하여 분리된다.

[0021] WF_6, WCl_6, 및 $W(CO)_6$을 포함하지만 이들로 한정되지는 않는 다양한 텅스텐-함유 가스가 텅스텐-함유 전구물질로서 사용될 수 있다. 특정 구체예에서, 텅스텐-함유 전구물질은 WF_6과 같은 할로겐-함유 화합물이다. 특정 구체예에서, 비록 실란(SiH_4), 디실란(Si_2H_6), 하이드라진(N_2H_4), 디보란(B_2H_6) 및 게르만(GeH_4)을 포함하는 다른 환원제가 사용될 수 있기는 하지만, 환원제가 수소 가스이다. 많은 구체예에서, 수소 가스가 CVD 공정에서 환원제로서 사용된다.

[0022] 피처의 CVD 충전은 저하된 온도에서 수행된다. 다양한 구체예들에 따르면, 저하된 온도(공정 및/또는 기판 온도)는 다음 범위들 중 하나에 속한다: 약 250-350℃, 약 250℃-340℃, 약 250℃-330℃, 약 250℃-325℃, 약 250℃-320℃, 약 250℃-315℃, 약 250℃-310℃, 약 250℃-305℃, 또는 약 250℃-300℃. 또한 다양한 구체예들에 따르면, 공정 및/또는 기판 온도는: 약 260-310℃, 약 270℃-310℃, 약 280℃-310℃, 또는 약 290℃-310℃이다. 특정 구체예에서, 공정 및/또는 기판 온도는 약 300℃이다.

[0023] 피처 충전 후, 고온 CVD층을 증착하기 위하여 온도가 상승된다 (308). 고온은 다음 범위들 중 하나에 속할 수 있다: 약 350-450℃, 약 360℃-450℃, 약 370℃-450℃, 약 380℃-450℃, 약 390℃-450℃, 또는 약 400℃-450℃. 특정 구체예에서, 고온 CVD는 약 395℃에서 수행된다. 온도 상승은 기판 온도 상승을 포함할 수 있다. 다양한 구체예들에 따르면, 온도는 적어도 약 50℃, 적어도 약 60℃, 적어도 약 70℃, 적어도 약 80℃, 적어도 약 90℃, 적어도 약 100℃, 또는 적어도 약 110℃ 상승된다. 이후 고온 CVD층이 증착된다 (310). 특정 구체예에서, 조업 (308) 및 (310)이 수행되지 않는다; 즉, 저온 CVD 공정이 완료되고 피처가 충전된 후, 평탄화(planarization)와 같은 추가 가공을 위하여 기판이 이동된다.

[0024] 특정 구체예에서, 조업(306)으로부터 조업(308)로의 이행은 다중-스테이션 챔버에서 한 증착 스테이션에서 다른 스테이션으로 기판을 옮기는 것을 포함한다. 또한, 조업(304), 증착후 저항률 처리(수행될 경우), 조업(306) 및 조업(308) 각각이 동일한 다중-스테이션 챔버의 상이한 스테이션에서 수행되기도 한다.

[0025] 조업(306) 및 조업(308)을 수행하기 위하여 단일 스테이션이 사용되는 대안의 구체예에서, 조업(306)으로부터 조업(308)로의 이행은 기판 온도을 상승시키면서 텅스텐 전구물질의 흐름을 차단하는 것을 포함했다 (선택적으로 수소 또는 다른 환원 가스 및/또는 운반 가스가 흐르도록 허용함). 기판 온도가 안정화되면, 필요한 경우에 텅스텐 전구물질 및 다른 가스가 고온 증착 동안 반응 챔버에 흘러 들어간다. 다른 구체예에서, 조업(306)으로부터의 이행은 증착이 이행 기간 동안 계속되도록 허용하면서 기판 온도를 상승시키는 것을 포함할 수 있다.

[0026] 고온 텅스텐 CVD 막이 증착되는 구체예에서, 고온 텅스텐 CVD 막은 충전된 피처에 과부하층(overburden layer)으로서 증착될 수 있다. 도 4는 피처(410)가 저하된 온도의 CVD를 사용하여 충전된 후 고온 CVD층이 증착되는 충전 공정의 여러 상이한 단계에서 피처 횡단면의 한 예의 개략적 표현을 나타낸다. 횡단면(401)은 임의의 텅스텐 증착에 앞선 피처(410)의 예를 나타낸다. 이 예에서, 피처(410)는 유전층(430)에 형성되고, 기판의 최상 표면(405)에 개구(425)를 가지며, TiN층과 같은 라이너층(413)을 포함한다. 특정 구체예에서, 개구(425) 근처의 공동의 크기는 피처 내부의 공동의 크기보다 좁은데, 예를 들면 도 4에 나타난 것과 같이 하층(413)의 오버행(415)으로 인한 것이다.

[0027] 횡단면(411)은 저하된 온도의 CVD가 수행되어 저온 CVD 벌크층(453)으로 피처를 충전한 후의 피처를 나타낸다. (텅스텐 핵형성층은 도 4에 나타나지 않는다.) 특정 구체예에서, 저하된 온도의 CVD는 적어도 피처 코너(417)(기판이 평탄한 영역으로부터 리세스된 피처로 전환하는 지점)가 저온 CVD 텅스텐으로 덮일 때까지 수행된다. 이는 특정 구체예에서 라이너층, 유전층 또는 다른 하층이 피처 코너에서 F_2 공격에 특히 취약하기 때문이다. 아

래에 더욱 논의되는 것과 같이, 저하된 온도의 CVD 텅스텐은 예상외로 우수한 배리어 특성을 가지고, 추후의 고온 CVD 증착 동안 F_2 노출로부터 하층을 보호한다.

[0028] 횡단면(421)은 과부하층(455)을 증착하기 위하여 더 고온의 CVD가 수행된 후의 피처를 나타낸다. 피처 측벽 및 코너는 저온 CVD 막(453)에 의하여 F_2 공격으로부터 보호된다. 횡단면(431)은 통상적인(고온) 공정을 이용하여 충전된, 횡단면(401)에서 나타나는 것과 같은 좁은 피처의 비교 예를 제공한다. 고온 공정을 사용하면 고온층(455)의 오버행(415) 및 비교적 불량한 단차 피복으로 인하여, 폐쇄된 피처가 충전되지 않은 공극(429)(즉, 균열)을 가진다. 균열은 피처의 저항을 증가시키고 화학적-기계적 평탄화(CMP) 동안 문제점 야기하는 등의 다양한 이유로 문제가 된다. 비록 개략도에서 볼 수는 없지만, 라이너의 코너 또는 다른 부분은 F_2 공격으로 인한 접착 문제를 가지고, 박리(peeling)나 결점을 나타낸다. 이러한 결점은 이후 도 6을 참조하여 더욱 논의된다.

[0029] 특정 구체예에서, 고종횡비 피처와 저종횡비 피처를 모두 가지는 텅스텐으로 충전될 기판이 제공된다. 예를 들어, 기판은 적어도 약 10:1의 종횡비를 가지는 하나 이상의 피처 및 약 5:1 미만, 또는 1:1 또는 1:2의 종횡비를 가지는 하나 이상의 피처를 가질 수 있다. 저하된 온도의 CVD 조업이 하나 이상의 고종횡비 피처를 충전하기 위하여 수행되고, 저종횡비 피처를 충전하기 위하여 고온 CVD 조업이 이어질 수 있다. 도 5는 이러한 방식으로 충전된 고종횡비 피처(510) 및 저종횡비 피처(520)의 예를 나타낸다. 피처(510)는 좁은 개구의 고종횡비 피처에서 우수하고 공극이 없는 충전 제공에 중요한 저온 CVD 막(553)으로 충전된다. 피처(520)의 넓은(예를 들어, 대략 수백 나노미터 내지 수 미크론) 개구로 인하여, 미미한 양의 저온 CVD 막이 피처(520)에 증착된다. 이후 고온 CVD 조업이 고온 CVD 막(555)으로 피처(520)를 충전하기 위하여 사용되고, 이 경우에 과부하로 증착된다.

[0030] 저하된 온도의 CVD는 좁은 고종횡비 피처에서 고품질 텅스텐 충전을 달성하는 데 중요하다. 현재 텅스텐 CVD는 대략 400℃의 온도에서 수행된다. 진보한 노드 피처상의 우수한 플러그충전을 달성하는 것은 피처가 (도 4의 횡단면(401)에 도해되는 것과 같이) 핀치된 개구를 가질 경우 증대되는 과제이다. 또 다른 과제가 텅스텐을 증착할 피처에서 더 많은 공간을 허용하기 위한 TiN 배리어 박막화에 의하여 제시된다. 특정 구체예에서, 진보한 노드 피처는 5 nm 두께 미만, 1 nm의 두께의 배리어층을 가진다. 통상적인 CVD 공정에서 WF_6으로부터 Ti 라이너 영역으로의 플루오르 이동은 라이너의 플루오르 공격 및 수율 손실을 포함하는 집적 문제를 야기한다.

[0031] 상기한 저하된 온도의 CVD는 고품질 플러그충전 달성에 중요하다. 특정 이론에 제한되지 않고, 저하된 온도의 CVD에 의하여 제공되는 고품질 플러그충전은 다수의 요인으로 인한 것으로 생각된다. 우선, 더 낮은 CVD 온도가 텅스텐-함유 전구물질의 열분해를 감소시켜 텅스텐 증착 속도를 감소시킨다. 이는 피처 개구에서 텅스텐 증착을 감소시켜 더 많은 WF_6 (또는 다른 텅스텐-함유 전구물질) 분자가 피처의 하부 영역에 도달하고 텅스텐이 증착되도록 하여 고종횡비의 좁은 피처의 플러그충전을 돕는 것으로 생각된다. 통상적인 CVD 공정에서, 피처 최상부에서의 증착은 전구물질이 피처의 하부 영역으로 확산되는 것을 방지한다. 결과는 도 4의 횡단면(431)에 나타나는 것과 같은 피처의 내부 영역의 공극 또는 균열이다. 더 우수한 플러그충전은 여러 이점을 가진다: 이는 더 많은 피처 내의 텅스텐, 전자 수송 촉진 및 컨택트와 라인 저항 감소를 야기하고, CMP 후 문제점을 방지한다. 예를 들어, CMP 슬러리가 균열 및 공극에 포획될 가능성을 감소시킨다.

[0032] 상기 메커니즘 이외에도, 우수한 플러그충전은 텅스텐 핵형성층 및 TiN층을 통하여 플루오르 이동을 촉진시키에 불충분한 저하된 온도에서의 에너지 및/또는 비록 플루오르 원자 또는 텅스텐 헥사플루오라이드 분자가 이동할지라도 Ti와 F의 반응 또는 Ti와 WF_6의 반응으로부터 TiF_x를 형성하기에 불충분한 에너지로 인한 것으로 생각된다. 저온 CVD 반응은 플루오르에 의한 Ti 공격을 최소화한다.

[0033] 상기한 것 이외에도, 저온 CVD 텅스텐막이 뜻밖에도 다른 공정에 의하여 증착된 텅스텐막과 비교하여 우수한 플루오르 배리어 특성을 제공함이 발혀졌다. 도 6은 통상적인 PNL W 및 PNL W + 저온 CVD를 대상으로 한 결함 연구 결과를 나타낸다. PNL W 단독 또는 PNL W + 저온 W막이 다음 두께로 Ti/TiN 기판에 증착되었다:

[0034] PNL W 단독: 34Å, 54Å 및 76Å

[0035] PNL W + 저온 CVD W: 22Å PNL + 8Å CVD (총 30Å), 22Å PNL + 10Å CVD (총 32Å), 22Å PNL + 15Å CVD (총 37Å)

[0036] PNLW 및 저온 CVD 모두 300℃에서 일어났다. 이후 W막이 395℃에서 WF_6에 노출되는 토처 테스트(torture test)를 거쳤다. 플루오르가 W막 및 TiN을 통하여 확산될 경우 아래의 Ti와 반응하여 휘발성 TiF_x 화합물을 형성하고 전형적인 "화산형(volcano)" 결함 및 국소 박리, 균열 또는 버블링(bubbling)을 야기한다. 이러한 결함들은 광

학 현미경으로 볼 수 있다. 도 6에 나타나는 것과 같이, 얇은 PNL W를 따라 존재하는 저온 CVD W는 PNL W 단독보다 더 우수한 W 확산층으로서 거동했다. 이는 동일한 전체 두께의 W막에 대하여 저온 CVD 막이 개선된 F 배리어 특성을 제공한다는 점에서 예기치 않은 결과이다. 얇은 PNL + 저온 CVD층은 동일한 온도에서 증착된 얇은 PNL층과 유사한 결함 수를 가질 것으로 기대되었다.

[0037] 플루오르 공격 연구가 PVD Ti / MOCVD TiN 배리어층을 포함하고 100 nm 개구/10:1 종횡비 피처로 패턴화된 웨이퍼에서 수행되었다. 텅스텐 핵형성층이 피처에 증착되었고, 확대된 신호를 생성하도록 얇은(12Å) 층이 사용되었다. 피처는 395℃ CVD 텅스텐 또는 350℃ CVD 텅스텐으로 충전되었다. 이후 피처 충전이 조사되고 비교되었다. 저온 CVD 충전은 더 우수한 플러그충전 및 감소된 플루오르 공격을 제공했다. 결과는 감소된 플루오르 공격을 나타내는 것 이외에도, 저하된 온도가 얇은 핵형성층에 더 우수한 단차 피복을 제공함을 나타낸다. 임의의 특정 이론에 제한되지 않고, 저하된 온도 공정의 더 느린 화학이 완전히 형성되지 않은 핵형성 위치에서도 성장을 허용하는 것으로 생각된다.

[0038] 32 nm 요각 피처의 충전이 300℃ 및 395℃를 사용하여 수행되었다. 충전된 피처는 비교되었고, 막이 화산형 결함에 대하여 조사되었다. 저온 CVD는 균열 또는 공극이 더 적거나 없으면서 더 우수한 충전을 야기했다. 공극은 고온 CVD 충전된 피처에서 관찰되었다. 도 7은 395℃ 막(701) 및 300℃ 막(702)의 현미경 영상을 보여준다. 많은 화산형 결함이 395℃ 막에서 관찰되고; 300℃ 막에서는 관찰되지 않는다. 개선된 플러그충전 및 감소된 플루오르 공격을 제공하는 것 이외에도, 저온 막은 고온 막에 필적하는 저항률을 가진다. 이는 도 8에 나타난다.

[0039] 초-저저항률 텅스텐막을 증착하는 개선된 방법이 또한 제공된다. 다양한 구체예들에 따르면, 이러한 방법은 얇은 PNL 핵형성층 증착, 핵형성층에 저저항률 처리 수행 및 피처를 충전하기 위한 고온 CVD층 증착을 포함한다. 특정 구체예에서, 저저항률 처리는 저온 CVD 공정을 포함한다.

[0040] 20nm 초과 두께의 저저항률 텅스텐을 성장시키는 저저항률 공정이 20nm 이하 두께의 저저항률 텅스텐을 성장시키지 않을 수 있음이 밝혀졌다. 디바이스의 임계 치수(critical dimension)가 40 nm 이하로 감소될 경우, 구조물에서 텅스텐층의 두께는 20 nm 이하이다. 도 9는 우선 저저항률 공정(905)을 이용하여 처리된 막 및 특정 구체예(901)에 따른 박막 저저항률 공정을 이용하여 처리된 막에 대하여, 막 저항률을 두께의 함수로서 도해하는 플롯을 나타낸다. 비교를 위하여, 저저항률 처리를 하지 않고 증착된(907) 막이 나타난다.

[0041] (905)로 나타나는 막 증착에 이용되는 공정은 저하된 온도의 수소가 없는 환경에서 PNL 핵형성층 증착에 이어 고온 저저항률 처리를 포함한다. 미처리 막(데이터 시리즈 907)은 저저항률 처리를 하지 않고 PNL 핵형성층에 의하여 증착되었다. 약 20-25Å의 핵형성층이 증착되었고, 나머지 두께는 저온 CVD에 의하여 증착되었다. 고온 처리가 120Å(12 nm) 초과의 두께에 대하여 더 낮은 저항률을 가지는 막을 야기하지만, 120Å 미만의 두께에 대해서는 반대가 성립한다. 막의 증착에 대한 공정 파라미터가 아래에 나타난다:

표 1

[0042]

데이터 시리즈	핵형성층 펄스 시퀀스	핵형성층 온도	저저항률 처리 펄스 시퀀스	저저항률 처리 온도	CVD 화학	CVD 온도
907 (처리 없음)	B/W/S/W + 3 x (S/W) (H_2 환경)	300℃	n/a	n/a	WF_6 및 H_2	300℃
905 (고온 처리)	5 x (B/W) (H_2가 없는 환경)	300℃	6 x (B)	395℃	WF_6 및 H_2	300℃
901 (박막 저항률 처리)	5 x (B/W) (H_2가 없는 환경)	300℃	6 x (B)	300℃	WF_6 및 H_2	300℃ (부분 두께) 395℃ (잔존 두께)

[0043] B= B_2H_6 / W = WF_6 / S = SiH_4

[0044] 고온 공정으로 처리된 박막의 저항률 증가는 예기치 않은 것이었다. 도면으로부터 알 수 있는 바와 같이, 본 발명 공정의 구체예에 따른 저-저항률 처리는 120Å 미만의 막에 대해서조차 저저항률을 제공한다. 다양한 구체예들에 따르면, 박막 저항률 처리는 증착된 핵형성층을 저하된 온도에서 환원제의 다중 펄스에 노출시키는 것을 포함하는 저온 저항률 처리 수행을 포함한다. 환원제의 다중 펄스는 텅스텐-함유 전구물질의 중간 펄스를 포함하거나 포함하지 않을 수 있다. 또한 다양한 구체예들에 따르면, 박막 저항률 처리는 고온 CVD를 통한 충전 완

료에 앞서 저하된 온도의 CVD를 통한 부분 충전을 포함한다. 약간의 벌크 CVD 물질을 증착시키기는 하지만, 저하된 온도의 CVD 조업이 저-저항률 처리로 간주될 수 있다. 특정 구체예에서, 공정은 도 9에서 데이터 시리즈(901)로 나타나는 막에서와 같이 환원제의 다중 펄스에 대한 저온 노출 및 저하된 온도의 CVD를 통한 부분 충전을 모두 포함한다.

[0045] 본 명세서에 기재한 이러한 공정이 40 nm 이하의 임계 치수를 가지는 충전 피처, 특히 32 nm 또는 더 작은 임계 치수를 가지는 막에 적합하기는 하지만, 또한 더 두꺼운 막에 사용될 수도 있다. 아래에서 더욱 논의할 것과 같이, 또한 더 두꺼운 막에 대하여 개선된 저항률이 관찰된다.

[0046] 도 10-12는 다양한 구체예에 따른, 저저항률 텅스텐으로 피처를 충전하는 방법의 조업을 도해하는 공정 흐름도를 나타낸다. 도 10에서, 우선 고종횡비 리세스된 피처를 가지는 기판이 증착 챔버에 제공된다 (1002). 앞서 명시한 바와 같이, 피처는 좁은 개구, 예를 들어, 40 nm 이하의 폭을 가질 수 있다. 또한 특정 구체예에서, 상기 방법이 더 낮은 종횡비 및/또는 더 넓은 개구를 가지는 피처 충전에 이용될 수 있다. 이후 텅스텐 핵형성층이 피처에 증착된다 (1004).

[0047] 핵형성층이 임의의 공지 방법에 의하여 증착되는 한편, 특정 구체예에서, 저온에서 핵형성층을 증착한 다음 다중-펄스 저저항률 처리를 수행하여 개선된 저항률이 달성된다. 이러한 핵형성층 증착 방법이 미국 특허번호 제7,589,017호에 기재되고, 이는 본 명세서에 참고문헌으로 수록되며, 미국 공개번호 제2008/0254623호에 기재되고, 이 또한 본 명세서에 참고문헌으로 수록된다.

[0048] 특정 실시예에서, 핵형성층이 도 13에 나타나는 것과 같이 증착된다. (도 4의 401과 같은) 핵형성층이 없는 기판이 제공된 후, 제공된 그대로의 기판이 붕소-함유 환원제에 노출되어 기판 표면에 붕소-함유층을 형성한다 (1302). 붕소-함유층은 흔히 원소 붕소의 층이고, 일부 구체예에서는 다른 화학종, 또는 붕소-함유 화학종 자체나 반응 챔버의 잔류 가스에서 유래한 불순물을 포함할 수도 있다. 보란(BH_3), 디보란(B_2H_6), 트리보란 등을 포함하는 임의의 적절한 붕소-함유 화학종이 사용될 수 있다. 다른 붕소-함유 화학종의 예에는 수소를 동반한 붕소 할라이드(예를 들어, BF_3, BCl_3)가 포함된다.

[0049] 기판 온도는 약 350℃ 이하, 예를 들어 약 250℃ 내지 350℃ 또는 250℃ 내지 325℃로 낮다. 특정 구체예에서, 온도는 대략 300℃이다. 특정 구체예에서, 디보란이 희석된 공급원(예를 들어, 5% 디보란 및 95% 질소)으로부터 제공된다. 디보란은 다른 또는 추가의 질소 및/또는 아르곤과 같은 운반 가스를 사용하여 반응 챔버에 전달될 수 있다. 중요하게는, 수소가 사용되지 않는다.

[0050] 붕소-함유층이 충분한 두께로 증착되면, 반응 챔버를 향한 붕소-함유 화학종의 흐름이 정지되고 반응 챔버는 아르곤, 수소, 질소 또는 헬륨과 같은 운반 가스로 퍼지된다. 특정 구체예에서, 아르곤만이 운반 가스로 사용된다. 가스 퍼지는 다음의 반응 단계 동안 새로운 가스 반응물과 반응할 수 있는 잔류하는 가스 반응물의 기판 표면 근처의 영역을 세정한다.

[0051] 도 13에서 다음 조업을 계속하여, 기판이 텅스텐-함유 전구물질과 접촉되어 텅스텐 핵형성층의 일부를 형성한다 (1304). 임의의 적절한 텅스텐-함유 전구물질이 사용될 수 있다. 특정 구체예에서 텅스텐-함유 전구물질은 WF_6, WCl_6 및 $W(CO)_6$ 중의 하나이다. 텅스텐-함유 전구물질은 전형적으로 아르곤, 질소, 또는 이들의 조합과 같은 희석 가스에 포함되어 제공된다. 붕소-함유 전구물질 펄스를 사용하는 경우와 같이, 텅스텐-함유 전구물질이 비-수소 환경에 전달된다. 기판 온도는 약 350℃ 이하, 예를 들어 약 250℃ 내지 350℃ 또는 250℃ 내지 325℃로 낮다. 특정 구체예에서, 온도는 대략 300℃이다. 많은 경우에, 기판 온도는 붕소-함유 화학종에 노출되는 동안과 동일하다. 텅스텐-함유 전구물질 공급량 및 기판 노출 시간은 여러 요인에 따라 변할 것인다. 일반적으로, 기판은 흡착된 붕소 화학종이 텅스텐 핵형성층의 일부를 생성하기 위하여 텅스텐-함유 전구물질을 사용하는 반응에 의하여 충분히 소비될 때까지 노출된다. 그 후, 반응 챔버를 향한 텅스텐-함유 전구물질의 흐름이 정지되고, 반응 챔버가 퍼지된다. 하나의 붕소-함유 환원제/텅스텐-함유 전구물질 PNL 사이클에서 증착된 텅스텐 핵형성층 부분은 약 5Å일 수 있다.

[0052] 저온 붕소-함유 환원제 펄스 및 텅스텐 전구물질 펄스 조업이 텅스텐 핵형성층을 원하는 두께로 형성하기 위하여 반복된다 (1306). 비록 특정 구체예에서 단일 사이클이 충분할 수도 있지만, 특정 구체예에서 매우 얇은 핵형성층을 증착시키기 위하여 약 2-7 PNL 사이클이 필요하다. 기판에 따라, 최초의 하나 또는 둘의 사이클이 핵형성 지연으로 인한 두께 획득을 야기하지 않을 수 있다. 상기한 바와 같이, 텅스텐 핵형성층은 과도하게 전체 텅스텐막을 증가시키지 않도록 충분히 얇아야 하지만, 고품질 벌크 텅스텐 증착을 유지하도록 충분히 두꺼워야

한다. 앞에서 기재한 공정은 고종횡비 및/또는 좁은 폭의 피처에서 약 10Å의 고품질 벌크 증착을 유지할 수 있는 텅스텐 핵형성층을 증착할 수 있다. 증착된 핵형성층의 두께는 전형적으로 약 10 Å 내지 50Å, 또는 예를 들어 10Å 내지 30Å이다.

[0053] 온도는 증착된 텅스텐의 양에 영향을 미치는 공정 조건 중의 하나이다. 다른 조건에는 압력, 유량 및 노출 시간이 포함된다. 온도를 약 350℃에서, 또는 그 아래로 유지하는 것은 한 사이클 동안 더 적은 물질의 증착을 야기한다. 이는 더 낮은 저항률을 제공한다. 일부 구체예에서, 온도는 약 300℃ 또는 200℃일 수 있다.

[0054] 도 10을 다시 참조하면, 텅스텐 핵형성층이 증착된 후, 증착된 핵형성층은 저항률을 낮추기 위하여 저온 다중-펄스 처리를 통하여 처리된다 (1006). 도 14a 및 14b는 저저항률 처리의 다양한 구체예에 따라 이용될 수 있는 펄스 시퀀스의 예를 나타내는 그래프이다. 도 14a는 미국 특허 공개번호 제2009/0149022호에 기재된 것과 같은 펄스 시퀀스의 예를 나타내고, 상기 특허는 본 명세서에 참고문헌으로 수록된다. 본 명세서에 기재한 처리 공정은 증착된 핵형성층을 (또 다른 반응 화합물의 중간 펄스가 없는) 환원제의 다중 펄스에 노출시키는 것을 포함한다. 도 14a에서, 디보란이 환원제로 표시되기는 하지만, 다른 환원제도 사용될 수 있다. 상기 처리는 저항률을 낮추면서, 우수한 접착 및 저항 비균일성을 제공한다. 특히, 비록 동일한 전체 노출 시간을 사용할지라도 다중 환원제 펄스 사용이 단일 펄스 사용보다 현저하게 개선된 저항률 및 균일성을 제공하는 것으로 나타난다. 그러나 너무 많은 펄스는 최후의 텅스텐막이 아래의 층에 불량하게 접착하는 것을 야기할 수 있다. 펄스의 최적 숫자는, 예를 들어 저저항률, 낮은 비균일성 및 만족스러운 부착을 달성하기 위하여 2-8이다. 도 13에 기재한 핵형성층 증착과 달리, 처리 조업이 배경에 수소를 사용하여 수행될 수 있다. 따라서, 핵형성으로부터 처리 조업으로 이행하는 것은 특정 구체예에서 수소 흐름의 공급을 포함할 수 있다. 또한 특정 구체예에서, 핵형성층이 다중-스테이션 증착 챔버의 제1스테이션에서 증착되고, 제2스테이션에서 저저항률 처리가 수행된다. 핵형성 증착으로부터 저저항률 처리로 이행하는 것은 기판을 제2스테이션으로 옮기는 것을 포함한다.

[0055] 도 14b는 펄스 시퀀스의 또 다른 예를 나타내고, 여기서 핵형성층은 교대의 환원제 펄스 및 텅스텐-함유 전구물질 펄스의 다중 사이클에 노출된다. 비록 특정 구체예에서 다른 화합물을 사용할 수 있기는 하지만, 디보란, B_2H_6, 및 텅스텐 헥사플루오라이드, WF_6이 환원제 및 텅스텐-함유 전구물질로서 각각 나타난다. 환원제 및 텅스텐-함유 전구물질의 교대하는 펄스가 또한 텅스텐 핵형성층 형성에도 사용되지만, 처리 조업에서 전형적으로 실질적으로 텅스텐이 증착되지 않는다. 텅스텐-함유 전구물질의 유량 및/또는 펄스 시간은 단지 표면상과 챔버내의 과량의 붕소를 저-저항률 처리로부터 제거하여 붕소 불순물을 감소시킬 정도로 제한된다. 이는 특정 구체예에서 더 적은 마이크로-박리 및 더 우수한 막 접착을 야기한다. 따라서, 처리 동안 텅스텐-함유 전구물질 펄스 노출 시간 및/또는 유량이 (환원제 펄스에 비례하여) 핵형성층 증착에 사용되는 것보다 더 적게 사용될 수 있다.

[0056] 도 14a 및 14b에 나타나는 펄스 시퀀스의 어떤 조합이 또한 특정 구체예에서 수행될 수 있다. 본 명세서에 기재한 구체예에서, 다중-펄스 처리 조업이 약 350℃ 이하의 저하된 온도, 예를 들어 약 250℃ 내지 350℃ 또는 250℃ 내지 325℃에서 수행된다 (1006). 특정 구체예에서, 온도는 대략 300℃이다. 도 9에 나타나고 이후 더 논의되는 바와 같이, 박막에 있어서, 저온에서 저-저항률 처리를 수행하는 것은 뜻밖에도 더 높은 온도에서 처리를 수행하는 것보다 더 우수한 저항률을 제공한다. 임의의 특정 이론에 제한되지 않고, 이것이 기판이 접하는 붕소의 양으로 인한 것일 수 있는 것으로 생각된다. 이는 이후에 도 16A를 참조하여 더 논의된다. 다양한 구체예들에 따르면, 디보란 (또는 다른 붕소-함유 환원제) 노출의 총량이 다중-펄스 처리 동안 약 1E-5 내지 1E-2 몰, 또는 더욱 특정하게 약 1E-4 내지 1E-3 몰일 수 있다. 이후 CVD 벌크층이 증착되어 피처를 충전한다 (1008). 이는 저하된 온도 충전, 고온 충전을 포함할 수 있고, 또는 특정 구체예에서 두 가지의 조합을 포함할 수 있다.

[0057] 도 11은 특정 구체예에 따른 저저항률 텅스텐으로 피처를 충전하는 방법의 공정 흐름도를 나타내고, 여기서 핵형성층이 증착된 후 피처를 부분적으로 충전하기 위하여 저하된 온도의 CVD가 사용된다. 이후 피처 충전을 완료하기 위하여 고온 CVD가 수행된다. 도 10에 관하여 기재한 것과 같이 고종횡비 및/또는 좁은 개구를 가지는 기판이 제공된다 (1102). 이후 핵형성층이 피처에 증착된다 (1104). 상기한 바와 같이, 특정 구체예에서, 핵형성층은 도 13에 기재한 것과 같이 저온의 수소가 없는 환경에서 교대의 디보란과 텅스텐 전구물질 펄스로 증착된다. 이후 다중-펄스 저저항률 처리가 선택적으로 수행된다 (1106). 이러한 처리는 (도 14a에 나타나는 것과 같이) 중간의 텅스텐-전구물질 펄스 없이 다중 환원제 펄스를 포함할 수 있거나 (도 14b에 나타나는 것과 같이) 다중 환원제/텅스텐 전구물질 펄스 또는 이들의 어떤 조합을 포함할 수 있다. 다양한 구체예들에 따르면, 다중-펄스 처리는 기판을 약 350℃ 내지 450℃, 예를 들어, 약 395℃의 온도로 가열하고, 온도가 안정되도록 하고, 기판 온도를 유지하면서 핵형성층을 다중 펄스에 노출시키는 것을 포함한다. 다른 구체예에서, 다중-펄스 처리

가 도 10에 관하여 상기한 바와 같이 더 낮은 온도에서 수행된다.

[0058] 다음, 피처는 저하된 온도의 CVD 벌크층으로 부분적으로 충전된다 (1108). WF_6, WCl_6, 및 $W(CO)_6$을 포함하지만 이들로 한정되지는 않는 다양한 텅스텐-함유 가스가 텅스텐-함유 전구물질로서 사용될 수 있다. 특정 구체예에서, 텅스텐-함유 전구물질은 WF_6와 같은 할로겐-함유 화합물이다. 특정 구체예에서, 실란, 디실란, 하이드라진, 디보란, 및 게르만을 포함하는 다른 환원제가 사용될 수 있기는 하지만, 환원제는 수소 가스이다. 많은 구체예에서, 수소 가스가 CVD 공정에서 환원제로서 사용된다.

[0059] 다양한 구체예들에 따르면, 저하된 온도(공정 및/또는 기판 온도)는 다음 범위 중 하나에 속한다: 약 250-350℃, 약 250℃-340℃, 약 250℃-330℃, 약 250℃-325℃, 약 250℃-320℃, 약 250℃-315℃, 약 250℃-310℃, 약 250℃-305℃, 또는 약 250℃-300℃. 또한 다양한 구체예들에 따르면, 공정 온도는: 약 260-310℃, 약 270℃-310℃, 약 280℃-310℃, 또는 약 290℃-310℃이다. 특정 구체예에서, 공정 및/또는 기판 온도는 약 300℃이다.

[0060] 충전은 고온 CVD 증착을 통하여 완료된다 (1110). 고온은 다음 범위 중 하나에 속할 수 있다: 약 350-450℃, 약 360℃-450℃, 약 370℃-450℃, 약 380℃-450℃, 약 390℃-450℃, 또는 약 400℃-450℃. 특정 구체예에서, 고온 CVD는 약 395℃에서 수행된다. 온도 상승은 기판 온도 상승을 포함할 수 있다. 다양한 구체예들에 따르면, 온도는 적어도 약 25℃, 30 ℃, 50℃, 적어도 약 60℃, 적어도 약 70℃, 적어도 약 80℃, 적어도 약 90℃, 적어도 약 100℃, 적어도 약 110℃, 또는 적어도 약 125℃ 상승된다. 한 공정 예에서, 저온 CVD 조업은 약 250℃에서, 고온 CVD 조업은 350℃에서 수행된다. 특정 구체예에서, 열충격 및 이에 따른 웨이퍼 파손을 방지하기 위하여 온도는 약 150℃ 이하 또는 심지어 125℃ 이하 상승된다.

[0061] 특정 구체예에서, 조업(1108)로부터 조업(1110)로 이행하는 것은 다중-스테이션 챔버에서 기판을 한 증착 스테이션에서 또 다른 증착 스테이션으로 옮기는 것을 포함한다. 조업을 수행하기 위하여 단일 스테이션이 사용되는 대안의 구체예에서, 조업(1108)로부터 조업(1110)로 이행하는 것은 기판 온도를 상승시키면서 텅스텐 전구물질(선택적으로 수소 또는 다른 환원 가스 및/또는 운반 가스가 흐르도록 허용)의 흐름을 차단하는 것을 포함할 수 있다. 기판 온도가 안정화되면, 필요할 경우 텅스텐 전구물질 및 다른 가스가 고온 증착을 위하여 반응 챔버에 흘러 들어간다. 다른 구체예에서, 조업(1210)로부터의 이행은 이행 기간 동안 증착이 계속되도록 하면서 기판 온도를 상승시키는 것을 포함할 수 있다.

[0062] 다양한 구체예들에 따르면, 저하된 온도의 CVD는 벌크 CVD 충전의 약 0-70%의 총 두께 증착에 사용될 수 있다. 도 15는 저하된 온도의 CVD 부분 충전 및 고온 CVD을 통한 완료된 충전 후 피처 횡단면의 한 예의 개략적 표현을 나타낸다. 횡단면(1501)은 등각성 부분 충전된 저하된 온도의 CVD층(1553) 및 고온 충전(1555)을 나타낸다. 증착된 CVD층의 총 두께인 T가 나타난다 (T는 피처 충전의 두께 빼기 텅스텐 핵형성층 두께임). 2T1은 저하된 온도의 CVD를 통해 증착된 총 두께이다. 특정 구체예에서, 저하된 온도의 CVD는 벌크 CVD 충전의 약 30-80% 또는 30-60%의 총 두께 증착에 사용될 수 있다. 또한 저하된 온도층이 증착된 두께로 규정될 수 있으며, T1은 약 1-10 nm 또는 약 2-8 nm이다.

[0063] 이후 더 논의되는 바와 같이, 고온 CVD로 갭 충전을 완료하기에 앞서 저하된 온도의 CVD로 갭을 부분 충전하는 것이 저항률을 증가시킨다. 저하된 온도의 CVD 조업이 일반적으로 피처에 약간의 등각성 텅스텐을 증착하기는 하지만, 이 또한 저저항률 처리 조업으로서 생각될 수 있다. 특정 구체예에서, 저하된 온도 조업의 노출 시간 및/또는 노출량은 실질적으로 텅스텐이 증착되지 않도록 짧거나 작을 수 있다.

[0064] 도 12는 저온 다중-펄스 처리 및 고온 CVD를 통하여 충전을 완료하기에 앞서 저하된 온도의 CVD를 통한 부분 충전이 모두 수행되는 공정 흐름도를 나타낸다. 도 10 및 11에 관한 것과 같이, 고종횡비 피처를 가지는 기판이 제공되고 (1202), 핵형성층이 피처에 증착된다 (1204). 특정 구체예에 따른 핵형성층 증착이 도 13에 설명된다. 이후 저온 다중 펄스 처리가 도 10에 관하여 상기한 바와 같이 수행된다 (1206). 이 시점에서, 특정 구체예에서는 핵형성층 형성 및 추후의 다중-펄스 처리 조업 모두가 환원제로서 붕소-함유 화합물만을 사용하는 것을 포함한다; 즉, 실란 또는 다른 비-붕소-함유 환원제가 CVD 증착에 앞선 어떤 조업에서도 사용되지 않는다. 이후 도 11에 관하여 상기한 바와 같이 저하된 온도의 CVD를 통한 부분 충전이 수행되고 (1208), 고온 CVD를 사용한 충전 완료가 이어진다 (1210).

[0065] 특정 구체예에서, 본 명세서에 기재한 공정은 증착된 텅스텐 핵형성층을 디보란 또는 다른 붕소-함유 환원제의 일련의 다중 펄스에 노출시키는 것을 포함한다. 예를 들어 도 10에 관한 상기 논의를 참조하라. 도 16A는 블랭킷(blanket) 텅스텐막의 저항률을 저온 다중-펄스 처리 공정 동안 핵형성층에 대한 총 디보란 노출(몰로

나타냄)의 함수로서 플롯한다. 나타나는 바와 같이 핵형성층에 디보란이 공급되었고, 50 nm 또는 10 nm 블랭킷 막 증착을 위한 CVD가 이어졌다. 공급 시간 증가에 따라 50 nm 텅스텐막 저항률이 감소한다. 뜻밖에도, 얇은 10 nm 막에 있어서, 공급 시간 증가에 따라 저항률이 증가한다. 특정 구체예에서, 약 20 nm 이하의 박막에서 다중-펄스 처리가 수행되지 않거나, 디보란 노출이 약 1E-5 내지 1E-3 몰 이하의 노출에서 유지된다.

[0066] 앞에서 명시한 바와 같이, 저하된 온도의 CVD를 사용한 피처의 부분 충전은 저항률을 개선한다. 도 16B는 부분 저하된 온도(300℃) CVD 및 고온-단독(395℃) CVD로 증착된 50 nm 블랭킷 막의 저항률을 다중-펄스 저저항률 텅스텐(LRW) 디보란 펄스의 함수로 플롯한다. 핵형성층 증착을 위하여 도 13에 나타난 공정이 이용되었고, 도 14a에 나타나는 것과 같은 다중-펄스 처리가 395℃에서 이어졌다. 부분 저하된 온도의 CVD 막은 6 nm이고, 나머지의 막 두께는 고온 CVD에 의하여 증착된다. 두 막의 저항률은 다중-펄스 처리의 사이클 수가 증가함에 따라 감소한다. 그러나 처리 후 증착된 저하된 온도의 CVD 박막을 포함하는 막은 고온-단독 CVD 막을 포함하는 막보다 낮은 저항률을 가진다. 나타나는 것과 같이, 후막(thick film)(예를 들어, >40 nm)에 있어서, 저하된 온도의 CVD 부분 충전이 저항률을 개선한다. 특정 구체예에서, 저하된 온도의 CVD는 더 적은 수의 디보란 펄스로써 저저항률을 달성한다.

[0067] 도 17은 도 10-12와 관련하여 앞에서 기재한 공정에서 막 두께에 대하여 플롯된 막 저항률을 나타낸다. 모든 막에 있어서, 약 2nm의 핵형성층이 증착되고, 핵형성층 시퀀스는300℃에서 5 x (B_2H_6/WF_6)(H_2가 없는 환경)였다. 블랭킷 막 증착에 사용된 공정이 아래 나타난다:

표 2

[0068]

공정	저저항률 처리 펄스 시퀀스	저저항률 처리 온도	CVD 화학	CVD 온도
A	6 x (B_2H_6)	395℃	WF_6 및 H_2	395℃ (단독)
B	6 x (B_2H_6)	395℃	WF_6 및 H_2	300℃ (단독)
C (도 12)	6 x (B_2H_6)	300℃	WF_6 및 H_2	300℃ (부분 두께 - 각 막에 대하여 약 30 Å 또는 3 nm)395℃ (나머지 두께)
D	6 x (B_2H_6)	300℃	WF_6 및 H_2	300℃ (단독)
E	6 x (B_2H_6)	300℃	WF_6 및 H_2	395℃ (단독)

[0069] 8과 15 nm 사이에서, 공정 C(저온 다중-펄스 처리 및 부분 저하된 온도의 CVD)가 가장 낮은 저항률을 야기했다. 뜻밖에도, 부분 저하된 온도의 CVD(공정 C)가 약 7.5 nm 이상의 막에 대한 동일한 핵형성 및 처리 공정에 있어서 저하된 온도-단독 CVD(공정 D) 및 고온 단독 CVD(E)보다 더 낮은 저항률을 야기한다.

[0070] 공정 A에서 공정 E를 비교하면, 저온 저저항률 처리가 약 9 nm 두께 미만의 막에 대하여 더 낮은 저항률을 야기한다. 그러나, 저하된 온도-단독 CVD에 있어서, 도 9와 관련하여 상기한 바와 같이, 약 120 nm 이하의 거의 모든 막 두께에 대하여 고온 저-저항률 처리(공정 B)가 저온 저-저항률 공정(공정 D)보다 더 높은 저항률을 야기한다.

[0071] 특정 구체예에서, 저항률을 낮추기 위하여 텅스텐-전구물질 침지(soak) 조업에 저하된 온도의 CVD가 이어진다. 도 18은 이러한 공정의 조업을 도해하는 공정 흐름을 나타낸다. 우선, 고종횡비 피처를 가지는 기판이 제공된다(1802). 본 명세서에 기재한 모든 공정을 이용하는 것과 마찬가지로, 이 공정 또한 다른 피처 형상에 사용될 수 있다. 이후, 임의의 적절한 방법에 의하여 텅스텐 핵형성층이 피처에 증착되고 (1804), 도 14A 및 14B에 관하여 상기한 것과 같이 다중-펄스 처리가 이어진다 (1806). 이 지점에서, 기판이 텅스텐-전구물질 침지 조업에서 환원제 없이 텅스텐-전구물질에 노출된다 (1808). 침지 시간은 약 0.5 초 내지 10 초, 예를 들어, 약 1-5 초일 수 있다. 침지 조업 동안의 온도는 추후의 저하된 온도의 CVD와 동일한 온도일 수 있는데, 예를 들어 300℃이다. 텅스텐-전구물질 침지 후, 피처가 저하된 온도의 CVD 텅스텐막으로 충전된다 (1810). 대안의 구체예에서, 텅스텐-전구물질 침지가 부분 충전 저하된 온도의 CVD에 앞서 수행될 수 있다.

[0072] 도 19는 WF_6 침지가 있는 경우와 없는 경우 저하된 온도의 CVD에 의하여 증착된 막의 막 두께의 함수로서 박막

저항률의 플롯이다. 모든 막에 대하여, 핵형성층이 도 13에 나타나는 공정을 이용하여 증착되고, 다중-펄스 디보란 저저항률 처리가 이어진다. 약 8-12 nm의 막에 대하여, 침지는 침지가 없는 공정보다 더 낮은 저항률을 달성한다. 특정 구체예에서, 도 3에 관하여 상기한 고품질 플러그충전으로써 저저항률을 달성하기 위하여 도 18에 기재한 공정이 사용된다.

도면의 간단한 설명

[0073] 도 1은 특정 구체예에 따른 텅스텐 핵형성층 및 벌크층으로 충전된 피처의 개략적 도해이다.

도 2는 12Å 및 50Å 핵형성층에 대하여, 핵형성층으로 채워진 피처의 부피 백분율을 기술노드(피처 크기)의 함수로 나타내는 플롯이다.

도 3은 다양한 구체예에 따른, 텅스텐으로 피처를 충전하는 방법의 조업을 도해하는 공정 흐름도이다.

도 4는 특정 구체예에 따른 공정의 여러 단계에서 피처 횡단면의 개략적 도해를 나타낸다.

도 5는 특정 구체예에 따른 피처 충전 공정 후 기판 횡단면의 개략적 도해를 나타낸다.

도 6은 1) 펄스핵형성층(PNL) 공정과 저온 화학기상증착(CVD) 공정에 의하여, 2) 단지 PNL 공정에 의하여 증착된 막에 대하여, 결함을 막 두께의 함수로 나타내는 플롯이다.

도 7은 32 nm 피처의 고온 및 저온 CVD 충전 후 막의 영상을 나타낸다.

도 8은 고온 및 저온 CVD에 의하여 증착된 막에 대하여 저항률을 막 두께의 함수로 나타낸다.

도 9는 다양한 공정에 의하여 증착된 텅스텐막에 대하여 저항률을 막 두께의 함수로 나타내는 플롯이다.

도 10-12는 다양한 구체예에 따른, 텅스텐으로 피처를 충전하는 방법의 조업을 도해하는 공정 흐름도이다.

도 13은 특정 구체예와 사용될 수 있는 텅스텐 핵형성층 증착 방법의 조업을 도해하는 공정 흐름도이다.

도 14A 및 14B는 다양한 구체예에 따른 저저항률 처리의 가스 펄스 시퀀스를 도해한다.

도 15는 특정 구체예에 따른 피처 충전 공정 후 피처 횡단면의 개략적인 도해이다.

도 16A는 50 nm 및 10 nm 막의 저항률을 저저항률 처리 공정 동안 환원제 노출의 함수로서 도해하는 플롯이다.

도 16B는 고온 CVD만을 통하여 충전된 피처 및 저온 및 고온 CVD를 통하여 충전된 피처에 대하여50 nm 막의 저항률을 저저항률 처리에 대한 환원제 노출의 함수로서 도해하는 플롯이다.

도 17은 다양한 충전 공정에 대하여 저항률을 막 두께의 함수로서 도해하는 플롯이다.

도 18은 다양한 구체예에 따른, 텅스텐으로 피처를 충전하는 방법의 조업을 도해하는 공정 흐름도이다.

도 19는 다양한 충전 공정에 대하여 저항률을 막 두께의 함수로서 도해하는 플롯이다.

도 20은 본 발명의 구체예에 따른 텅스텐 증착 공정을 수행하기에 적합한 공정 시스템의 개략적 도해이다.

도 21은 본 발명의 구체예에 따른 텅스텐 증착의 기본 도해이다.

발명을 실시하기 위한 구체적인 내용

[0074] **장치**

[0075] 본 발명의 방법은 다양한 공급자로부터 구입 가능한 다양한 유형의 증착 장치에서 수행될 수 있다. 적절한 장치의 예에는 Novellus Concept-1 Altus™, Concept 2 Altus™, Concept-2 ALTUS-S™, Concept 3 Altus™ 증착 시스템, 및 Altus Max™ 또는 임의의 다양한 다른 상업적으로 구입 가능한 CVD 장비가 포함된다. 일부 경우에서, 공정이 다중 증착 스테이션에서 연속으로 수행될 수 있다. 예를 들어, 미국 특허번호 제6,143,082호를 참조하라. 상기 특허는 본 명세서에 참고문헌으로 수록된다. 일부 구체예에서, 핵형성층은, 예를 들어 단일 증착 챔버 내에 위치한 둘, 다섯 또는 그보다 많은 증착 스테이션 중의 하나인 제1스테이션에서 펄스 핵형성 공정에 의하여 증착된다. 따라서, 환원 가스 및 텅스텐-함유 가스가 기판 표면에서 국소화된 대기를 생성하는 개별적인 가스 공급 시스템을 사용하여 제1스테이션에서 반도체 기판의 표면으로 교대로 도입된다.

[0076] 핵형성층 증착을 완료하거나 다중-펄스 저저항률 처리를 수행하기 위하여 이후 제2스테이션이 사용될 수 있다. 특정 구체예에서, 단일 펄스 저저항률 처리가 수행될 수 있다.

[0077] 이후 앞에서 기재한 것과 같이 하나 이상의 스테이션이 CVD 수행에 사용된다. 둘 이상의 스테이션이 병렬 가공에서 CVD를 수행하기 위하여 사용될 수 있다. 대안으로 CVD 조업이 둘 이상의 스테이션에 걸쳐 연속으로 수행되도록 웨이퍼가 연동될 수 있다. 예를 들어, 저온 및 고온 CVD 조업을 모두 포함하는 공정에서, 웨이퍼 또는 다른 기판이 각 조업에 대하여 한 CVD 스테이션으로부터 다른 스테이션으로 연동된다.

[0078] 도 20은 본 발명의 구체예에 따른 텅스텐 박막 증착 공정 수행에 적합한 가공 시스템의 블록 다이어그램이다. 시스템(2000)은 수송 모듈(2003)을 포함한다. 수송 모듈(2003)은 다양한 반응기 모듈 사이를 이동함에 따른 가공되는 기판의 오염 위험을 최소화하기 위하여 깨끗한 가압 환경을 제공한다. 수송 모듈(2003)에 본 발명의 구체예에 따라 PNL 증착, 필요한 경우 다중-펄스 처리 및 CVD를 수행할 수 있는 다중-스테이션 반응기(2009)가 고정된다. 챔버(2009)는 이러한 조작을 연속으로 수행할 수 있는 다중 스테이션(2011, 2013, 2015 및 2017)을 포함할 수 있다. 예를 들어, 챔버(2009)는 스테이션(2011)이 PNL 증착을 수행하고, 스테이션(2013)이 다중-펄스 처리를 수행하고, 스테이션(2015)과 스테이션(2017)이 CVD를 수행하도록 구성될 수 있다. 각 증착 스테이션은 가열된 웨이퍼 페데스탈(pedestal) 및 샤워헤드(showerhead), 분산 플레이트(dispersion plate) 또는 다른 가스 유입구를 포함한다. 웨이퍼 지지대(support)(2102) 및 샤워헤드(2103)를 포함하는 증착 스테이션(2100)의 예가 도 21에 나타난다. 가열기는 페데스탈 부분(2101)에 장비될 수 있다.

[0079] 또한 수송 모듈(2003)에 플라스마 또는 화학적(비-플라스마) 예비세척을 수행할 수 있는 하나 이상의 단일 또는 다중-스테이션 모듈(2007)이 고정될 수 있다. 상기 모듈은 또한 다양한 다른 처리, 예를 들어 라이너 텅스텐 니트라이드 후처리에 사용될 수 있다. 시스템(2000)은 또한 웨이퍼가 가공 전후에 보관되는 하나 이상의 (이 경우에 둘의) 웨이퍼 공급원 모듈(2001)을 포함한다. 대기 수송 챔버(2019) 안의 대기 로봇(나타나지 않음)이 먼저 웨이퍼를 공급원 모듈(2001)로부터 로드락(loadlock)(2021)으로 이동시킨다. 수송 모듈(2003) 안의 웨이퍼 수송 장치(일반적으로 로봇 팔 유닛)가 웨이퍼를 로드락(2021)으로부터 특히 수송 모듈(2003)에 고정된 모듈로 이동시킨다.

[0080] 특정 구체예에서, 시스템 컨트롤러(2029)가 증착 동안 공정 조건 제어에 사용된다. 컨트롤러는 전형적으로 하나 이상의 메모리 디바이스 및 하나 이상의 프로세서를 포함할 것이다. 프로세서는 CPU 또는 컴퓨터, 아날로그 및/또는 디지털 입력/출력 커넥션, 스텝퍼 모터 컨트롤러 보드 등을 포함할 수 있다.

[0081] 컨트롤러는 증착 장치의 모든 활동을 제어할 수 있다. 시스템 컨트롤러는 특정 공정의 타이밍, 가스 혼합, 챔버 압력, 챔버 온도, 웨이퍼 온도, RF 출력 수준, 웨이퍼 척 또는 페데스탈 위치, 및 다른 파라미터를 제어하기 위한 지시의 세트를 포함하는 시스템 컨트롤 소프트웨어를 실행한다. 컨트롤러에 관련된 메모리 디바이스에 저장된 다른 컴퓨터 프로그램이 일부 구체예에서 사용될 수 있다.

[0082] 전형적으로 컨트롤러에 연관된 사용자 인터페이스가 존재할 것이다. 사용자 인터페이스는 디스플레이 스크린, 장치 및/또는 공정 조건의 그래픽 소프트웨어 디스플레이, 및 포인팅 디바이스, 키보드, 터치 스크린, 마이크로폰과 같은 사용자 입력 디바이스 등을 포함할 수 있다.

[0083] 공정 시퀀스에서 증착 및 다른 공정을 제어하기 위한 컴퓨터 프로그램 코드는 컴퓨터 가독성의 임의의 통상적인 프로그래밍 언어: 예를 들어, 어셈블리 언어, C, C++, 파스칼, 포트란 또는 다른 언어로 작성될 수 있다. 컴파일된 오브젝트 코드 또는 스크립트는 프로그램에 명시된 작업을 수행하기 위하여 프로세서에 의하여 실행된다.

[0084] 컨트롤러 파라미터는 예를 들어 공정 가스 조성과 유량, 온도, 압력, RF 출력 수준 및 저주파 RF 주파수와 같은 플라스마 조건, 냉각 가스 압력, 및 챔버 벽 온도와 같은 공정 조건에 관련된다. 이러한 파라미터는 사용자에게 레서피(recipe)의 형태로 제공되고, 사용자 인터페이스를 사용하여 입력될 수 있다.

[0085] 공정을 모니터링하기 위한 신호가 시스템 컨트롤러의 아날로그 및/또는 디지털 입력 커넥션에 의하여 제공될 수 있다. 공정 제어를 위한 신호는 증착 장치의 아날로그 및 디지털 출력 커넥션의 출력이다.

[0086] 시스템 소프트웨어는 여러 상이한 방식으로 설계되거나 구성될 수 있다. 예를 들어, 다양한 챔버 컴포넌트 서브루틴 또는 컨트롤 오브젝트가 본 발명의 증착 공정 수행에 필요한 챔버 컴포넌트의 조업 제어에 기록될 수 있다. 이러한 목적의 프로그램 또는 프로그램의 섹션의 예에는 기판 위치지정 코드, 공정 가스 제어 코드, 압력 제어 코드, 가열기 제어 코드, 및 플라스마 제어 코드가 포함된다.

[0087] 기판 위치지정 프로그램은 기판을 페데스탈 또는 척에 장착하고, 기판과 가스 유입구 및/또는 타겟과 같은 챔버

의 다른 부분 사이의 공간을 제거하기 위하여 사용되는 챔버 컴포넌트 제어를 위한 프로그램 코드일 수 있다. 공정 가스 제어 프로그램은 가스 조성과 유량을 제어하고 챔버 내의 압력을 안정시키기 위하여 선택적으로 증착에 앞서 가스를 챔버에 흘러들어가게 하기 위한 코드를 포함할 수 있다. 압력 제어 프로그램은, 예를 들어 챔버의 배출 시스템 안의 쓰로틀 밸브(throttle valve)를 조절하여 챔버 안의 압력을 제어하기 위한 코드를 포함할 수 있다. 가열기 제어 프로그램은 기판 가열에 사용되는 가열 유닛의 전류를 제어하기 위한 코드를 포함할 수 있다. 대안으로, 가열기 제어 프로그램은 헬륨과 같은 열전달 가스를 웨이퍼 척에 전달하는 것을 제어할 수 있다.

[0088] 증착 동안 모니터링될 수 있는 챔버 센서의 예에는 질량흐름 컨트롤러, 압력계(manometer)와 같은 압력 센서, 및 페데스탈 또는 척에 위치하는 열전쌍(thermocouple)이 포함된다. 적절하게 프로그램된 피드백 및 제어 알고리즘이 원하는 공정 조건을 유지하기 위하여 이러한 센서의 데이터와 함께 사용될 수 있다. 이후로는 단일 또는 다중-챔버 반도체 가공 장비에서 본 발명의 구체예의 실행을 기재한다.

[0089] **적용**

[0090] 본 발명은 여러 상이한 용도를 위한 얇은, 저저항률 텅스텐층 증착에 사용될 수 있다. 한 용도는 전자 디바이스에서 흔히 발견되는 비아, 컨택트 및 다른 텅스텐 구조물이다. 다른 용도는 메모리 칩 및 마이크로프로세서와 같은 집적회로에서 인터커넥트이다. 인터커넥트는 단일 배선층(metallization layer)에서 발견되는 전류 라인(current line)이며, 일반적으로 길고 얇으며 평평한 구조물이다. 인터커넥트 용도의 주요 예는 메모리 칩의 비트 라인(bit line)이다. 일반적으로, 본 발명은 얇은, 저-저항률 텅스텐층이 필요한 임의의 환경에서 용도를 발견한다.

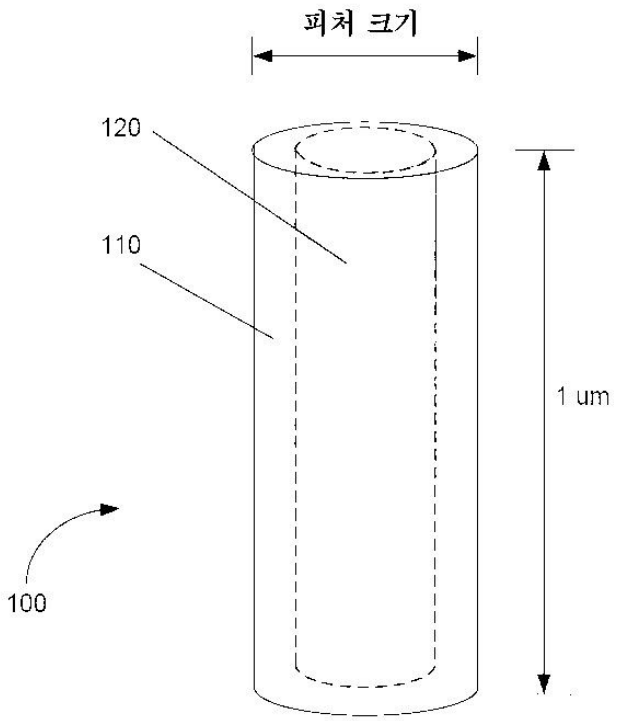
[0091] **다른 구체예**

[0092] 본 발명이 여러 구체예에 대하여 기재되기는 하지만, 본 발명의 범위 내에 포함되는 수정, 변경, 치환, 및 대용의 균등물이 존재한다. 예를 들어, 앞의 기재가 주로 피처 충전에 관한 것이지만, 상기한 방법이 또한 블랭킷 표면에 저저항률 텅스텐막을 증착하기 위하여 사용될 수 있다. 이는 (상기한 공정에 의한) 텅스텐층의 블랭킷 증착에 이어서 전류 수송 텅스텐 라인의 위치를 한정하는 패턴화 조업 및 텅스텐 라인 외부 영역으로부터의 텅스텐 제거에 의하여 형성될 수 있다.

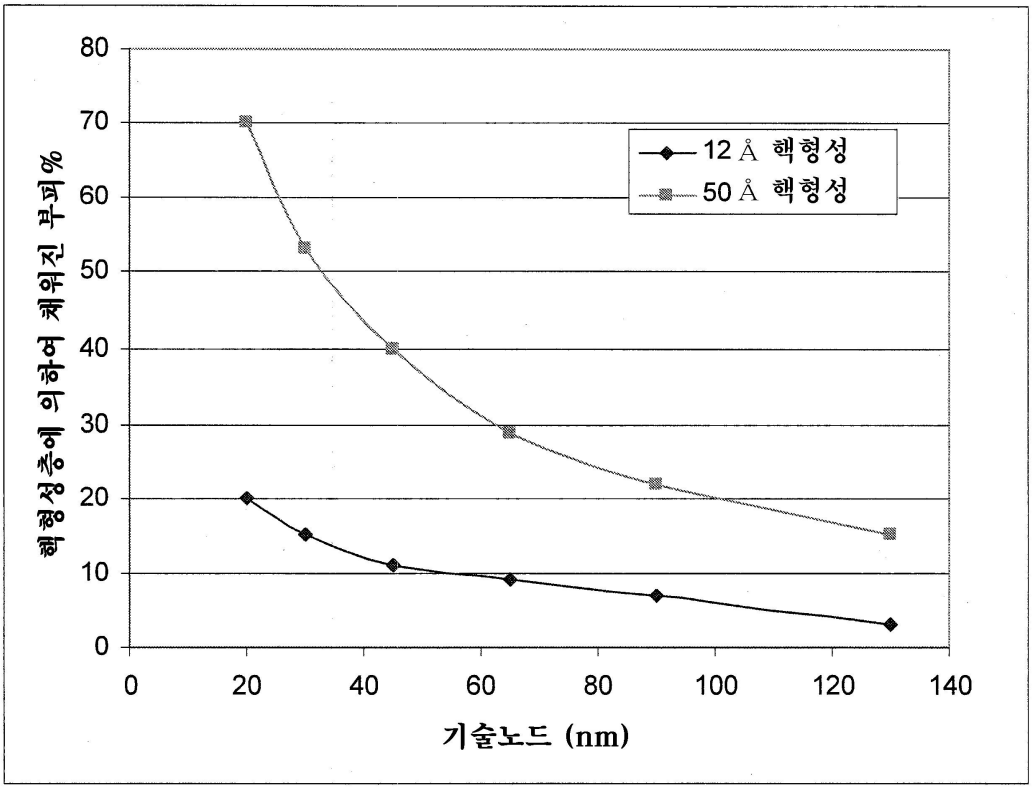
[0093] 또한 본 발명의 방법과 장치를 구현하는 많은 대안의 방식이 존재함에 유념해야 한다. 그러므로 다음에 첨부한 청구범위가 본 발명의 진정한 사상과 범위 내에 포함되는 모든 수정, 변경, 치환, 및 대용의 균등물을 포함하는 것으로 해석되도록 의도된다.

도면

도면1


피처 크기
120
110
1 um
100

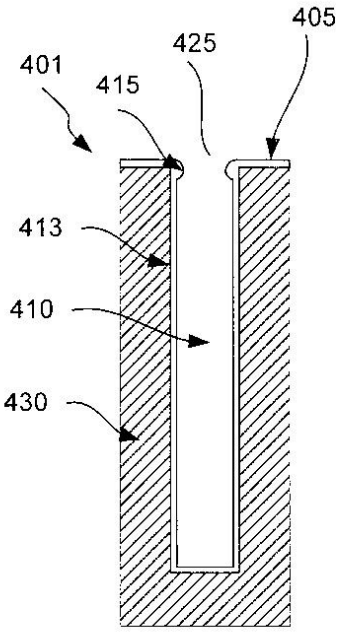
도면2

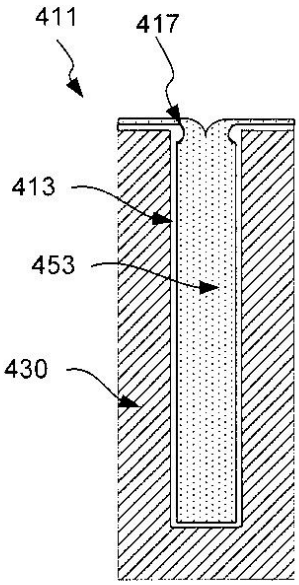

80
70
60
50
40
30
20
10
0
0
20
40
60
80
100
120
140
핵형성층에 의하여 채워진 부피%
기술노드 (nm)
12 Å 핵형성
50 Å 핵형성

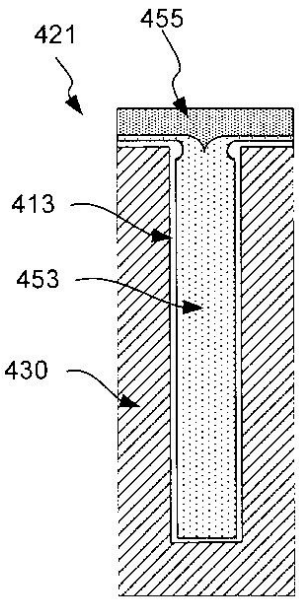
도면3

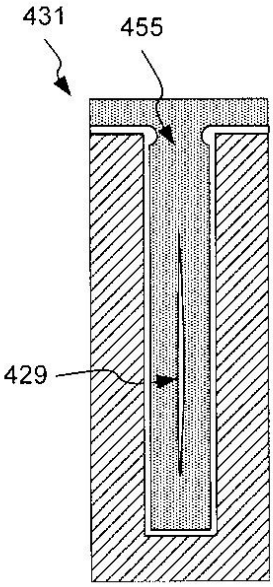
고종횡비 피처를 가지는 기판을 제공 (302)
피처에 텅스텐 핵형성층 증착 (304)
저온 CVD 공정을 사용하여 피처 충전 (306)
공정 온도를 상승시킴 (308)
고온 CVD 공정을 통하여 벌크층 증착 (310)

도면4

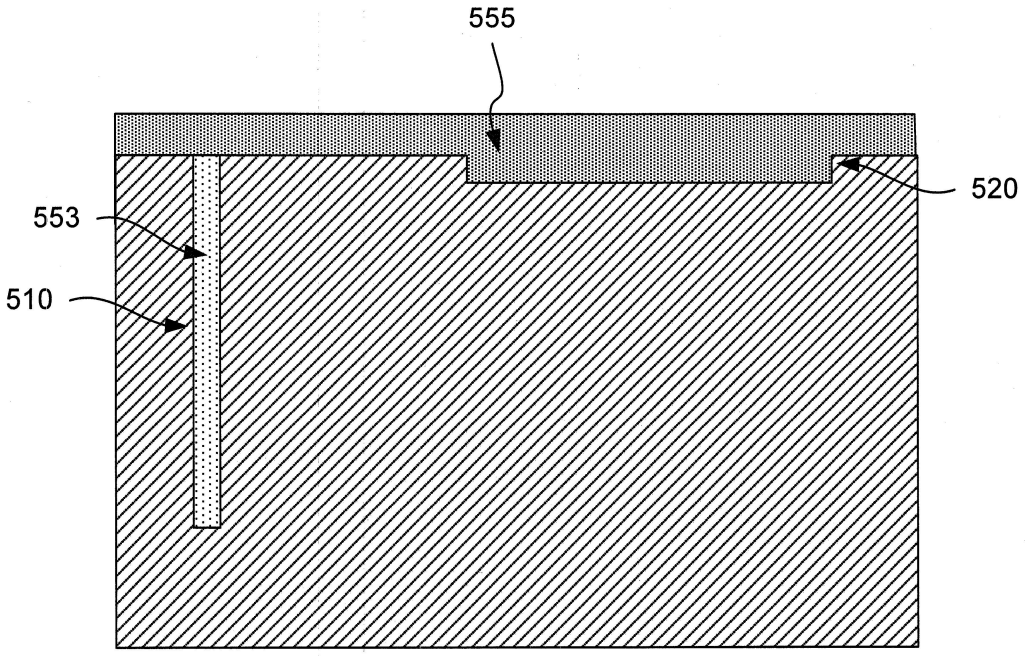

401
415
425
405
413
410
430


411
417
413
453
430

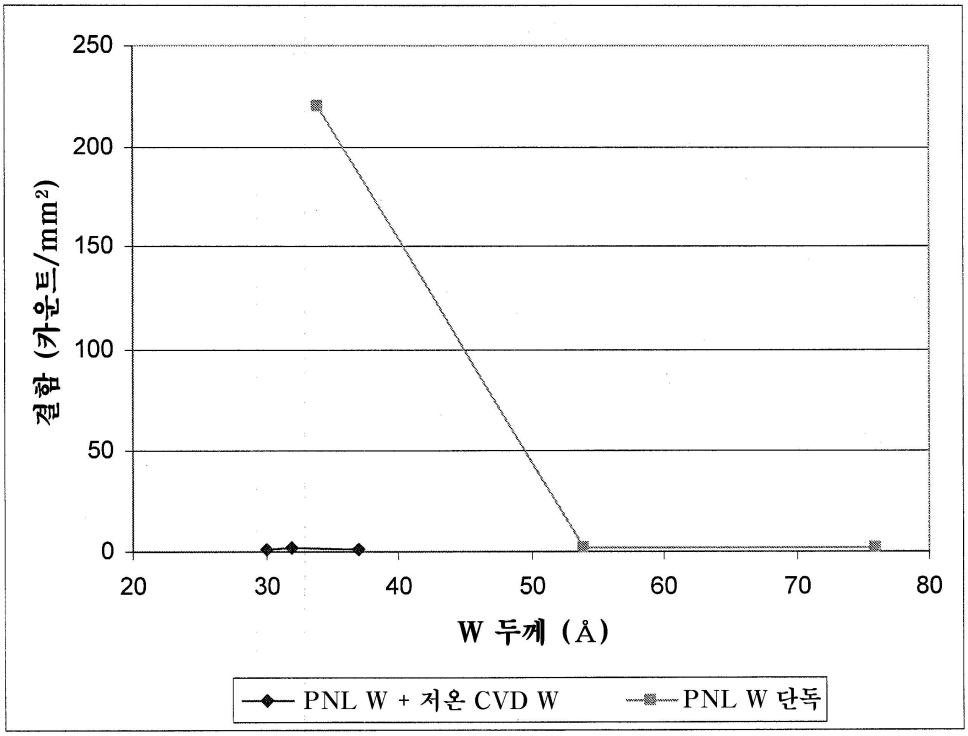

421
455
413
453
430


431
455
429

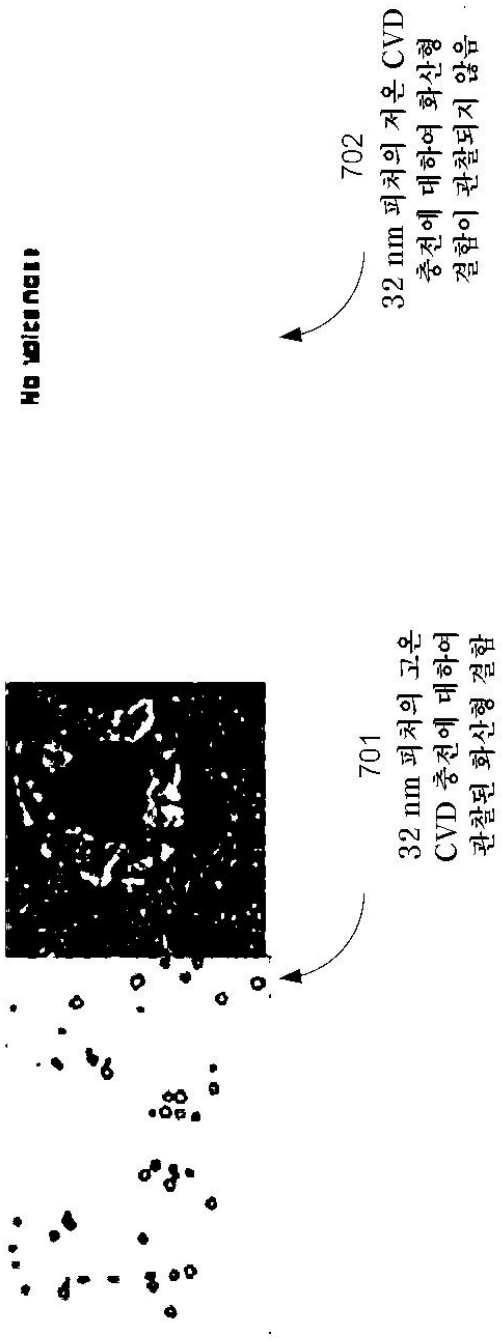
도면5


555
553
520
510

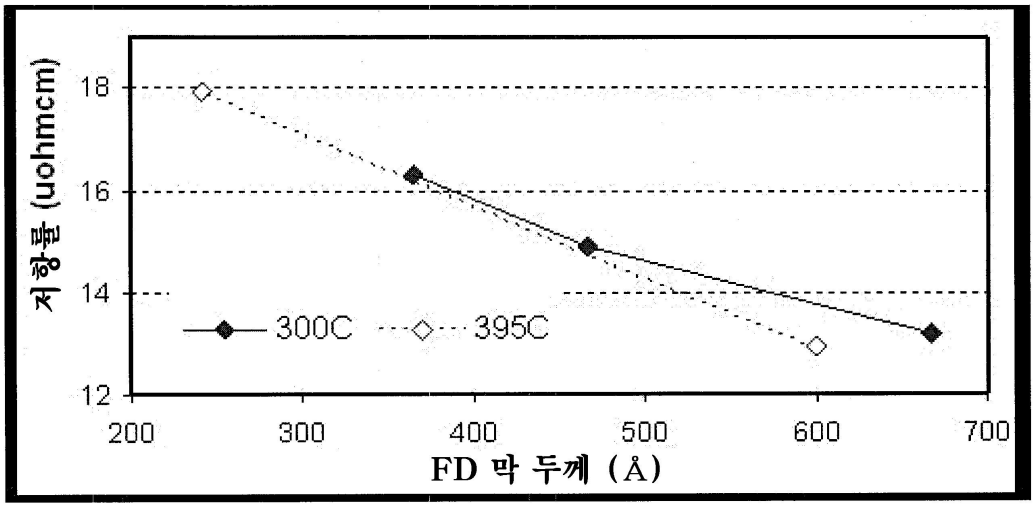
도면6


250
200
150
100
50
0
결함 (카운트/mm²)
20
30
40
50
60
70
80
W 두께 (Å)
PNL W + 저온 CVD W
PNL W 단독

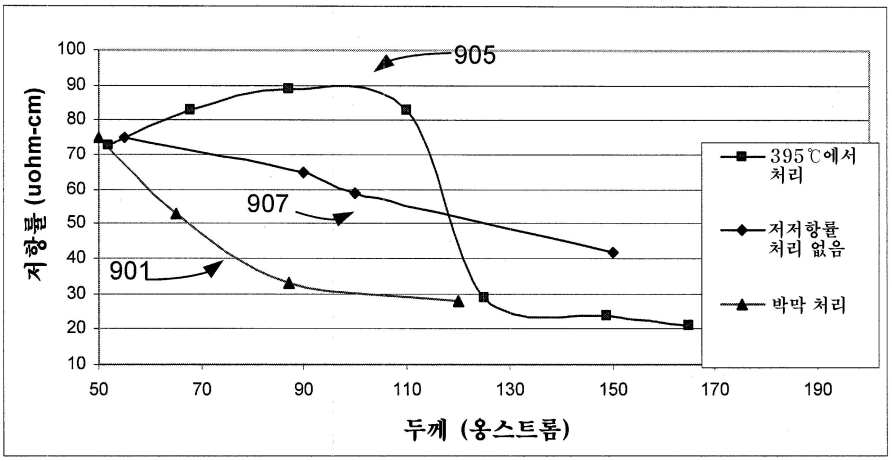
도면7


702
32 nm 피처의 저온 CVD
층전에 대하여 화산형
결함이 관찰되지 않음
701
32 nm 피처의 고온
CVD 층전에 대하여
관찰된 화산형 결함

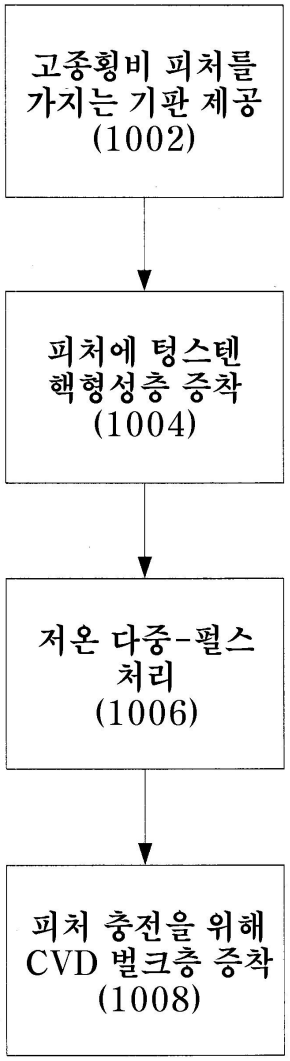
도면8


저항률 (uohmcm)
18
16
14
12
300C
395C
200
300
400
500
600
700
FD 막 두께 (Å)

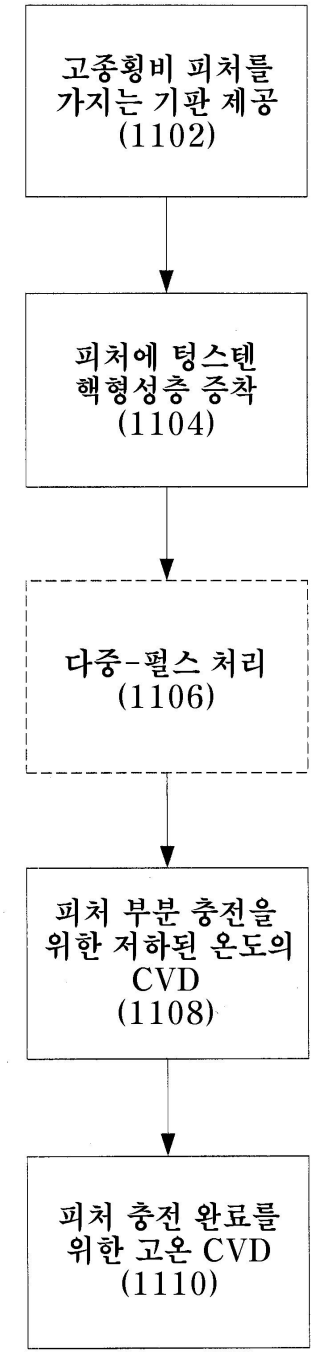
도면9


저항률 (uohm-cm)
100
90
80
70
60
50
40
30
20
10
905
907
901
395℃에서 처리
저저항률 처리 없음
박막 처리
50
70
90
110
130
150
170
190
두께 (옹스트롬)

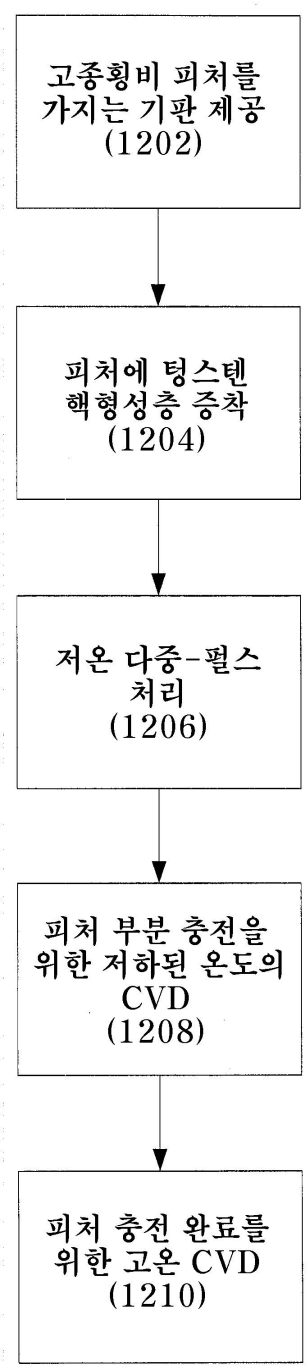
도면10


고종횡비 피처를 가지는 기판 제공 (1002)
피처에 텅스텐 핵형성층 증착 (1004)
저온 다중-펄스 처리 (1006)
피처 충전을 위해 CVD 벌크층 증착 (1008)

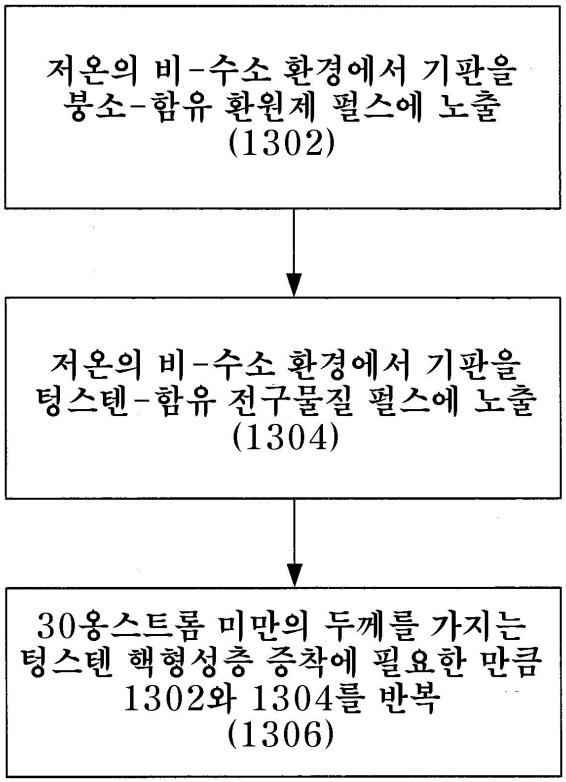
도면11


고종횡비 피처를 가지는 기판 제공 (1102)
피처에 텅스텐 핵형성층 증착 (1104)
다중-펄스 처리 (1106)
피처 부분 충전을 위한 저하된 온도의 CVD (1108)
피처 충전 완료를 위한 고온 CVD (1110)

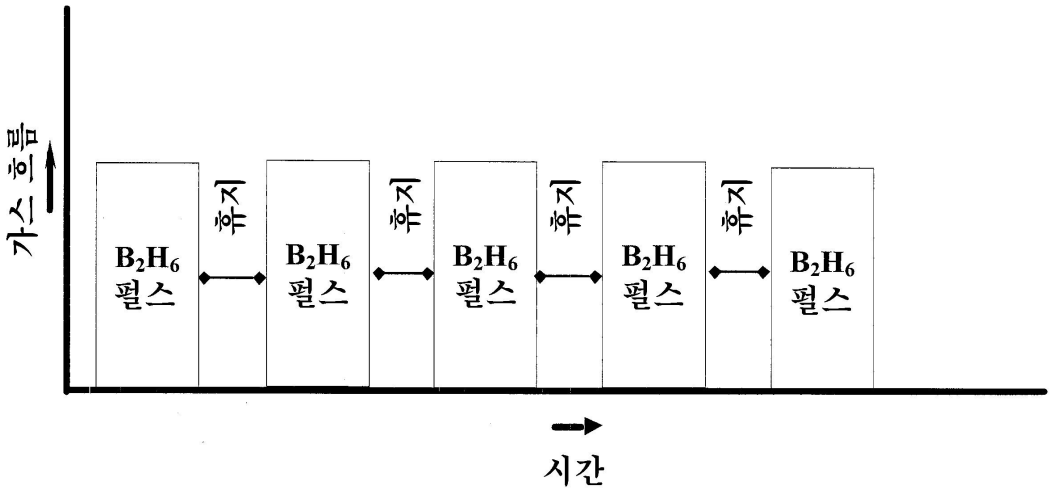
도면12


고종횡비 피처를 가지는 기판 제공 (1202)
피처에 텅스텐 핵형성층 증착 (1204)
저온 다중-펄스 처리 (1206)
피처 부분 충전을 위한 저하된 온도의 CVD (1208)
피처 충전 완료를 위한 고온 CVD (1210)

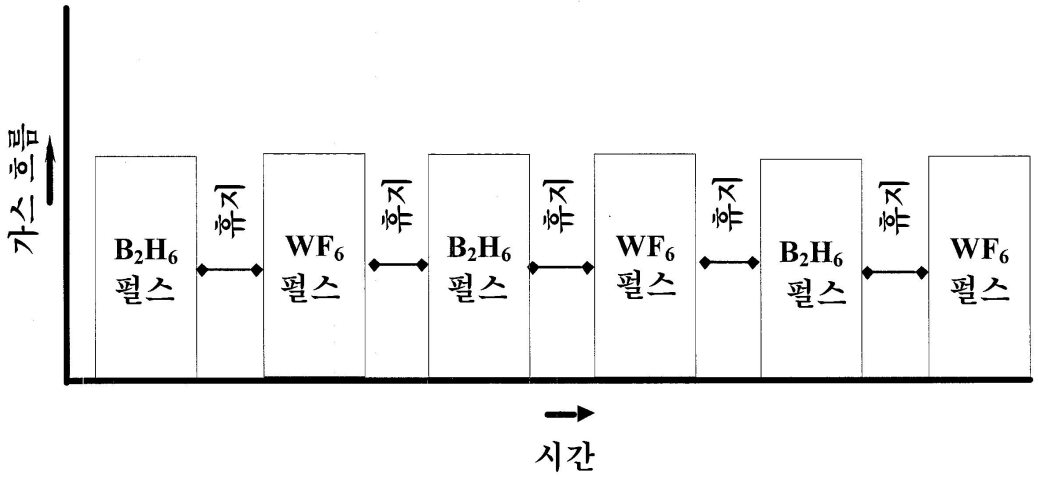
도면13


저온의 비-수소 환경에서 기판을 붕소-함유 환원제 펄스에 노출 (1302)
저온의 비-수소 환경에서 기판을 텅스텐-함유 전구물질 펄스에 노출 (1304)
30옹스트롬 미만의 두께를 가지는 텅스텐 핵형성층 증착에 필요한 만큼 1302와 1304를 반복 (1306)

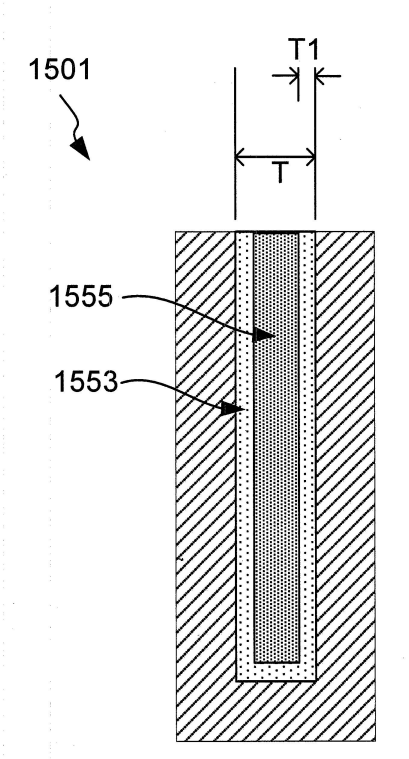
도면14a


가스 흐름
B_2H_6 펄스
휴지
B_2H_6 펄스
휴지
B_2H_6 펄스
휴지
B_2H_6 펄스
휴지
B_2H_6 펄스
시간

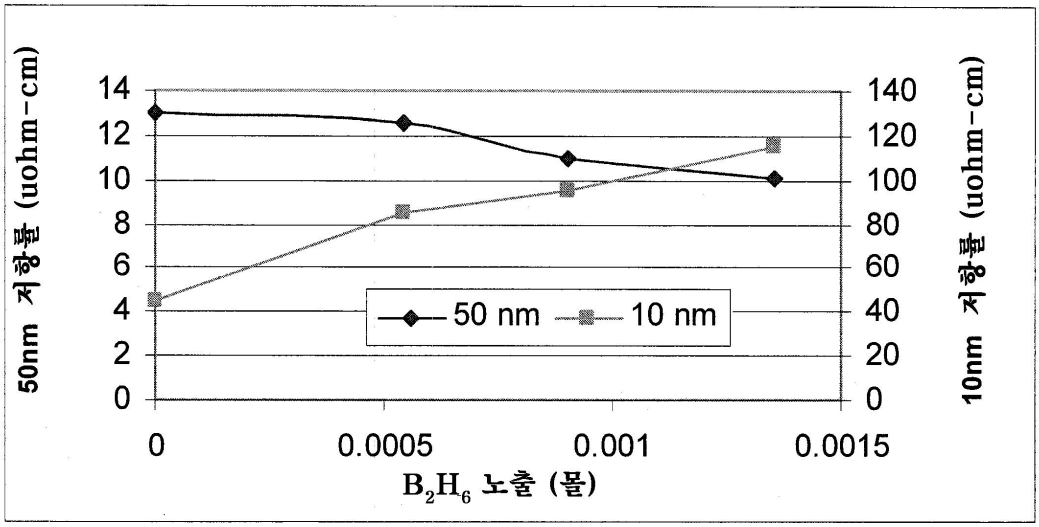
도면14b


가스 흐름
B_2H_6 펄스
휴지
WF_6 펄스
휴지
B_2H_6 펄스
휴지
WF_6 펄스
휴지
B_2H_6 펄스
휴지
WF_6 펄스
시간

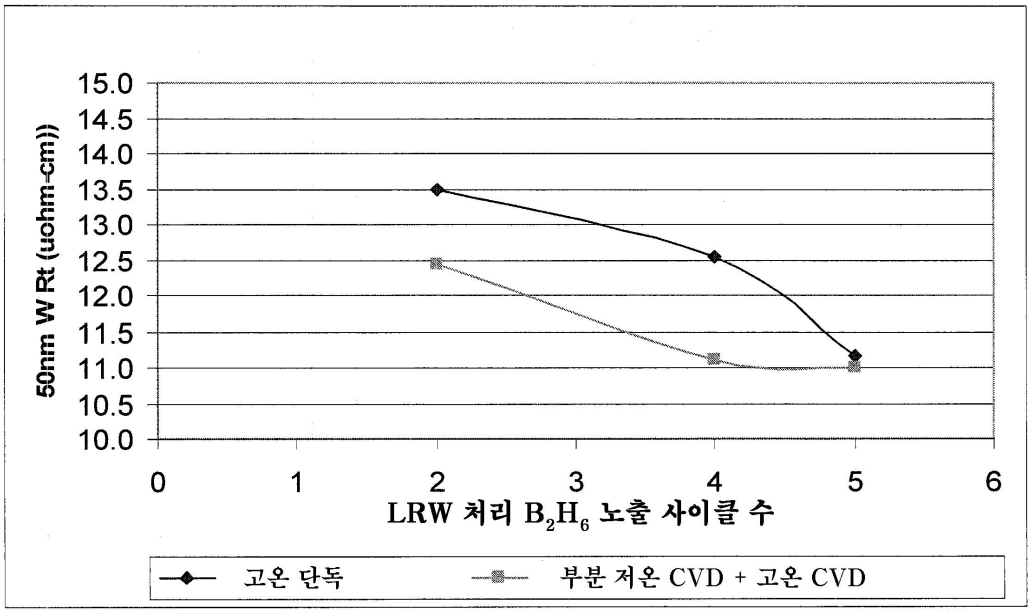
도면15


1501
T1
T
1555
1553

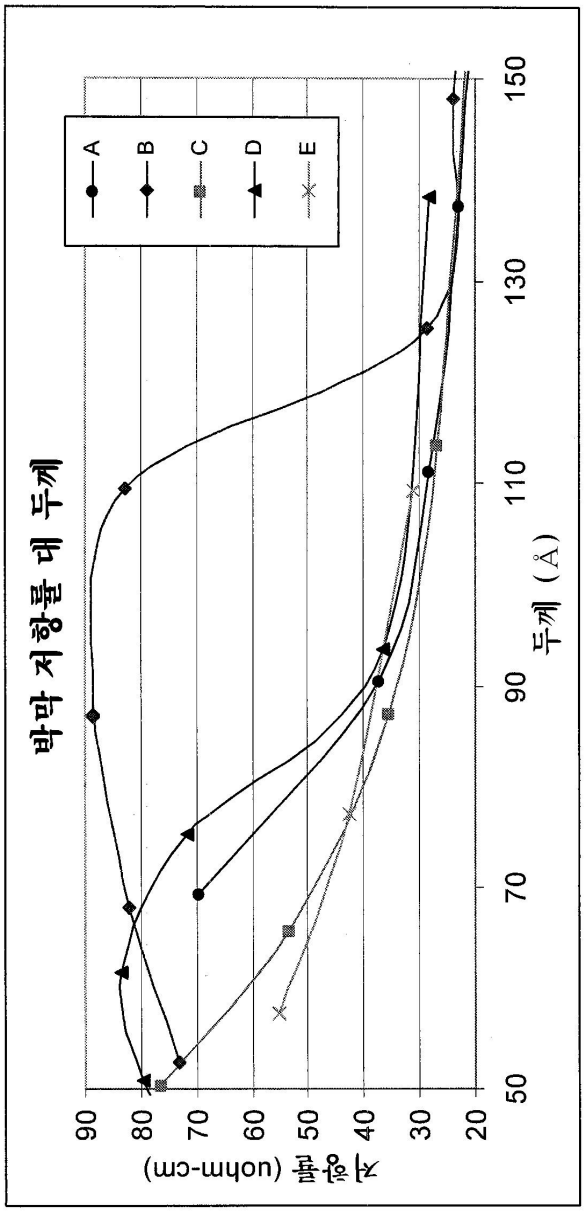
도면16a


50nm 저항률 (uohm-cm)
10nm 저항률 (uohm-cm)
14
12
10
8
6
4
2
0
140
120
100
80
60
40
20
0
0
0.0005
0.001
0.0015
50 nm
10 nm
B2H6 노출 (몰)

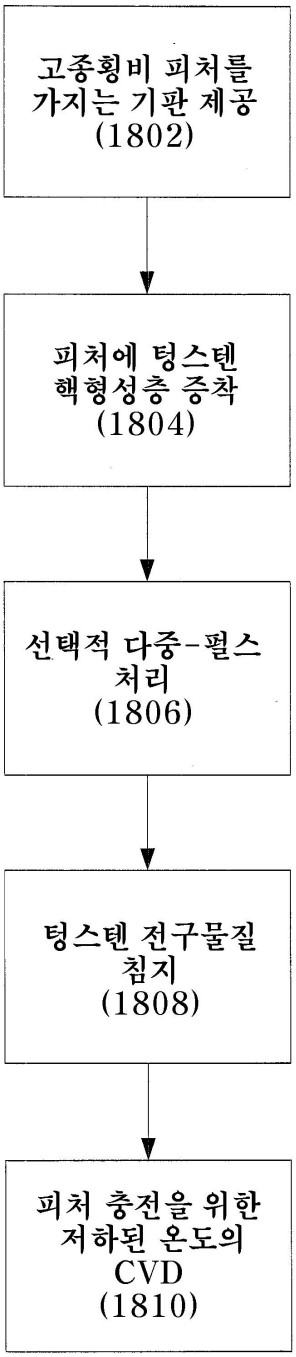
도면16b


50nm W Rt (uohm-cm))
15.0
14.5
14.0
13.5
13.0
12.5
12.0
11.5
11.0
10.5
10.0
0
1
2
3
4
5
6
LRW 처리 B2H6 노출 사이클 수
고온 단독
부분 저온 CVD + 고온 CVD

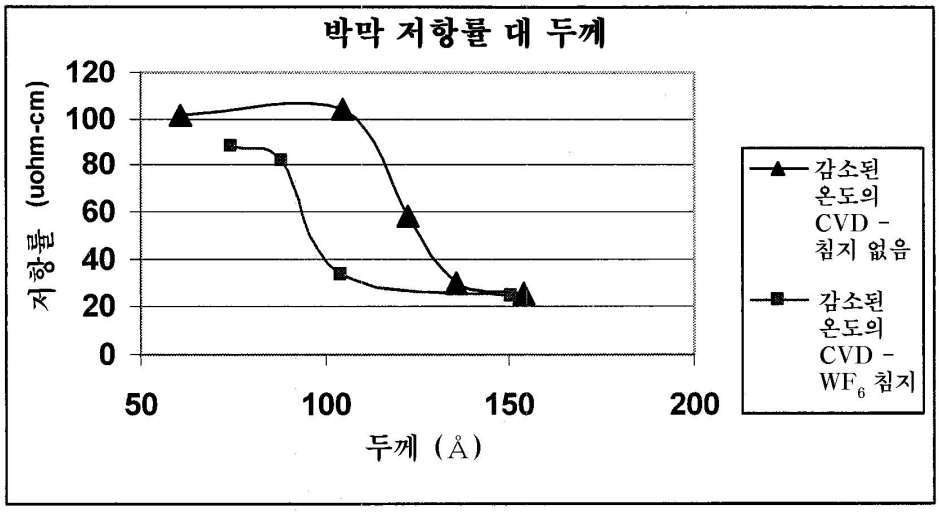
도면17


박막 저항률 대 두께
A
B
C
D
E
저항률 (ohm-cm)
90
80
70
60
50
40
30
20
50
70
90
110
130
150
두께 (Å)

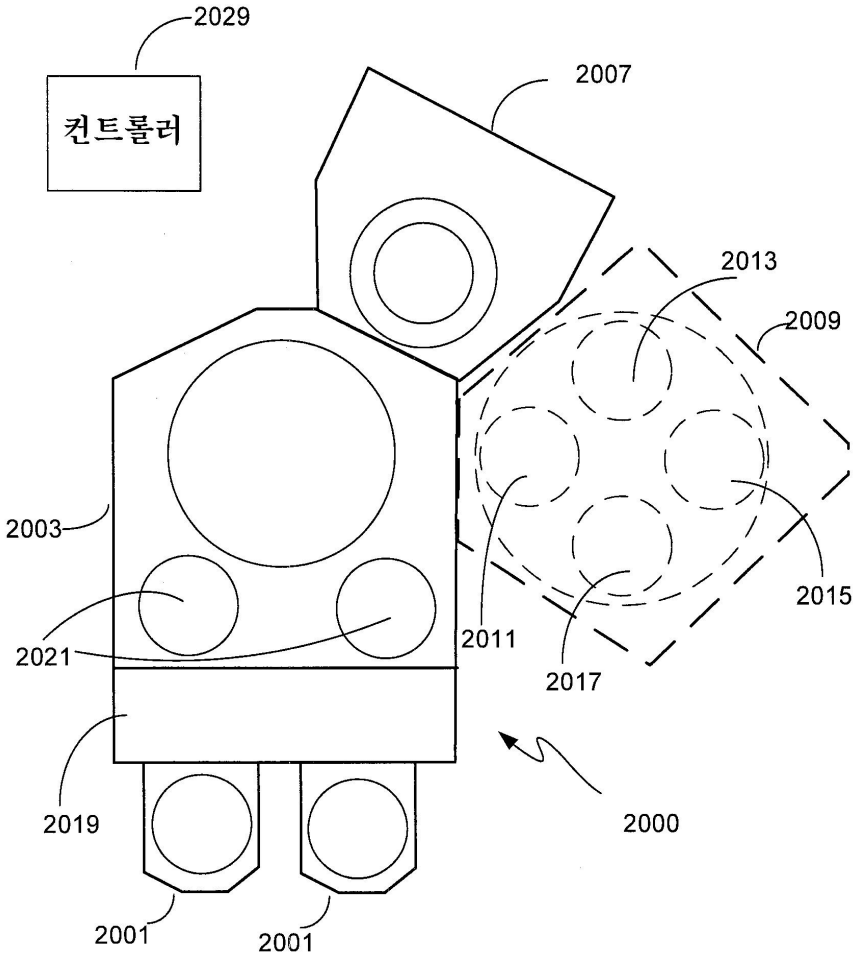
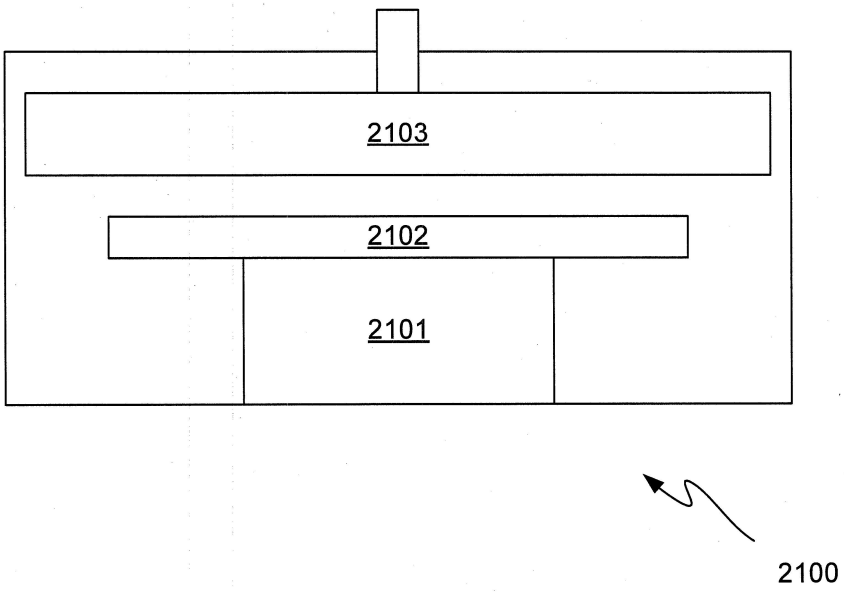
도면18


고종횡비 피처를 가지는 기판 제공 (1802)
피처에 텅스텐 핵형성층 증착 (1804)
선택적 다중-펄스 처리 (1806)
텅스텐 전구물질 침지 (1808)
피처 충전을 위한 저하된 온도의 CVD (1810)

도면19


박막 저항률 대 두께
저항률 (uohm-cm)
120
100
80
60
40
20
0
50
100
150
200
두께 (Å)
감소된 온도의 CVD - 침지 없음
감소된 온도의 CVD - WF6 침지

도면20


2029
컨트롤러
2007
2013
2009
2003
2015
2021
2011
2017
2019
2000
2001
2001

도면21