

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4472067号
(P4472067)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.	F I
H O 3 L 7/089 (2006.01)	H O 3 L 7/08 D
H O 3 L 7/093 (2006.01)	H O 3 L 7/08 E
H O 3 L 7/22 (2006.01)	H O 3 L 7/22
H O 4 B 1/26 (2006.01)	H O 4 B 1/26 R

請求項の数 5 (全 17 頁)

(21) 出願番号	特願平11-314523	(73) 特許権者	504199127
(22) 出願日	平成11年11月5日(1999.11.5)		フリースケール セミコンダクター イン
(65) 公開番号	特開2000-151396(P2000-151396A)		コーポレイテッド
(43) 公開日	平成12年5月30日(2000.5.30)		アメリカ合衆国 7 8 7 3 5 テキサス州
審査請求日	平成18年11月1日(2006.11.1)		オースティン ウィリアム キャノン
(31) 優先権主張番号	187621		ドライブ ウェスト 6 5 0 1
(32) 優先日	平成10年11月6日(1998.11.6)	(74) 代理人	100116322
(33) 優先権主張国	米国(US)		弁理士 桑垣 衛
		(72) 発明者	アレクサンダー・ダブリュー・ハイエット
			ラ
			アメリカ合衆国アリゾナ州フェニックス、
			サウス・9ス・ストリート14017
		(72) 発明者	デビット・エム・ゴンザレス
			アメリカ合衆国イリノイ州エルギン、ホッ
			ブル・ブッシュ・レーン1075
			最終頁に続く

(54) 【発明の名称】 周波数ステアリングを伴う位相検出器

(57) 【特許請求の範囲】

【請求項 1】

基準周波数信号表現と電圧制御発振器周波数信号表現を受信し、位相誤差信号を生成する位相検出器(202)；および

チャージ・ポンプ(210)であって：第1端子と第2端子とを有し、前記第1端子が第1電流を提供する第1電流源(308)；および第1端子と第2端子とを有し、前記第2端子が第2電流を提供する第2電流源(310)；によって構成され、前記第1電流源および前記第2電流源の一方が定電流を提供し、前記第1電流源および前記第2電流源の他方が前記位相誤差信号にตอบสนองして可変電流を提供し、前記定電流が、前記位相誤差信号のパルス幅がゼロとならないように目標位相差に応じて前記可変電流の半分未満に設定されるチャージ・ポンプ(210)；

によって構成されることを特徴とする位相ロック・ループ(PLL)(212)。

【請求項 2】

第1端子(D)，第2端子(CLK)，第3端子(R)および第4端子(Q)を有する第1フリップフロップ(302)であって、前記第1端子が基準電圧を受信するよう結合され、前記第2端子が前記基準周波数信号表現を受信するよう結合され、前記第3端子がリセット信号を受信するよう結合され、前記第4端子が第1出力信号を生成するよう動作する第1フリップフロップ(302)；

第1端子(D)，第2端子(CLK)，第3端子(R)および第4端子(Q)を有する第2フリップフロップ(304)であって、前記第1端子が前記基準電圧を受信するよう

結合され、前記第 2 端子が前記電圧制御発振器周波数信号表現を受信するよう結合され、前記第 3 端子が前記リセット信号を受信するよう結合され、前記第 4 端子が第 2 出力信号を生成するよう動作する第 2 フリップフロップ (3 0 4) ; および

第 1 端子、第 2 端子および第 3 端子を有するリセット回路 (3 0 6) であって、前記第 1 端子が前記第 1 フリップフロップから前記第 1 出力信号を受信するよう結合され、前記第 2 端子が前記第 2 フリップフロップから前記第 2 出力信号を受信するよう結合され、前記第 3 端子が前記リセット信号を生成するよう動作するリセット回路 (3 0 6) ;
によってさらに構成されることを特徴とする請求項 1 記載の PLL。

【請求項 3】

前記チャージ・ポンプの前記第 1 電流源が定アップ電流を提供し、前記チャージ・ポンプの前記第 2 電流源が可変ダウン電流を提供することを特徴とする請求項 1 記載の PLL。

【請求項 4】

前記チャージ・ポンプの前記第 1 電流源が可変アップ電流を提供し、前記チャージ・ポンプの前記第 2 電流源が定ダウン電流を提供することを特徴とする請求項 1 記載の PLL。

【請求項 5】

基準周波数信号表現と電圧制御発振器周波数信号表現を受信し、位相誤差信号を生成する位相検出器 (2 0 2) であって、前記位相検出器 (2 0 2) が：第 1 端子 (D) , 第 2 端子 (C L K) , 第 3 端子 (R) および第 4 端子 (Q) を有する第 1 フリップフロップ (3 0 2) であって、前記第 1 端子が基準電圧を受信するよう結合され、前記第 2 端子が前記基準周波数信号表現を受信するよう結合され、前記第 3 端子がリセット信号を受信するよう結合され、前記第 4 端子が第 1 出力信号を生成するよう動作する第 1 フリップフロップ (3 0 2) ; 第 1 端子 (D) , 第 2 端子 (C L K) , 第 3 端子 (R) および第 4 端子 (Q) を有する第 2 フリップフロップ (3 0 4) であって、前記第 1 端子が前記基準電圧を受信するよう結合され、前記第 2 端子が前記電圧制御発振器周波数信号表現を受信するよう結合され、前記第 3 端子が前記リセット信号を受信するよう結合され、前記第 4 端子が第 2 出力信号を生成するよう動作する第 2 フリップフロップ (3 0 4) ; 第 1 端子、第 2 端子および第 3 端子を有するリセット回路 (3 0 6) であって、前記第 1 端子が前記第 1 フリップフロップから前記第 1 出力信号を受信するよう結合され、前記第 2 端子が前記第 2 フリップフロップから前記第 2 出力信号を受信するよう結合され、前記第 3 端子が前記リセット信号を生成するよう動作するリセット回路 (3 0 6) ; によってさらに構成される位相検出器 (2 0 2) ; および

チャージ・ポンプ (2 1 0) であって：第 1 端子と第 2 端子とを有し、前記第 1 端子が第 1 電流を提供する第 1 電流源 (3 0 8) ; および第 1 端子と第 2 端子とを有し、前記第 2 端子が第 2 電流を提供する第 2 電流源 (3 1 0) ; を具備して、前記第 1 電流源および前記第 2 電流源の一方が定電流を提供し、前記第 1 電流源および前記第 2 電流源の他方が前記位相誤差信号にตอบสนองして可変電流を提供し、前記定電流が、前記位相誤差信号のパルス幅がゼロとならないように目標位相差に応じて前記可変電流の半分未満に設定されるチャージ・ポンプ (2 1 0) ;

によって構成されることを特徴とする位相ロック・ループ (PLL) (2 1 2) 。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】

本発明は、一般に位相ロック・ループのための位相検出器に関し、さらに詳しくは、位相ロック・ループに関する周波数ステアリングを伴う位相検出器に関する。

【 0 0 0 2 】

【従来の技術および発明が解決しようとする課題】

一般に、位相ロック・ループ (PLL : phase locked loop) で用いられる位相検出器は当技術では周知である。PLL において、位相検出器は基準信号の位相と分周電圧制御発振器 (VCO : voltage controlled oscillator) 信号の位相とを比較する。次に、位相検出器の出力がチャージ・ポンプを駆動し、それが VCO が後に続くループ・フィルタを駆動する。VCO

10

20

30

40

50

はVCO信号を生成し、この信号がループ分周器によって分周されて分周VCO信号を生成する。

【0003】

当技術で知られる3つの通常の位相検出器には、排他的論理和位相検出器、3状態位相検出器および2状態位相検出器がある。図6ないし図8は、従来技術による排他的論理和位相検出器を説明する。図9ないし図13は従来技術による3状態位相検出器を説明する。図14ないし図21は従来技術による2状態位相検出器を説明する。

【0004】

まず排他的論理和位相検出器に関して、図6は従来技術による排他的論理和位相検出器600のブロックを示す。図7は、従来技術による図6の排他的論理和位相検出器600のタイミング700を示す。図8は、従来技術による図6の排他的論理和位相検出器600に関する出力電圧と位相を示すグラフ800を図示する。

【0005】

図6において、排他的論理和位相検出器600は、2つの入力端子と1つの出力端子を有する。第1端子は基準分周器(reference frequency divider)(図示せず)から基準分周信号(divided reference frequency signal)を受信する。第2端子は、ループ分周器(図示せず)からの分周VCO周波数信号606を受信する。出力端子は、位相誤差信号608を生成する。通常、位相誤差信号は電圧信号である。

【0006】

排他的論理和位相検出器600は、図7に示される波形のタイミング700と、以下の真理表とに従って動作する。

源1(604)	源2(606)	出力3(608)
0	0	0
0	1	1
1	0	1
1	1	0

2つの源が同相である信号604、606を生成すると、出力電圧608は論理0のレベルにある。2つの源が180度位相がずれた信号604、606を生成するとき、出力電圧608は論理高レベル(通常、Vccにより表される論理電源電圧)にある。論理ゼロ・レベルと論理高レベルとの間に何らかの位相シフト条件があると、結果として出力電圧608が論理ゼロ・レベルと論理高レベルとの間で平均化される。排他的論理和位相検出器600の出力電圧608はフィルタ(図示せず)により濾波され、論理ゼロ・レベルと論理高レベルとの間の大きな変動が軽減される。

【0007】

排他的論理和位相検出器600に関する平均出力電圧608と位相誤差のグラフ800が図8に示される。図8において、排他的論理和位相検出器600の利得が、平均出力電圧608(Vcc)と位相の傾斜として示される。図8においては、この傾斜はVcc/位相ボルト毎ラジアン(volts per radian)である。

【0008】

排他的論理和位相検出器600には、少なくとも2つの欠点がある。第1は、正の位相誤差についても負の位相誤差についても同じ出力電圧が生成されることである。このために、PLLをゼロの位相誤差にロックするためには、排他的論理和位相検出器600を修正する必要がある。第2は、排他的論理和位相検出器600の出力電圧608が、2つの入力信号604、606からの入力パルスのパルス幅に依存することである。このために、ある信号が狭いパルスを持ち、他の信号が広いパルスを持つと、排他的論理和位相検出器600の利得が大きく異なることになる。

【0009】

次に3状態検出器に関して、図9は従来技術による3状態位相検出器901とチャージ・ポンプ903のブロック図を示す。3状態位相検出器901は、一般に排他的論理和位相検出器600を改良したものである。

【0010】

図9において、3状態位相検出器901は、一般に第1D型フリップフロップ902、第2D型フリップフロップ904およびANDゲート906を備える。第1D型フリップフロップ902は、第1端子、第2端子、第3端子、第4端子および第5端子を有する。第1端子は、正の電源電圧908に結合される。第2端子は、基準分周信号910(Fref)を受信するように結合される。第3端子は、第1出力信号912を生成する。第4端子は、第2出力信号914(すなわちUP(アップ)信号)を生成する。第5端子は、リセット信号924を受信するように結合される。第2D型フリップフロップ904は、第1端子、第2端子、第3端子、第4端子および第5端子を有する。第1端子は、正の電源電圧916に結合される。第2端子は、分周VCO周波数信号918(Fvco)を受信するように結合される。第3端子は、第1出力信号920を生成する。第4端子は、第2出力信号922(すなわちDN(ダウン)信号)を生成する。第5端子は、リセット信号924を受信するように結合される。

10

【0011】

図9において、チャージ・ポンプ903は、一般に第1電流源926と第2電流源928を備える。第1電流源926は、第1端子、第2端子および第3端子を有する。第1端子は、正の電源電圧932に結合される。第2端子は、第1D型フリップフロップ902から、UP信号914を受信するように結合される。第3端子は、出力電流信号930を生成する。第2電流源928は、第1端子、第2端子および第3端子を有する。第1端子932は、第1電流源926の第3端子に結合され、出力電流信号930を生成するよう動作する。第2端子は第2D型フリップフロップ904からDN信号922を受信するよう結合される。第3端子は、接地電位に結合される。

20

【0012】

一般に、3状態位相検出器901の動作中は、Fref910とFvco918との位相差が、3状態位相検出器901のUP信号914とDN信号922とを可変させる。3状態位相検出器901のUP信号914とDN信号922は、チャージ・ポンプ903の2つの電流源926、928を駆動し、それによってループ・フィルタ・キャパシタ(図9には図示せず)を充電または放電し、PLL(図9には図示せず)内のVCO(図9には図示せず)の電圧制御部を形成する。

【0013】

詳しくは、3状態位相検出器901の動作中に、Fref910がFvco918より先に上昇し、両方のD型フリップフロップ902、904がエッジ・トリガされる場合を考える。Fref910の立ち上がり端において、第1D型フリップフロップ902は、その第1出力信号912を高論理に、第2出力信号914を低論理にセットする。両出力信号912、914は、Fvco918が上がるまでこの状態に留まる。Fvco918が上がると、第2D型フリップフロップ904がその第1出力信号920を高論理に、第2出力信号922を低論理にセットする。第1D型フリップフロップ902の第1出力信号912の高論理と第2D型フリップフロップ904の第1出力信号920の高論理とが、ANDゲート904に高論理のリセット信号924を生成させ、両フリップフロップ902、904をリセットする。このリセットが起こると、3状態位相検出器901は初期状態に戻り、Fref910およびFvco918から別の集合のパルスを受信できる状態になる。3状態位相検出器901のこの動作によって、UP信号914は、Fref910とFvco918との間の遅延に等しい時間だけ低となる。UP信号914からの低論理パルスが第1電流源926を駆動し、PLL内のループ・フィルタ・キャパシタをより高い電圧に充電する。この高い電圧にตอบสนองして、PLL内のVCOはその周波数を上げて、Fvco918のパルスが次のサンプリング段階でより早く起こるようにし、その結果としてUP信号914において生成されるパルス幅が狭くなる。この動作は、Fvco918がFref910と同じときに起こり、結果としてUP信号914において基本的にはパルスが生成されなくなるまで継続する。あるいは、Fvco918がFref910の前に上昇すると、DN信号922は、UP信号914について説明されたのと同様の方法で動作して、Fvco918のパルスを小さくするよう動作することになる。

30

40

50

【 0 0 1 4 】

図 1 0 は、従来技術による図 9 の 3 状態位相検出器 9 0 1 のタイミング 1 0 0 0 を示す。タイミング 1 0 0 0 は、種々の位相差の例に関する典型的な出力を示す。Fref 9 1 0 が 3 6 0 度に近い量だけ Fvco 9 1 8 よりも先行すると、UP 信号 9 1 4 は、ほとんどいつでもアクティブになる。この結果、正の電流信号 9 3 0 が PLL 内のループ・フィルタのために生成される。Fvco 9 1 8 が 3 6 0 度に近い量だけ先行する場合は、DN 信号パルス 9 2 2 がほとんどいつでもアクティブになる。この結果、負の電流信号 9 3 0 が PLL 内のループ・フィルタのために生成される。

【 0 0 1 5 】

図 1 1 は、アップ電流源 9 2 6 とダウン電流源 9 2 8 とが従来技術により平衡状態にある場合の、図 9 の 3 状態位相検出器 9 0 1 とチャージ・ポンプ 9 0 3 に関する出力電流と位相オフセットを示すグラフ 1 1 0 0 である。このグラフ 1 1 0 0 においては、位相検出器利得は、 $I_o/2p$ アンプス / ラジアンである。排他的論理和位相検出器 6 0 0 と比較して、ゼロの位相オフセットでロックする問題は解決される。これは、グラフの原点周囲の奇関数に特徴があることでわかる（すなわち位相誤差の符号を考慮に入れる）。 $+/-2p$ を超えるオフセットに関して、利得は正確な周波数関係に依存して可変するが、正味出力電流は常に、PLL が信号を引き込むようになる。これを周波数捕捉 (frequency acquisition) と呼ぶ。1 つの入力 9 1 0 または 9 1 8 の 2 つ以上のパルスが、他方の入力 9 1 0 または 9 1 8 の各パルスについて起こる場合は、3 状態位相検出器 9 0 1 を修正することによって、正味出力電流を所望のアップまたはダウン状態に保持すること（従って可能な最速の同調）ができる。

【 0 0 1 6 】

代表的なパルスを示すタイミング 1 0 0 0 において、UP 信号 9 1 4 および DN 信号 9 2 2 は、AND ゲート 9 0 6 およびフリップフロップのリセットに関わる有限遅延のために、正味パルスがどうであろうと、制御パルスの最後に最小幅のパルスを有することに注目されたい。この最小パルスは、実際の回路では不可避であり、基準スパー (reference spur) を起こす。基準スパーは、最小幅パルスの軌跡が基準周波数において PLL 内の VCO を変調させることで起こり、これが基準周波数の調波周波数においてスパーを生成する。最小パルス幅を持たない理想的な 3 状態位相検出器 9 0 1 においては、修正項がゼロになる傾向があり、そのために基準スパーがすべて排除される。理想的には、最小パルス幅があっても、両源がオンとなって互いに打ち消す信号 9 1 0 , 9 1 8 を提供するために基準スパーが起こらない。しかし、実際には、パルスは時間および振幅において完全に平衡とはならず、そのためにスパーが生成される。この問題を克服するためには、通常は AND ゲート 9 0 6 の出力に遅延が加えられて、通常 4 ないし 1 0 nsec の最小パルスが設定される。これは、実際には電流源が瞬間的にオンにならないために行われる。

【 0 0 1 7 】

図 1 2 は、従来技術による図 9 の 3 状態位相検出器 9 0 1 およびチャージ・ポンプ 9 0 3 に関するタイミング 1 2 0 0 を示す。タイミング 1 2 0 0 は、最小パルス幅を伴うものと伴わない正味アップ・パルスを得る 1 対の電流源 1 0 2 6 , 1 0 2 8 の動作を示す。最小パルス幅が電流源をオンにするのに充分でない場合、PLL が応答する小さな位相オフセットの範囲が生まれる。これを不感帯 (dead zone) と呼ぶ。不感帯ができると、PLL が不感帯内に入ったとき VCO が自由継続状態 (free-running) になる。漏洩電流のために、VCO に対する制御電圧が、PLL が不感帯の外側に移動するまで下がる。その時点で、PLL は不感帯の他側に電圧を修正し、この工程が繰り返される。最終的な結果として、極めて低い速度で VCO の「鋸波状」変調が起こる。故に、3 状態位相検出器 9 0 1 が排他的論理和位相検出器 6 0 0 に対してノイズ性能において改善されても、ループ・フィルタ上の最小パルス出力と漏洩電流のために基準スパーの濾波が依然として必要になる。

【 0 0 1 8 】

3 状態位相検出器 9 0 1 には、高度な線形性を必要とする用途においてその有用性を制限するという理想的ではない別の問題がある。UP 電流信号 9 1 4 と DN 電流信号 9 2 2 が精密

10

20

30

40

50

に平衡状態にない場合、3状態位相検出器901の利得が、位相誤差の符号に応じて異なる。図13はこの状況の一例を示す。図13は、アップ電流源926およびダウン電流源928が従来技術により平衡でない場合の、図9の3状態位相検出器901およびチャージ・ポンプ903に関する出力電流と位相オフセットのグラフを示す。図13において、図形1302の傾斜は図形1304の傾斜とは異なる。これは標準的なシンセサイザにおいては問題とはならないが、分数Nシンセサイザにおいては、この不平衡により非線形性が起こり、結果としてスプリアス出力となる。

【0019】

次に2状態位相検出器に関し、図14は従来技術による2状態位相検出器1401とチャージ・ポンプ1403のブロック図を示す。3状態位相検出器901に伴う線形性の問題を克服するために、周波数シンセサイザは図14に示されるような2状態位相検出器1401を採用することがある。

【0020】

図14において、2状態位相検出器1401は、一般に、第1D型フリップフロップ1402および第2D型フリップフロップ1404を備える。第1D型フリップフロップ1402は、第1端子、第2端子、第3端子、第4端子および第5端子を有する。第1端子は、正の電源電圧1406に結合される。第2端子は、基準分周信号1422(Fref)を受信するように結合される。第3端子は、第1出力信号1410を生成する。第4端子は用いられない。第5端子は、リセット信号1412を受信するように結合される。第2D型フリップフロップ1404は、第1端子、第2端子、第3端子、第4端子および第5端子を有する。第1端子は、正の電源電圧1408に結合される。第2端子は、分周VCO周波数信号1424(Fvco)を受信するように結合される。第3端子は、第1出力信号1414(すなわちDN(ダウン)信号)を生成する。第4端子は用いられない。第5端子は、リセット信号1412を受信するように結合される。

【0021】

図14において、チャージ・ポンプ1403は、一般に第1電流源1416と第2電流源1418を備える。第1電流源1416は、第1端子および第2端子を有する。第1端子は、正の電源電圧に結合される。第3端子は、出力電流信号1420を生成する。第2電流源1418は、第1端子、第2端子および第3端子を有する。第1端子は、第1電流源1416の第2端子に結合され、出力電流信号1420を生成するよう動作する。第2端子は第2D型フリップフロップ904の第3端子に結合され、DN信号1414を受信するよう結合される。第3端子は、接地電位に結合される。

【0022】

図15は、従来技術による位相ロック条件にある図14の2状態位相検出器1401およびチャージ・ポンプ1403のタイミング1500を示す。2状態位相検出器1401において、ロック条件はIに等しい振幅の電流の「方形波」に対応する。これは、等しいアップ電流パルスおよびダウン電流パルスが存在することを意味し、そのために、PLL内のループ・フィルタに対する正味電荷伝達はゼロになる。2状態位相検出器においては、入力波形1422, 1424が180度位相がずれる場合にロック条件が起こることに注目されたい。Fvco1424の位相がFref1422の位相より先行する場合、DN信号1414のデューティ・サイクルは、電流が360度において連続してIを接地に流入させるまで増大する。あるいは、Fvco1424の位相がFref1422の位相に近づくにつれて、出力電流信号1420のデューティ・サイクルはゼロに近づき、最終的にはループ・フィルタに流出する連続的な電流となる。たとえば、図16は従来技術により、Fvco1424がFref1422に先行する場合の図14の2状態位相検出器1401およびチャージ・ポンプ1403のタイミングを示す。

【0023】

図17はアップ電流源1416とダウン電流源1418が平衡の場合1702と平衡でない場合1704の図14の2状態位相検出器1403に関する正味出力電流と位相オフセットのグラフ1700である。ダウン電流源1418のパルス幅がアップ電流源1416

10

20

30

40

50

の電流の2倍2Iであり、アップ電流源1416が一定の電流Iであるので、2状態位相検出器1041はほぼ完全に線形になる。故に、アップ電流源1416とダウン電流源1418との間にアップ電流源1416により与えられる電流の減少による不平衡があると、平衡図形1702は破線で示される不平衡図形1704のy軸に沿ってシフトするが、不平衡図形1704の線形性は影響を受けない。

【0024】

図18は、従来技術によりFvco1424がFref1422に先行し、Fref1422よりも高い周波数を有する場合の図14の2状態位相検出器1401とチャージ・ポンプ1403に関するタイミング1800を示す。図18において、FvcoはFrefの第2調波周波数にある。出力電流1420は方形波のロック条件にほぼ等しく、すなわちチャージ・ポンプの外側への正味電荷伝達がゼロになる。位相誤差がゼロとすると、これが真となる。この状況は、 $F_{ref} \cdot A = F_{vco} \cdot (A+1)$ の場合に起こる。ただしAは整数である。Ioutの結果波形の大半はこの場合は方形波にはならない。しかし正味電荷伝達はゼロになる。従って、従来の2状態位相検出器は、入力波形の位相が正しい場合は、周波数 $A \cdot F_{ref} = (A+1) \cdot F_{vco}$ において正味出力電荷伝達がゼロになる点を有する。これは、PLLを2つの入力波形の整数比(1:1以外)で虚偽的にロックさせる。これらの整数比には、所望の周波数に極めて近いものもあるので、この種の位相検出器は同調範囲の狭いシンセサイザについても動作不全となる。図18は、調波波形の多少の位相オフセットを示す。これは、第2調波Fvcoの位相関係がFrefと正確に整合しない場合に、位相検出器の出力が周波数を正確に定めるための正確な極性を持つことを示すためのものである。従って、理想的な条件においては、1:1以外の整数比に対する虚偽ロックは、正確な整合からの位相の移動によってループがその点から離れるために準安定状態となる。これを周波数の2つの異なる整数比について図19に示す。この場合は、2つの虚偽ロック周波数は、正味電流の「ゼロ軸と交差しない」という特性を有する。

【0025】

図19は、従来技術による周波数ステアリングを伴わずに動作する図14の位相検出器1401とチャージ・ポンプ1403の正味周波数電流と位相を示すグラフ1900である。この種のグラフは、本明細書では、一般的な説明のためのみに用いられ、精密な図形を表すためのものではない。この理由は、2つの異なる周波数間の位相誤差が明確に定義されないためである。このグラフ1900の目的は、所望の点の上下に複数のロック点があり、これらの点がx軸に触れないことを示すためのものである。

【0026】

アップ電流源1416およびダウン電流源1418がそれぞれ1:2の比で精密に平衡すると、Ioutと位相の図形は図19に示されるように表現される。しかし、アップ電流源1416とダウン電流源1418の電流に多少の不平衡があると、虚偽ロックが起こる可能性がある。この虚偽ロック条件を図20および図21に示す。図20は、従来技術によりアップ電流源1416の増大により生成される周波数ステアリングを伴って動作する図14の位相検出器1401およびチャージ・ポンプ1403に関する正味出力電流と位相を示すグラフ2000を示す。図21は、従来技術によりアップ電流源1416の減少により生成される周波数ステアリングを伴って動作する図14の位相検出器1401およびチャージ・ポンプ1403の正味出力電流と位相を示すグラフ2100である。このような場合、アップ電流源1416により提供される電流の増大により、正のx軸上に虚偽ロック条件が起こり、アップ電流源1416により提供される電流の現象により負のx軸上に虚偽ロック条件が起こる。いずれの条件も不正確な位相検出器動作を起こすことになる。

【0027】

従って、分割基準周波数信号(Fref)1422の位相と、分周電圧制御発振周波数信号(Fvco)1424との間の虚偽ロックを最小限に抑える位相ロック・ループのための位相検出器が必要である。

【0028】

10

20

30

40

50

【実施例】

図1は、本発明による無線通信トランシーバ100（以降「トランシーバ」と称する）のブロック図を例として示す。トランシーバ100は、移動または携帯加入者ユニットが、たとえば無線通信システム（図示せず）内の無線周波数（RF）チャネルを介して基地局（図示せず）と通信することを可能にする。その後、基地局は地上回線電話システム（図示せず）および他の加入者ユニットとの通信を行う。好適な実施例においては、トランシーバ100を有する加入者ユニットは、汎ヨーロッパ・デジタル化移動体通信システム（GSM）規準での使用に適応するセルラ無線電話である。

【0029】

図1のトランシーバ100は、一般に、アンテナ101、トランシーバ・スイッチ102、受信機103、送信機105、基準周波数信号源107、受信（Rx）位相ロック・ループ（PLL）周波数シンセサイザ108、送信（Tx）PLL周波数シンセサイザ109、プロセッサ110、情報源106および情報シンク104を備える。

【0030】

トランシーバ100とその動作ブロックの相互接続は以下のように説明される。アンテナ101は、基地局からRF信号119を受信し、二重フィルタ102により濾波して、線路111においてRF被受信信号を生成する。トランシーバ・スイッチ102は、時分割多重（TDM）選択性を提供して、それぞれ、GSM規準における所望の受信時間スロットの間に信号を受信し、GSM規準における所望の送信時間スロットの間に信号を送信するトランシーバ100にตอบสนองして、線路111のRF被受信信号と線路113のRF送信信号との間で切り替わる。受信機103は、線路111でRF被受信信号を受信するように結合され、情報シンク104のために線路112に被受信ベースバンド信号を生成するよう動作する。RF信号源107は、線路115に基準周波数信号を提供する。Rx PLL周波数シンセサイザ108は、線路115にRF信号を、データ・バス118に情報を受信するよう結合され、線路116に受信機同調信号を生成して、受信機103を特定のRFチャネルに同調するよう動作する。同様に、Tx PLL周波数シンセサイザ109は、線路115にRF信号を、データ・バス118に情報を受信するよう結合され、線路117にトランシーバ同調信号を生成し、送信機105を特定のRFチャネルに同調するよう動作する。プロセッサ110は、Rx PLL周波数シンセサイザ108、Tx PLL周波数シンセサイザ109、受信機103および送信機105の動作をデータ・バス118を介して制御する。情報源106は、線路114にベースバンド送信信号を生成する。送信機105は、線路114にベースバンド送信信号を受信するよう結合され、線路113にRF送信信号を生成するよう動作する。二重フィルタ102は、線路113にRF送信信号を濾波し、アンテナ101によりRF信号120として放出する。

【0031】

セルラ無線電話システムのRFチャネルは、たとえば、基地局と加入者ユニットとの間に情報を送信および受信（以下「送受信」と称する）する音声および信号化チャネルを備える。音声チャネルは、音声情報を送受信するために割り振られる。制御チャネルとも呼ばれる信号化チャネルは、データおよび信号化情報を送受信するために割り振られる。加入者ユニットはこれらの信号化チャネルを介してセルラ無線電話システムにアクセスし、地上電話システムとの通信をさらに行うための音声チャネルを割り当てられる。

【0032】

図2は、本発明による図1のトランシーバ100で用いられる位相ロック・ループ（PLL）周波数シンセサイザのブロック図を例として示す。図2のPLL周波数シンセサイザの一般的構造は、Rx PLL周波数シンセサイザ108に関してもTx PLL周波数シンセサイザ109に関しても同じである。

【0033】

図2のPLL周波数シンセサイザ108または109は、一般に基準分周器201とPLL 212とを備える。PLL 212は、一般に位相検出器202、送信PLL経路221、受信PLL経路220、ループ分周器205、チャージ・ポンプ制御スイッチ218および電圧制御発

10

20

30

40

50

振器（VCO）制御スイッチ 2 1 9 を備える。送信PLL経路 2 2 1 は、チャージ・ポンプ 2 1 2 , ループ・フィルタ 2 1 3 およびVCO 2 1 4 を備える。受信PLL経路 2 2 0 はチャージ・ポンプ 2 1 0 , ループ・フィルタ 2 2 0 およびVCO 2 0 4 を備える。

【 0 0 3 4 】

PLL周波数シンセサイザ 1 0 8 , 1 0 9 のブロックの相互接続が以下に説明される。基準分周器 2 0 1 は、線路 1 1 5 に基準周波数信号を受信するように結合され、データ・バス 1 1 8 に結合され、線路 2 0 6 に基準分周信号を生成するように動作する。位相検出器 2 0 2 は、線路 2 0 6 に基準分周信号を、線路 2 0 9 に帰還信号を受信するように結合され、線路 2 0 7 に位相誤差信号を生成するよう動作する。

【 0 0 3 5 】

送信PLL経路 2 2 1 においては、チャージ・ポンプ 2 1 2 は線路 2 0 7 に位相誤差信号を受信するように結合され、線路 2 1 5 にチャージ・ポンプ信号を生成するよう動作する。ループ・フィルタ 2 1 3 は、線路 2 1 5 にチャージ・ポンプ信号を受信するように結合され、線路 2 1 6 に被濾波信号を生成するよう動作する。VCO 2 1 4 は、線路 2 1 6 に被濾波信号を受信するよう結合され、線路 1 1 6 に出力周波数信号を生成するよう動作する。

【 0 0 3 6 】

受信PLL経路 2 2 0 においては、チャージ・ポンプ 2 1 0 は線路 2 0 7 に位相誤差信号を受信するように結合され、線路 2 1 1 にチャージ・ポンプ信号を生成するよう動作する。ループ・フィルタ 2 0 3 は線路 2 1 1 にチャージ・ポンプ信号を受信するように結合され、線路 2 0 8 に被濾波信号を生成するよう動作する。VCO 2 0 4 は、線路 2 0 8 に被濾波信号を受信するよう結合され、線路 1 1 7 に出力周波数信号を生成するよう動作する。

【 0 0 3 7 】

チャージ・ポンプ制御スイッチ 2 1 8 は、受信PLL経路 2 2 0 内のチャージ・ポンプ 2 1 0 と、送信PLL経路内のチャージ・ポンプ 2 1 2 とに結合され、チャージ・ポンプ 2 1 0 およびチャージ・ポンプ 2 1 2 の一方を選択的に可動化するよう動作する。VCO制御スイッチ 2 1 9 は、受信PLL経路 2 2 0 内のVCO 2 0 4 と、送信PLL経路内のVCO 2 1 4 とに結合され、VCO 2 0 4 およびVCO 2 1 4 の一方を選択的に可動化するよう動作する。チャージ・ポンプ 2 1 0 とVCO 2 0 4 は、トランシーバ・スイッチ 1 0 2 がアンテナ 1 0 1 を受信機 1 0 3 に結合すると同時に可動化される。チャージ・ポンプ 2 1 2 とVCO 2 1 4 は、トランシーバ・スイッチ 1 0 2 がアンテナ 1 0 1 を送信機 1 0 5 に結合すると、同時に可動化される。チャージ・ポンプ制御スイッチ 2 1 8 とVCO制御スイッチ 2 1 9 は、好ましくは異なる制御信号によって制御されるが、あるいは、同じ制御信号によって制御されることもある。さらに、チャージ・ポンプ制御スイッチ 2 1 8 とVCO制御スイッチ 2 1 9 は、好ましくは、それぞれのPLL要素に選択的に電力を供給および除去することにより、制御を行う。

【 0 0 3 8 】

ループ分周器 2 0 5 は、線路 1 1 6 , 1 1 7 において出力周波数信号を受信するように結合され、線路 2 0 9 に帰還信号を生成するよう動作する。ループ分周器 2 0 5 と基準分周器 2 0 1 は、データ・バス 1 1 8 を介してプログラミング情報を受信する。

【 0 0 3 9 】

PLL周波数シンセサイザ 1 0 8 , 1 0 9 の動作は、以下のように説明される。PLL 2 1 2 は、線路 1 1 5 の基準周波数信号に同期される線路 1 1 6 , 1 1 7 に出力周波数信号を生成する回路である。線路 1 1 6 , 1 1 7 の出力周波数信号は、線路 1 1 6 , 1 1 7 の出力周波数信号の周波数が、線路 1 1 5 の基準周波数信号の周波数と所定の周波数関係を有する場合に、線路 1 1 5 の基準周波数信号に同期すなわち「ロック」される。ロック条件下では、PLL 2 1 2 は、線路 1 1 5 の基準周波数信号と線路 1 1 6 , 1 1 7 の出力周波数信号との間に一定の位相差を与えるのが普通である。この一定の位相差はゼロを含む所望の値とすることができる。このような信号の所望の位相差における偏差が展開する、すなわち線路 2 0 7 における位相誤差が、たとえば線路 1 1 5 における基準周波数信号の周波数またはデータ・バス 1 1 8 を介するPLLのプログラミング可能パラメータのいずれかの変動

10

20

30

40

50

によって大きくなると、PLLは線路116, 117の出力周波数信号の周波数を調整して、線路207の位相誤差をゼロにしようとする。

【0040】

PLL周波数シンセサイザ108, 109は、線路116, 117の出力周波数信号と線路115における基準周波数信号の周波数との所定の周波数関係に基づき、少なくとも2つのカテゴリのうちの1つに属するものと分類される。第1のカテゴリは、「整数除算」PLL周波数シンセサイザと分類され、これは線路116, 117の出力周波数信号と線路115の基準周波数信号との関係が整数であるカテゴリである。第2カテゴリは「分数除算」PLL周波数シンセサイザと分類され、これは線路116, 117の出力周波数信号と線路115の基準周波数信号との関係が整数と分数からなる有理の非整数であるカテゴリである。

10

【0041】

図3は、本発明による位相検出器202およびチャージ・ポンプ210, 212のブロック図である。図3の位相検出器202およびチャージ・ポンプ210, 212の参照番号は、図2の同じ参照番号と対応する。

【0042】

図3の位相検出器202は、図9の3状態位相検出器901と図14の2状態位相検出器1401の各々と、類似する特性および異なる特性を有する。図3の位相検出器202が図9の3状態位相検出器901と類似するのは、2つのD型フリップフロップとANDゲートを有し、一方のD型フリップフロップの出力信号がチャージ・ポンプのダウン電流源を制御することである。しかし、図3の位相検出器202が図9の3状態位相検出器901と異なる点は、図3ではチャージ・ポンプのアップ電流源が定電流を供給するのに対して、図9ではチャージ・ポンプのアップ電流源が図9の他方のD型フリップフロップの出力信号によって制御されることである。図3の位相検出器202が図14の2状態位相検出器1401と類似するのは、2つのD型フリップフロップを有し、一方のD型フリップフロップの出力信号がチャージ・ポンプのダウン電流源を制御することである。しかし、図3の位相検出器202が図14の2状態位相検出器1401と異なる点は、図3ではANDゲートも存在して、チャージ・ポンプのアップ電流源が、ダウン電流源により供給される電流の半分以上の定電流を供給するのに対して、図14ではANDゲートがなく、チャージ・ポンプのアップ電流源がダウン電流源により供給される電流の半分に等しい定電流を供給することである。

20

30

【0043】

図3では、位相検出器202は一般に、第1D型フリップフロップ302, 第2D型フリップフロップ304およびANDゲート306を備える。第1D型フリップフロップ302は、第1端子, 第2端子, 第3端子, 第4端子および第5端子を有する。第1端子は、正の電源電圧312に結合される。第2端子は、基準分周信号206(Fref)を受信するよう結合される。第3端子は、第1出力信号314を生成する。第4端子は用いられない。第5端子は、リセット信号316を受信するよう結合される。第2D型フリップフロップ304は、第1端子, 第2端子, 第3端子, 第4端子および第5端子を有する。第1端子は、正の電源電圧318に結合される。第2端子は、分周VCO周波数信号209(Fvco)を受信するよう結合される。第3端子は、第1出力信号320を生成する。第4端子は、第2出力信号207(すなわちDN(ダウ)ン)信号)を生成する。第5端子は、リセット信号316を受信するよう結合される。

40

【0044】

図3において、チャージ・ポンプ210, 212は、一般に第1電流源308と第2電流源310を備える。第1電流源308は、第1端子および第2端子を有する。第1電流源308の第1端子は、正の電源電圧に結合される。第1電流源308の第2端子は、出力電流信号211, 215を生成する。第2電流源310は、第1端子, 第2端子および第3端子を有する。第2電流源310の第1端子は、第1電流源308の第2端子に結合され、出力電流信号211, 215を生成するよう動作する。第2電流源310の第2端子

50

は、第2 D型フリップフロップ304からDN信号207を受信するよう結合される。第2電流源310の第3端子は、接地電位に結合される。

【0045】

一般に、位相検出器202の動作中は、Fref206とFvco209との位相差が、位相検出器202のDN信号207のパルス幅を可変させる。位相検出器202のDN信号207は、チャージ・ポンプ210または212の電流源310を駆動し、それによってループ・フィルタ203または213（図2に図示）のキャパシタを充電または放電し、PLL212（図2に図示）内のVCO204、214（図2に図示）の電圧制御部を形成する。チャージ・ポンプ210または212は、次の等式に従って動作する： $I_{out\ net}（正味）= I_{up} - （I_{down} * デューティ・サイクル）$ 。好適な実施例においては、 $I_{up} = 08I$ 、 $I_{down} = 2I$ でデューティ・サイクルが40%のとき、 $I_{out\ net} = 0$ となる。

10

【0046】

詳しくは、位相検出器202の動作中に、Fref206がFvco209より先に上昇し、両方のD型フリップフロップ302、304がエッジ・トリガされる場合を考える。Fref206の立ち上がり端において、第1 D型フリップフロップ302は、その第1出力信号314を高論理にセットする。第1出力信号314は、Fvco209が上昇するまでこの状態に留まる。Fvco209が上がると、第2 D型フリップフロップ304は、その第1出力信号320を高論理に、第2出力信号207を低論理にセットする。第1 D型フリップフロップ302の第1出力信号314の高論理と第2 D型フリップフロップ304の第1出力信号320の高論理とが、ANDゲート306に高論理のリセット信号316を生成させ、両フリップフロップ302、304をリセットする。このリセットが起こると、位相検出器202は初期状態に戻り、Fref206およびFvco209からパルスを受信する準備が整う。Fref206がFvco209に先行すると、DN信号207は、2つのD型フリップフロップ302、304およびANDゲート306の伝播によって決まる時間の間、低となる。伝播論理には、クロックからQが高論理になり、Q出力そのものが高論理になり、ANDゲート307からのリセット信号316が高論理になり、リセット信号316が高論理になってQを低論理にするまでの速度が含まれる。この伝播論理時間は、Fref206とFvco209との位相差には関係ないことに留意されたい。DN信号207からの低論理パルスが第2電流源310を駆動し、PLL212内のループ・フィルタ203、213のキャパシタを、より低い電圧に充電する。これは、VCOが電圧から周波数への正の伝達を有することを前提とする。あるいは、VCOが負の伝達関数を有することもあり、この場合、PLL212内のループ・フィルタ203、213内のキャパシタは、より高い電圧に充電されることになる。低い電圧にตอบสนองして、PLL212内のVCO204または214は、その周波数を上げて、Fvco209のパルスの立ち上がり端を、次のサンプリング段階でより遅く起こるようする。これは、その周期が長くなると、DN信号207に生成されるパルス幅が狭くなるためである。この動作は、Fvco209がFref206と同じときに起こり、結果としてDN信号207において基本的に無限に小さいパルスが生成される（上述の伝播遅延により）まで継続する。

20

30

【0047】

あるいは、FrefがFvco209より遅れると、DN信号のパルス幅は、Fref206とFvco209との位相差に等しくなる。位相差が、位相ロック条件の目標値である水晶発振器の周期の40%である場合、チャージ・ポンプの正味充電量はゼロになる。位相差が水晶発振器の周期の40%より大きい場合、チャージ・ポンプの正味充電量は負となり、ループ・フィルタの電圧が下がって、VCO周波数が下がり、それによりFref206とFvco209との位相差が小さくなる。位相差が水晶発振器の周期の40%より小さい場合、チャージ・ポンプの正味充電量は正となり、ループ・フィルタの電圧が上がって、VCO周波数が上がり、それによりFref206とFvco209との位相差が大きくなる。水晶発振器周期の40%というレベルは、図4および図5に示される虚偽ロックを防ぐために水晶発振器周期の50%レベルを超えてはならず、シンセサイザの変調に基づいて選定される。好適な実施例においては40%という最小デューティ・サイクルは、変調ウィンドウ幅（15 . 4nsec

40

50

）を水晶発振器の周期（38 nsec）で除算した、385すなわち38.5%であり、約40%となる。

【0048】

アップ電流源308をどれだけ小さくできるかには制約がある。図14の2状態位相検出器1401は、 $I_{up} = I_{dn}/2$ の位相誤差でロックする。 I_{up} が小さくなると、ロック点は0度に近づく。しかし、ゼロは図14の2状態位相検出器1401については不連続点であり、 I_{dn} パルス幅がゼロに近づくので避けるべきである。図3の好適な実施例においては、 $I_{up} = 0.4 * I_{dn}$ である。これにより、26 MHzの基準を持つ15.38 nsecのDNパルス幅となる。26 MHzは、GSMシステムに準拠する値である。これは、周期の約40%に相当する。4 累算器分数Nシンセサイザに関して、分周器は±7カウントだけ変動する。従って、位相検出器202内のパルス幅は、最低のVCO周波数周期の最大7倍変動することになる。GSMに関して、最低周波数は880 MHzであるので、入力パルス幅は±7.95 nsecも変動することがある。これにより、最小DNパルス幅は7.43 nsecとなる。これは、 I_{dn} パルスがゼロのパルス幅にならないための十分な余地になる。従って、図3の位相検出器202は、図14の従来の2状態位相検出器1401の所望の線形性を有するが、従来の2状態位相検出器1401のように調波周波数においてロックの問題が起こる可能性はない。

【0049】

位相検出器202の周波数ステアリングは、異なる方法および回路によっても実現することができる。図3の回路は、2状態位相検出器1401の従来構造に1つのANDゲート306を追加しただけなので用いられる。好適な実施例においては、位相検出器202は、ECLタイプの回路構成では高速で動作することが求められるのでこの点が重要である。周波数ステアリングのためにより複雑なシステムを用いると、はるかに多くの電流を引き出して、多数のトランジスタを必要とすることになる。

【0050】

図4は、本発明による周波数ステアリングを伴わずに動作する図3の位相検出器およびチャージ・ポンプに関する正味出力電流と位相を示すグラフである。図5は、本発明による周波数ステアリングを伴って動作する図3の位相検出器およびチャージ・ポンプに関する正味出力電流と位相を示すグラフである。アップ電流源308がダウン電流源310の半分より小さいとき、図4に示されるように虚偽ロックが起こる可能性が依然としてある。しかし、意図的にアップ電流源308をダウン電流源310の半分より小さくすると、図5に示されるように虚偽ロック状態は起こらない。

【0051】

要するに、位相検出器202は、従来の3状態位相検出器901と同様に、2つのD型フリップフロップ302、304とANDゲート306とを有するが、従来の2状態位相検出器1401のようにチャージ・ポンプ210または212に結合されて、それを駆動する。加えて、アップ電流源308によって供給される電流を意図的に、ダウン電流源により供給される電流の半分より小さくして、虚偽ロック点を回避する。位相検出器202は、電流ドレインとダイ面積とを最小限に抑えたデジタル相補MOSFET論理（DCML：digital complementary MOSFET logic）、高速低ジッタ位相検出器での使用に適する。

【0052】

本発明は、その説明的実施例を参照して説明されるが、本発明をこれらの特定の実施例に制限する意図はない。添付の請求項に明記される本発明の精神および範囲から逸脱せずに変形および修正が可能であることが当業者には認識頂けよう。

【図面の簡単な説明】

【図1】本発明による無線通信トランシーバのブロック図である。

【図2】本発明による図1の無線通信トランシーバで用いる位相ロック・ループ周波数シンセサイザのブロック図である。

【図3】本発明による位相検出器およびチャージ・ポンプのブロック図である。

【図4】本発明による、周波数ステアリングを伴わずに動作する図3の位相検出器および

10

20

30

40

50

チャージ・ポンプに関する正味出力電流と位相を示すグラフである。

【図 5】本発明による、周波数ステアリングを伴って動作する図 3 の位相検出器およびチャージ・ポンプに関する正味出力電流と位相を示すグラフである。

【図 6】従来技術による排他的論理和位相検出器のブロック図である。

【図 7】従来技術による図 6 の排他的論理和位相検出器のタイミング図である。

【図 8】従来技術による図 6 の排他的論理和位相検出器の出力電圧と位相を示すグラフである。

【図 9】従来技術による 3 状態位相検出器およびチャージ・ポンプのブロック図である。

【図 10】従来技術による図 9 の 3 状態位相検出器のタイミング図である。

【図 11】従来技術によりアップ電流源とダウン電流源とが平衡状態にあるときの図 9 の 3 状態位相検出器およびチャージ・ポンプの出力電流と位相オフセットのグラフである。

【図 12】従来技術による図 9 の 3 状態位相検出器およびチャージ・ポンプのタイミング図である。

【図 13】従来技術によりアップ電流源とダウン電流源とが平衡状態にないときの図 9 の 3 状態位相検出器およびチャージ・ポンプの出力電流と位相オフセットのグラフである。

【図 14】従来技術による 2 状態位相検出器およびチャージ・ポンプのブロック図である。

【図 15】従来技術による、位相ロック条件にある図 14 の 2 状態位相検出器およびチャージ・ポンプのタイミング図である。

【図 16】従来技術により電圧制御発振器の周波数が基準周波数よりも先行する場合の図 14 の 2 状態位相検出器およびチャージ・ポンプのタイミング図である。

【図 17】従来技術によりアップ電流源とダウン電流源とが平衡状態にあるときとないときの図 14 の 2 状態位相検出器の正味出力電流と位相オフセットのグラフである。

【図 18】従来技術により電圧制御発振器の周波数が基準周波数よりも先行し、基準周波数よりも高い周波数を有する場合の図 14 の 2 状態位相検出器およびチャージ・ポンプのタイミング図である。

【図 19】従来技術により周波数ステアリングを伴わずに動作する図 14 の位相検出器およびチャージ・ポンプの正味出力電流および位相を示すグラフである。

【図 20】従来技術によりアップ電流源における増大により生成される周波数ステアリングを伴って動作する図 14 の位相検出器およびチャージ・ポンプの正味出力電流および位相を示すグラフである。

【図 21】従来技術によりアップ電流源における減少により生成される周波数ステアリングを伴って動作する図 14 の位相検出器およびチャージ・ポンプの正味出力電流および位相を示すグラフである。

【符号の説明】

202 位相検出器

206 基準分周信号

207 線路

209 分周電圧制御発振器周波数信号

210, 212 チャージ・ポンプ

211, 215 出力電流信号

302 D型フリップフロップ

306 ANDゲート

308 アップ電流源

310 ダウン電流源

312, 318 正の電源電圧

314, 320 出力信号

316 リセット信号

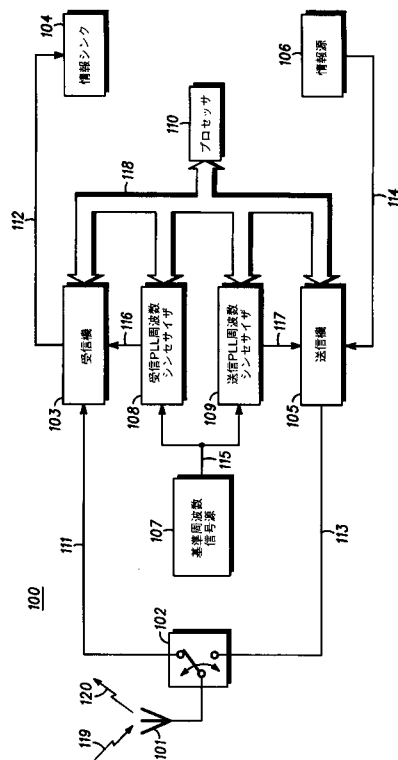
10

20

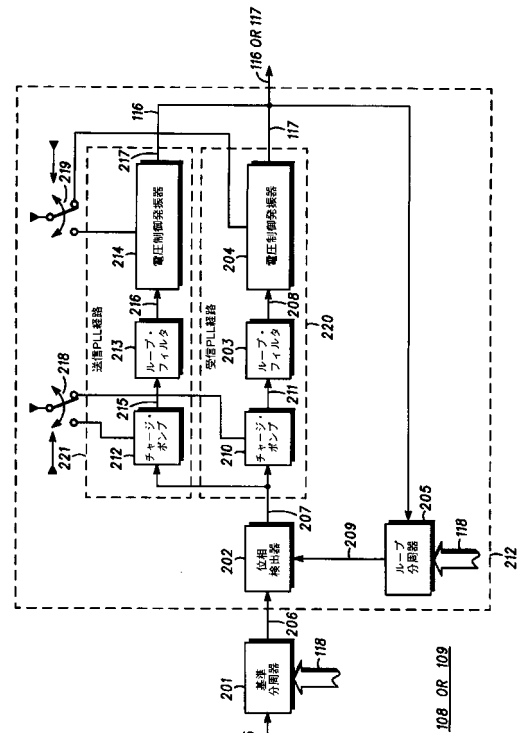
30

40

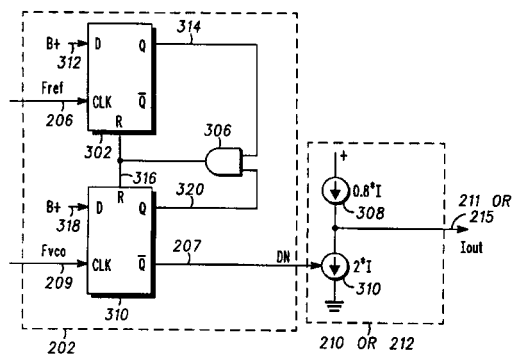
【 図 1 】



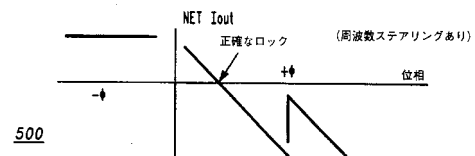
【 図 2 】



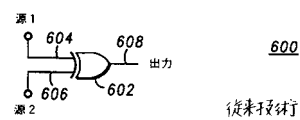
【 図 3 】



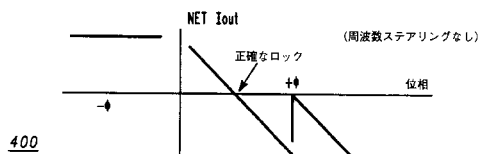
【 図 5 】



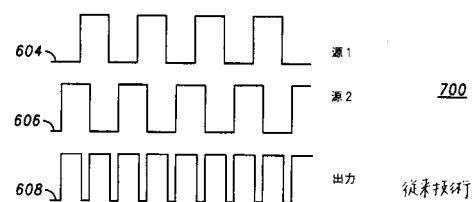
【圖 6】



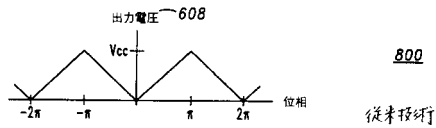
【圖 4】



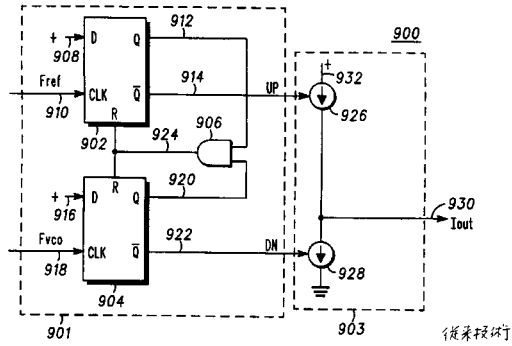
【圖 7】



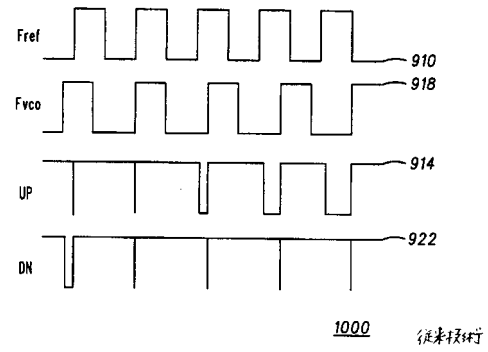
【図 8】



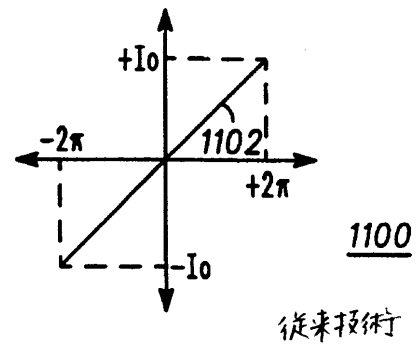
【図 9】



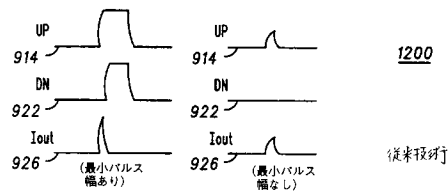
【図 10】



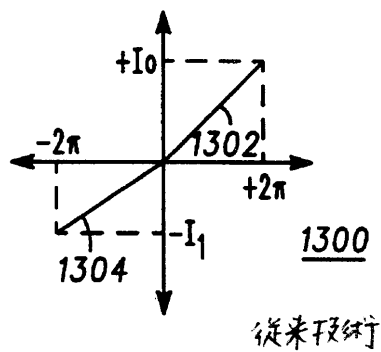
【図 11】



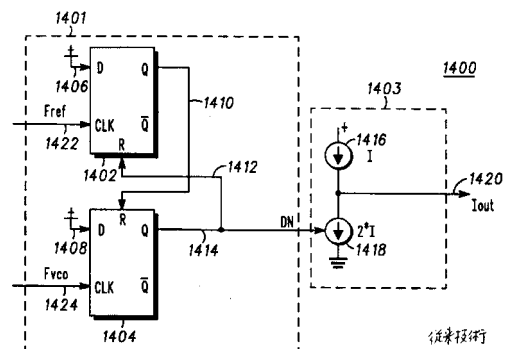
【図 12】



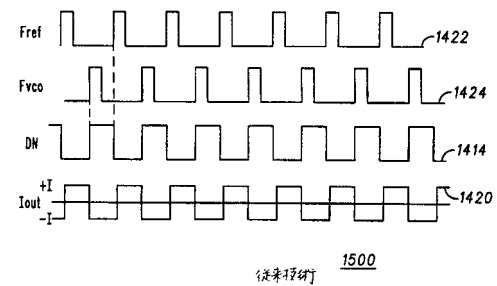
【図 13】



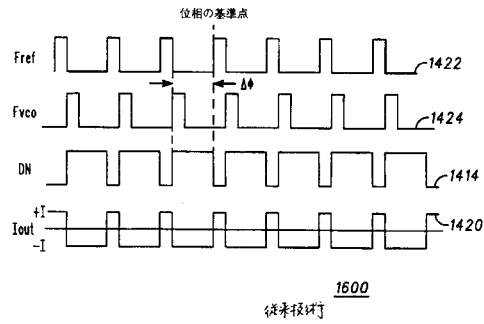
【図 14】



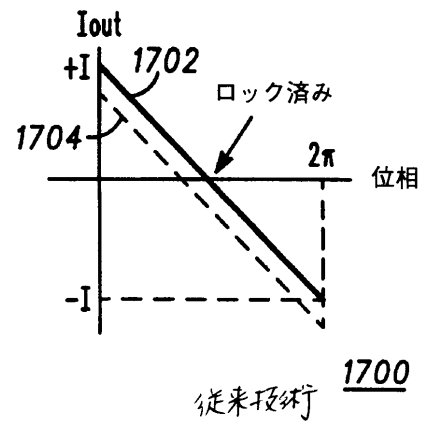
【図 15】



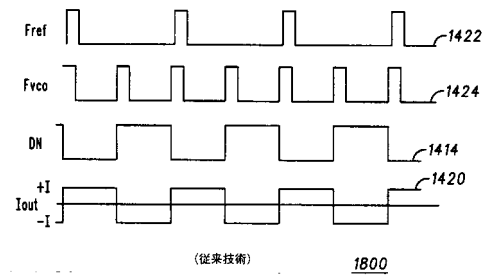
【図 16】



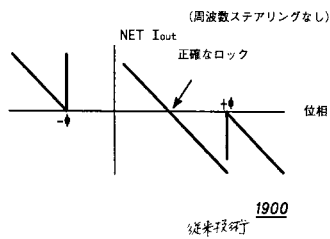
【図 17】



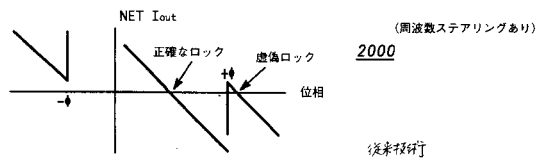
【図 18】



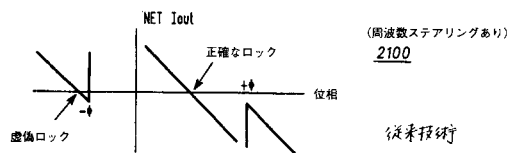
【図 19】



【図 20】



【図 21】



フロントページの続き

審査官 畑中 博幸

(56)参考文献 特開平 0 9 - 0 6 4 7 2 8 (J P , A)
特開昭 6 0 - 1 8 2 5 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03L 7/089

H03L 7/093

H03L 7/22

H04B 1/26