



(12) 发明专利

(10) 授权公告号 CN 102339830 B

(45) 授权公告日 2016. 06. 08

(21) 申请号 201010268539. 7

US 2003235948 A1, 2003. 12. 25,

(22) 申请日 2010. 08. 30

审查员 李荣荣

(30) 优先权数据

10-2010-0068371 2010. 07. 15 KR

(73) 专利权人 海力士半导体有限公司

地址 韩国京畿道

(72) 发明人 权世仁

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 顾红霞 何胜勇

(51) Int. Cl.

H01L 27/108(2006. 01)

H01L 21/8242(2006. 01)

(56) 对比文件

CN 1518112 A, 2004. 08. 04,

CN 1518100 A, 2004. 08. 04,

CN 1638098 A, 2005. 07. 13,

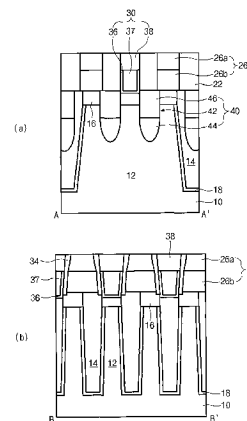
权利要求书3页 说明书5页 附图9页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开一种半导体器件及其制造方法, 该半导体器件包括: 半导体基板, 其包括由器件隔离膜限定的有源区; 位线孔, 其设置在所述半导体基板的顶部上; 氧化物膜, 其设置在所述位线孔的侧壁处; 以及位线导电层, 其埋入在包括氧化物膜的所述位线孔中。位线间隔物由氧化物膜来形成, 从而减小了寄生电容。存储节点触点形成线型, 从而确保了图案化裕量。存储节点触点插塞由浓度不同的多晶硅形成, 从而减小了漏电流。



1. 一种半导体器件,包括:
半导体基板,其包括由器件隔离膜限定的有源区;
位线孔,其设置在所述半导体基板上;
间隔物,其设置在所述位线孔的侧壁处,所述位线间隔物包括氧化物而无氮化物;
位线导电层,其形成于包括氧化物膜的所述位线孔中;
存储节点触点孔,其形成为与所述位线孔相邻并且使所述半导体基板露出;以及
存储节点触点插塞,其形成在所述存储节点触点孔中,其中,所述存储节点触点插塞形成有至少两个具有不同掺杂浓度水平的多晶硅层,
所述存储节点触点插塞包括:
轻掺杂触点插塞,其设置在所述存储节点触点孔的下部;以及
高掺杂触点插塞,其设置在所述存储节点触点孔的上部并且位于所述轻掺杂触点插塞上方。
2. 根据权利要求1所述的半导体器件,其中,
所述间隔物设置在所述存储节点触点插塞的侧壁处,所述间隔物与所述存储节点触点插塞和所述位线导电层接触,以及
在所述轻掺杂触点插塞附近形成的所述间隔物的厚度比在所述高掺杂触点插塞附近形成的所述间隔物的厚度厚。
3. 根据权利要求1所述的半导体器件,其中,
所述存储节点触点孔从沿与栅极图案平行的方向延伸的线图案获得。
4. 根据权利要求1所述的半导体器件,还包括:
第一连接插塞,其包括多晶硅并且设置在所述半导体基板上并电连接至所述位线导电层,以及
其中,所述间隔物包括氧化物膜。
5. 根据权利要求1所述的半导体器件,还包括:
位线硬掩模,其设置在所述位线孔中的位线导电层上。
6. 根据权利要求1所述的半导体器件,其中,
所述位线导电层包括:
阻挡金属层,其形成在所述位线孔的内表面上;以及
导电层,其形成在所述阻挡金属层上以埋入在所述位线孔中。
7. 根据权利要求1所述的半导体器件,还包括:
埋入式栅极,其以预定深度埋入在所述半导体基板的有源区和器件绝缘膜中。
8. 一种半导体器件的制造方法,所述方法包括:
在半导体基板中形成限定有源区的器件隔离膜;
在所述半导体基板上并在存储节点触点沟槽中形成存储节点触点层;
在所述存储节点触点沟槽的下部形成第一多晶硅层;
将离子注入至所述第一多晶硅层中,以形成轻掺杂多晶硅层;
在所述第一多晶硅层上形成第二多晶硅层;
将离子注入至所述第二多晶硅层中,以形成高掺杂多晶硅层;
在所述半导体基板上形成位线孔;

在所述位线孔的侧壁处形成氧化物膜;以及
形成位线导电层,所述位线导电层填充包括氧化物膜的所述位线孔。

9.根据权利要求8所述的方法,其中,

在所述位线孔的侧壁处形成所述氧化物膜的步骤借助于干式氧化工序或自由基氧化工序来执行。

10.根据权利要求8所述的方法,还包括:

对所述位线孔执行回蚀工序,以移除设置在所述位线孔的下部的所述氧化物膜。

11.根据权利要求8所述的方法,其中,

执行形成所述位线孔的步骤以将所述存储节点触点层分隔并自图案化成彼此电隔离的存储节点触点插塞。

12.根据权利要求8所述的方法,其中,

在所述位线孔的侧壁处形成所述氧化物膜的步骤包括:将所述存储节点触点插塞的侧壁氧化,以在所述存储节点触点插塞的侧壁处形成氧化物膜,

在所述轻掺杂多晶硅层附近的所述氧化物膜的厚度比在所述高掺杂多晶硅层附近的所述氧化物膜的厚度厚。

13.根据权利要求8所述的方法,还包括:

在形成所述位线孔之前,在所述半导体基板上并在存储节点触点沟槽中形成存储节点触点层,

其中,所述存储节点触点层被所述位线孔分隔成多个存储节点触点插塞,以及

所述氧化物膜限定间隔物,所述间隔物将形成在所述位线孔中的所述位线导电层与所述存储节点触点插塞隔离,所述间隔物是无氮化物的。

14.根据权利要求8所述的方法,还包括:

在形成所述位线导电层之后,在所述位线孔中的位线导电层上形成位线硬掩模。

15.根据权利要求8所述的方法,其中,

形成所述位线导电层的步骤包括:

在所述位线孔的内表面上形成阻挡金属层;以及

在包括所述阻挡金属层在内的所述位线孔中形成导电层。

16.根据权利要求8所述的方法,还包括:

在形成所述位线孔之前,在单元区域的半导体基板中形成埋入式栅极。

17.根据权利要求8所述的方法,还包括:

形成使所述半导体基板露出的存储节点触点沟槽,所述存储节点触点沟槽沿限定线图案的方向延伸。

18.一种半导体器件,包括:

形成于基板中的第一有源区和第二有源区,所述第一有源区和所述第二有源区被器件隔离区域电隔离;

存储节点触点插塞,其形成在所述第一有源区中并且电连接至所述第一有源区的第一源极/漏极区域;

位线触点插塞,其形成于所述第二有源区中并且电连接至所述第二有源区的第二源极/漏极区域;以及

间隔物,其形成于所述存储节点触点插塞和所述位线触点插塞中任意一者的侧壁处,以将所述存储节点触点插塞与所述位线触点插塞电绝缘,

其中,间隔物包括氧化物而无氮化物,所述存储节点触点插塞由至少两种具有不同掺杂浓度水平的导电材料形成,

所述存储节点触点插塞包括:

轻掺杂触点插塞,其设置在所述存储节点触点孔的下部;以及

高掺杂触点插塞,其设置在所述存储节点触点孔的上部并且位于所述轻掺杂触点插塞上方。

19. 根据权利要求18所述的半导体器件,其中,

所述间隔物包括氧化物。

20. 根据权利要求18所述的半导体器件,其中,

根据相对于所述基板的高度,所述间隔物具有不同的厚度,靠近所述基板的所述间隔物具有较小的厚度。

21. 根据权利要求18所述的半导体器件,其中,

所述存储节点触点插塞在所述器件隔离区域上延伸。

22. 一种半导体器件的形成方法,包括:

在基板中形成第一有源区和第二有源区,所述第一有源区和所述第二有源区借助于器件隔离区域而电绝缘;

分别在所述第一有源区和所述第二有源区中形成第一源极/漏极区域和第二源极/漏极区域,所述第一源极/漏极区域和第二源极/漏极区域借助于所述器件隔离区域而电绝缘;

在所述第一有源区、所述第二有源区以及所述器件隔离区域上形成绝缘层;

将所述绝缘层图案化以形成呈连续线图案的第一沟槽,所述第一沟槽直接或间接地使所述第一源极/漏极区域、所述第二源极/漏极区域以及所述器件隔离区域露出;

形成填充所述第一沟槽的导电层;

将所述导电层图案化以形成第二沟槽,所述第二沟槽以如下方式直接或间接地使所述第二源极/漏极区域露出,所述方式为将呈连续线图案的导电层转换成呈隔离岛状图案的存储节点触点插塞,所述存储节点触点插塞电连接至所述第一源极/漏极区域;

在所述第二沟槽的侧壁处形成间隔物;以及

形成填充所述第二沟槽的位线触点插塞,所述间隔物将所述位线触点插塞和所述存储节点触点插塞分隔开,

其中,所述存储节点触点插塞由至少两种具有不同掺杂浓度水平的导电材料形成,

所述存储节点触点插塞包括:

轻掺杂触点插塞,其设置在所述存储节点触点孔的下部;以及

高掺杂触点插塞,其设置在所述存储节点触点孔的上部并且位于所述轻掺杂触点插塞上方。

23. 根据权利要求22所述的方法,其中,

所述间隔物包括氧化物而无氮化物。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件,更具体地说,涉及一种包括位线的半导体器件及其制造方法。

背景技术

[0002] 最近,虽然半导体存储器件(特别是动态随机存取存储器(dynamic random access memory, DRAM)需要具有大容量,但是由于在增大芯片尺寸方面受到的限制,每个预定晶片尺寸的DRAM单元(cell,又称为晶胞)数量的增加是有限的。如果芯片尺寸增大,则每片晶片上的芯片数量减少并且器件的生产率也降低。因此,最近已经改变单元布局以使单元面积减小,并且正在研究将更多存储单元集成至一个晶片内。

[0003] 为了保护位线的侧壁,包括氮化物膜的间隔物已被广泛使用。

[0004] 然而,由于氮化物膜具有高的介电常数,所以增加了位线中的寄生电容。

[0005] 此外,当形成存储节点触点和位线时,两个存储节点触点是一次形成的。在执行镶嵌(damascene)工序以形成位线时,存储节点触点被分为两个触点。然而,当蚀刻存储节点触点孔时,覆盖工序用来降低存储电极和源极区域之间的接触电阻值。此外,当利用镶嵌工序形成位线钨时,包括钨回蚀工序。在钨回蚀工序中,存储节点触点插塞的多晶硅一起被蚀刻。

发明内容

[0006] 本发明的各种实施例旨在提供一种半导体器件及其制造方法,该半导体器件包括:位线间隔物,其由氧化物膜形成以减小寄生电容;存储节点触点,其形成为线型以确保图案化裕量;以及存储节点触点插塞,其由不同浓度的多晶硅形成,从而减小漏电流。

[0007] 根据本发明的实施例,一种半导体器件包括:半导体基板,其包括由器件隔离膜限定的有源区;位线孔,其设置在所述半导体基板的顶部上;氧化物膜,其设置在所述位线孔的侧壁处;以及位线导电层,其埋入到包括氧化物膜的所述位线孔中。位线间隔物由氧化物膜来形成,从而减小寄生电容。

[0008] 所述半导体器件还包括:存储节点触点孔,其形成为与所述位线孔相邻并与所述半导体基板连接;以及存储节点触点插塞,其埋入在所述存储节点触点孔中。

[0009] 所述存储节点触点插塞包括:低浓度触点插塞,其设置在所述存储节点触点孔的底部;以及高浓度触点插塞,其设置在所述存储节点触点孔中的低浓度触点插塞的顶部,从而减小漏电流,如GIDL。

[0010] 所述氧化物膜设置在所述存储节点触点插塞的侧壁处,形成在所述低浓度触点插塞中的所述氧化物膜的厚度比形成在所述高浓度触点插塞中的所述氧化物膜的厚度厚。对位线导电层执行回蚀工序,从而防止多晶硅层被蚀刻。

[0011] 所述存储节点触点孔具有与所述位线相交的线型,从而确保图案化裕量。

[0012] 所述半导体器件还包括:连接插塞(landing plug),其包括多晶硅并且设置在所

述半导体基板的顶部和所述位线孔的底部中。

[0013] 所述半导体器件还包括：位线硬掩模，其设置在所述位线孔中的位线导电层上，从而使所述位线导电层绝缘。

[0014] 所述位线导电层包括：阻挡金属层，其形成在所述位线孔的表面上；以及导电层，其埋入在包括所述阻挡金属层的所述位线孔中。

[0015] 所述半导体器件还包括：埋入式栅极，其以预定深度埋入在所述半导体基板的有源区和器件隔离膜中，从而减小位线的寄生电容。

[0016] 根据本发明的实施例，一种半导体器件的制造方法包括：在半导体基板中形成限定有源区的器件隔离膜；在所述半导体基板的顶部上形成位线孔；在所述位线孔的侧壁处形成氧化物膜；以及将位线导电层埋入在包括所述氧化物膜的所述位线孔中。位线间隔物由氧化物膜来形成，以减小寄生电容。

[0017] 在所述位线孔的侧壁处形成所述氧化物膜的步骤包括执行干式氧化工序或自由基氧化工序。

[0018] 该方法还包括：在所述位线孔的侧壁处形成所述氧化物膜之后，对所述位线孔执行回蚀工序，以移除设置在所述位线孔的底部的所述氧化物膜，从而使设置在所述位线孔的底部中的连接插塞露出。

[0019] 该方法还包括：在形成所述位线孔之前，在所述半导体基板的顶部上形成存储节点触点插塞。

[0020] 执行形成所述位线孔的步骤以将所述存储节点触点插塞分隔开，从而改善图案化裕量。

[0021] 形成所述存储节点触点插塞的步骤包括：形成使所述半导体基板露出的存储节点触点孔；在所述存储节点触点孔中埋入多晶硅；对所述多晶硅执行低浓度离子注入工序以形成低浓度多晶硅层；以及对所述多晶硅执行高浓度离子注入工序以形成高浓度多晶硅层。

[0022] 形成所述存储节点触点插塞的步骤包括：形成使所述半导体基板露出的存储节点触点孔；在所述存储节点触点孔的底部埋入多晶硅；对所述多晶硅执行低浓度离子注入工序以形成低浓度多晶硅层；在低浓度多晶硅层的顶部埋入多晶硅；以及对所述多晶硅执行高浓度离子注入工序，以在所述低浓度多晶硅层的顶部上形成高浓度多晶硅层。

[0023] 在所述位线的侧壁处形成所述氧化物膜的步骤包括：将所述存储节点触点插塞的侧壁氧化，并且所述低浓度多晶硅层的氧化物膜的厚度比所述高浓度多晶硅层的氧化物膜的厚度厚。在所述位线导电层的回蚀工序中，需要保护多晶硅层。

[0024] 所述存储节点触点孔形成为具有与所述位线相交的线型，从而确保图案化裕量。

[0025] 该方法还包括：在形成所述位线导电层之后，在所述位线孔中的位线导电层的顶部上形成位线硬掩模，从而保护所述位线导电层。

[0026] 形成所述位线导电层的步骤包括：在所述位线孔的表面上形成阻挡金属层；以及将导电层埋入在包括所述阻挡金属层的位线孔中。

[0027] 该方法还包括：在形成所述位线孔之前，在所述单元区域的半导体基板中形成埋入式栅极。

附图说明

[0028] 图1是示出根据本发明的实施例的半导体器件的平面图。

[0029] 图2至图9是示出根据本发明的实施例的半导体器件的制造方法的截面图。

具体实施方式

[0030] 下面,参考附图详细描述本发明。

[0031] 图1是示出根据本发明的实施例的半导体器件的平面图。

[0032] 参考图1,在半导体基板10中设置限定有源区12的器件隔离膜14。栅极40形成成为沿水平方向穿过有源区12。位线30形成成为沿竖直方向穿过有源区12。沿平行于栅极40的方向,在相邻的栅极40之间的间隔中设置线型存储节点触点20。

[0033] 栅极40是埋入在限定于半导体基板10中的凹陷部中的埋入式栅极。位线30借助于镶嵌工序来形成。在镶嵌工序中,存储节点触点20被相互分隔开。

[0034] 图2至图9是示出根据本发明的实施例的半导体器件的制造方法的截面图。在图2至图9中,(a)是沿图1中的线A-A'所截取的截面图,(b)是沿图1中的线B-B'所截取的截面图。

[0035] 参考图2,在半导体基板10中形成限定有源区12的器件隔离膜14。为了形成器件隔离膜14,在半导体基板10中形成沟槽(例如,浅沟槽隔离(shallow trench isolation,STI)工序)之后,用诸如氧化物膜等绝缘膜填充沟槽,从而获得器件隔离膜14。器件隔离膜14可以包括氧化物膜。在半导体基板10和器件隔离膜14之间的界面上,可以额外地形成包括氧化物膜或氮化物膜的衬垫(liner)层18。

[0036] 在半导体基板10中形成埋入式栅极40。在半导体基板10的有源区12和器件隔离膜14中形成限定凹陷部区域的硬掩模(未示出)之后,用硬掩模来蚀刻有源区12和器件隔离膜14以形成具有预定深度的凹陷部42。将栅电极44材料埋入在凹陷部42的底部中,并且将覆盖层46埋入在凹陷部42的顶部中以使栅电极44绝缘。栅电极44包括例如钨(W)和钛(Ti)等任意金属、氮化钛(TiN)以及多晶硅。覆盖层46包括氮化物膜和氧化物膜。当形成埋入式栅极时,可以有效地减小位线和栅极之间的寄生电容。

[0037] 在移除硬掩模(未示出)之后,在移除了硬掩模的间隔中形成连接(landing)插塞16。连接插塞16可以包括导电材料,例如多晶硅。可以在包括埋入式栅极40和连接插塞16在内的半导体基板10的顶部上形成层间介电膜22。层间介电膜22包括氧化物膜。

[0038] 如图3的(a)所示,蚀刻层间绝缘膜22以形成使连接插塞16的顶部露出的存储节点触点沟槽24。如图3的(b)所示,存储节点触点沟槽24(线型沟槽)形成成为沿栅极40延伸,如图1中更清楚地示出。存储节点触点沟槽24沿第一方向延伸成线图案。在一个实施例中,存储节点触点沟槽24与栅极40平行地延伸。因此,与传统的隔离孔型存储节点触点孔相比,覆盖裕量得到改善。此外,在传统的技术中,不会将底部连接插塞16露出。

[0039] 参考图4,形成埋入在存储节点触点孔24中的存储节点触点插塞26。存储节点触点插塞26包括导电材料,如多晶硅。在一个实施例中,存储节点触点插塞26仅仅用多晶硅来形成。例如,存储节点触点插塞26可以包括具有不同掺杂浓度水平的第一多晶硅层26b和第二多晶硅层26a。在一个实施例中,靠近基板的第二多晶硅层26a具有相对较高的掺杂浓度水

平,位于第二多晶硅层26a上的第一多晶硅层26b具有相对较低的掺杂浓度水平。

[0040] 可以用几个替代工序来形成具有不同离子注入浓度(或掺杂浓度)的第一多晶硅层26b和第二多晶硅层26a。下面是实例:(i)在将多晶硅层埋入在存储节点触点孔24中之后,执行低浓度离子注入工序以将整个多晶硅转换成轻掺杂多晶硅层。接着,另外执行高浓度离子注入工序以将轻掺杂多晶硅层的上部转换成高掺杂多晶硅层。(ii)在将多晶硅层填充到存储节点触点孔24的底部之后,执行低浓度离子注入工序以形成轻掺杂多晶硅层26b。然后,用另一多晶硅层填充存储节点触点孔24的顶部,并且执行高浓度离子注入工序以在轻掺杂多晶硅层26b上形成高掺杂多晶硅层26a。

[0041] 当存储节点触点插塞26由多层多晶硅(每层的离子注入浓度彼此都不同)所形成时,由于存储节点触点插塞26的靠近接面区域的底部(低浓度多晶硅层)的离子浓度是低的,所以可以减小诸如栅极诱导漏极漏电流(gate induced drain leakage,GIDL)等漏电流。此外,在随后对位线孔的内表面执行的氧化工序中,位线孔的内表面上的氧化物膜可以根据高度水平而形成不同的厚度,从而可以在对位线导电层执行的回蚀工序期间保护存储节点触点插塞26不受侵蚀(见图6)。

[0042] 参考图5,在层间绝缘膜22的顶部上形成包括诸如氮化物膜等材料的蚀刻掩模图案39。用蚀刻掩模图案39作为掩模来蚀刻存储节点触点插塞26和层间绝缘膜22,从而形成位线孔32。如图5的(b)所示,位线孔32形成为使连接插塞16或器件隔离膜14露出。利用位线孔32以借助于镶嵌工序来形成位线,并将线型存储节点触点插塞26自图案化,从而可以在一个有源区12(见图1)中形成两个存储节点触点插塞26。

[0043] 如图5的(b)所示,在形成使连接插塞16露出的位线孔32的蚀刻工序中,包括多晶硅的存储节点触点插塞26可能没有充分地从位线孔32中蚀刻掉,而是可能有残余物保留在连接插塞16上。在这种情况下,当对位线孔32执行氧化工序以将残余多晶硅转换成 SiO_2 时,经氧化的残余多晶硅可以借助于额外的蚀刻工序来容易地移除。因此,存储节点触点插塞26可以与相邻的存储节点触点插塞26完全分开。

[0044] 参考图6,在位线孔32上执行氧化工序。氧化工序可以借助于干式氧化工序或自由基氧化工序来形成。在执行干式氧化工序时,可以形成如图6的(b)所示在顶部和底部处分别具有不同厚度的氧化物膜34。不同的厚度是因为与轻掺杂多晶硅层26b相比在高掺杂多晶硅层26a处更容易发生氧化过程。如图6的(b)所示,氧化物膜34形成为在高掺杂多晶硅层26a的内侧壁处是更厚的。在一个实施例中,氧化物膜34在高掺杂多晶硅层26a附近具有80Å至90Å的厚度并且在轻掺杂多晶硅层26b附近具有60Å至80Å的厚度。

[0045] 借助于氧化工序所形成的氧化物膜34用作绝缘体,该绝缘体使位线30(见图9)和存储节点触点插塞26之间、两个相邻的存储节点触点插塞26之间、以及存储节点触点插塞26和用于位线的连接插塞16之间绝缘。此外,氧化物膜34用作保护位线的侧表面免于在随后的工序中受到侵蚀的保护体,如同现有技术中在位线的侧表面处作为间隔物的氮化物膜一样。由于与氮化物膜相比氧化物膜作为间隔物具有更好的特性,所以可以减小位线的寄生电容。在一个实施例中,用于位线的间隔物包括氧化物而无氮化物。在另一实施例中,用于位线的间隔物主要由氧化物所组成。

[0046] 参考图7,在形成位线之前,借助于回蚀工序来移除设置在位线孔32的底部中的氧化物膜34,以使用于位线的连接插塞16露出。

[0047] 参考图8,在位线孔32的内部形成阻挡金属层36和位线导电层37。阻挡金属层36可以具有包括Ti和TiN的叠层结构,并且位线导电层37可以包括W。在形成位线导电层37的工序中,在沉积位线导电层37以填充位线孔32之后,借助于回蚀工序来移除位线导电层37,从而使位线导电层37仅仅保留在位线孔32的底部。由于厚氧化物膜34保留在位线孔32的顶部上,所以可以保护存储节点触点插塞26免受回蚀工序的侵蚀。也就是说,氧化物膜34保护存储节点触点插塞26的侧壁。

[0048] 参考图9,在位线孔32中的位线导电层37的顶部上形成位线硬掩模38,以保护位线导电层37的顶部。位线硬掩模38包括氮化物膜。根据本发明的实施例的方法所制造的半导体器件包括形成在位线孔32的侧壁处的氧化物膜34间隔物。

[0049] 虽然没有示出,但是在被位线30分隔开的存储节点触点插塞的顶部上形成电容器,并且也形成金属线,从而获得半导体器件。

[0050] 如上所述,由于借助于根据本发明实施例的这种方法所制造的半导体器件包括由氧化物膜形成的位线间隔物,所以与使用氮化物膜相比可以更有效地减小寄生电容。使用氮化物膜作为位线间隔物也是可行的,这是因为存储节点触点孔形成为线型而不是孔型,该存储节点触点孔被层间绝缘膜所围绕。相应地,因为在存储节点插塞26和位线触点孔32之间不存在由氧化物材料所构成的层间绝缘膜22,所以位线间隔物34可以由氧化物材料形成。见图5的(b)和图6的(b)。此外,存储节点触点沟槽形成为线图案,而不是传统的孔图案。见图3的(b)。因此,可以在形成存储节点触点沟槽24和形成位线孔32的两个工序中都确保足够的图案化裕量。此外,包括氧化物材料的位线间隔物34可以构造成根据高度水平而具有不均匀或渐缩的厚度。见图6的(b)。例如,位线间隔物34的厚度可以从顶部朝底部向下变小。这种构造有利于防止存储节点触点插塞26在形成位线触点孔32的工序期间被侵蚀,也有利于降低存储节点连接插塞16和存储节点触点插塞26之间的电阻值。此外,存储节点连接插塞16可以由多层来形成,其中较下层由与较上层相比造成较小漏电流的材料所形成,从而减小漏电流。

[0051] 本发明的上述实施例是示例性的而非限制性的。各种替代及等同的方式都是可行的。本发明并不限于本文所述沉积、蚀刻、抛光和图案化步骤的类型。本发明也不限于任何特定类型的半导体器件。举例来说,本发明可以用于动态随机存取存储器件(DRAM)或非易失性存储器件。对本发明内容所作的其它增加、删减或修改是显而易见的并且落入所附权利要求书的范围内。

[0052] 本申请要求2010年7月15日提交的韩国专利申请No.10-2010-0068371的优先权,该韩国专利申请的全部内容通过引用并入本文。

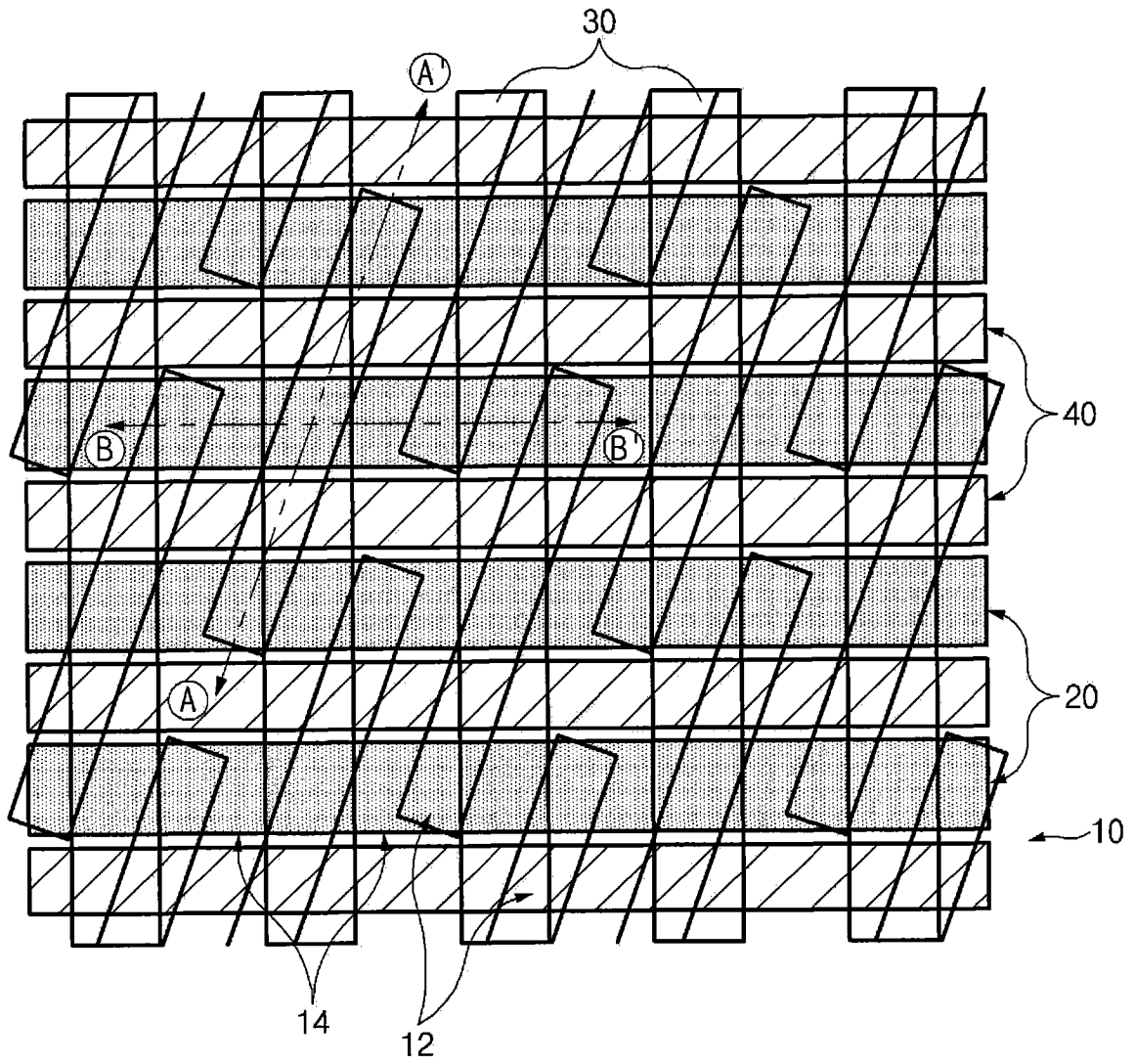


图1

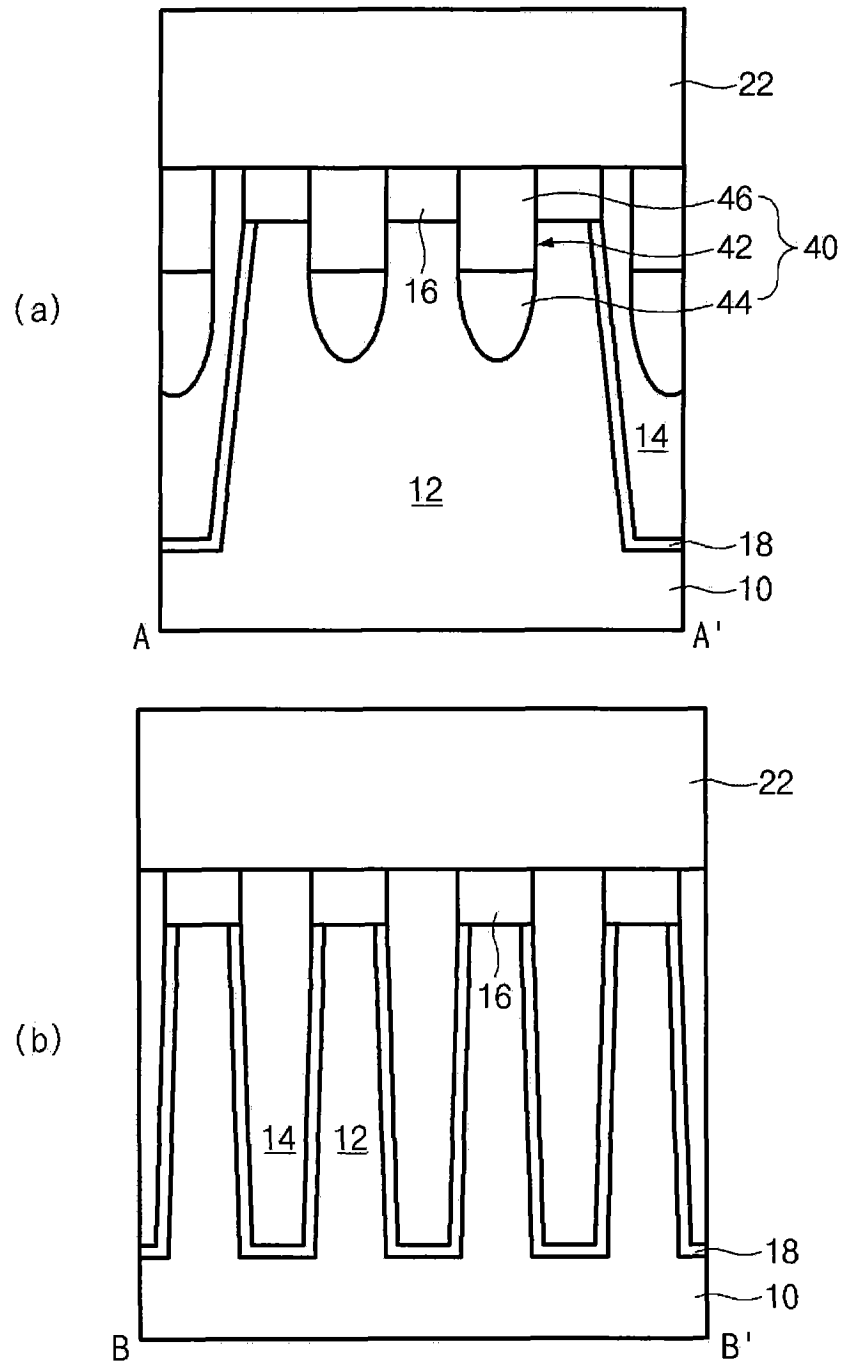


图2

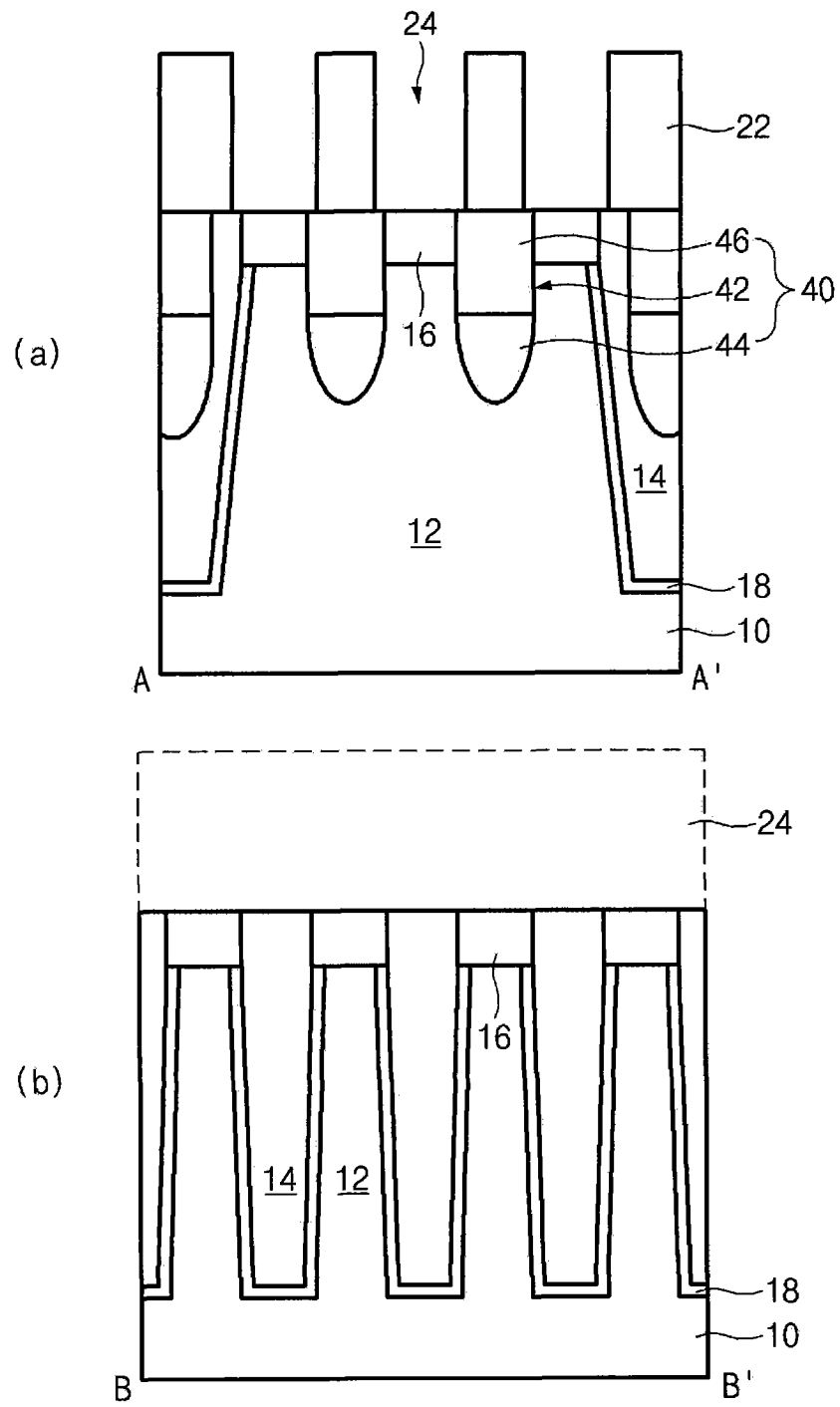


图3

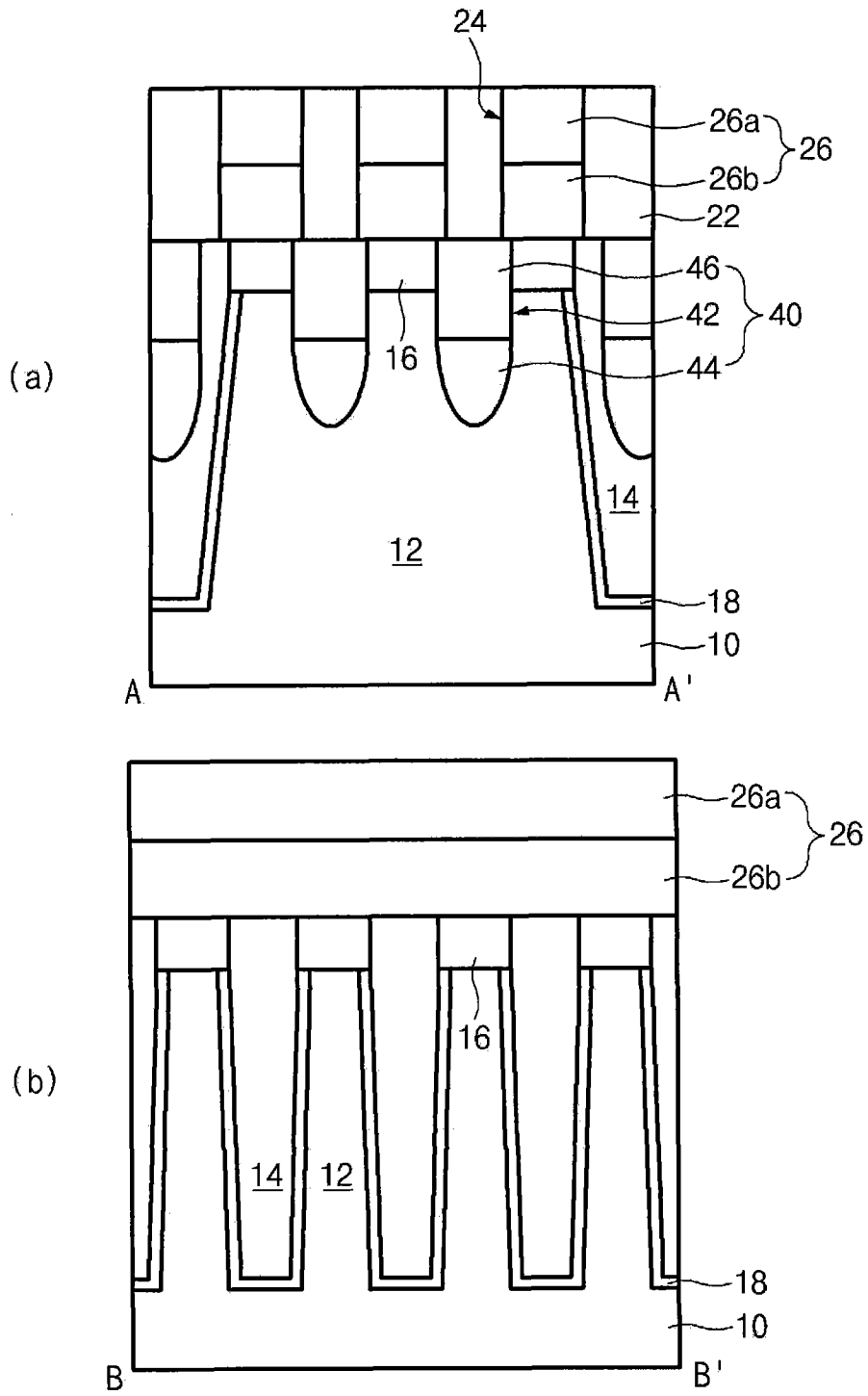


图4

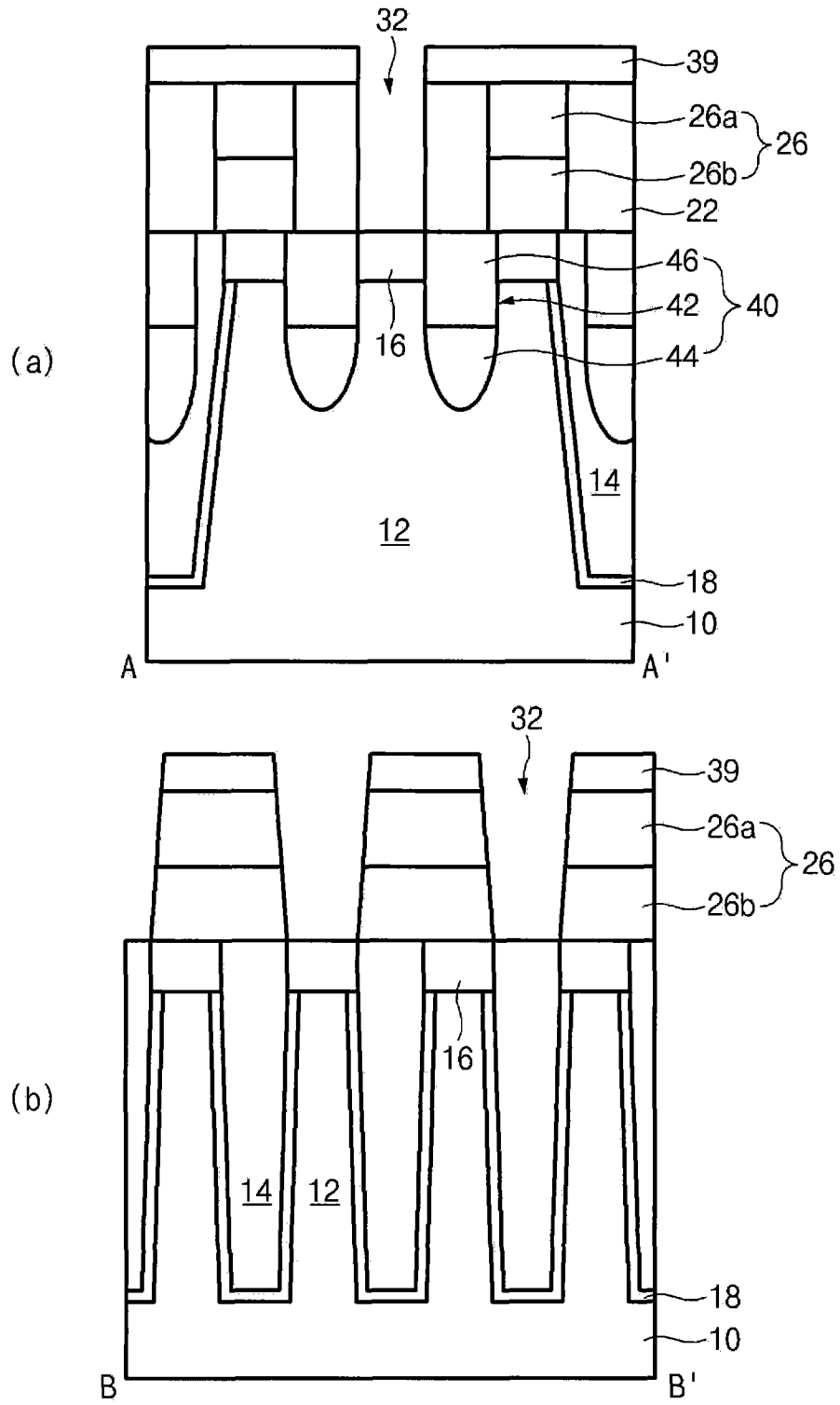


图5

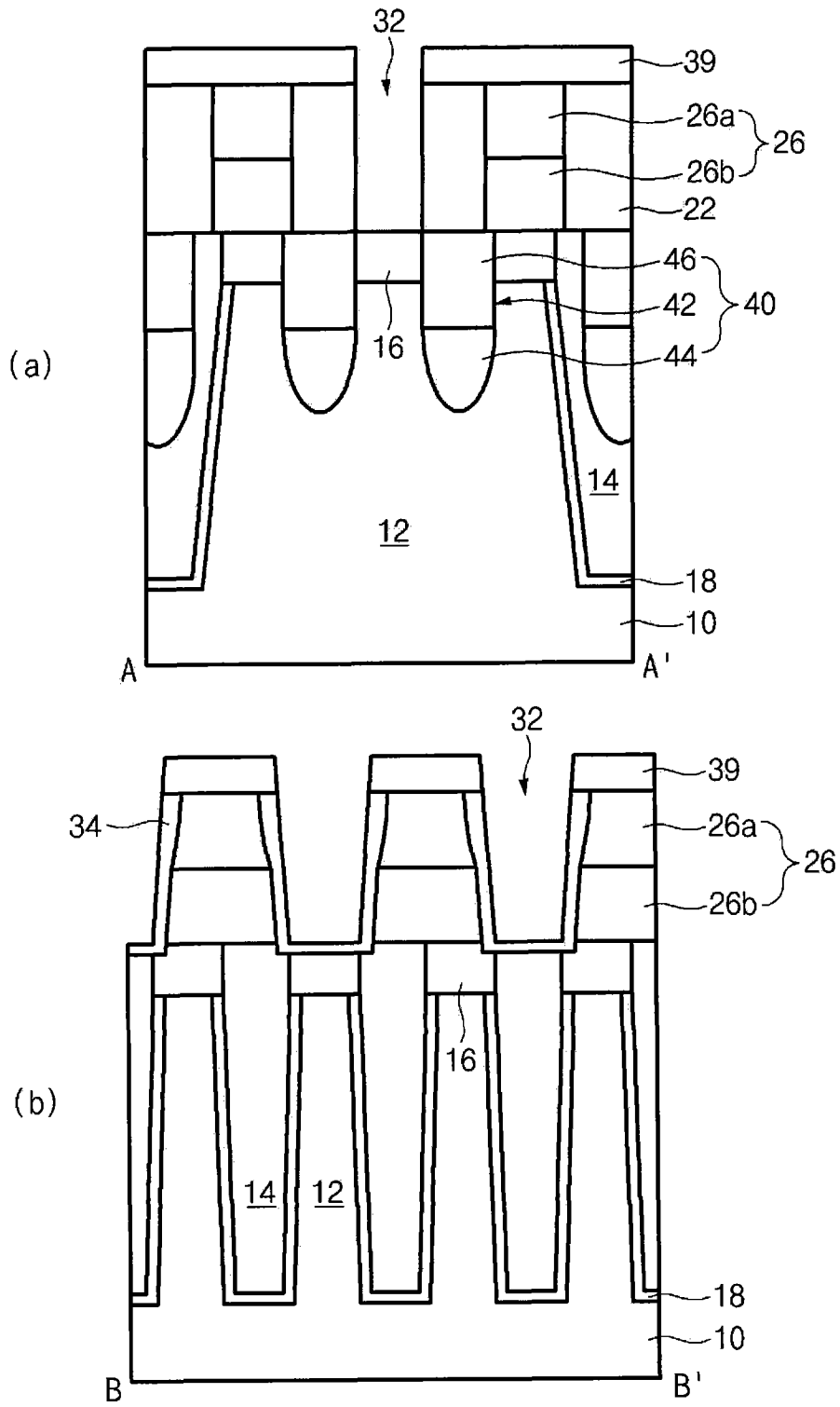


图6

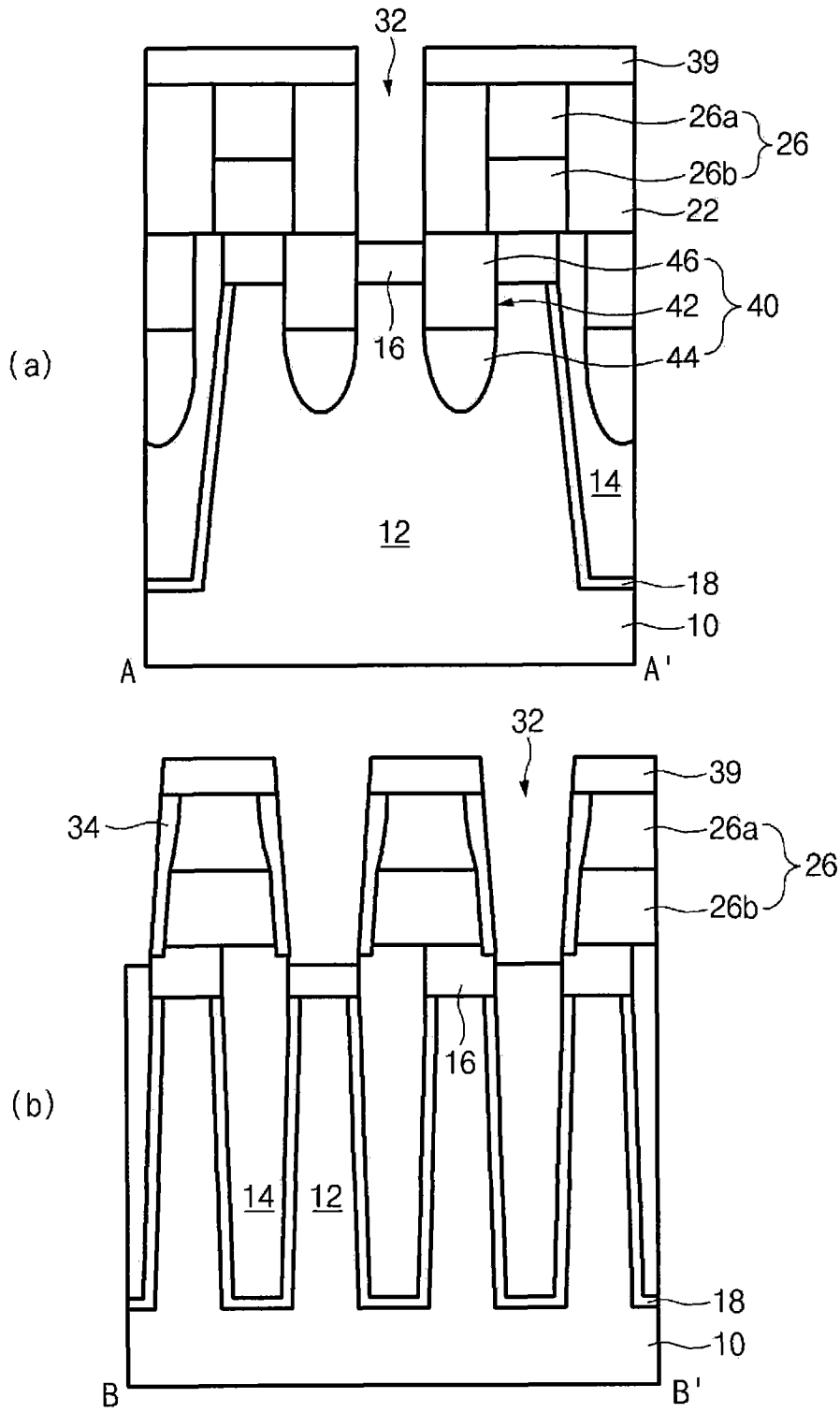


图7

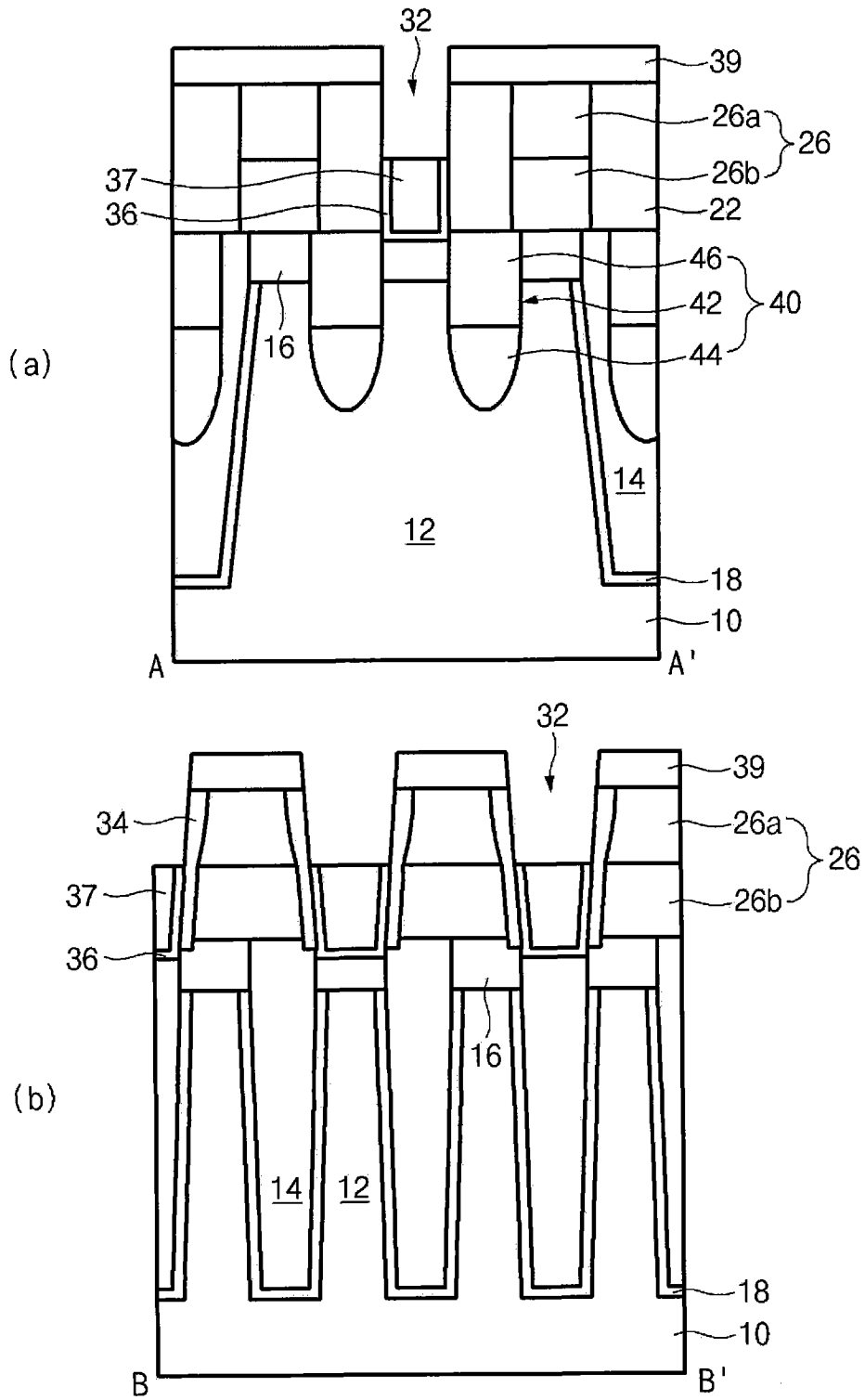


图8

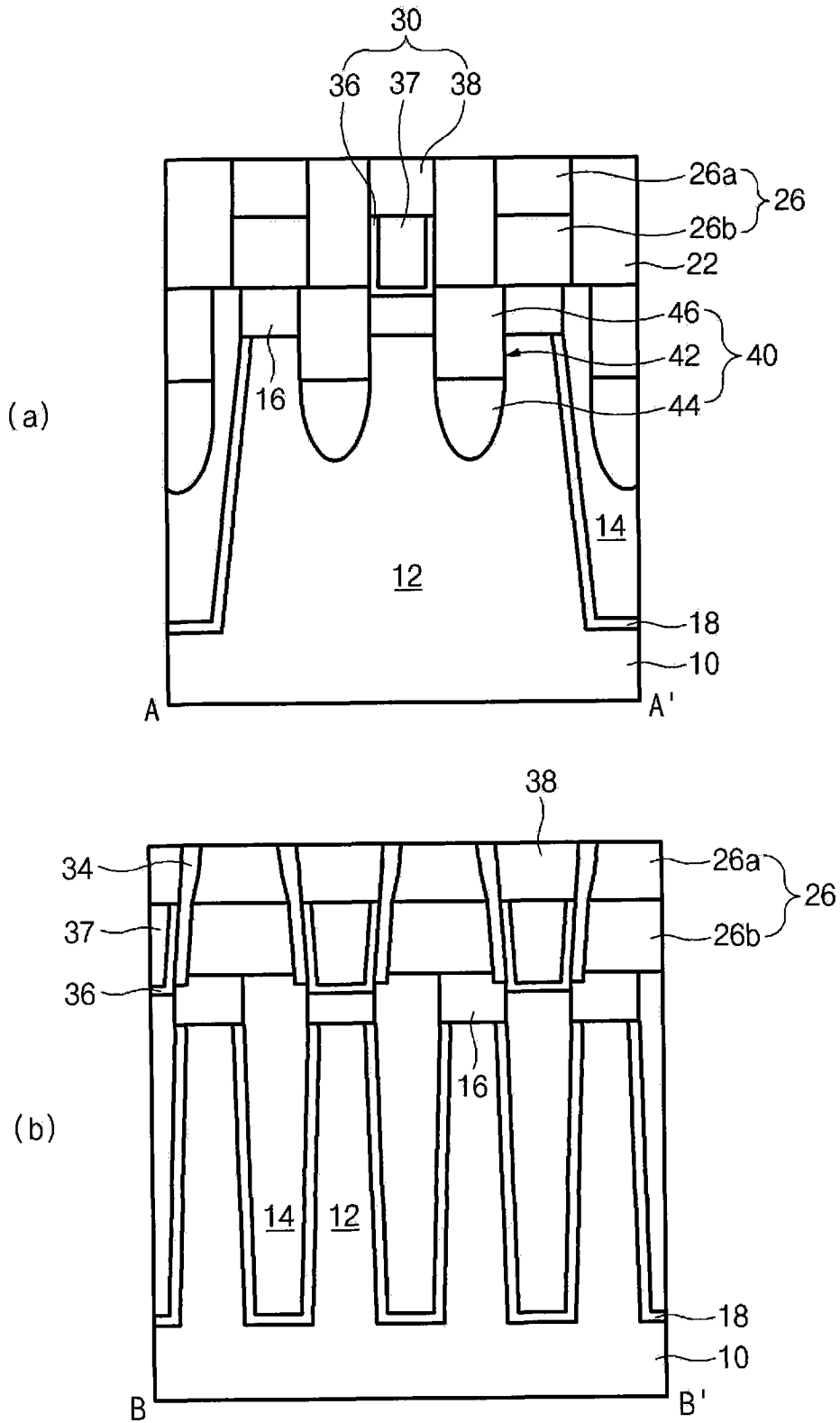


图9