

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5646044号  
(P5646044)

(45) 発行日 平成26年12月24日 (2014. 12. 24)

(24) 登録日 平成26年11月14日 (2014. 11. 14)

(51) Int. Cl.	F I
HO 1 L 21/337 (2006. 01)	HO 1 L 29/80 V
HO 1 L 21/338 (2006. 01)	HO 2 M 1/08 A
HO 1 L 29/808 (2006. 01)	HO 2 M 7/48 Z
HO 1 L 29/812 (2006. 01)	
HO 2 M 1/08 (2006. 01)	

請求項の数 13 (全 24 頁) 最終頁に続く

(21) 出願番号	特願2013-506829 (P2013-506829)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(86) (22) 出願日	平成23年3月30日 (2011. 3. 30)	(74) 代理人	100100310 弁理士 井上 学
(86) 国際出願番号	PCT/JP2011/001886	(74) 代理人	100098660 弁理士 戸田 裕二
(87) 国際公開番号	W02012/131768	(74) 代理人	100091720 弁理士 岩崎 重美
(87) 国際公開日	平成24年10月4日 (2012. 10. 4)	(72) 発明者	清水 悠佳 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
審査請求日	平成25年5月22日 (2013. 5. 22)	(72) 発明者	横山 夏樹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内 最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

炭化珪素基板に設けられた第1導電型のドレイン層と、  
前記ドレイン層上に形成された前記第1導電型の炭化珪素層と、  
前記炭化珪素層に形成された複数のトレンチと、  
前記トレンチに挟まれた領域であって、当該領域の前記炭化珪素層の表面に形成された前記第1導電型のソース層と、  
前記トレンチの側面に形成された、前記第1導電型と反対の導電型の第2導電型のゲート層と、  
前記トレンチの底部に形成された、前記第2導電型の半導体層と、  
前記炭化珪素基板の裏面に形成された第1の電極と、  
前記ソース層と前記半導体層とに接続された第2の電極と、  
前記ゲート層に接続された第3の電極と、を備え、  
前記ゲート層の前記ドリフト層側の端部が、前記トレンチの底面よりも前記炭化珪素基板の表面側に形成されていることを特徴とする炭化珪素半導体装置。

【請求項2】

請求項1記載の炭化珪素半導体装置において、  
前記端部と前記トレンチの底面までの距離が0.5 μm以上あることを特徴とする炭化珪素半導体装置。

【請求項3】

請求項 1 記載の炭化珪素半導体装置において、  
さらに、前記ゲート層と前記半導体層との間に、前記炭化珪素層よりも高い不純物濃度の前記第 1 導電型の半導体層を備えることを特徴とする炭化珪素半導体装置。

【請求項 4】

請求項 1 記載の炭化珪素半導体装置において、  
前記半導体層は、前記トレンチの底面の底全体に形成されていることを特徴とする炭化珪素半導体装置。

【請求項 5】

請求項 1 記載の炭化珪素半導体装置において、  
前記トレンチの底面中央部の前記炭化珪素層と前記第 2 の電極との間でショットキー接合を成すショットキー接合部があり、前記半導体層は、前記ショットキー接合部を挟んで配置されていることを特徴とする炭化珪素半導体装置。

10

【請求項 6】

請求項 5 記載の炭化珪素半導体装置において、  
前記ショットキー接合を成す金属はチタン、モリブデン、ニッケル、またはこれらのシリコン化合物のいずれかであることを特徴とする炭化珪素半導体装置。

【請求項 7】

請求項 1 記載の炭化珪素半導体装置において、  
前記第 1 導電型は n 型で、前記第 2 導電型は p 型であることを特徴とする炭化珪素半導体装置。

20

【請求項 8】

第 1 導電型のドレイン層上に形成された前記第 1 導電型の炭化珪素層を備えた炭化珪素基板であって、前記炭化珪素層の表面に、前記炭化珪素層の不純物濃度よりも高い濃度の前記第 1 導電型のソース層を形成する工程と、  
前記炭化珪素層の表面に複数のトレンチを形成する工程と、  
前記複数のトレンチの夫々の側壁に前記第 1 導電型と反対の導電型の第 2 導電型のゲート層を形成する工程と、  
前記ゲート層を形成した後に、前記複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、  
前記複数の深いトレンチの夫々の底部に前記第 2 導電型の半導体層を形成する工程と、  
前記炭化珪素基板の裏面に第 1 の電極を形成する工程と、  
前記ソース層及び前記半導体層に接続する第 2 の電極を形成する工程と、  
前記ゲート層と接続する第 3 の電極を形成する工程と、を備えることを特徴とする炭化珪素半導体装置の製造方法。

30

【請求項 9】

請求項 8 記載の炭化珪素半導体装置の製造方法において、  
前記エッチングは 0.5 μm 以上行うことを特徴とする炭化珪素半導体装置の製造方法。

【請求項 10】

請求項 8 記載の炭化珪素半導体装置の製造方法において、  
さらに、前記エッチングによって露出した深いトレンチの側壁に、前記炭化珪素層よりも高い不純物濃度の前記第 1 導電型の半導体層を形成する工程を備えることを特徴とする炭化珪素半導体装置の製造方法。

40

【請求項 11】

第 1 導電型のドレイン層上に形成された前記第 1 導電型の炭化珪素層を備えた炭化珪素基板であって、前記炭化珪素層の表面に、前記炭化珪素層の不純物濃度よりも高い濃度の前記第 1 導電型のソース層を形成する工程と、  
前記炭化珪素層の表面に複数のトレンチを形成する工程と、  
前記複数のトレンチの夫々の側壁に前記第 1 導電型と反対の導電型の第 2 導電型のゲート層を形成する工程と、  
前記ゲート層を形成した後に、前記複数のトレンチをエッチングすることでさらに深いト

50

レンチを形成する工程と、  
前記複数の深いトレンチの夫々の底部の外周部に前記第2導電型の半導体層を形成する工程と、  
前記複数の深いトレンチの夫々の前記半導体層に挟まれた領域に、ショットキー接合を形成する工程と、  
前記炭化珪素基板の裏面に第1の電極を形成する工程と、  
前記ソース層、前記半導体層および前記ショットキー接合に接続する第2の電極を形成する工程と、  
前記ゲート層と接続する第3の電極を形成する工程と、を備えることを特徴とする炭化珪素半導体装置の製造方法。

10

**【請求項12】**

請求項11記載の炭化珪素半導体装置の製造方法において、  
前記エッチングは0.5 $\mu$ m以上行うことを特徴とする炭化珪素半導体装置の製造方法。

**【請求項13】**

請求項11記載の炭化珪素半導体装置の製造方法において、  
さらに、前記エッチングによって露出した深いトレンチの側壁に、前記炭化珪素層よりも高い不純物濃度の前記第1導電型の半導体層を形成する工程を備えることを特徴とする炭化珪素半導体装置の製造方法。

**【発明の詳細な説明】****【技術分野】**

20

**【0001】**

本発明は、炭化珪素を母材に用いた半導体装置およびその製造方法に関するものである。

**【背景技術】****【0002】**

半導体パワー素子は、半導体基板からなる $n^+$ ドレイン領域と、この $n^+$ ドレイン領域上に形成されたエピタキシャル層からなる $n^-$ ドリフト領域と、この $n^-$ ドリフト領域上に形成された $n^+$ ソース領域と、この $n^+$ ソース領域を貫通して $n^-$ ドリフト領域に達するトレンチと、このトレンチの底部に形成された $p$ 型ゲート領域を備えている。

**【0003】**

30

このように構成されている半導体パワー素子において、オン抵抗の低減と耐圧の向上とは基板材料のバンドギャップで規定されるトレードオフの関係にある。すなわち、耐圧の向上を図るためには、基板材料の絶縁破壊電界強度を確保する必要がある。このため、半導体パワー素子の基板材料としてシリコンを用いる場合には、 $n^-$ ドリフト領域の厚さを厚くし、かつ、 $n^-$ ドリフト領域の不純物濃度を薄くすることにより、絶縁破壊電界強度を確保して耐圧の向上を図っている。しかし、耐圧を確保するために、 $n^-$ ドリフト領域の厚さを厚くし、かつ、 $n^-$ ドリフト領域の不純物濃度を低くすると、 $n^+$ ソース領域と $n^+$ ドレイン領域との間のオン抵抗が大きくなる。このように、半導体パワー素子では、耐圧の向上とオン抵抗の低減とはトレードオフの関係がある。

**【0004】**

40

このとき、絶縁破壊電圧強度は基板材料のバンドギャップの大きさに依存するため、基板材料としてバンドギャップの大きな材料を使用することにより耐圧の確保が容易となる。すなわち、シリコンよりもバンドギャップの大きな材料を基板材料として使用すれば、シリコンの場合のように、 $n^-$ ドリフト領域の厚さを厚くし、かつ、 $n^-$ ドリフト領域の不純物濃度を低くしなくても耐圧を確保できるのである。つまり、シリコンよりもバンドギャップの大きな材料を基板材料として使用することにより、シリコンと同等の耐圧を確保する上で、シリコンの場合よりも、 $n^-$ ドリフト領域の厚さを薄くし、かつ、 $n^-$ ドリフト領域の不純物濃度を高くすることが可能となる結果、 $n^+$ ソース領域と $n^+$ ドレイン領域との間のオン抵抗を小さくすることができるのである。

**【0005】**

50

このように、半導体パワー素子として広く用いられているシリコン素子の性能を超えるためには、シリコンよりもバンドギャップが大きな基板材料を用いることが有効であることがわかる。特に、炭化珪素(炭化シリコン、SiC)は、シリコンに比べバンドギャップが約3倍と十分に大きいこと、p型およびn型の導電型を容易に形成できること、熱酸化により酸化膜を形成できることなどの特徴を有することから、高性能のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの素子を実現できる可能性があり大きな注目を集めている。

#### 【0006】

しかしながら、炭化珪素上に形成する酸化珪素膜には大きな問題がある。それは、炭化珪素を熱酸化すると酸化珪素膜中に炭素が残留し高密度の界面準位が形成されてしまうことである。これにより、MOSFETのチャンネル移動度は大きく劣化しオン抵抗が著しく上昇してしまう。また、酸化珪素膜中の炭素は酸化珪素膜の信頼性劣化の原因ともなり、MOSFETを実現するための大きな障壁となっている。

#### 【0007】

酸化珪素膜の界面で発生する界面準位の問題を回避する素子の構造として、接合FETがある。接合FETはチャンネル形成領域とゲート層との間にpn接合を形成し、このpn接合から延びる空乏層の幅を制御することでチャンネルをオン/オフ制御するタイプの素子である。通常は、ゲート層に負の電圧をかけチャンネル形成領域中に空乏層を伸ばしてオフさせるノーマリオン型の接合FETが使用される。しかし、ノーマリオン型の接合FETはフェールセーフの観点から用途が限定される。すなわち、ノーマリオン型の接合FETは、通常、チャンネルがオンして電流が流れており、チャンネルをオフする必要があるときにゲートに負電圧を印加してpn接合から空乏層を延ばしてチャンネルをオフする。したがって、接合FETのゲートがなんらかの原因で壊れた場合、チャンネルがオンしたまま電流が流れ続けることになる。通常、接合FETが壊れた場合は電流が流れないことが安全性の観点から望ましいが、ノーマリオン型の接合FETでは、接合FETのゲートが壊れた場合でも電流が流れ続けるので用途が限定されるのである。

#### 【0008】

したがって、半導体パワー素子では一般にノーマリオフ型が望まれる。このとき、シリコンの接合FETはノーマリオフで高耐圧を持たすことが困難となる。これは、シリコンのpn接合の拡散電位が小さいことから、ゲート層に電圧を印加しない状態では、pn接合からの空乏層の伸びが充分とはいえず、チャンネルを完全にオフすることができないからである。つまり、シリコンの接合FETでは、チャンネルをオフさせるために、ゲート層に負電圧を印加する必要があるが、ノーマリオフ状態を実現することが困難となる。これに対し、炭化珪素を用いた接合FETでは、チャンネル幅を狭くすることにより、ノーマリオフ型の接合FETで高耐圧を実現することができる。これは、炭化シリコンのpn接合の拡散電位が約2.5Vと高いため空乏層が十分に伸び、ゲート層に負の電圧をかけなくてもチャンネルを完全に空乏化できるからである。これにより、ノーマリオフ型の接合FETで酸化珪素膜の界面に関係のない高性能の半導体パワー素子を実現することが可能となる。炭化珪素を用いたノーマリオフ型の接合FETの一例が特許文献1に例示されている。

#### 【先行技術文献】

#### 【特許文献】

#### 【0009】

【特許文献1】特開2004-134547号公報

【特許文献2】特開2007-281352号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0010】

特許文献1に示されるノーマリオフ型の接合FETは、ドリフト層中の基板表面にトレンチが形成されており、トレンチの側壁と底がp領域となりゲートを形成している。この構造だと、素子中でゲートドレイン間のpn接合が占める面積の割合が大きく、ゲートド

10

20

30

40

50

レイン間の容量が大きいという特徴がある。ゲートドレイン間の容量が大きいと下記のような不具合が起こる可能性がある。すなわち、接合FETがスイッチングする際、ドレイン電圧はオン状態の1V付近からオフ状態の300~1000V程度まで急激に変化することになる。電圧の変動が起こると、容量成分には充放電電流が流れる。充放電電流は容量の大きさおよび電圧の時間当たりの変化率に比例するため、ゲートドレイン間の容量が大きいと、スイッチングの際に、ゲートに瞬間的に大きな電流が流れることになる。ゲートに流れる瞬間的な大きな電流はゲートドライバを破壊する可能性があり、逆にゲートドライバを破壊させないためには大きな電流でも流せるゲートドライバを開発する必要があり非常にコストが高くなる。以上のような観点から、ゲートドレイン間の容量は小さく抑える必要がある。しかしながら、トレンチ型のノーマリオフ接合FETのゲートドレイン間容量は、ゲートのp領域とドリフト層のpn接合で決まっており、単純に容量を下げようとするとドリフト層の濃度を下げるしかない。しかしながら、ドリフト層の濃度を下げるとオン抵抗が上がるため、ゲートドレイン間容量の低減とオン抵抗の低減はトレードオフの関係にあるといえる。

10

**【0011】**

オン抵抗を上げずにゲートドレイン間容量を低減できる構造として、トレンチ底にゲートと分離してp領域を形成し、そのp領域をソースに短絡させるという構造が提案されている。本構造では、ドリフト層とpn接合をなすゲート領域の面積が従来の半分程度となるため、ゲートドレイン間容量を従来の半分程度にできる。しかしながら、ゲートドレイン間容量は従来の半分では十分でなく、さらに低減させる必要がある。また、本構造ではゲートとソースの耐圧を確保するために、ある程度ゲートとソースに距離をとる必要がある。この場合、トレンチ底の面積が広がってしまうため、面積あたりの性能が落ちてしまう、すなわち、単位面積当たりの素子の個数が低減してしまうという問題点がある。トレンチ底にゲートと分離してp領域を形成し、そのp領域をソースに短絡させるという構造の一例が特許文献2に例示されている。

20

**【0012】**

上記のように、ノーマリオフ型の接合FETでは、耐圧、オン抵抗の性能を下げることなく、ゲートドレイン間の容量を小さくすることはできなかった。また、トレンチ底の面積(トレンチの幅)を広げることなく、ゲートドレイン間の容量を小さくすることはできなかった。

30

**【課題を解決するための手段】****【0013】**

本発明は、トレンチ型接合FETにおいて、ゲートをトレンチの側壁のうち上部のみとし、トレンチ底に形成しソースと短絡させたp領域と基板表面に対して垂直方向に距離をとることを最も主要な特徴とする。

**【0014】**

具体的に本願の代表的な発明は以下のとおりである。本願発明は、炭化珪素基板に設けられた第1導電型のドレイン層と、ドレイン層上に形成された第1導電型の炭化珪素層と、炭化珪素層に形成された複数のトレンチと、トレンチに挟まれた領域であって、当該領域の炭化珪素層の表面に形成された第1導電型のソース層と、トレンチの側面に形成された、第1導電型と反対の導電型の第2導電型のゲート層と、トレンチの底部に形成された、第2導電型の半導体層と、炭化珪素基板の裏面に形成された第1の電極と、ソース層と半導体層とに接続された第2の電極と、ゲート層に接続された第3の電極と、を備え、ゲート層のドリフト層側の端部が、トレンチの底面よりも炭化珪素基板の表面側に形成されている炭化珪素半導体装置である。

40

**【0015】**

また、別の本願発明は、第1導電型のドレイン層上に形成された第1導電型の炭化珪素層を備えた炭化珪素基板であって、炭化珪素層の表面に、炭化珪素層の不純物濃度よりも高い濃度の第1導電型のソース層を形成する工程と、炭化珪素層の表面に複数のトレンチを形成する工程と、複数のトレンチの夫々の側壁に第1導電型と反対の導電型の第2導電

50

型のゲート層を形成する工程と、ゲート層を形成した後に、複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、複数の深いトレンチの夫々の底部に第2導電型の半導体層を形成する工程と、炭化珪素基板の裏面に第1の電極を形成する工程と、ソース層及び半導体層に接続する第2の電極を形成する工程と、ゲート層と接続する第3の電極を形成する工程と、を備える炭化珪素半導体装置の製造方法である。

【0016】

また、別の本願発明は、第1導電型のドレイン層上に形成された第1導電型の炭化珪素層を備えた炭化珪素基板であって、炭化珪素層の表面に、炭化珪素層の不純物濃度よりも高い濃度の第1導電型のソース層を形成する工程と、炭化珪素層の表面に複数のトレンチを形成する工程と、複数のトレンチの夫々の側壁に第1導電型と反対の導電型の第2導電型のゲート層を形成する工程と、ゲート層を形成した後に、複数のトレンチをエッチングすることでさらに深いトレンチを形成する工程と、複数の深いトレンチの夫々の底部の外周部に第2導電型の半導体層を形成する工程と、複数の深いトレンチの夫々の半導体層に挟まれた領域に、ショットキー接合を形成する工程と、炭化珪素基板の裏面に第1の電極を形成する工程と、ソース層、半導体層およびショットキー接合に接続する第2の電極を形成する工程と、ゲート層と接続する第3の電極を形成する工程と、を備える炭化珪素半導体装置の製造方法である。

【発明の効果】

【0017】

本発明では、ゲートp領域の底部に対し、トレンチ底に形成されソースと短絡されたp領域(p半導体層)の底部が十分深く、トレンチ底p領域から伸びる空乏層によりゲート領域が遮蔽されることにより、ゲートドレイン間の容量が小さくなる。また、ゲート領域とトレンチ底p領域が基板表面に対して垂直方向に距離をとっているため、トレンチの幅(セルピッチ)を大きくすることなくゲートソース間の耐圧を確保することができる。

【図面の簡単な説明】

【0018】

【図1】本発明による半導体装置の第1の実施例の断面構造図である。

【図2】特許文献1の概略断面構造図である。

【図3(a)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(b)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(c)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(d)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(e)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(f)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(g)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(h)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図3(i)】本発明による半導体装置の第1の実施例の製造方法を示す図である。

【図4】本発明による半導体装置の第1の実施例のチップイメージである。

【図5】本発明による半導体装置の第1の実施例の平面レイアウトの一例である。

【図6】本発明による半導体装置の第1の実施例の特性図である。

【図7】本発明による半導体装置の第1の実施例の特性の説明図である。

【図8】本発明による半導体装置の第1の実施例の特性図である。

【図9】本発明による半導体装置の第1の実施例の特性図である。

【図10】本発明による半導体装置の第2の実施例の断面構造図である。

【図11(a)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図11(b)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図11(c)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図11(d)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図11(e)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図11(f)】本発明による半導体装置の第2の実施例の製造方法を示す図である。

【図 1 1 ( g )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( h )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( i )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( j )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( k )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( l )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( m )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 1 ( n )】本発明による半導体装置の第 2 の実施例の製造方法を示す図である。

【図 1 2】本発明による半導体装置の第 2 の実施例の等価回路図である。

【図 1 3】本発明による半導体装置を実装した際の第 3 の実施例の鳥瞰図である。

10

【図 1 4】本発明による半導体装置の第 4 の実施例のゲートドライバの回路図である。

【図 1 5】本発明による半導体装置をインバータに適用した際の第 5 の実施例の回路図である。

【図 1 6】接合 F E T の等価回路図である。

【発明を実施するための形態】

【実施例 1】

【0019】

以下、本発明の実施例 1 を図面を用いて説明する。図 1 は本発明の実施例 1 の接合 F E T の断面構造図を、図 2 は特許文献 1 の接合 F E T の概略断面構造図を比較のため示している。ドレイン領域となる n+基板（炭化珪素基板）1 上に n-ドリフト層（炭化珪素層）2 がエピタキシャル成長により形成され、ドリフト層 2 の表面に n+ソース領域 3 とトレンチ 1 1 の側壁上部に p ゲート領域 4 が形成されている。すなわち、p ゲート領域 4 のドリフト層側の端部が、トレンチ 1 1 の底面よりも基板表面側に形成されている。トレンチ 1 1 の底には p 領域 6 が形成されており、p 領域 6 はトレンチ側壁下部に形成された n 領域 5 によりゲート領域 4 と電気的に分離されている。但し、この n 領域 5 は必ずしも必須ではない。図は電流が流れるアクティブ領域のみを示しているが、アクティブ領域の周りには電界緩和のためのターミネーション領域が形成されている。また、ドレインのコンタクト領域 1 0 が裏に、ソースコンタクト領域 8 とトレンチ底コンタクト領域 7 が表に、それぞれオーム性接触にて形成されている。ソースコンタクト領域 8 とトレンチ底コンタクト領域 7 はソース電極 9 にて電気的に接続されている。さらに、図示はしていないが表側はアルミニウムの 2 層配線がほどこされ、表のソースパッドとゲートパッドおよび裏のドレインパッドの 3 端子構造となっている。一方、図 2 の接合はトレンチ 1 1 の側壁および底部はすべて p 領域 4 で覆われており、ゲート電極に接続されている。このように、構造上、トレンチ 1 1 の周辺の構造が大きく異なっている。

20

30

【0020】

本発明と公知例の大きな違いは、容量特性にある。図 1 6 は接合 F E T に存在する寄生容量を示した等価回路図である。接合 F E T には、ゲート ( G )、ソース ( S )、ドレイン ( D ) の各端子間に寄生容量 ( C g s、C g d、C s d ) があり、デバイスの特性に大きく影響している。特にスイッチングに重要なゲート、ドレイン間の容量 ( C g d ) は、図 2 の構造においては、トレンチ底 p 領域 6 とドリフト層 2 間の p n 接合の容量で決まる。トレンチ底の p 領域は高濃度であるため p 領域側にはほとんど空乏層が伸びず、p n 接合はドリフト層の濃度と厚さでほぼ決まることになる。炭化珪素を用いたパワーデバイスは S i デバイスに比べドリフト層の濃度が高いため、空乏層が伸びにくく、p n 接合の容量、つまりゲートドレイン間の容量は大きくなってしまふ。一方、本発明の構造においては、ゲート電極に接続されたトレンチ側壁 p 領域 4 はソース電極に接続されたトレンチ底 p 領域 6 に遮蔽されるためドリフト層に向かって空乏層が伸びにくい。そのため、図 2 に比べゲート、ドレイン間の容量が非常に小さくすることができる。

40

【0021】

次に本実施例の動作について説明する。まず、ブロッキング状態では、ゲートに 0 V または負の電圧を加えた状態でドレインに 1 0 0 V ~ 数 k V もの電圧がかかる。このとき、

50

チャンネルはゲートから空乏層が全体に広がっており、ソース・チャンネル間にはエネルギー障壁ができる。これにより、ブロッキング状態を維持することができる。一方、オン状態ではゲートに2.5 V程度、ドレインに1 - 2 V程度の電圧を印加する。これにより、ゲート・チャンネル間の空乏層が狭まりキャリアの経路ができるため、ドレインに印加した電圧よりソースからキャリアが流れる。次に、スイッチングの動作について説明する。スイッチングの際は、ゲート電圧の切り替えにより、オンからオフ、またはオフからオンに切り替わる。このときドレインにかかる電圧が数100 Vから1 V程度へと急激に変化する。ドレイン電圧の変化によりゲートドレイン間容量およびソースドレイン間容量に充放電が起こり、電流が流れる。このとき充放電電流はドレイン電圧の変化率および各容量に比例する。そのため、各容量に応じた電流がソースおよびゲートに流れることになる。本実施例では、図2に比べゲートドレイン間容量が大幅に低減しているため、ゲートに流れる電流は低く抑えられている。

#### 【0022】

本実施例は耐圧600 Vクラスを想定しており、ドリフト層の濃度は $2 \times 10^{16} \text{ cm}^{-3}$ 、厚さは7  $\mu\text{m}$ 、トレンチの深さは1.8  $\mu\text{m}$ 、幅は1  $\mu\text{m}$ である。ソースの幅はデバイス特性、特に閾値電圧に直接関係するため、0.8 - 1.0  $\mu\text{m}$ 程度に幅を持たせている。ゲートおよびトレンチ底p領域はアルミニウムを不純物としたp型であり、ピーク濃度はそれぞれ $10^{18}$ 、 $10^{19} \text{ cm}^{-3}$ 程度である。ゲート領域およびトレンチ底p領域を分離するトレンチ側壁下部のn領域は、窒素を不純物としており不純物濃度は $10^{17} \text{ cm}^{-3}$ 程度、ゲート領域とトレンチ底p領域の距離は0.8  $\mu\text{m}$ 程度である。この不純物濃度は、n-ドリフト層（炭化珪素層）2よりも高い不純物濃度である。また、この距離は、0.5  $\mu\text{m}$ 未満になるとゲートに電圧を印加した際にパンチスルーしてしまい、ゲートソース間で電流が流れてしまうため、0.5  $\mu\text{m}$ 以上が望ましい。本実施例1では余裕を持って0.8  $\mu\text{m}$ 程度としている。

#### 【0023】

次に、図3を用いて本実施例の作製方法について説明する。まず、n+基板（炭化珪素基板）上にn-エピタキシャル層を成長させた基板を用意する。n+基板の面方位はSi面でオフ角は4度であるが、面方位はC面でも（11-20）面でもよく、オフ角は8度でも0度でもn-エピタキシャル層が均一に成長すれば問題ない。次に、酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素を加工し、それをハードマスクとしてイオン注入によりターミネーション領域となるp領域を形成する（図示せず）。イオン種はアルミニウムで濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。ターミネーション領域はゲート領域よりも深い必要があるため最大で2 MeVの多段注入が必要である。本実施例ではJTE（Junction Termination Extension）構造を採用しているがガードリング構造でもメサ構造でもその他の構造でも構わない。次に、図3（a）に示すように、ターミネーション領域の形成方法と同じ方法でソースとなるn+領域3及びゲートのコンタクト領域となるp+領域を形成する。図では全面にn+領域を形成しているが、素子の要部断面を図示しているためゲートのコンタクト領域やターミネーション領域は図示していない。イオン種はシート抵抗が小さくなるよう、n+は窒素がp+はアルミニウムとし、ゲート耐圧確保のためn+のイオン注入は500度で行った。

#### 【0024】

次に、図3（b）に示すように、トレンチ加工のハードマスクとして酸化珪素を堆積しリソグラフィおよびドライエッチングにより酸化珪素21を加工し、それをハードマスクとしてドライエッチングによりトレンチを形成する。このとき、チャンネル幅を一定に保つためにトレンチはできるだけ垂直に近い方がよい。また、トレンチ深さは約1.0  $\mu\text{m}$ である。次に、図3（c）に示すように、トレンチ加工のハードマスクをそのまま用いトレンチ側面にゲートとなるp領域（半導体層）22をイオン注入により形成する。イオン種はアルミニウムで、斜めイオン注入の角度は25度で、エネルギーは最大で100 keVの多段注入とした。この場合も、ゲート抵抗を低減するために500度で注入した。ただし、ゲート耐圧が5 V程度でよければイオン注入は室温でもよい。また、ここでチャンネル

10

20

30

40

50

の濃度を上げるためにn型不純物を斜め注入しても良い。エネルギーは400keV程度である。なお、トレンチは矩形であり、斜め注入は4方向から行うため図のようにトレンチ底にもイオンは注入される。

【0025】

次に、図3(d)に示すように、前工程でのハードマスクを用いさらにトレンチをエッチングし掘り込む。このときの掘り込む深さは約0.8 $\mu$ mであり、全工程で注入されたトレンチ底のp領域はすべて除去される。このエッチングの掘り込む深さにより、後のゲートとなるp領域22とトレンチ底p領域6との距離が決まってくる。そのため、この深さは、前述のパンチスルーを回避するため0.5 $\mu$ m以上が望ましい。

【0026】

次に、図3(e)に示すように、前工程でのハードマスクを用い、トレンチ底にイオン注入することにより、トレンチの底面の底全体にp領域6を形成する。イオン種はアルミニウムで、垂直方向に最大100keVにて注入を行った。このとき、垂直注入でもイオンの跳ね返りなどによりトレンチ側壁下部にもイオンが注入されてしまい、p領域となってしまう。この領域を打ち戻すために、図3(f)に示すように、n型不純物の斜め注入を行う。イオン種は窒素でエネルギーは50eVとした。このとき、打ち戻したn領域23の濃度はあまり高すぎると電界が集中しやすくなり耐圧が落ちるため、耐圧が落ちないように $10^{17}$ cm<sup>-3</sup>程度とした。但し、イオンの跳ね返りによるトレンチ側壁下部へのイオン注入の程度が少ない場合には、n型不純物の斜め注入を行う必要はない。しかしながら、この斜め注入を行うことで、p領域22とp領域6との電気的な分離を確実に確保することができる効果があるため斜め注入を行うことが望ましい。また、斜め注入を行う場合には、不純物濃度が高すぎると耐圧低下の問題があるため必要以上に高くする必要はないが、ドリフト層の不純物濃度よりも高くすることが望ましい。

【0027】

ハードマスク除去後、1650度程度でアルゴン雰囲気中で活性化アニールを行い、犠牲酸化後に層間絶縁膜24を形成する(図3(g))。次に、図3(h)に示すように、炭化珪素基板の表と裏に、Niを主成分とする合金を形成する。表は、リソグラフィとドライエッチングによりコンタクトホールを空け、Niを堆積させ1000度のシリサイド化アニールによりシリサイドを形成し、最後に未反応メタルを除去する。これによりトレンチ底コンタクト領域7とソースコンタクト領域8が形成される。裏も同様にNiを堆積させ1000度のシリサイド化アニールによりシリサイドを形成する。これにより、ドレインコンタクト領域10が形成される。その後、図3(i)に示すように、アルミの配線9によりソースコンタクトとトレンチ底のコンタクトを接続する。最後に酸化珪素を層間絶縁膜としたアルミニウム2層配線を形成し、アルミの配線9に接続されたソースパッド、ゲート領域4に接続されたゲートパッドを開口してデバイスを完成させる。本実施例では、p領域の不純物をアルミニウム、n領域の不純物を窒素としたが、p領域はボロンでもよく、n型領域はリンでもよい。

【0028】

図4に本実施例のチップレイアウトを示す。ターミネーション領域に囲まれるようにアクティブ領域があり、アクティブ領域上にソースパッド25が配置されている。また、ソースパッド25の脇にゲートパッド26が配置されている。チップサイズはアクティブで2.0mm<sup>2</sup>である。

【0029】

アクティブ領域を拡大したレイアウト図を図5に示す。n+ソース領域3とp+ゲート引き出し領域9に囲まれるように、トレンチ11がライン状に形成されている。チャンネルの面積を大きく取るためにソースが正方形ではなく一方に長くなっているライン型の配置がよい。上側のソース領域3と下側ソース領域3の間にはゲートを引き出すためのp領域13が配置されており、ここでコンタクトをとりゲート配線につなげている。このゲート配線は図4のゲートパッド26に接続されている。ラインの向きはどの方向でも構わないが、基板のオフ角の方向に平行に配置すると、左右からの斜めイオン注入の方向が等価にな

10

20

30

40

50

るため、チャンネルの両側の p+領域のプロファイルが同等になる。ラインの長さとしては、あまり短すぎるとデバイス面積当たりのチャンネル面積が小さくなり電流が小さくなってしまい、あまり長すぎるとゲート抵抗が大きくなりスイッチング速度が遅くなってしまうため、適当な長さを選択する必要がある。本実施例ではライン長は 20  $\mu\text{m}$ としている。

【0030】

次に、本発明の効果について本実施例の特性図を用いて説明する。図6は本実施例と図2に示した構造を同時に作製した際の、ゲートドレイン間容量特性を示している。図2の構造に比べ本実施例ではゲートドレイン間容量が約1桁低減しているのがわかる。

【0031】

ゲートドレイン間容量が低減した理由を図7を用いて説明する。図7の破線はゼロバイアス時の空乏層端を示している。チャンネルは両側のゲート領域により完全に空乏化され、トレンチ底 p 領域6からも空乏層が伸びている。この状態からドレイン電圧を印加していくと、図2の構造ではゲート領域からドレイン領域に向かって空乏層が伸びていったが、本実施例ではすぐに隣り合うトレンチ底 p 領域6から伸びる空乏層がつながり、ドレインから見てゲートが遮蔽される。これにより、ゲートドレイン間の容量が小さくなる。このように、ゲートドレイン間の容量はいかにトレンチ底 p 領域によりゲートを遮蔽できるかで決まるため、ゲート端からトレンチ底までの距離が遠いほどゲートが遮蔽され容量は小さくなる。

【0032】

図8は、ゲート端からトレンチ底までの距離とゲートドレイン間容量の関係を示したものである。距離が0.5  $\mu\text{m}$ 未満では十分遮蔽されていないが、0.5から1.5  $\mu\text{m}$ の範囲で飽和傾向が見られる。そのため、この距離は0.5  $\mu\text{m}$ 以上が望ましい。以上の検討から、本実施例では0.8  $\mu\text{m}$ 程度を採用している。耐圧、オン抵抗に関しては、従来構造と大きな差はみられない。ただし、本発明の構造では、ブロッキング状態において、ドレインからのポテンシャルをトレンチ底 p 領域でブロックし、チャンネルのポテンシャル低下を抑えることができるため、チャンネルの条件によっては耐圧が上がることもある。

【0033】

また、図9に示すとおり、ゲートソース間の電流に関しても、ゲート端からトレンチ底までの距離が近いとパンチスルーして電流が流れてしまうため、ゲートソース間電流の観点からもゲート端からトレンチ底までの距離をとることが望ましい。具体的には、0.5 30  
未満の距離で急激にゲート電流が流れることから、0.5  $\mu\text{m}$ 以上の距離を確保することが望ましい。

【0034】

以上より、本発明では、ゲート p 領域の底部に対し、トレンチ底に形成されソースと短絡された p 領域 ( p 半導体層 ) の底部が十分深く、トレンチ底 p 領域から伸びる空乏層によりゲート領域が遮蔽されることにより、ゲートドレイン間の容量が小さくなる。また、ゲート領域とトレンチ底 p 領域が基板表面に対して垂直方向に距離をとっているため、トレンチの幅 ( セルピッチ ) を大きくすることなくゲートソース間の耐圧を確保することができる。

【実施例2】

【0035】

次に、本発明の第2の実施例を図10に示すデバイス断面構造図を用いて説明する。ドレイン領域となる n+基板 ( 炭化珪素基板 ) 1 上に n-ドリフト層 ( 炭化珪素層 ) 2 がエピタキシャル成長により形成され、ドリフト層2の表面に n+ソース領域3とトレンチ11の側壁上部に p ゲート領域4が形成されている。すなわち、p ゲート領域4のドリフト層側の端部が、トレンチ11の底面よりも基板表面側に形成されている。トレンチ11の底面には p 領域6が形成されており、p 領域6はトレンチ側壁下部に形成された n 領域5によりゲート領域4と電氣的に分離されている。但し、この n 領域5は必ずしも必須ではない。トレンチ11底の中央部にはショットキーコンタクト14が形成されており、p 領域6は図示されているように、このショットキー接合部を挟んで配置されている。図は電流が 50

流れるアクティブ領域のみを示しているが、アクティブ領域の周りには電界緩和のためのターミネーション領域が形成されている。また、ドレインのコンタクト領域10が裏に、ソースコンタクト領域8が表に、それぞれオーム性接触にて形成されている。ソースコンタクト領域8とショットキーコンタクト領域14はソース電極9にて電氣的に接続されている。

#### 【0036】

第2の実施例の作製方法を図11を用いて説明する。n+ソース領域3を形成するところまでは第1の実施例の図3(a)と同様である。その後、図11(b)に示すようにアモルファルシリコンと酸化珪素を積層させ、リソグラフィおよびドライエッチングにより酸化珪素21およびアモルファルシリコン27を加工する。次に、図11(c)に示すように、それをハードマスクとしてトレンチ11を形成する。このとき、チャネル幅を一定に保つためにトレンチはできるだけ垂直に近い方がよい。また、トレンチ深さは約1.0 μmである。次に、図11(d)に示すように、トレンチ加工のハードマスクをそのまま用いトレンチ側面にゲートとなるp領域22をイオン注入により形成する。イオン種はアルミニウムで、斜めイオン注入の角度は25度で、エネルギーは最大で100 keVの多段注入とした。

10

#### 【0037】

次に、図11(e)に示すように、前工程でのハードマスクを用いさらにトレンチを掘り込む。このときの掘り込む深さは約0.8 μmであり、全工程で注入されたトレンチ底のp領域22はすべて除去される。このエッチングの掘り込む深さにより、後のゲートとなるp領域22とトレンチ底p領域6との距離が決まってくる。そのため、この深さは、実施例1同様のパンチスルーを回避するため0.5 μm以上が望ましい。

20

#### 【0038】

次に、図11(f)に示すように、n型不純物の斜め注入を行い、n領域23を形成する。イオン種は窒素でエネルギーは50 keVとした。必ずしもn型不純物の斜め注入を行う必要はない。しかしながら、この斜め注入を行うことで、p領域22とp領域6との電氣的な分離を確実に確保することができる効果があるため斜め注入を行うことが望ましい。また、斜め注入を行う場合には、不純物濃度が高すぎると耐圧低下の問題があるため必要以上に高くするする必要はないが、ドリフト層の不純物濃度よりも高くすることが望ましい。

30

#### 【0039】

このあとの工程から、トレンチ底の両端部にp領域6を形成するプロセスに入る。まず、図11(g)に示すように、全体にCVDにより酸化珪素を堆積させた後にドライエッチングで異方性エッチバックを行い、トレンチ側壁にサイドウォール28を形成する。サイドウォール28はのちにフッ酸によりウェットエッチングするため、エッチングレートの高いO<sub>3</sub>-TEOSなどの膜が望ましい。また、サイドウォール28の幅がトレンチ底p領域6の幅となる。本実施例では、酸化珪素が平面に500 nm、サイドウォール28に300 nm残る条件で酸化珪素を形成した。

#### 【0040】

次に、シロキサンを前駆体とするCVDにより、SiOC膜を形成する。この膜は、リフローしながら成膜されていくため、平坦性が非常に高く、段差を埋めることができる。次に、図11(h)に示すように、SiOCをエッチバックすることにより、溝の中のみSiOC29を残す。次に、フッ酸を用いたウェットエッチにより、サイドウォール28をエッチングする。このとき、SiOCは疎水性を示すためフッ酸ではエッチングされず、サイドウォール28のみが除去される。次に、図11(i)に示すように、残ったアモルファスシリコン27とSiOC29をハードマスクとして、p型不純物をイオン注入することで、トレンチ底両端部のp領域6を形成する。イオン種はアルミニウムで、エネルギーは80 keVとした。その後、酸素アッシュとフッ酸処理によりSiOC29を、フッ硝酸によりアモルファスシリコン27を除去し、1650度アルゴン雰囲気中で活性化アニールを行う。その後、活性化アニールのダメージを除去するために犠牲酸化を行う

40

50

。本実施例ではトレンチ底部にショットキーコンタクトを形成するため、基板平坦化のため、犠牲酸化は1150度において2回行った。

【0041】

次に、図11(j)に示すように、層間絶縁膜24をCVDにより形成する。層間絶縁膜24はカバレッジのよい $O_3$ -TEOS膜を400nm成膜し、酸素雰囲気中1000度で焼きしめを行った。次に、図11(k)に示すように、表と裏に、Niを主成分とする合金を形成する。表は、リソグラフィとドライエッチングによりコンタクトホールを空け、Niを堆積させ1000度のシリサイド化アニールによりシリサイドを形成し、最後に未反応メタルを除去する。これによりソースコンタクト領域8が形成される。裏も同様にNiを堆積させ1000度のシリサイド化アニールによりシリサイドを形成する。これにより、ドレインコンタクト領域10が形成される。なお、表のコンタクトホールはn+ソース領域上のみである。

10

【0042】

次に、リソグラフィにより、デバイス周辺部やゲートコンタクト領域をレジストで覆い、ドライエッチングにより層間絶縁膜24をエッチバックする。このとき、図11(l)に示すように、ショットキーコンタクトを形成する領域にドライエッチングのダメージが入らないように、層間絶縁膜24が50nm残るようにした。その後、図11(m)に示すように、酸素アッシュによりレジストを除去し、フッ酸によるウェットエッチングによりトレンチ底を開口させる。なお、層間絶縁膜24の膜厚がトレンチの底面と側面とで異なるため、このフッ酸処理でトレンチ側面の層間絶縁膜24が残るようにする。

20

【0043】

次に、図11(n)に示すように、ショットキー金属およびソース配線として下からチタン、窒化チタン、アルミニウムをスパッタリングにより成膜し、ショットキー界面の形成およびソース配線30の形成を行う。その後の工程は、第1の実施例と同様である。

【0044】

次に、第2の実施例の動作について説明する。耐圧、オン抵抗および容量特性に関しては第1の実施例と同様である。第1の実施例との違いは、トレンチ底にショットキーダイオードを内蔵した点である。図12に本実施例の等価回路を示す。第1の実施例でもトレンチ底にpnダイオードが内蔵されているが、SiCのpn接合の拡散電位は2.8V程度と高いため、ポディダイオードとしては損失が大きい。本実施例では、ショットキーダイオードのため、拡散電位が1V程度で損失が小さくなる。また、ショットキーダイオードを外付けした場合に比べ、トータルの面積が小さくなるため、コスト的にも大きなメリットがある。なお、本実施例のダイオードはメタルがチタンではなくモリブデンやニッケルでもそれらのシリコン化合物でもよく、ポリシリコンを用いたヘテロ接合ダイオードでもよい。

30

【実施例3】

【0045】

実施例3は本発明の第1の実施例の接合FETを絶縁基板上に実装した例である。図13の鳥瞰図を用いて説明する。窒化アルミニウムの絶縁基板16上に、ソース端子19、ゲート端子20、ドレイン端子15の金属板が配置されており、ドレイン端子15上に接合FET17とダイオード18が半田でボンディングされている。接合FET17のソース電極はソース端子19に、ゲート電極はゲート端子20に、ダイオード18のアノードはソース端子19にそれぞれワイヤーでボンディングされている。このとき、ダイオード18はSiCのショットキーバリアダイオードを用いている。これは、Siのpnダイオードに比べオン電圧が低いだけでなく、ユニポーラ素子であるためにスイッチング損失も小さいためである。本実装例は、Siの技術と同様である。また、本発明の第2の実施例ではショットキーダイオードを内蔵しているため、ダイオード18は不要である。

40

【実施例4】

【0046】

実施例4は本発明の接合FETのゲートドライバ回路の一例である。図14の回路図を

50

用いて説明する。正負の二つの電源を用いている。本発明の接合FETは閾値電圧が1V程度と低いため、スイッチングのスピードアップと誤動作の防止を図るために正負の電源を用いている。ただし、小電流でノイズが小さい場合等においては正の電源ひとつでも問題ない。従来は、スイッチングの際にゲートに大電流が流れてしまっていたため、バイポーラトランジスタを2段にして使用していたが、本発明ではゲート電流が小さく抑えられるため、バイポーラトランジスタ1段でゲートドライバを構成している。

【実施例5】

【0047】

実施例5は本発明の接合FETをインバータに適用した際の回路図である。図15の回路図を用いて説明する。従来600V系で使用されているSi-IGBTを本発明の接合FETに置き換えることにより、素子のオン抵抗が低いため導通損失が低減でき、さらにユニポーラ素子であるためスイッチング損失も低減できることから、トータルで損失を約40%低減することができた。

10

【0048】

以上、実施例1~5について説明した。これらの実施例はすべて炭化珪素基板を例に説明したが、窒化ガリウム等のワイドバンドギャップ半導体にはすべて適用可能である。

【符号の説明】

【0049】

1 ドレイン領域、2 ドリフト領域、3 ソース領域、4 ゲート領域、5 n型領域、6 トレンチ底p領域、7 トレンチ底コンタクト領域、8 ソースコンタクト領域、9 ソース電極、10 ドレインコンタクト領域、11 トレンチ、12 層間絶縁膜、13 ゲートコンタクト領域、14 ショットキーコンタクト領域、15 ドレイン端子、16 絶縁基板、17 接合FET、18 ダイオード、19 ソース端子、20 ゲート端子、21 酸化珪素、22 p領域、23 n領域、24 層間絶縁膜、25 ソースパッド、26 ゲートパッド、27 アモルファスシリコン、28 サイドウォール、29 SiOC、30 ソース配線

20

【 図 1 】

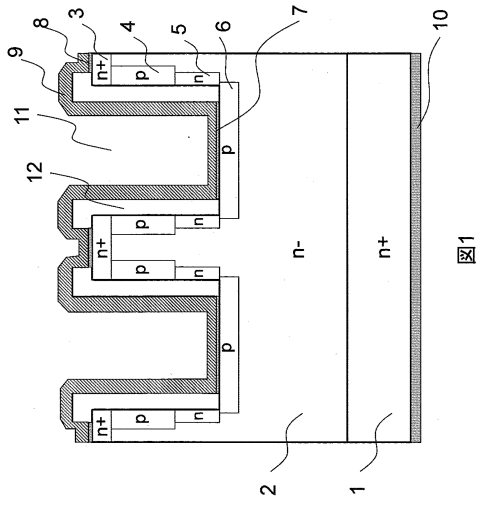


図1

【 図 2 】

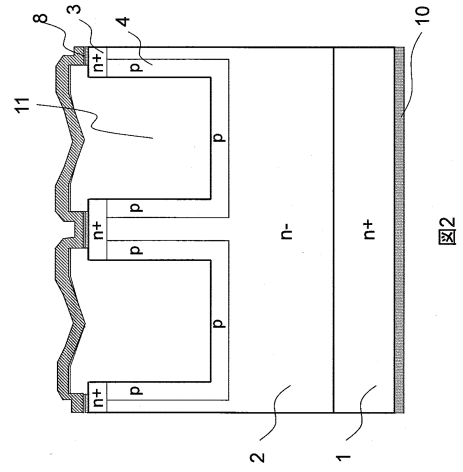


図2

【 図 3 ( a ) 】

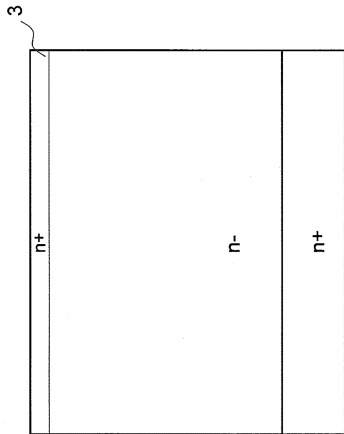


図3(a)

【 図 3 ( b ) 】

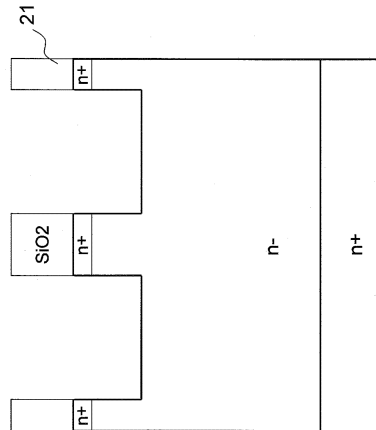


図3(b)

【 図 3 ( c ) 】

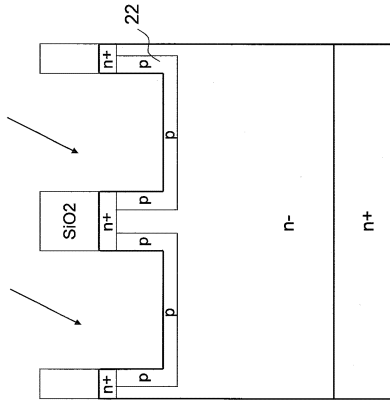


図3(c)

【 図 3 ( d ) 】

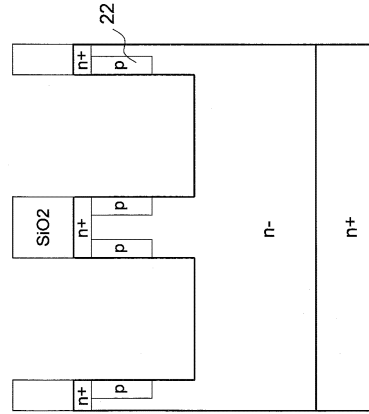


図3(d)

【 図 3 ( e ) 】

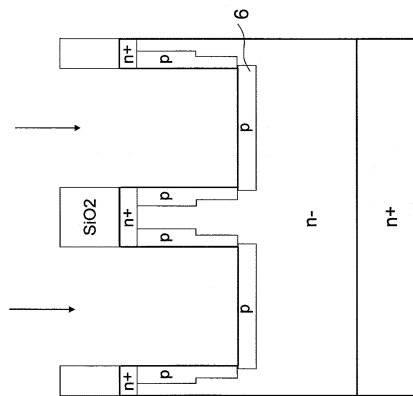


図3(e)

【 図 3 ( f ) 】

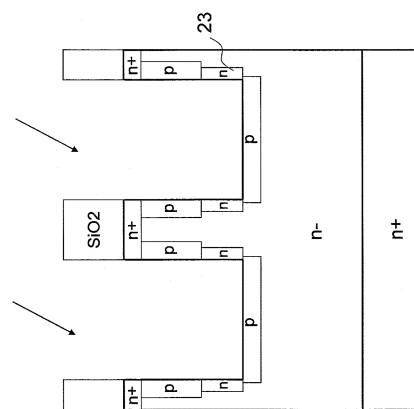


図3(f)

【図3(g)】

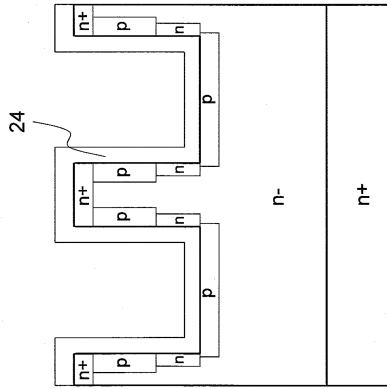


図3(g)

【図3(h)】

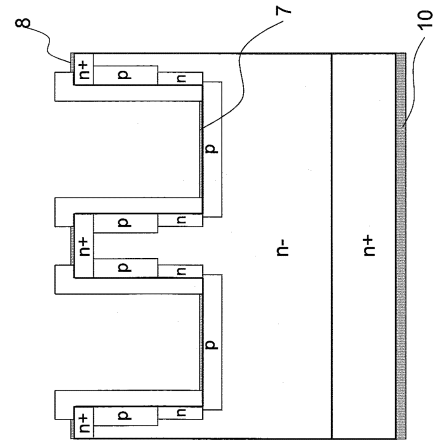


図3(h)

【図3(i)】

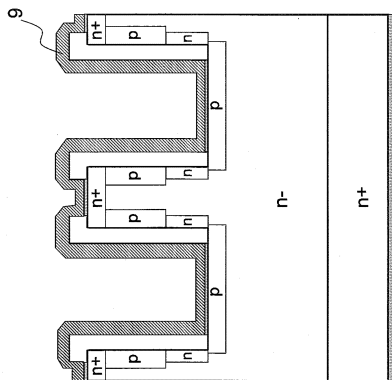


図3(i)

【図4】

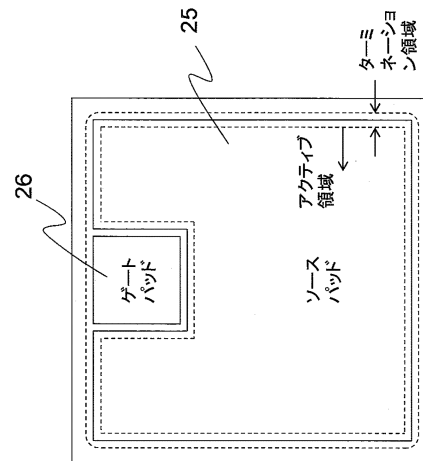


図4

【図5】

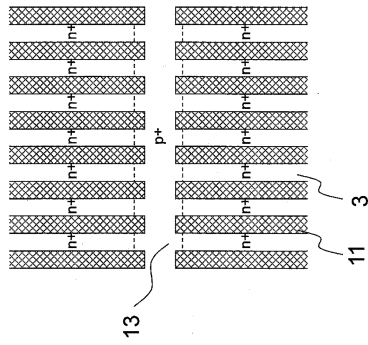


図5

【図6】

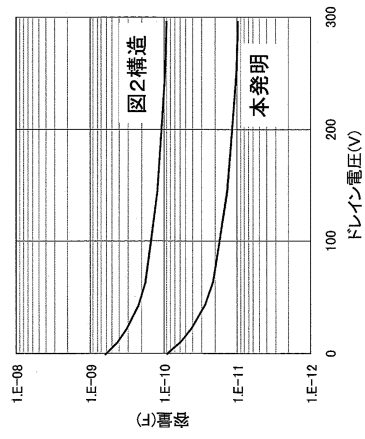


図6

【図7】

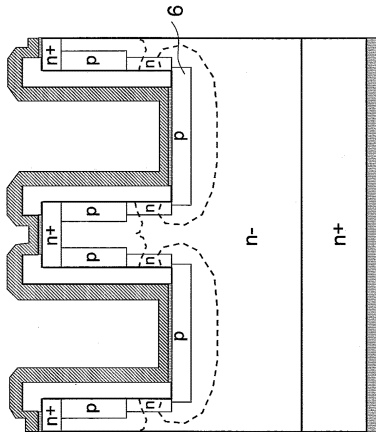


図7

【図8】

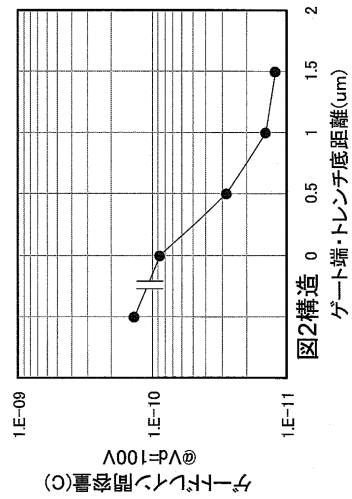
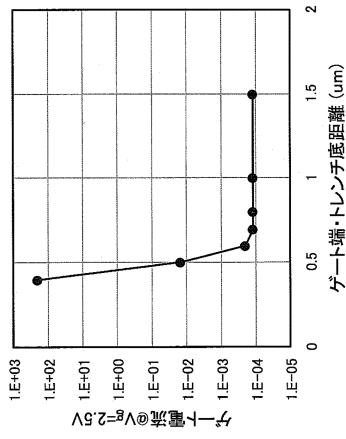


図8

【 図 9 】



【 図 10 】

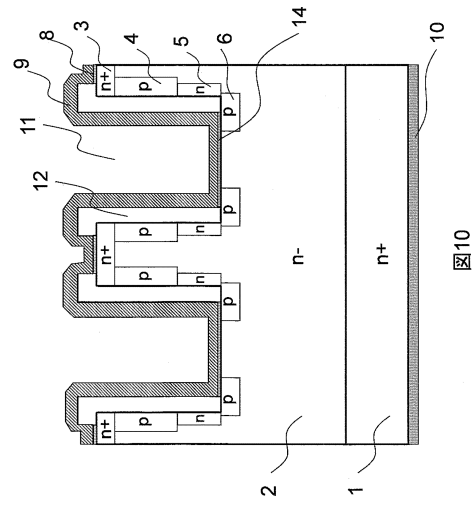


図9

図10

【 図 11 ( a ) 】

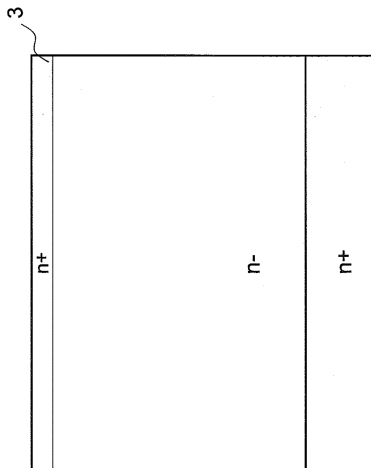


図11(a)

【 図 11 ( b ) 】

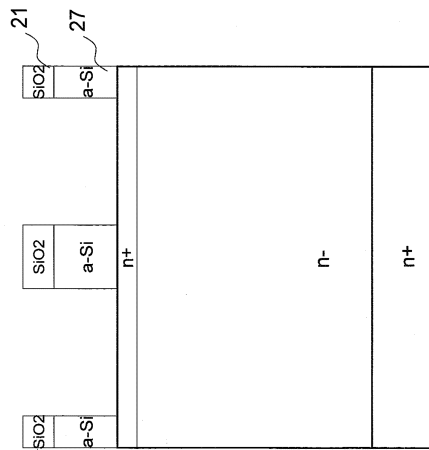


図11(b)

【 図 1 1 ( c ) 】

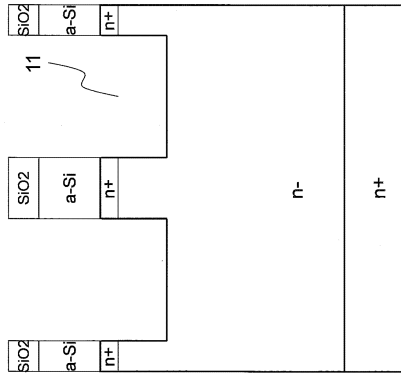


図11(c)

【 図 1 1 ( d ) 】

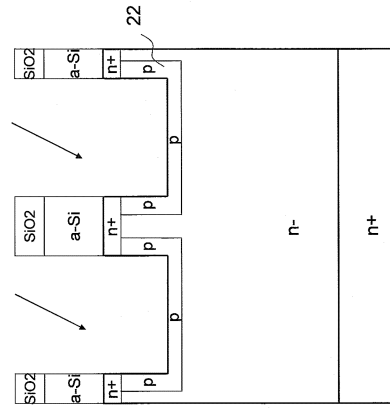


図11(d)

【 図 1 1 ( e ) 】

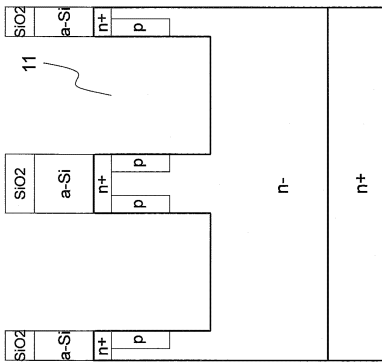


図11(e)

【 図 1 1 ( f ) 】

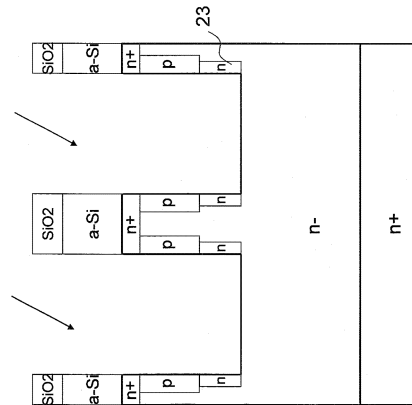


図11(f)

【 図 1 1 ( g ) 】

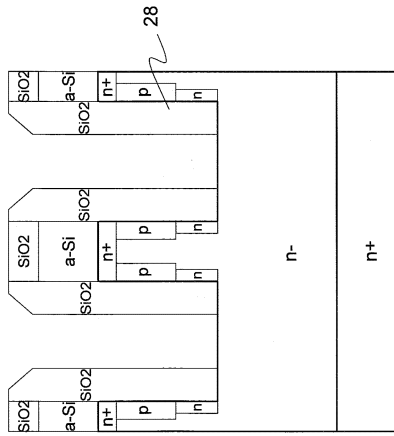


図11(g)

【 図 1 1 ( h ) 】

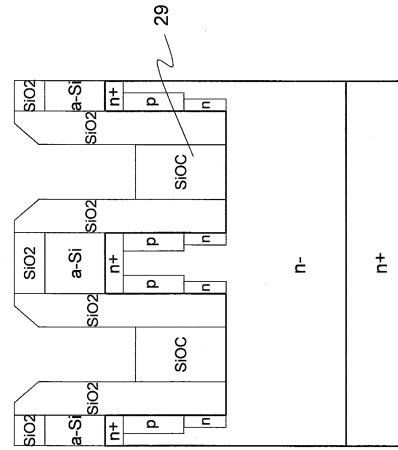


図11(h)

【 図 1 1 ( i ) 】

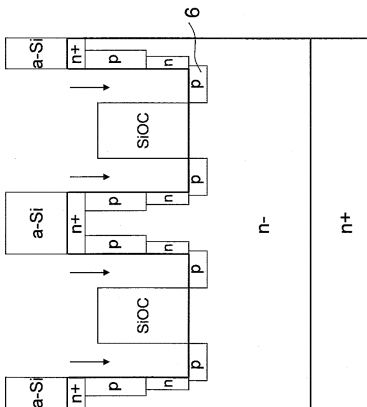


図11(i)

【 図 1 1 ( j ) 】

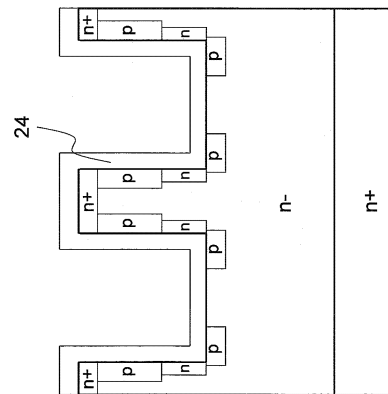


図11(j)

【図11(k)】

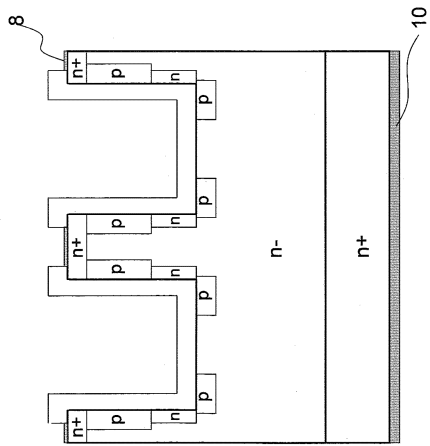


図11(k)

【図11(l)】

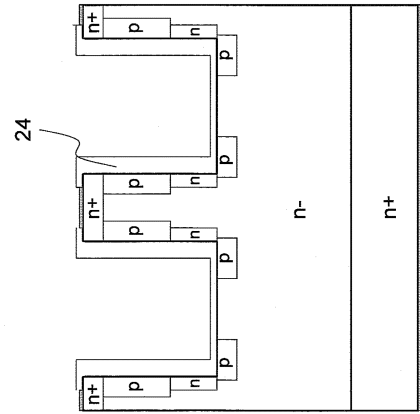


図11(l)

【図11(m)】

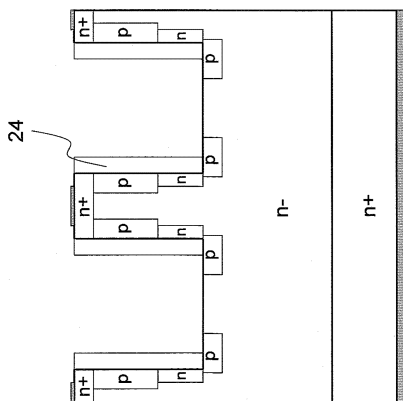


図11(m)

【図11(n)】

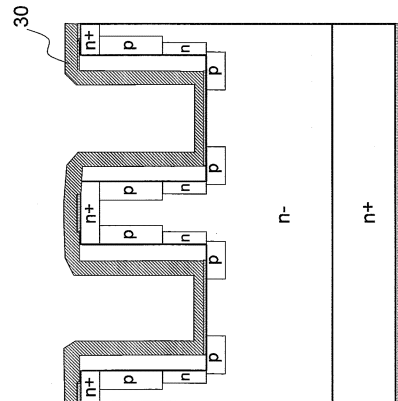


図11(n)

【 图 1 2 】

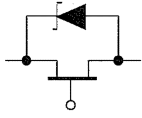


图12

【 图 1 3 】

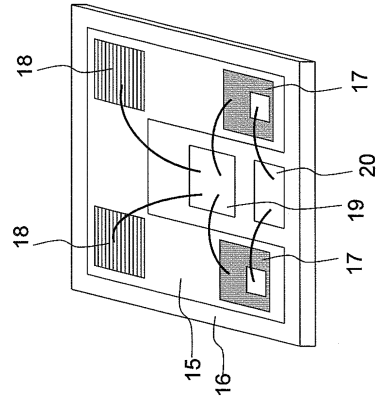


图13

【 图 1 4 】

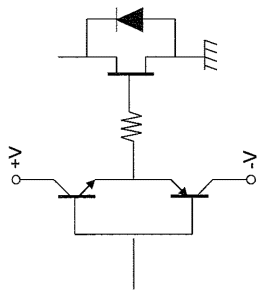


图14

【 图 1 5 】

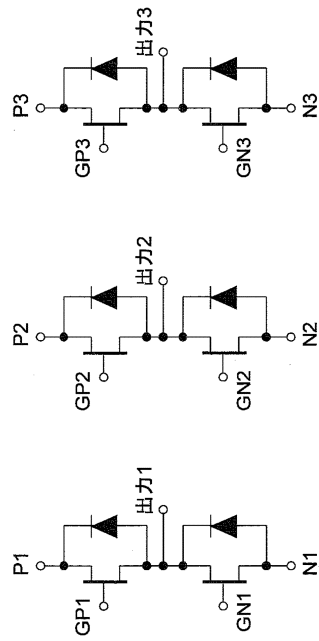


图15

【 図 16 】

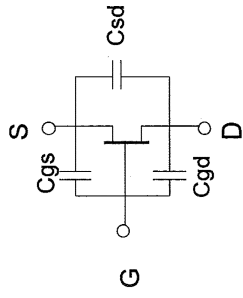


図16

---

フロントページの続き

(51) Int.Cl. F I

H 0 2 M 7/48 (2007.01)

審査官 須原 宏光

(56) 参考文献 特開 2 0 0 4 - 6 3 5 0 7 ( J P , A )

特開 2 0 0 3 - 6 8 7 6 0 ( J P , A )

米国特許出願公開第 2 0 1 0 / 3 5 7 3 ( U S , A 1 )

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 L 2 9 / 8 0

H 0 1 L 2 1 / 8 2 3 2

H 0 1 L 2 1 / 3 3 7

H 0 1 L 2 7 / 0 4