

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-245547

(P2006-245547A)

(43) 公開日 平成18年9月14日(2006.9.14)

| (51) Int. Cl.             | F I                 | テーマコード (参考) |
|---------------------------|---------------------|-------------|
| H O 1 L 21/8247 (2006.01) | H O 1 L 27/10 4 3 4 | 5 F O 8 3   |
| H O 1 L 27/115 (2006.01)  | H O 1 L 29/78 3 7 1 | 5 F 1 O 1   |
| H O 1 L 29/792 (2006.01)  | H O 1 L 27/10 4 8 1 |             |
| H O 1 L 29/788 (2006.01)  |                     |             |
| H O 1 L 27/10 (2006.01)   |                     |             |

審査請求 未請求 請求項の数 8 O L (全 37 頁)

|              |                            |          |                |
|--------------|----------------------------|----------|----------------|
| (21) 出願番号    | 特願2006-11646 (P2006-11646) | (71) 出願人 | 000003078      |
| (22) 出願日     | 平成18年1月19日 (2006.1.19)     |          | 株式会社東芝         |
| (31) 優先権主張番号 | 特願2005-29280 (P2005-29280) |          | 東京都港区芝浦一丁目1番1号 |
| (32) 優先日     | 平成17年2月4日 (2005.2.4)       | (74) 代理人 | 100083806      |
| (33) 優先権主張国  | 日本国 (JP)                   |          | 弁理士 三好 秀和      |
|              |                            | (74) 代理人 | 100100712      |
|              |                            |          | 弁理士 岩▲崎▼ 幸邦    |
|              |                            | (74) 代理人 | 100100929      |
|              |                            |          | 弁理士 川又 澄雄      |
|              |                            | (74) 代理人 | 100108707      |
|              |                            |          | 弁理士 中村 友之      |
|              |                            | (74) 代理人 | 100095500      |
|              |                            |          | 弁理士 伊藤 正和      |
|              |                            | (74) 代理人 | 100101247      |
|              |                            |          | 弁理士 高橋 俊一      |

最終頁に続く

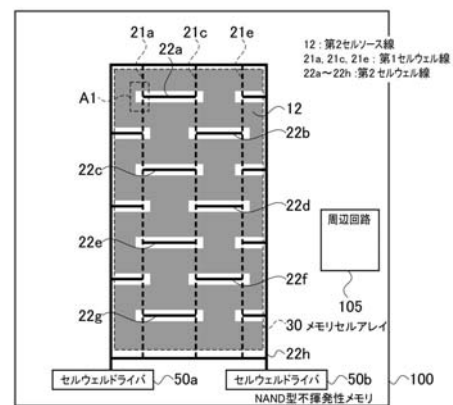
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】集積度を低下させることなく、セルソース線及びセルウェル線の配線抵抗を低減可能な不揮発性半導体記憶装置を提供する。

【解決手段】列方向に複数のメモリセルトランジスタ及びそのメモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを、行方向に複数配列したメモリセルアレイ30と、複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続する複数の第1セルウェル線21a、21c、21eと、複数の第1セルウェル線21a、21c、21eの上層の配線層に配置され、複数の第1セルウェル線21a、21c、21e同士を電氣的に接続する複数の第2セルウェル線22a～22hと、複数のメモリセルカラムのそれぞれの選択トランジスタのソース端子に接続する第2セルソース線12とを備える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

列方向に複数のメモリセルトランジスタ及び該メモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを、行方向に複数配列したメモリセルアレイと、

前記複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続する複数の第 1 セルウェル線と、

前記複数の第 1 セルウェル線の上層の配線層に配置され、前記複数の第 1 セルウェル線同士を電氣的に接続する複数の第 2 セルウェル線と、

前記複数のメモリセルカラムのそれぞれの前記選択トランジスタのソース端子に接続するセルソース線 10

とを備えることを特徴とする不揮発性半導体記憶装置。

## 【請求項 2】

前記セルソース線が、

前記複数の第 1 セルウェル線と同一レベルの配線層に配置され、前記ソース端子に接続する複数の第 1 セルソース線と、

前記第 2 セルウェル線と同一レベルの配線層に配置され、前記複数の第 1 セルソース線と接続する第 2 セルソース線

とを備え、前記第 2 セルソース線が、前記複数の第 2 セルウェル線を囲んで網目状に配置されることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。 20

## 【請求項 3】

前記複数のメモリセルトランジスタが直列に接続され、前記メモリセルカラムが N A N D カラムを構成することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

## 【請求項 4】

列方向に複数のメモリセルトランジスタ及び該メモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを行方向に複数配列したメモリセルアレイと、

前記複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続する複数の第 1 セルウェル線と、

前記複数のメモリセルカラムのそれぞれの前記選択トランジスタのソース端子に接続する複数の第 1 セルソース線と、 30

前記複数の第 1 セルウェル線の上層の配線層に配置され、前記複数の第 1 セルウェル線に接続する第 2 セルウェル線と、

前記第 2 セルウェル線と交差指構造をなすように前記第 2 セルウェル線と同一レベルの配線層に配置され、前記第 1 セルソース線に接続する第 2 セルソース線

とを備えることを特徴とする不揮発性半導体記憶装置。

## 【請求項 5】

前記第 2 セルウェル線が、前記メモリセルカラムが配置されないシャント領域上に配置されることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

## 【請求項 6】

前記複数の第 1 セルウェル線と前記ウェル領域とを接続するビアが、前記メモリセルカラムが配置されないシャント領域に配置されることを特徴とする請求項 4 又は 5 に記載の不揮発性半導体記憶装置。 40

## 【請求項 7】

前記複数の第 1 セルウェル線と前記第 2 セルウェル線とを接続するビアと、前記複数の第 1 セルソース線と前記第 2 セルソース線とを接続するビアが、前記メモリセルアレイの動作を制御するビット線と平行に直線的に配置されていることを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の不揮発性半導体記憶装置。

## 【請求項 8】

前記複数のメモリセルトランジスタが直列に接続され、前記メモリセルカラムが N A N 50

Dカラムを構成することを特徴とする請求項4乃至7のいずれか1項に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、特に多層配線構造の不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

不揮発性半導体記憶装置のメモリセルアレイ領域に複数のメモリセルトランジスタがマトリクス状に配置されている。不揮発性半導体記憶装置では、フローティングゲートに蓄えられた電荷量に応じて変動するしきい値電圧によって、メモリセルトランジスタの「1」状態と「0」状態が区別される。メモリセルトランジスタは基板上に配置されたp型ウェル領域に形成される。そして、メモリセルトランジスタのフローティングゲートに電荷を注入する場合には、p型ウェル領域に0V、メモリセルトランジスタのコントロールゲートに高電圧をそれぞれ印加する。一方、フローティングゲートから電荷を引き抜く場合には、コントロールゲートに0V、p型ウェル領域に高電圧をそれぞれ印加する。メモリセルトランジスタの状態は、例えば以下のように判別される。読み出し対象のメモリセルトランジスタが導通状態の場合は、ビット線からセルソース線に電流が流れるように設定される。ビット線からセルソース線に電流が流れることにより、ビット線の電位が変化する。その結果、ビット線の電位を検出することにより、読み出し対象のメモリセルトランジスタの状態が判別できる。つまり、読み出し対象のメモリセルトランジスタのデータを読み出すことができる。

【0003】

ところで、NAND型不揮発性半導体記憶装置では、一度に多数のメモリセルトランジスタのデータを読み出すことができる。導通状態のメモリセルトランジスタが多い場合、ビット線からセルソース線に流れる電流が大きい。そのため、セルソース線の配線抵抗が大きい場合は、セルソース線の電位が0Vからプラス方向に変動する。セルソース線の電位がプラス方向に変動すると、ビット線からセルソース線に流れる電流が小さくなる。その結果、ビット線の電位の変化が小さくなり、ビット線の電位の変化が検出されない可能性がある（例えば、特許文献1参照。）。又、コントロールゲートとセルソース線の電位を制御するセルソースドライバ間のセルソース線の配線抵抗が大きいと、RC時定数が大きくなる。そのため、セルソース線の充放電時間や、セルソース線が他の配線から受けるカップリングノイズに対するリカバリ時間が長くなり、結果としてパフォーマンスの低下につながる。したがって、セルソース線の配線抵抗を小さくする必要がある。

【0004】

又、読み出し動作時に0Vに固定されているべきp型ウェル領域の電位が正電位になっている場合、バックバイアス効果により、p型ウェル領域が0Vの場合よりメモリセルトランジスタのしきい値電圧が低く見える。その結果、非導通状態のメモリセルトランジスタが、導通状態として判定される可能性がある。又、p型ウェル領域の電位を制御するセルウェルドライバとp型ウェル領域間のセルウェル線の配線抵抗が大きいと、RC時定数が大きくなる。RC時定数が大きい場合、p型ウェル領域の充放電時間や、セルウェル線を伝搬する信号に発生するカップリングノイズに対するリカバリ時間が長くなり、結果としてパフォーマンスの低下につながる。したがって、セルウェル線の配線抵抗を小さくする必要がある。

【0005】

一般に、NAND型不揮発性半導体記憶装置では、集積度を上げるために、1つのp型ウェル領域内にメモリセルアレイが形成される。そして、p型ウェル領域の電位を設定するセルウェルドライバとp型ウェル領域を電氣的に接続する。しかし、メモリセルトランジスタが配置された領域上の配線層に、ビット線が高密度に配置されている。したがって

、メモリセルトランジスタが配置された領域上の配線層には、セルソース線、或いはセルウェル線が配置できない。そのため、メモリセルアレイ内のメモリセルトランジスタを配置しない領域（以下において、「シャント領域」という。）を設定する。シャント領域には、ビット線が配置されない。シャント領域において、p型ウェル領域とセルウェルドライバを接続する。そして、セルソース線、或いはセルウェル線を、シャント領域上の配線層に配置する。

#### 【0006】

一方、NAND型不揮発性半導体記憶装置の大容量化にともない、集積度向上の必要性はさらに高まっている。同時に、メモリセルアレイの面積がますます大きくなっている。その結果、セルソースドライバから離れたセルソース線の電位の変動、及びセルウェルドライバから離れたp型ウェル領域の電位の変動が問題になってきている。しかし、集積度を上げるために、シャント領域の面積を小さくしたり、シャント領域の数を少なくしたりする必要がある。その結果、セルソース線の配線抵抗や、セルウェル線の配線抵抗を下げる目的が十分には達成できない。

10

【特許文献1】特開平11-260076号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0007】

本発明は、集積度を低下させることなく、セルソース線及びセルウェル線の配線抵抗を低減可能な不揮発性半導体記憶装置を提供する。

20

【課題を解決するための手段】

#### 【0008】

本願発明の一態様によれば、（イ）列方向に複数のメモリセルトランジスタ及びそのメモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを、行方向に複数配列したメモリセルアレイと、（ロ）複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続する複数の第1セルウェル線と、（ハ）複数の第1セルウェル線の上層の配線層に配置され、複数の第1セルウェル線同士を電気的に接続する複数の第2セルウェル線と、（ニ）複数のメモリセルカラムのそれぞれの選択トランジスタのソース端子に接続するセルソース線とを備える不揮発性半導体記憶装置が提供される。

30

#### 【0009】

本願発明の他の態様によれば、（イ）列方向に複数のメモリセルトランジスタ及びそのメモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを行方向に複数配列したメモリセルアレイと、（ロ）複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続する複数の第1セルウェル線と、（ハ）複数のメモリセルカラムのそれぞれの選択トランジスタのソース端子に接続する複数の第1セルソース線と、（ニ）複数の第1セルウェル線の上層の配線層に配置され、複数の第1セルウェル線に接続する第2セルウェル線と、（ホ）第2セルウェル線と交差指構造をなすように第2セルウェル線と同一レベルの配線層に配置され、第1セルソース線に接続する第2セルソース線とを備える不揮発性半導体記憶装置が提供される。

40

【発明の効果】

#### 【0010】

本発明によれば、集積度を低下させることなく、セルソース線及びセルウェル線の配線抵抗を低減可能な不揮発性半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

#### 【0011】

次に、図面を参照して、本発明の第1乃至第3の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌し

50

て判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

#### 【0012】

また、以下に示す第1乃至第3の実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

#### 【0013】

(第1の実施の形態)

図1に示すように、本発明の第1の実施の形態に係るNAND型不揮発性メモリ100は、列方向に複数のメモリセルトランジスタ及びそのメモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを、行方向に複数配列したメモリセルアレイ30と、複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続された複数の第1セルウェル線21a、21c、21eと、複数の第1セルウェル線21a、21c、21eの上層の配線層に配置され、複数の第1セルウェル線21a、21c、21e同士を電氣的に接続する複数の第2セルウェル線22a～22hと、複数のメモリセルカラムのそれぞれの選択トランジスタのソース端子に接続された第2セルソース線12とを備える。以下では、第1セルウェル線21a、21c、21eが配置される配線層を第1配線層、第2セルウェル線22a～22hが配置される配線層を第2配線層という。第2セルソース線12は、第2セルウェル線22a～22hと同一レベルの第2配線層に配置される。第2セルソース線12は、図1では図示を省略した複数の第1セルソース線を介して、メモリセルカラムのそれぞれの選択トランジスタのソース端子に接続する。第1セルソース線は、第1セルウェル線21a、21c、21eと同一レベルの配線層に配置される。第1セルソース線の詳細については後述する。

#### 【0014】

図1において、第2セルソース線12はグレイ表示されている。図1に示すように、第2セルソース線12は、複数の第2セルウェル線22a～22hを囲んで配置されている。つまり、周囲を第2セルウェル線22a～22hによって分断されることなく、第2セルソース線12は配置されている。第2セルウェル線22hは、セルウェルドライバ50a、50bに接続する。又、図1に破線で示すように、メモリセルアレイ30は矩形である。第2セルウェル線22hはメモリセルアレイ30の外周部にリング状に配置される。図1は、第2セルウェル線22a～22hが8本である場合を例示的に示しているが、8本に限定されないのは勿論である。メモリセルアレイ30に配置されたメモリセルトランジスタの動作は、周辺回路105によって制御される。

#### 【0015】

図2に、図1に示したNAND型不揮発性メモリ100の第1セルウェル線21a、21c、21e及び第2セルウェル線22a～22hの配置例を示す。図2において、第1配線層に配置された第1セルウェル線21a、21c、21eを点線、第2配線層に配置された第2セルウェル線22a～22hを実線で示している。図2では、第1セルウェル線21a、21c、21eと第2セルウェル線22a～22hを接続するビアは図示を省略している。第1セルウェル線21a、21c、21eは、シャント領域Sa、Sc、Se上にそれぞれ配置されている。図2に示すように、第1セルウェル線21a、21c、21eは、第2セルウェル線22a～22hを介して互いに接続されている。そのため、セルウェルドライバ50a、50bから第1セルウェル線21a～21cまでの配線抵抗を低減することが可能である。その結果、セルウェルドライバ50a、50bからp型ウェル領域80までの配線抵抗を低減できる。

#### 【0016】

図3に、図1に示したNAND型不揮発性メモリ100の第2セルソース線12、及び図1では図示を省略した第1セルソース線11a～11eの配置例を示す。図3において、第1セルソース線11a～11eを点線、第2セルソース線12をグレイ表示及び実線

で示している。又、図3では、第1セルソース線11a～11eと第2セルソース線12を接続するビアは図示を省略している。第2セルソース線12は、セルソース線の電位を制御するセルソースドライバ60a、60bに接続する。第1セルソース線11a～11eは、シャント領域Sa～Se上にそれぞれ配置されている。第2セルソース線12は第2配線層で連続して接続されている。そのため、セルソースドライバ60a、60bから第1セルソース線11a～11eまでの配線抵抗を低減することができる。その結果、セルソースドライバ60a、60bから選択トランジスタまでの配線抵抗を低減できる。

#### 【0017】

図2及び図3に示した第1配線層のパターンを同時に示した図を、図4(a)及び図4(b)に示す。シャント領域Sa上に第1セルウェル線21a及び第1セルソース線11aが配置される。シャント領域Sb上に第1セルソース線11bが配置される。シャント領域Sc上に第1セルウェル線21c及び第1セルソース線11cが配置される。シャント領域Sd上に第1セルソース線11dが配置される。シャント領域Se上に第1セルウェル線21e及び第1セルソース線11eが配置される。つまり、第1セルウェル線21a、21c、21eと第1セルソース線11a～11eが共に配置されるシャント領域Sa、Sc、Seと、第1セルソース線11a～11eのみが配置されるシャント領域Sb、Sdが交互に配置される。

#### 【0018】

図5は、図1の領域A1を拡大した図である。領域A1は、第2セルウェル線22aの一方の端部を拡大した図である。第2セルウェル線22a～22h及び第2セルソース線12が配置される第2配線層下の第1配線層に、第1セルウェル線21aが配置されている。図5に示すように、第2セルウェル線22aの端部の直下に、第2セルウェル線22aと直交する方向に第1セルウェル線21aが延伸している。図示を省略するが、第2セルウェル線22aの他方の端部の直下にも、第1セルウェル線21cが、第2セルウェル線22aと直交する方向に延伸している。第2セルソース線12は、第2セルウェル線22a～22hを囲んで配置される。図5に示すように、第2セルソース線12は、第2セルウェル線22a～22hが配置されていない領域に隙間無くべた状に配置されるのではなく、網目状に配置される。

#### 【0019】

図5の領域Bを拡大した図を、図6(a)及び図6(b)に示す。図6(a)は領域Bの第1及び第2配線層の上面図、図6(b)は領域Bの第1配線層の上面図である。図6(a)に示すように、ビット線BLが配置されない、一点鎖線で示したシャント領域Saに第1セルウェル線21aが配置されている。更に、第1セルウェル線21aと第2セルウェル線22aを接続するビア221a及び221bが、第2セルウェル線22aの端部に配置される。第1セルウェル線21aは、ビット線BLと同一レベルの第1配線層に配置される。図6(b)に示すように、第2セルウェル線22aの端部の直下において、セル配線層に配置されたセルウェル線(以下において、「M0セルウェル線」という)20と第1セルウェル線21aがビア210を介して接続する。

#### 【0020】

図7は、図6(a)及び図6(b)のI-I方向に沿った断面図である。第2セルウェル線22aは、ビア221a及び221bを介して、第1セルウェル線21aに接続する。図示を省略するが、第2セルウェル線22aの他方の端部において、第2セルウェル線22aは第1セルウェル線21cに接続する。第1セルウェル線21aは、ビア210を介してM0セルウェル線20に接続する。M0セルウェル線20は、ビア200を介してp型ウェル領域80のシャント領域に接続する。つまり、p型ウェル領域80と第2セルウェル線22aが電氣的に接続される。p型ウェル領域80に、図示を省略するメモリセルトランジスタが形成される。

#### 【0021】

図8(a)及び図8(b)に、シャント領域Sa上のセルソース線の例を示す。ただし、図8(a)では第2セルソース線12の図示を省略している。一点鎖線で示したシャ

10

20

30

40

50

ト領域 S a に第 1 セルソース線 1 1 a が配置され、第 1 セルソース線 1 1 a はビア 1 1 0 a ~ 1 1 0 c を介して M 0 セルソース線 1 0 に接続する。M 0 セルソース線 1 0 は、セル配線層に配置される。第 2 セルソース線 1 2 と第 1 セルソース線 1 1 a が、ビア 1 2 1 a ~ 1 2 1 d を介して接続する。M 0 セルソース線 1 0 は、後述するようにメモリセルアレイ 3 0 に含まれる選択トランジスタのソース端子に接続し、M 0 セルソース線 1 0 の電位によって、メモリセルアレイ 3 0 に含まれる選択トランジスタの動作が制御される。

#### 【0022】

図 8 (c) に示すように、ビット線 B L が延伸する方向と平行に、ビア 1 1 0 a ~ 1 1 0 c 及びビア 1 2 1 a ~ 1 2 1 d が直線上に並ぶように配置してもよい。その場合、図 8 (a) に比べて第 1 セルソース線 1 1 a の幅を狭くできる。その結果、シャント領域 S a の幅を狭くできるので、ビット線 B L の数を増加できる。 10

#### 【0023】

図 2 及び図 3 に示した第 2 配線層のパターンを同時に示した図を、図 9 に示す。図 9 に示すように、破線で示されたメモリセルアレイ 3 0 の外周部に、第 2 セルウェル線 2 2 h がリング状に配置される。図 1 0 (a) 及び図 1 0 (b) に、図 9 の領域 A 2 の拡大図を示す。図 1 0 (a) 及び図 1 0 (b) に示すように、第 2 セルウェル線 2 2 h は、第 1 配線層に配置された第 1 セルウェル線 2 1 h とビア 2 2 1 h 1 及びビア 2 2 1 h 2 を介して接続する。その結果、第 2 セルソース線 1 2 は、メモリセルアレイ 3 0 の外周部において、第 2 セルウェル線 2 2 h によって分断されることなく配置される。

#### 【0024】

次に、メモリセルアレイ 3 0 の例を図 1 1 に示す。図 1 1 に示したメモリセルアレイ 3 0 は、メモリセルトランジスタを列方向に複数個配列して構成したメモリセルカラム C 1、C 2、C 3、・・・を行方向に沿って複数本並列配置した構成である。メモリセルカラム C 1、C 2、C 3、・・・にそれぞれ含まれる隣接するメモリセルトランジスタは互いに直列接続され、メモリセルカラム C 1、C 2、C 3、・・・はそれぞれ N A N D セルを構成する。以下に、メモリセルアレイ 3 0 を有する N A N D 型不揮発性メモリ 1 0 0 の動作について説明する。 20

#### 【0025】

図 1 1 に、メモリセルアレイ 3 0 の等価回路の一部を示す。図 1 1 に示すように、メモリセルアレイ 3 0 は、列方向に配列された複数のビット線 B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>、・・・ 30  
・・・と、このビット線 B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>、・・・と直交する行方向に配列された複数のワード線 W L<sub>1</sub>、W L<sub>2</sub>、・・・、W L<sub>32</sub> を有するメモリセルアレイ 3 0 を備える。列方向には、複数のワード線 W L<sub>1</sub>、W L<sub>2</sub>、・・・、W L<sub>32</sub> のいずれかにより、それぞれ電荷蓄積状態を制御される電荷蓄積層を有するメモリセルトランジスタが配列されている。ワード線 W L<sub>1</sub>、W L<sub>2</sub>、・・・、W L<sub>32</sub> の電位を設定することにより、メモリセルトランジスタのコントロールゲートの電位を設定できる。メモリセルトランジスタの配列の両端には、列方向に隣接して配置され、配列された一群のメモリセルトランジスタを選択するビット線側選択トランジスタとソース線側選択トランジスタが配置されている。ビット線側選択トランジスタのゲート端子は選択ゲート線 S G D に接続し、ドレイン端子はビット線 B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>、・・・に接続する。又、ソース線側選択ト 40  
ランジスタのゲート端子は選択ゲート線 S G S に接続し、ソース端子は M 0 セルソース線 1 0 に接続する。

#### 【0026】

図 1 2 は、図 1 1 に対応するメモリセルアレイの上面図である。図 1 2 に示すように、ビット線側選択トランジスタのドレイン端子は、ビア B C を介してビット線 B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>、・・・に接続する。ソース線側選択トランジスタのソース端子は、ビア S C を介して、一点鎖線で示した M 0 セルソース線 1 0 に接続する。列方向に延伸するビット線 B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>、・・・は、メモリセルカラム C 1、C 2、C 3、・・・ 50  
・・・が配置されるピッチと同じピッチで行方向に配置される。又、ビット線 B L<sub>1</sub> に接続するメモリセルカラム C 1 とビット線 B L<sub>2</sub> に接続するメモリセルカラム C 2 間に、ビッ

ト線  $BL_1$ 、 $BL_2$ 、 $BL_3$ 、 $\dots$ と平行に、列方向に延伸するシャント領域  $S_a$  が配置されている。シャント領域  $S_a$  上にはビット線は配置されない。

#### 【0027】

図13に、図12の  $IV-IV$  方向に沿った断面図を示す。メモリセルカラム  $C_1$  に含まれる複数のメモリセルトランジスタ、ビット線側選択トランジスタ、及びソース線側選択トランジスタの拡散領域は  $p$  型ウェル領域 80 内に形成される。図13に示す「FG」はメモリセルトランジスタのフローティングゲートである。ビット線  $BL_1$ 、 $BL_2$ 、 $BL_3$ 、 $\dots$  は第1配線層に配置される。M0セルソース線 10 は、図8で説明したように、ビア 110a~110c 及びビア 121a~121d を介して第2セルソース線 12 に接続する。つまり、M0セルソース線 10 は、図9に示したセルソースドライバ 60 a、60 b に接続する。10  
 $p$  型ウェル領域 80 は、第1セルウェル線 21 a、第2セルウェル線 22 a 等を介して、図9に示したセルウェルドライバ 50 a、50 b に接続する。

#### 【0028】

以下に、図11に示したメモリセルアレイ 30 の動作を説明する。以下の説明では、メモリセルカラム  $C_1$  に含まれるメモリセルトランジスタの読み出し動作を例示的に説明する。読み出し動作では、予め読み出し対象のメモリセルトランジスタのドレイン電極に接続するビット線  $BL_1$  をプリチャージし、ソース電極に接続するM0セルソース線 10 に 0 V を印加する。次に、読み出し対象のメモリセルトランジスタ以外のメモリセルカラム  $C_1$  のすべてのメモリセルトランジスタがオンするように、ワード線  $WL_1$ 、 $WL_2$ 、 $\dots$ 、 $WL_{32}$  にそれぞれ電圧が印加される。その後、読み出し対象のメモリセルトランジスタのコントロールゲートに接続するワード線  $WL_1$ 、 $WL_2$ 、 $\dots$ 、 $WL_{32}$  に読み出し電圧を印加する。このとき、読み出し対象のメモリセルトランジスタが導通状態であれば、ビット線  $BL_1$  からM0セルソース線 10 に電流が流れる。その結果、ビット線  $BL_1$  の電位が低下する。一方、読み出し対象のメモリセルトランジスタが非導通状態であれば、ビット線  $BL_1$  の電位は変化しない。つまり、ビット線  $BL_1$  の電位の変化を検出することにより、読み出し対象のメモリセルトランジスタのデータが読み出される。20

#### 【0029】

既に述べたように、セルソースドライバ 60 a、60 b からM0セルソース線 10 までの配線抵抗が大きい場合は、M0セルソース線 10 の電位が 0 V からプラス方向に変動する。その結果、ビット線  $BL_1$ 、 $BL_2$ 、 $BL_3$ 、 $\dots$  の電位の変化が小さくなり、30  
ビット線  $BL_1$ 、 $BL_2$ 、 $BL_3$ 、 $\dots$  の電位の変化が検出されない可能性がある。

#### 【0030】

又、セルウェルドライバ 50 a、50 b から  $p$  型ウェル領域 80 までのセルウェル線の配線抵抗が大きい場合に、読み出し動作時に 0 V に固定されるべき  $p$  型ウェル領域 80 の電位が正電位になる。その場合、バックバイアス効果により  $p$  型ウェル領域 80 の電位が 0 V の場合よりメモリセルトランジスタのしきい値電圧が低くみえる。図14に、メモリセルトランジスタのしきい値電圧の分布を示す。図14において、「1」状態はフローティングゲートに電子が蓄積されていない状態、「0」状態はフローティングゲートに電子が蓄積されている状態である。図14の縦軸は、メモリセルトランジスタの個数である。又、破線で示した分布は、 $p$  型ウェル領域 80 の電位が 0 V の場合のメモリセルトランジスタのしきい値電圧の分布である。一方、実線で示した分布は、 $p$  型ウェル領域 80 の電位が正電位になった場合のメモリセルトランジスタのしきい値電圧の分布である。図14に示すように、 $p$  型ウェル領域 80 の電位が正電位になった場合に、「0」状態のメモリセルトランジスタの一部のしきい値電圧が、「0」状態と「1」状態を判定する基準である判定しきい値電圧  $V_{th}$  より小さくなる可能性がある。その場合、図14に斜線で示した分布に含まれる「0」状態のメモリセルトランジスタが、「1」状態であると判定される。40

#### 【0031】

セルウェル線の配線抵抗が大きい場合、カップリングノイズ等に起因するセルウェル線を伝搬する信号の変動に対するリカバリ時間が長くなる。図15にカップリングノイズが 50

発生した場合における、セルウェル線を伝搬する信号に発生するノイズの電圧を示す。図 15 に示すように、時刻  $t_0$  でノイズが発生した場合、セルウェル線の配線抵抗が高い場合には電圧  $V_2$  のノイズが発生し、時刻  $t_2$  でノイズ電圧がなくなる。一方、セルウェル線の配線抵抗が小さい場合に発生するノイズの電圧  $V_1$  は、電圧  $V_2$  に比べて小さい。更に、セルウェル線の配線抵抗が小さい場合にノイズが消滅する時刻  $t_1$  は、時刻  $t_2$  よりも早い。つまり、セルウェル線の配線抵抗が小さい場合の方が、ノイズが発生した場合のリカバリ時間が短い。

#### 【0032】

以上に説明したように、NAND型不揮発性メモリ 100 のパフォーマンスを高めるためには、第 2 セルソース線 12、第 1 セルソース線 11a~11e 及び M0 セルソース線 10 を含むセルソース線、及び第 2 セルウェル線 22a~22h、第 1 セルウェル線 21a、21c、21e 及び M0 セルウェル線 20 を含むセルウェル線の配線抵抗を低減することが必要である。第 2 配線層に配置される第 2 セルソース線 12 及び第 2 セルウェル線 22a~22h のシート抵抗は、第 1 配線層に配置される第 1 セルソース線 11a~11e 及び第 1 セルウェル線 21a、21c、21e のシート抵抗より小さく設定される。例えば、第 2 配線層はアルミニウム (Al) 膜、銅 (Cu) 膜等を用いて形成可能である。第 2 配線層のシート抵抗は、0.07 オーム程度である。第 1 配線層は、Al 膜、Cu 膜等を用いて形成可能である。第 1 配線層のシート抵抗は、1 オーム程度である。セル配線層の単位面積当りのシート抵抗は、5 オーム程度である。セル配線層は、タングステン (W) 膜等を用いて形成可能である。

#### 【0033】

したがって、本発明の第 1 の実施の形態に係る NAND型不揮発性メモリ 100 によれば、第 2 配線層に第 2 セルウェル線 22a~22h を配置することにより、セルウェル線の配線抵抗を低減することが可能である。又、第 2 セルソース線 12 は、第 2 セルウェル線 22a~22h によって分断されることがなく第 2 配線層に配置されている。そのため、セルソース線の配線抵抗を低減することが可能である。つまり、図 1 に示した NAND型不揮発性メモリ 100 によれば、セルソース線及びセルウェル線の配線抵抗を共に低減することが可能である。その結果、カップリングノイズ等に対するリカバリ時間が短く、パフォーマンスが高い NAND型不揮発性メモリ 100 を提供することができる。

#### 【0034】

又、セルソース線及びセルウェル線の配線抵抗を低減することにより、セルソースドライバ 60a、60b 及びセルウェルドライバ 50a、50b の負荷駆動力を下げられる。その結果、セルソースドライバ 60a、60b 及びセルウェルドライバ 50a、50b のサイズを縮小できる。更に、第 2 セルウェル線 22a~22h を配置することによってセルウェル線の配線抵抗が低減するため、第 1 セルウェル線 21a、21c、21e の本数を削減することが可能である。そのため、メモリセルアレイ 30 に配置するシャント領域の面積が削減できる。その結果、NAND型不揮発性メモリ 100 のチップ面積を縮小することが可能である。或いは、メモリセルアレイ 30 におけるメモリセルトランジスタの集積度を向上させることができる。

#### 【0035】

図 16 に、本発明の第 1 の実施の形態に係る NAND型不揮発性メモリ 100a の周辺回路を含む構成例を示す。図 16 に示す NAND型不揮発性メモリ 100a は、メモリセルアレイ 30a、30b、ロウデコーダ 115a、115b、ページバッファ 120a、120b、ペリフェラル回路 130、チャージポンプ 140 等の周辺回路、及びパッド領域 150 を有する。メモリセルアレイ 30a は、ロウデコーダ 115a 及びページバッファ 120a により制御される。メモリセルアレイ 30b は、ロウデコーダ 115b 及びページバッファ 120b により制御される。

#### 【0036】

図 16 に示すように、NAND型不揮発性メモリ 100a の下側の辺にのみパッド領域 150 を配置することにより、NAND型不揮発性メモリ 100a の面積を小さくするこ

10

20

30

40

50

とができる。ただし、NAND型不揮発性メモリ100aの下側の辺にのみパッド領域150を配置するためには、セルウェルドライバ50a、50b及びセルソースドライバ60a、60bをNAND型不揮発性メモリ100aの下側に配置する必要がある。そのため、セルウェルドライバ50a、50b及びセルソースドライバ60a、60bから、メモリセルアレイ30a、30bの上側の領域に配置された制御トランジスタまでの配線長が長くなる。その結果、セルソース線及びセルウェル線の配線抵抗が大きい場合に、特にメモリセルアレイ30a、30bの上側の領域に配置されたメモリセルカラムにおいて誤動作が発生しやすい。そのため、関連技術では、その誤動作を回避するためにアクセスタイム等のパフォーマンスが低下する設計手法を採用する。しかし、本発明の第1の実施の形態に係るNAND型不揮発性メモリ100aによれば、パフォーマンスを低下させることなく、面積を小さくできる。又、例えば図5に示したように、第2セルソース線12を階段状の網目形状に配置することによって、第2セルソース線12を格子状の網目形状にする場合より、セルソースドライバ60a、60bからメモリセルアレイ30a、30bの上側の領域までの配線長を短くできる。セルソースドライバ60a、60bの配置に応じて、第2セルソース線12の網目形状を変更する。網目状に配置された第2セルソース線12の行方向、列方向の間隔は、例えば2 $\mu$ m～10 $\mu$ m程度に設定できる。

#### 【0037】

メモリセルアレイ30a、30b上の第2配線層に、図1に示した第2セルソース線12及び第2セルウェル線22a～22hが配置可能である。ロウデコーダ115a、115b、ページバッファ120a、120b、ペリフェラル回路130及びチャージポンプ140等の周辺回路の第2配線層に、バス配線及び電源配線等が配置可能である。メモリセルアレイ30a、30b上の第1配線層に、図1に示した第1セルウェル線21a、21c、21e及びビット線BL<sub>1</sub>、BL<sub>2</sub>、BL<sub>3</sub>、・・・が配置可能である。周辺回路の第1配線層に、ブロック間配線等が配置可能である。メモリセルアレイ30a、30b上のセル配線層に、M0セルソース線10及びM0セルウェル線20が配置可能である。セル配線層に相当する周辺回路の配線層に、ブロック内配線等が配置可能である。

#### 【0038】

##### <第1の変形例>

図17に本発明の第1の実施の形態の第1の変形例に係るNAND型不揮発性メモリ100の第1配線層を示す。図17に示すように、シャント領域Sa1～Sd1上にそれぞれ第1セルウェル線21a～21d及び第1セルソース線11a～11dが配置されることが、図4(a)と異なる点である。つまり、シャント領域Sa1上に第1セルウェル線21a及び第1セルソース線11aが配置される。シャント領域Sb1上に第1セルウェル線21b及び第1セルソース線11bが配置される。シャント領域Sc1上に第1セルウェル線21c及び第1セルソース線11cが配置される。シャント領域Sd1上に第1セルウェル線21d及び第1セルソース線11dが配置される。

#### 【0039】

シャント領域Sb1、Sd1にそれぞれ第1セルウェル線21b、21dを配置することにより、シャント領域Sb1、Sd1の幅は、図4(a)に示したシャント領域Sb、Sdの幅より広くなる。しかし、第1セルウェル線21b、21dを配置したことにより、セルウェル線の配線抵抗が減少するため、シャント領域Seを削減できる。つまり、図4(a)に比べてシャント領域の数を削減できるため、メモリセルアレイ30に占めるシャント領域の面積を削減できる。

#### 【0040】

##### <第2の変形例>

図18に本発明の第1の実施の形態の第2の変形例に係るNAND型不揮発性メモリ100の第1配線層を示す。図18に示すように、シャント領域Sa2～Sd2上にそれぞれ第1セルソース線11a、第1セルウェル線21a、第1セルソース線11c及び第1セルウェル線21bが配置されていることが、図4(a)と異なる点である。つまり、シャント領域Sa2～Sd2上に、第1セルソース線11a、11b或いは第1セルウェル

線 2 1 a、2 1 b が 1 本ずつ配置されている。

【0041】

第 1 セルソース線 1 1 a、1 1 b 及び第 1 セルウェル線 2 1 a、2 1 b の本数が少ないため、第 1 セルソース線 1 1 a、1 1 b 及び第 1 セルウェル線 2 1 a、2 1 b の幅を広くする必要がある。そのためシャント領域 S a 2 ~ S d 2 の幅を広くする必要がある。しかし、図 4 ( a ) に比べてシャント領域の数を削減できるため、メモリセルアレイ 3 0 に占めるシャント領域の面積を削減することができる。

【0042】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置は、図 1 9 に示すように、列方向に複数のメモリセルトランジスタ及びそのメモリセルトランジスタを選択する選択トランジスタを配列してなるメモリセルカラムを行方向に複数配列したメモリセルアレイ 3 0 と、複数のメモリセルカラムがそれぞれ形成されたウェル領域にそれぞれ接続された複数の第 1 セルウェル線 2 1 a、2 1 c、2 1 e と、複数のメモリセルカラムのそれぞれの選択トランジスタのソース端子に接続された複数の第 1 セルソース線と、複数の第 1 セルウェル線 2 1 a、2 1 c、2 1 e の上層の配線層に配置され、複数の第 1 セルウェル線 2 1 a、2 1 c、2 1 e に接続する第 2 セルウェル線 2 3 と、第 2 セルウェル線 2 3 と交差指構造をなすように第 2 セルウェル線 2 3 と同一レベルの配線層に配置され、第 1 セルソース線に接続する第 2 セルソース線 1 3 とを備える。

【0043】

図 2 0 に、第 1 セルウェル線 2 1 a、2 1 c、2 1 e 及び第 2 セルウェル線 2 3 の配置例を示す。第 1 セルウェル線 2 1 a、2 1 c、2 1 e は、シャント領域 S a、S c、S e 上にそれぞれ配置されている。図 2 0 では図示を省略しているが、第 1 セルウェル線 2 1 a、2 1 c、2 1 e と第 2 セルウェル線 2 3 を接続するビアがシャント領域 S a、S c、S e 上に配置されている。つまり、第 1 セルウェル線 2 1 a、2 1 c、2 1 e は、第 2 セルウェル線 2 3 とシャント領域 S a、S c、S e 上で電氣的に接続されている。

【0044】

図 2 1 は、図 2 0 の V - V 方向に沿った断面図である。図 2 1 に示すように、第 2 配線層に配置された第 2 セルウェル線 2 3 は、ビア 2 2 1 a 及び 2 2 1 b を介して、第 1 配線層に配置された第 1 セルウェル線 2 1 a に接続する。第 1 セルウェル線 2 1 a は、ビア 2 1 0 を介してセル配線層に配置された M 0 セルウェル線 2 0 に接続する。M 0 セルウェル線 2 0 は、ビア 2 0 0 を介して p 型ウェル領域 8 0 のシャント領域に接続する。つまり、p 型ウェル領域 8 0 と第 2 セルウェル線 2 3 が電氣的に接続する。

図 2 2 に、第 1 セルソース線 1 1 b、1 1 d 及び第 2 セルソース線 1 3 の配置例を示す。第 1 セルソース線 1 1 b、1 1 d は、シャント領域 S b、S d 上にそれぞれ配置されている。図 2 2 では図示を省略しているが、第 1 セルソース線 1 1 b、1 1 d と第 2 セルソース線 1 3 を接続するビアがシャント領域 S b、S d 上に配置されている。つまり、第 1 セルソース線 1 1 b、1 1 d は、第 2 セルソース線 1 3 とシャント領域 S b、S d 上で電氣的に接続されている。尚、図 5 に示した第 2 セルソース線 1 2 と同様に、第 2 セルソース線 1 3 が網目状に配置されてもよい。

【0045】

図 2 3 は、図 2 2 の VI - VI 方向に沿った断面図である。図 2 3 に示すように、第 2 配線層に配置された第 2 セルソース線 1 3 は、ビア 1 2 1 a ~ 1 2 1 d を介して、第 1 配線層に配置された第 1 セルソース線 1 1 b に接続する。第 1 セルソース線 1 1 b は、ビア 1 1 0 a ~ 1 1 0 c を介してセル配線層に配置された M 0 セルソース線 1 0 に接続する。M 0 セルソース線 1 0 は、既に述べたように、メモリセルアレイ 3 0 に含まれる選択トランジスタのソース端子に接続する。

【0046】

一般に、セルウェル線の配線抵抗に比べてセルソース線の配線抵抗の増大の方が N A N D 型不揮発性半導体記憶装置の性能に与える影響が大きい。そのため、第 2 セルウェル線

10

20

30

40

50

23の配線抵抗より第2セルソース線13の配線抵抗の低減が優先される。例えば、図22に示すように、第2セルウェル線23をシャント領域Sa、Sc、Seの上方のみに配置し、第2配線層における第2セルソース線13の面積をできるだけ大きくする。

#### 【0047】

図19では、セルウェルドライバ50a、50b及びセルソースドライバ60a、60bがメモリセルアレイ30の平面図上、その下方に配置される例を示した。例えば、図16に示したように、NAND型不揮発性メモリ100aの下側の辺にのみパッド領域150が配置された場合には、セルウェルドライバ50a、50b及びセルソースドライバ60a、60bをメモリセルアレイ30の下方に配置することが、セルソース線及びセルウェル線の配線抵抗を低減することに効果がある。例えば図24に示すように、NAND型不揮発性メモリ100aの下側及び上側の辺にパッド領域150a、150bが配置された場合には、セルウェルドライバ50a、50bをメモリセルアレイ30の下方に配置し、セルソースドライバ60a、60bをメモリセルアレイ30の下方に配置してもよい。

#### 【0048】

図25に示すように、パッド領域150がNAND型不揮発性メモリ100aの左側の辺のみに配置された場合には、セルウェルドライバ50a及びセルソースドライバ60aをメモリセルアレイ30の左方に配置することにより、セルソース線及びセルウェル線の配線抵抗を低減できる。

#### 【0049】

図26に示すように、NAND型不揮発性メモリ100aの左側及び右側の辺にパッド領域150a、150bがそれぞれ配置された場合には、セルウェルドライバ50a及びセルソースドライバ60aをメモリセルアレイ30の左方に配置し、セルウェルドライバ50b及びセルソースドライバ60bをメモリセルアレイ30の右方に配置してもよい。メモリセルアレイ30の両側にセルウェルドライバ及びセルソースドライバを配置することにより、セルソース線及びセルウェル線の長さが短縮され、セルソース線及びセルウェル線の配線抵抗を低減できる。

#### 【0050】

図1に示したNAND型不揮発性メモリ100では、メモリセルアレイ30を囲んで第2セルソース線12が配置されている。そのため、図10(a)及び図10(b)に示したように、第2セルウェル線22hを、第1セルウェル線21hを経由してメモリセルアレイ30の外周部に引き出す必要がある。ビア221h1及びビア221h2を介するため、セルウェル線の配線抵抗が増大する。

#### 【0051】

しかし、図19に示した第2の実施の形態に係るNAND型不揮発性半導体記憶装置では、第1配線層を経由せずにメモリセルアレイ30の外周部に第2セルウェル線23が引き出される。そのため、セルウェル線の配線抵抗を減少させることができる。他は、第1の実施の形態と実質的に同様であり、重複した記載を省略する。

#### 【0052】

(第3の実施の形態)

本発明の第3の実施の形態に係るNAND型不揮発性半導体記憶装置は、図27に示すように、第2配線層に配置された第2セルウェル線23と第1配線層に配置された第1セルウェル線21i~21mとを接続するビア221i~221mが配置されるシャント領域Saに、第2配線層に配置された第2セルソース線13と第1配線層に配置された第1セルソース線11i~11lとを接続するビア121i~121lを備える。

#### 【0053】

図27に示したように、ビア221i~221m及びビア121i~121lは、メモリセルカラムが延伸する方向に直線的に配置される。図27では、シャント領域Saに配置されたビア221i~221m、及びビア121i~121lのみを示したが、シャント領域Saと同様に、シャント領域Sc及びSeにも、第2セルソース線13と第1配線層に配置されたセルソース線とを接続するビアが配置される。

10

20

30

40

50

## 【0054】

図28は、図27のVII-VII方向に沿った断面図である。図28に示すように、第2配線層に配置された第2セルウェル線23は、ビア221i及び221jを介して、第1配線層に配置された第1セルウェル線21i及び21jcに接続する。第1セルウェル線21i及び21jcは、ビア210i及び210jを介してセル配線層に配置されたM0セルウェル線20に接続する。既に述べたように、M0セルウェル線20は、p型ウェル領域80のシャント領域に接続する。第2配線層に配置された第2セルソース線13は、ビア121i及び121jを介して、第1配線層に配置された第1セルソース線11i及び11jに接続する。第1セルソース線11i及び11jは、ビア110i及び110jを介してセル配線層に配置されたM0セルソース線10に接続する。既に述べたように、M0セルソース線10は、メモリセルアレイ30に含まれる選択トランジスタのソース端子に接続する。 10

図27に示したNAND型不揮発性半導体記憶装置では、第2配線層に配置された第2セルソース線13と第1配線層に配置されたセルソース線とを接続するビアがシャント領域Sa、シャント領域Sc、及びSeに配置される。そのため、図19に示したNAND型不揮発性半導体記憶装置に比べて、第2セルソース線13と第1配線層に配置されたソース線を接続するビア数が増大する。その結果、セルソースドライバ60a、60bから選択トランジスタまでのセルソース線の配線抵抗が削減される。他は、第2の実施の形態と実質的に同様であり、重複した記載を省略する。

## 【0055】

20

(その他の実施の形態)

上記のように、本発明は第1乃至第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

## 【0056】

第1乃至第3の実施の形態の説明においては、シャント領域の数を削減して、メモリセルアレイ30に占めるシャント領域の面積を削減する例を示した。しかし、例えば第1配線層に配置された第1セルウェル線21a~21e及び第1セルソース線11a~11eの配線幅を狭くすることにより、シャント領域Sa~Seの幅を狭くできる。その結果、シャント領域の数を削減せずにメモリセルアレイ30に占めるシャント領域の面積が削減される。 30

## 【0057】

又、第2セルウェル線22a~22hが第1配線層に配置された第1セルウェル線21a~21eの上層となる第2配線層に配置された例を説明したが、第2セルウェル線22a~22hと第1セルウェル線21a~21eが同一レベルの配線層に配置されてもよい。例えば、第2セルウェル線22a~22hと第1セルウェル線21a~21eを、第2セルソース線12と同一レベルの配線層に配置し、第2セルソース線12と交差する部分の第1セルウェル線21a~21eのみ第1配線層に配置する。

## 【0058】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。 40

## 【図面の簡単な説明】

## 【0059】

【図1】本発明の第1の実施の形態に係るNAND型不揮発性半導体記憶装置の構成を示す模式図である。

【図2】本発明の第1の実施の形態に係るNAND型不揮発性半導体記憶装置のセルウェル線の構成を示す模式図である。

【図3】本発明の第1の実施の形態に係るNAND型不揮発性半導体記憶装置のセルソース線の構成を示す模式図である。 50

【図 4】本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の構成を示す模式図であり、図 4 (a) は第 1 配線層の上面図、図 4 (b) は図 4 (a) の X-X 方向に沿った模式的な断面構造図である。

【図 5】図 1 の一部を拡大した模式的な上面図である。

【図 6】図 5 の一部を拡大した模式的な上面図であり、図 6 (a) は第 1 及び第 2 配線層の上面図、図 6 (b) は第 1 配線層の上面図である。

【図 7】図 6 (a) 及び図 6 (b) の I-I 方向に沿った模式的な断面構造図である。

【図 8】図 8 (a) は、本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置のセルソース線の構成例を示す上面図であり、図 8 (b) は図 8 (a) の I I-I I 方向に沿った模式的な断面構造図である。図 8 (c) はセルソース線の他の構成例を示す模式的な上面図である。 10

【図 9】本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の第 2 配線層の構成を示す模式図である。

【図 10】図 10 (a) は、本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置のメモリセル領域の外周部の構成を示す模式的な上面図で、図 10 (b) は、図 10 (a) の I I I-I I I 方向に沿った模式的な断面構造図である。

【図 11】本発明の第 1 の実施の形態に係るメモリセルアレイの等価回路図である。

【図 12】図 11 に対応するメモリセルアレイの一部を示す模式的な上面図である。

【図 13】図 12 の I V-I V 方向に沿った模式的な断面構造図である。

【図 14】しきい値電圧分布の変動を説明するための模式図である。 20

【図 15】本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置によるノイズ電圧低減の効果を説明するためのグラフである。

【図 16】本発明の第 1 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の構成例を示す模式図である。

【図 17】本発明の第 1 の実施の形態の第 1 の変形例に係る N A N D 型不揮発性半導体記憶装置の第 1 配線層の構成を示す模式図である。

【図 18】本発明の第 1 の実施の形態の第 2 の変形例に係る N A N D 型不揮発性半導体記憶装置の第 1 配線層の構成を示す模式図である。

【図 19】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の構成を示す模式図である。 30

【図 20】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置のセルウェル線の構成を示す模式図である。

【図 21】図 20 の V-V 方向に沿った模式的な断面構造図である。

【図 22】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置のセルソース線の構成を示す模式図である。

【図 23】図 22 の VI-VI 方向に沿った模式的な断面構造図である。

【図 24】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の他の構成を示す模式図である。

【図 25】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の他の構成を示す模式図である。 40

【図 26】本発明の第 2 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の他の構成を示す模式図である。

【図 27】本発明の第 3 の実施の形態に係る N A N D 型不揮発性半導体記憶装置の構成を示す模式図である。

【図 28】図 27 の VII-VII 方向に沿った模式的な断面構造図である。

【符号の説明】

【0060】

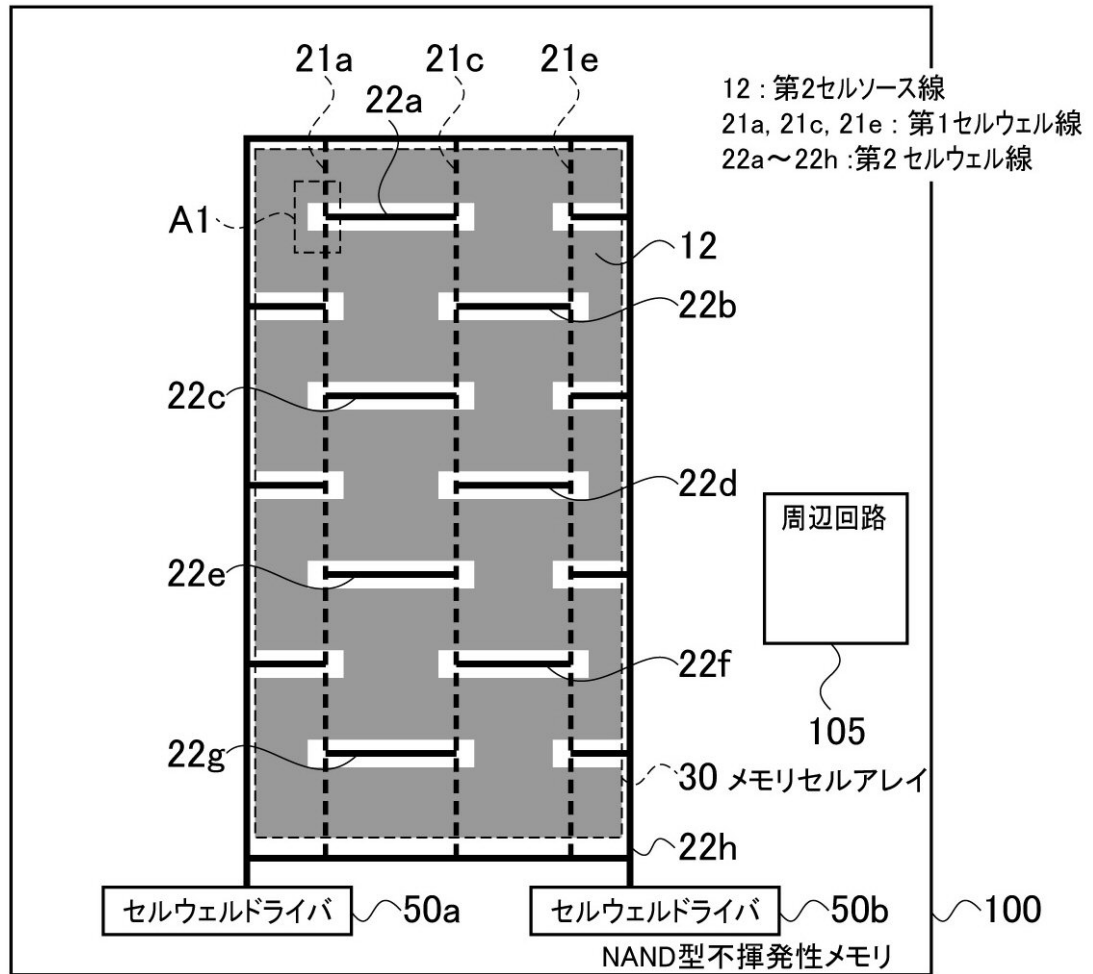
B L<sub>1</sub>、B L<sub>2</sub>、B L<sub>3</sub>…ビット線

W L<sub>1</sub>、W L<sub>2</sub>、・・・、W L<sub>32</sub>…ワード線

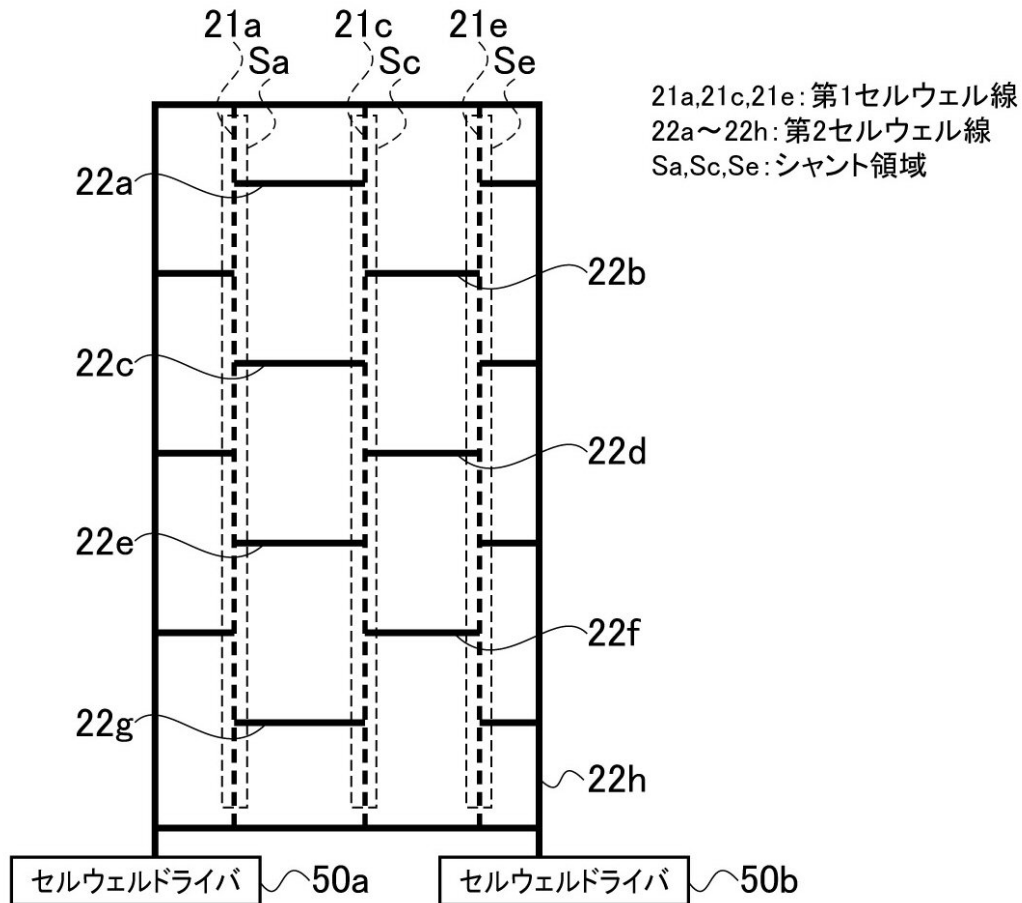
C 1、C 2…メモリセルカラム

第 1 … 第 1 配線層  
第 2 … 第 2 配線層  
S、S a ～ S e … シャント領域  
1 1 a ～ 1 1 e、1 2 … セルソース線  
2 1 a ～ 2 1 e … 第 1 セルウェル線  
2 2 a ～ 2 2 h … 第 2 セルウェル線  
3 0 … メモリセルアレイ  
5 0 a、5 0 b … セルウェルドライバ  
6 0 a、6 0 b … セルソースドライバ  
8 0 … p 型ウェル領域

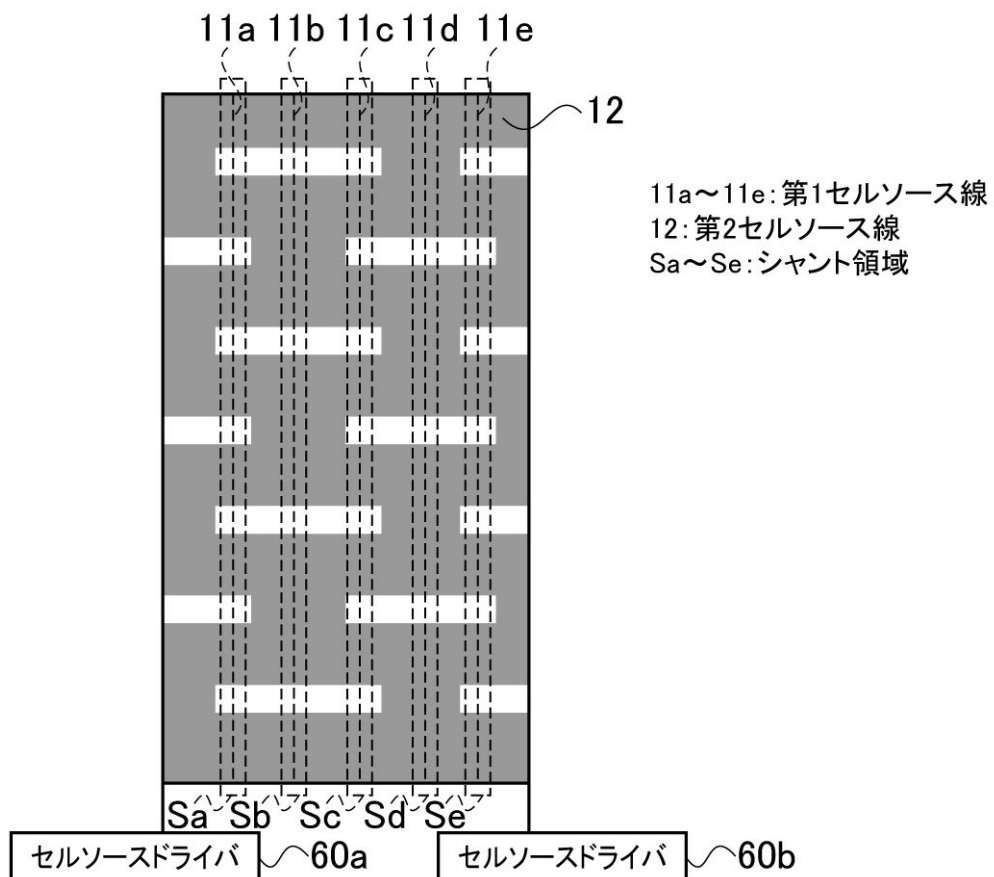
【図 1】



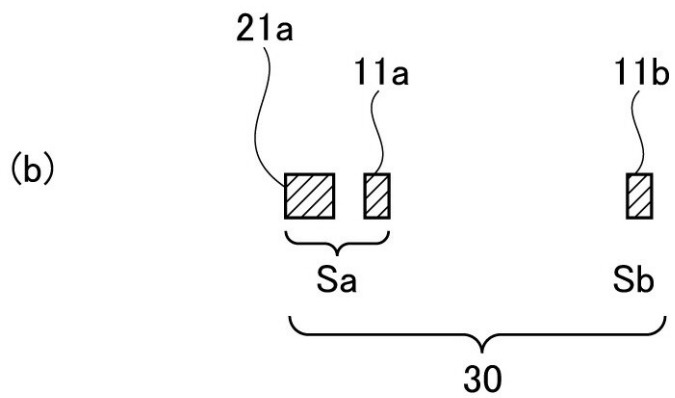
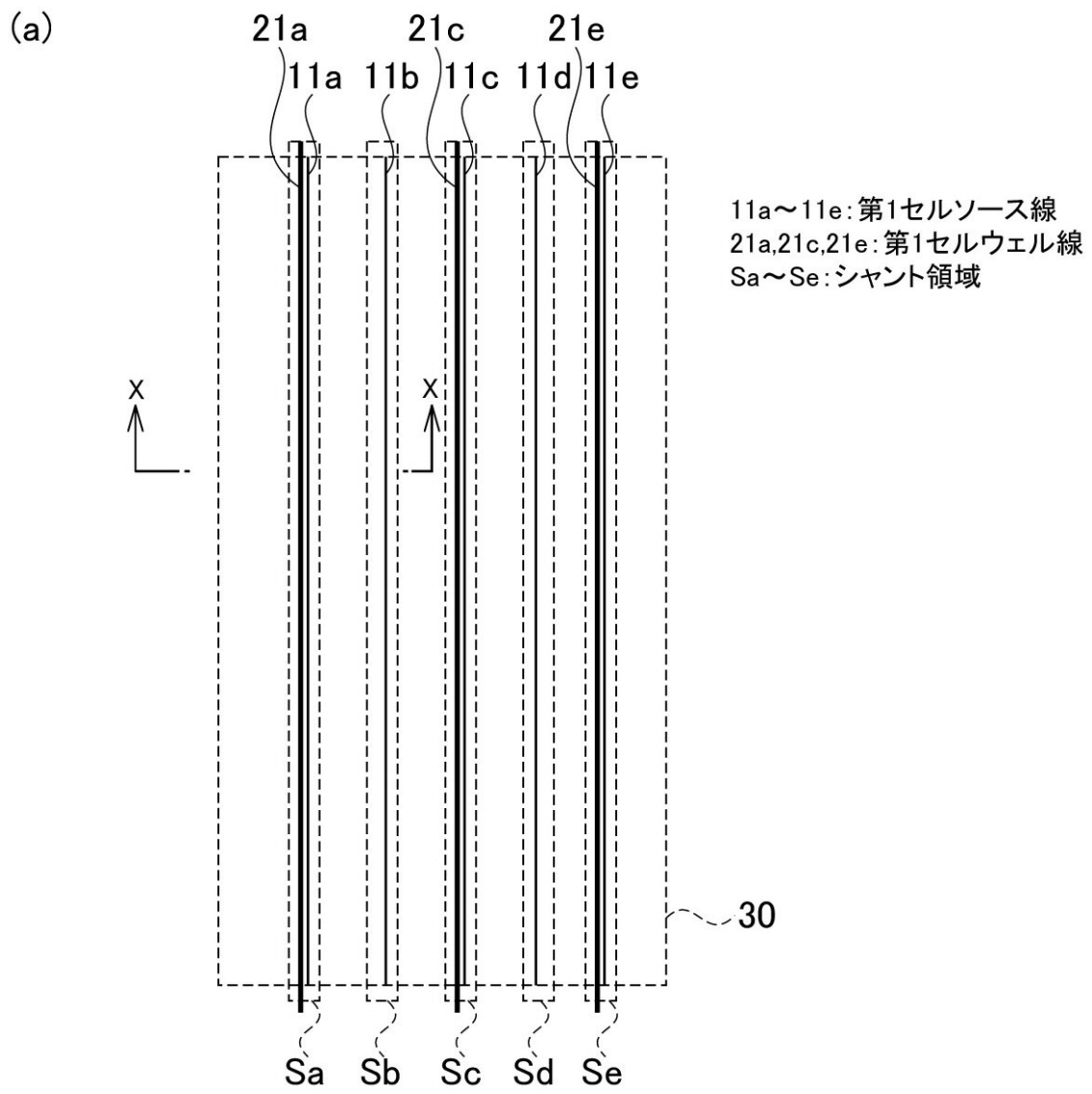
【図 2】



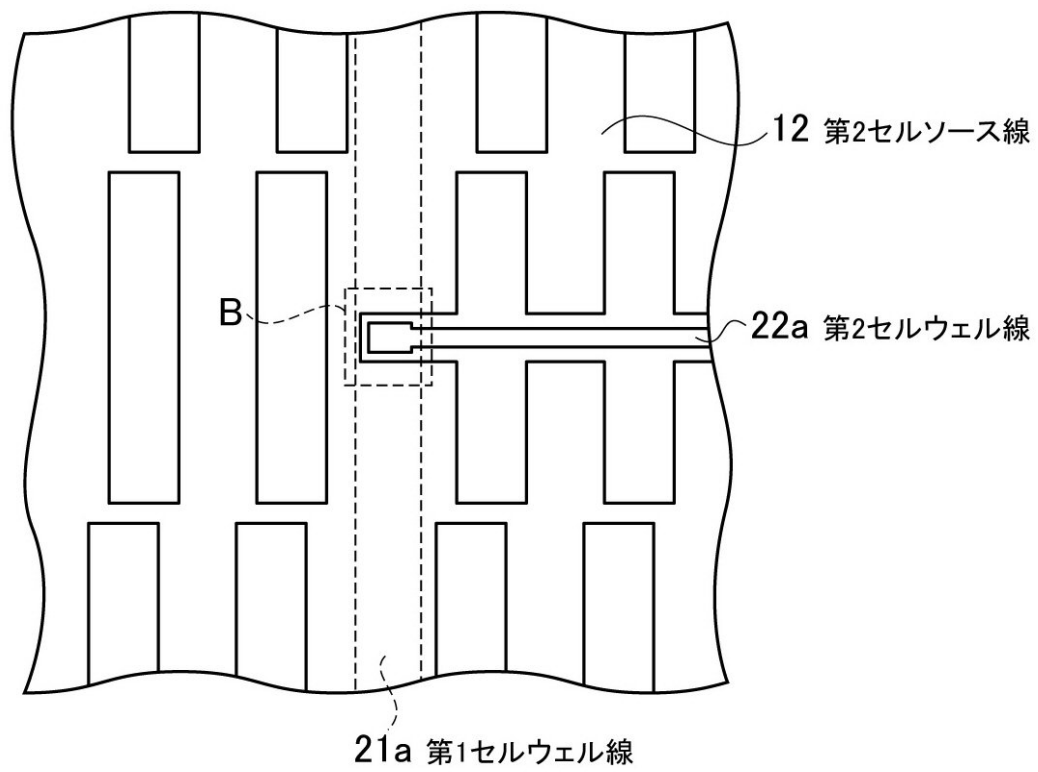
【図 3】



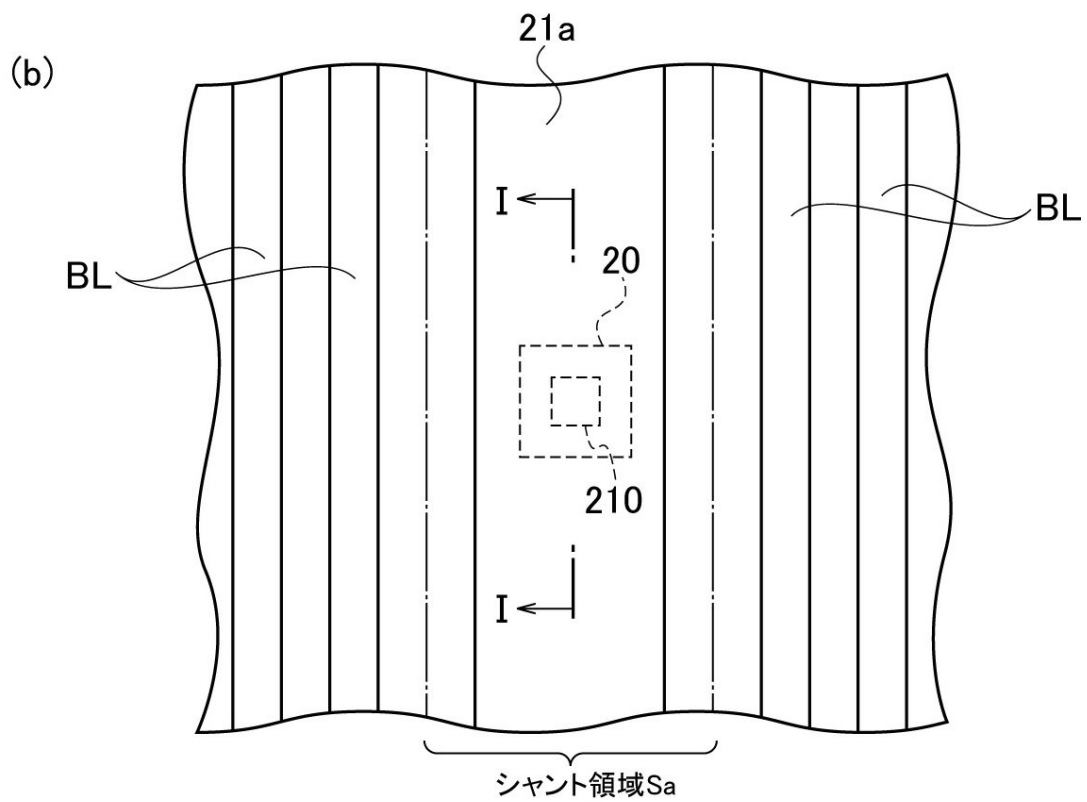
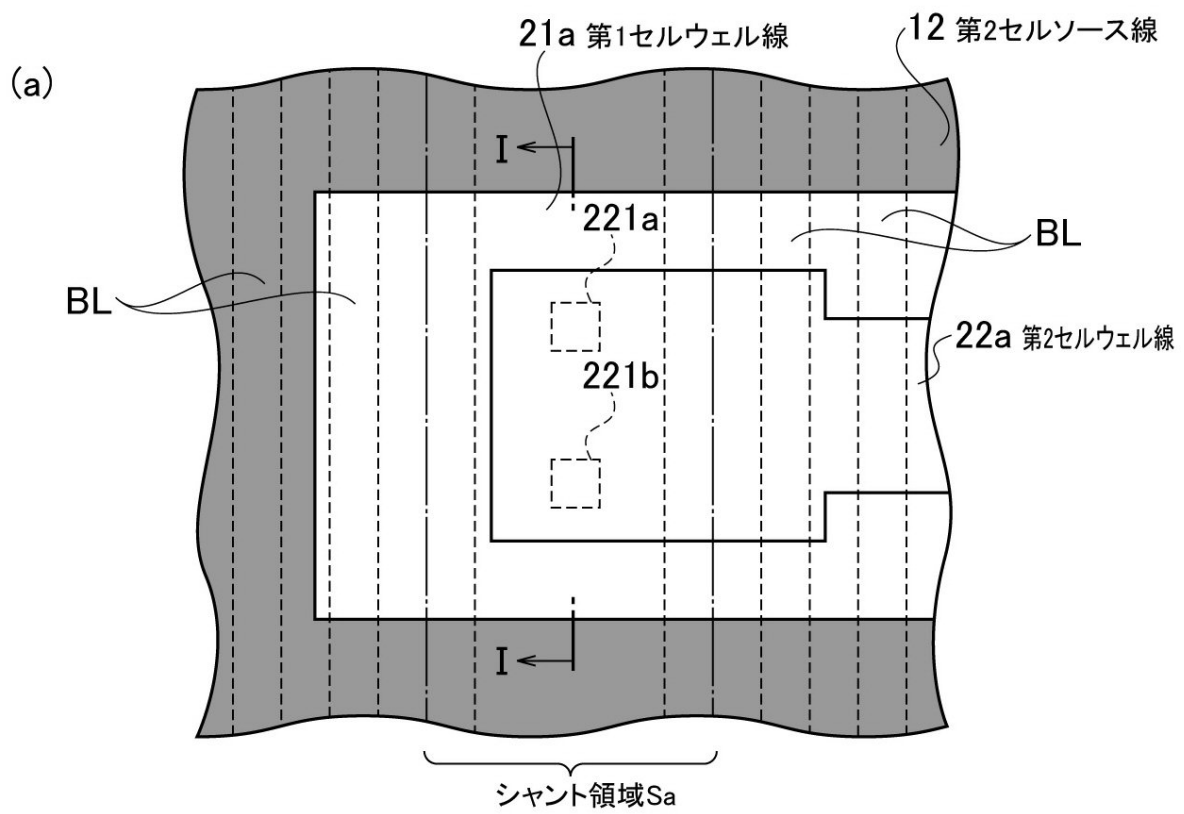
【図 4】



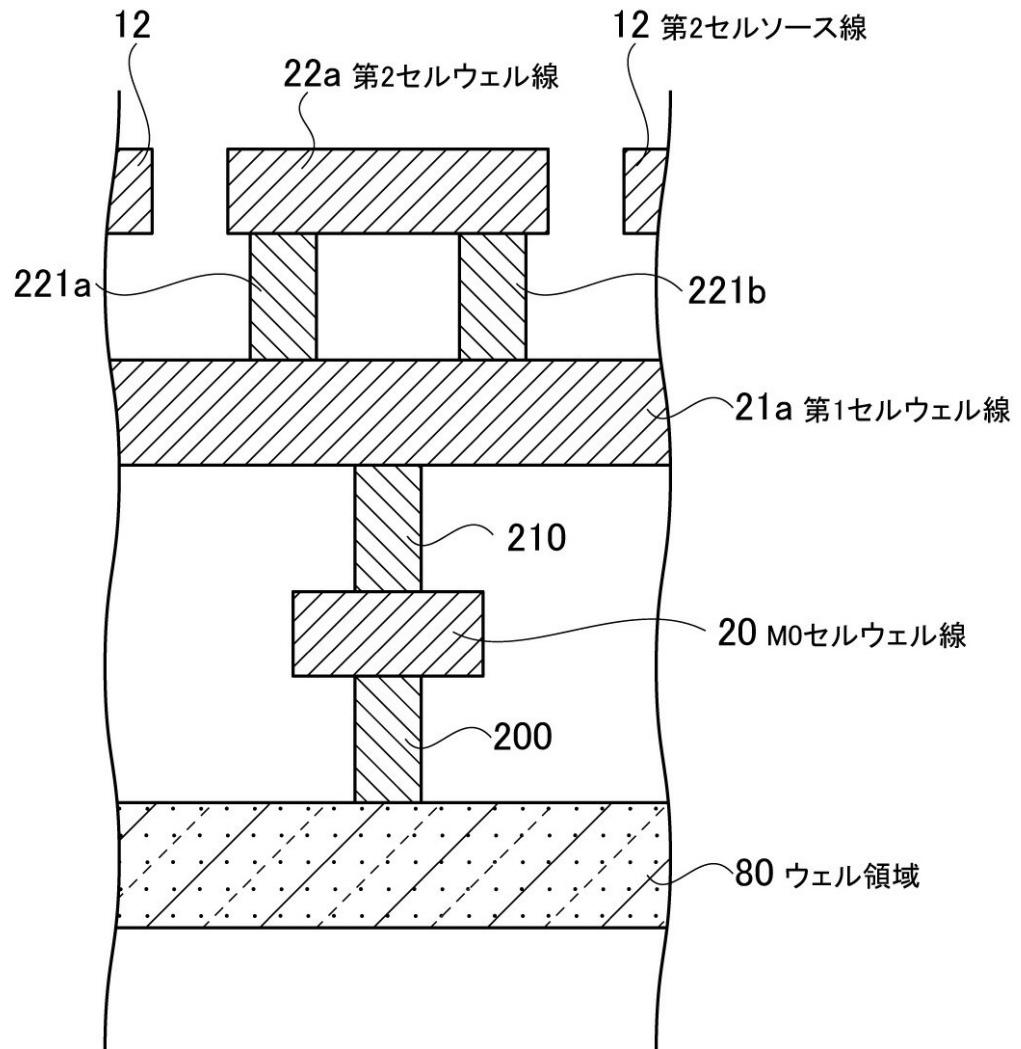
【図 5】



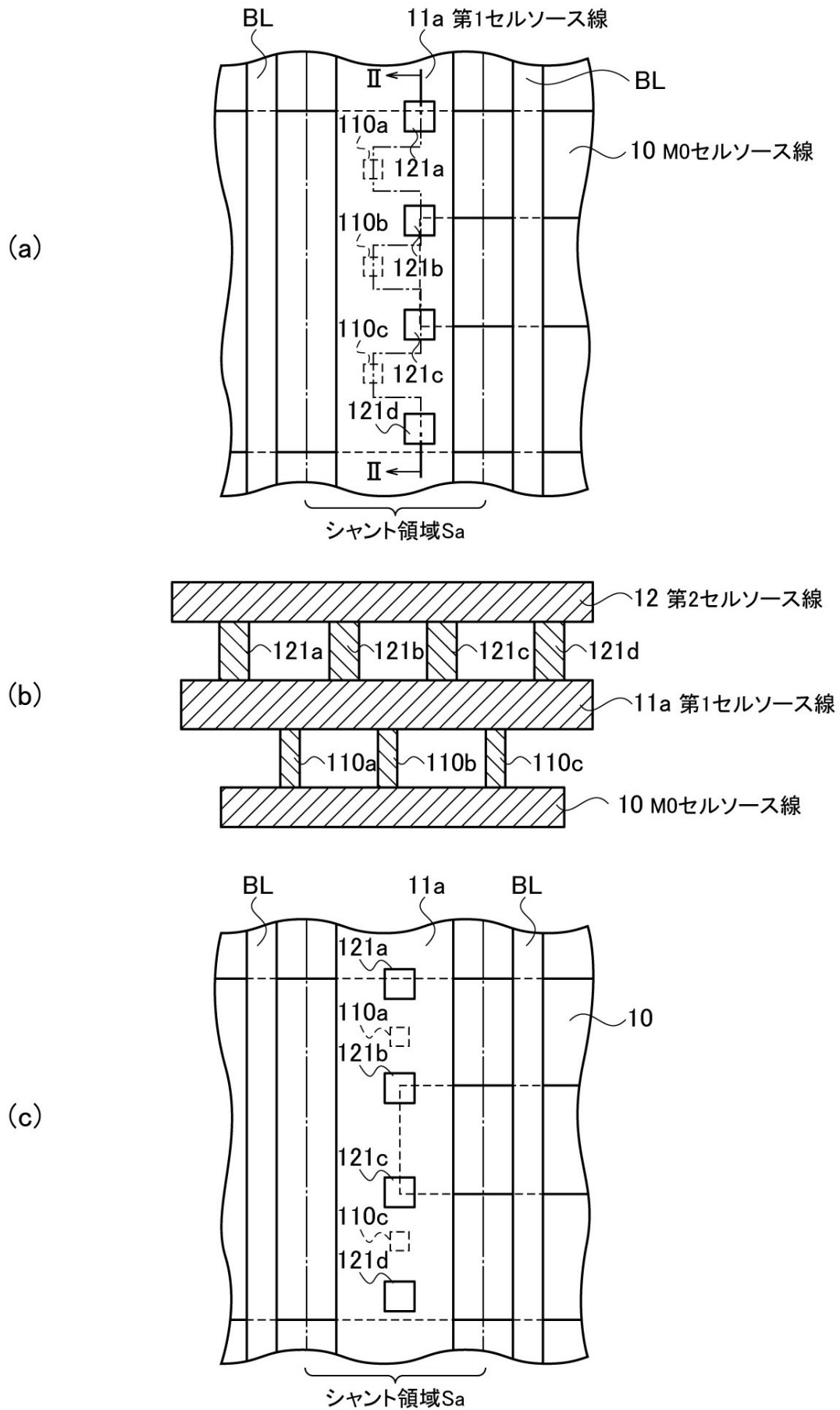
【図 6】



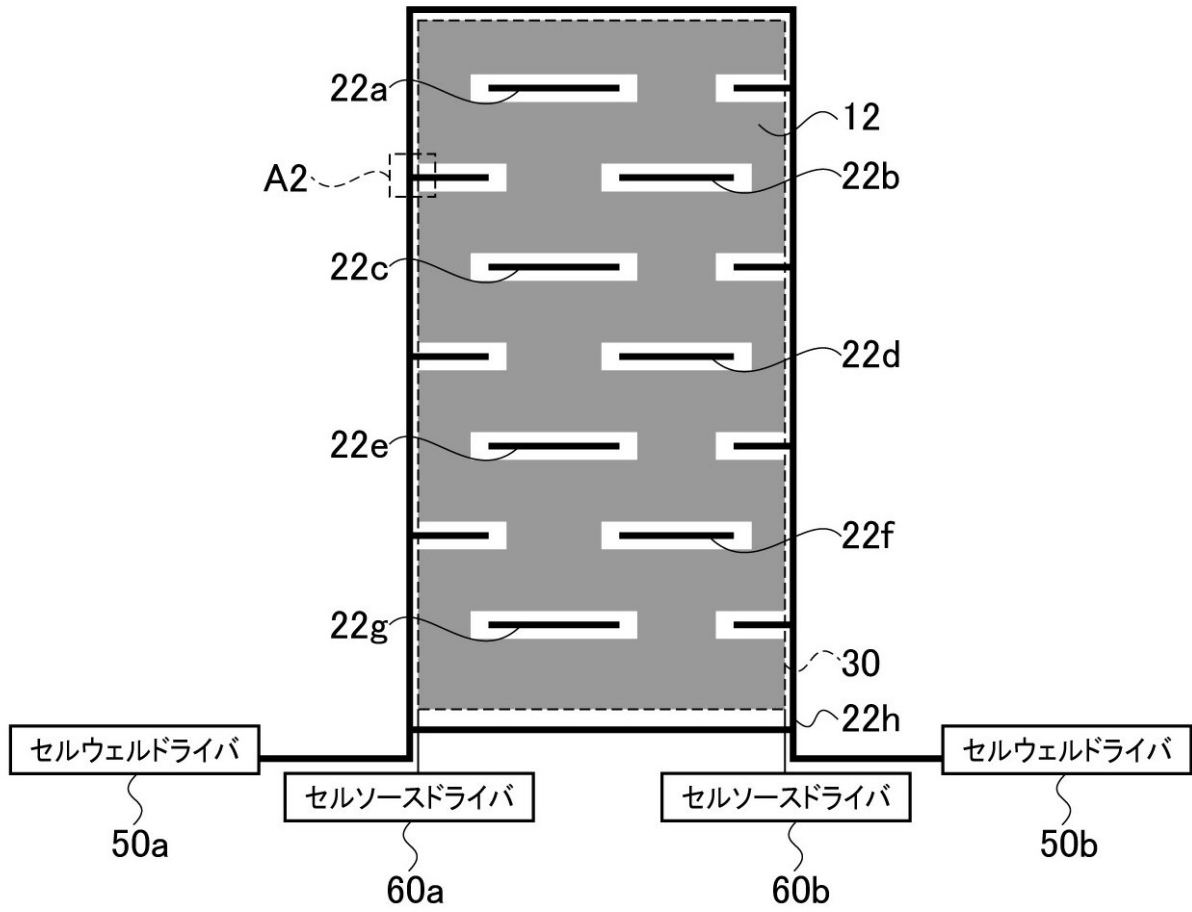
【図 7】



【図 8】

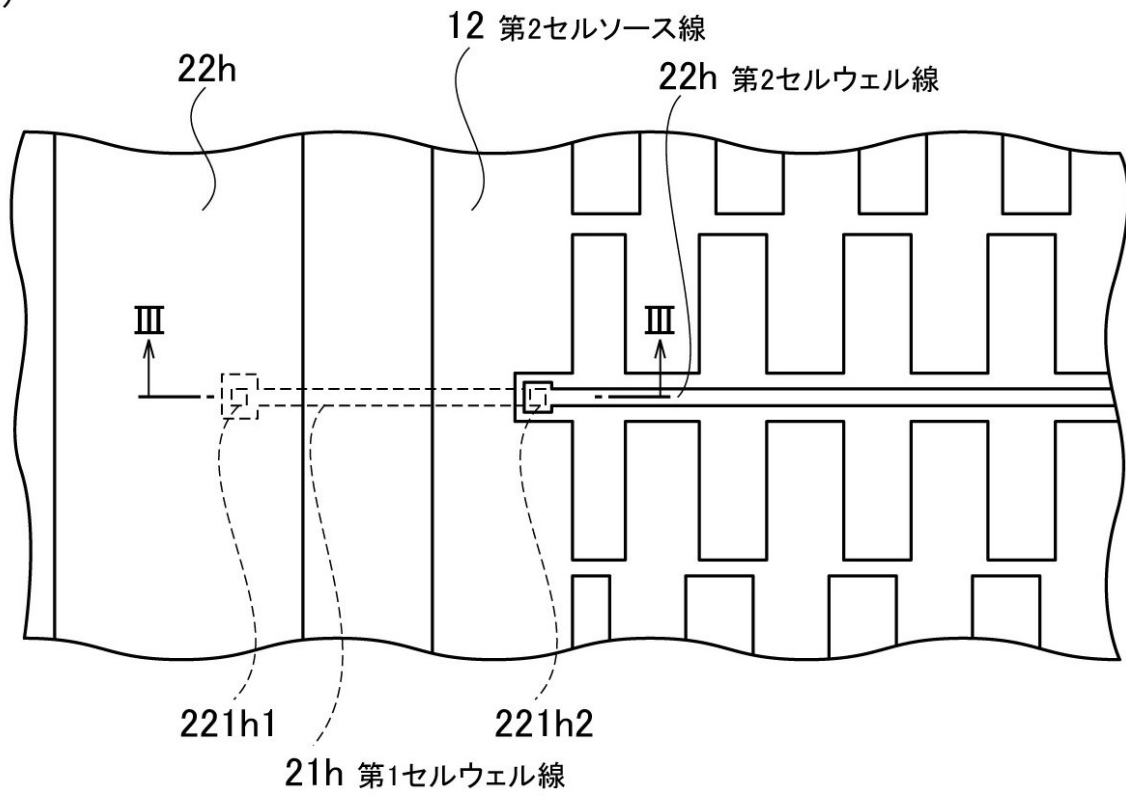


【図 9】

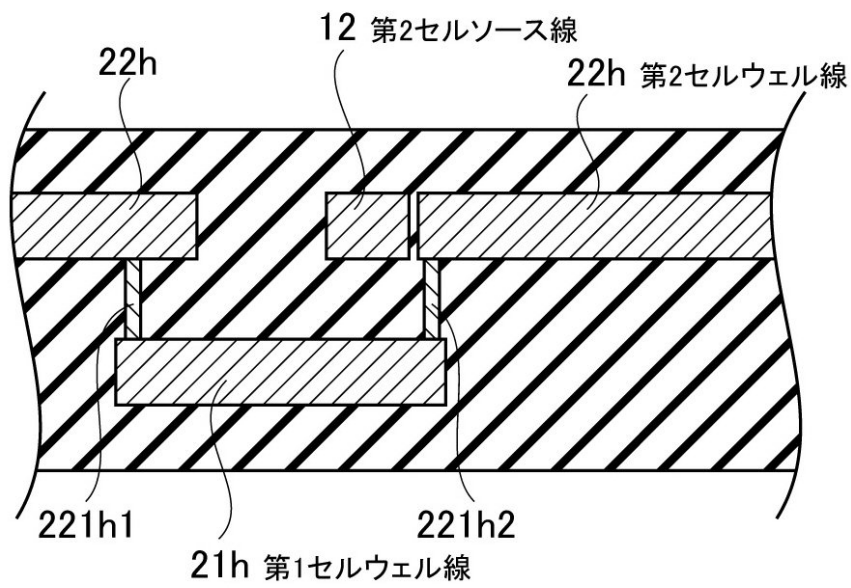


【図 10】

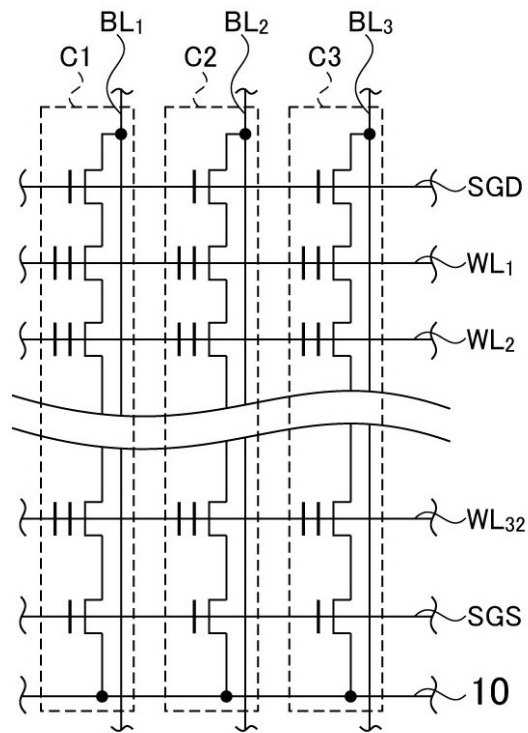
(a)



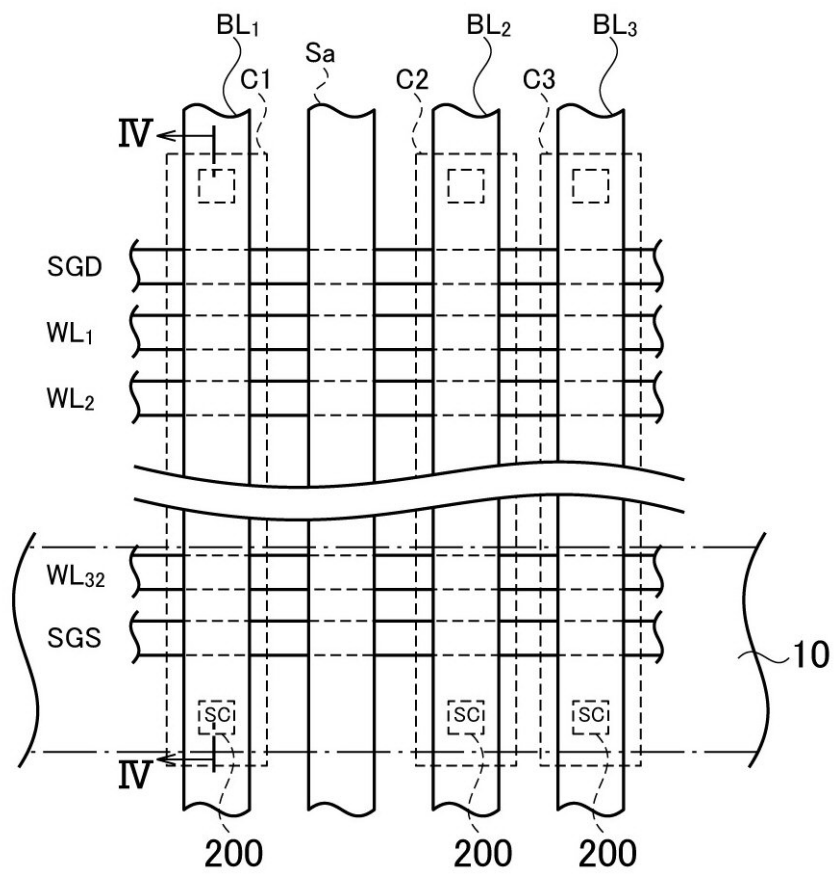
(b)



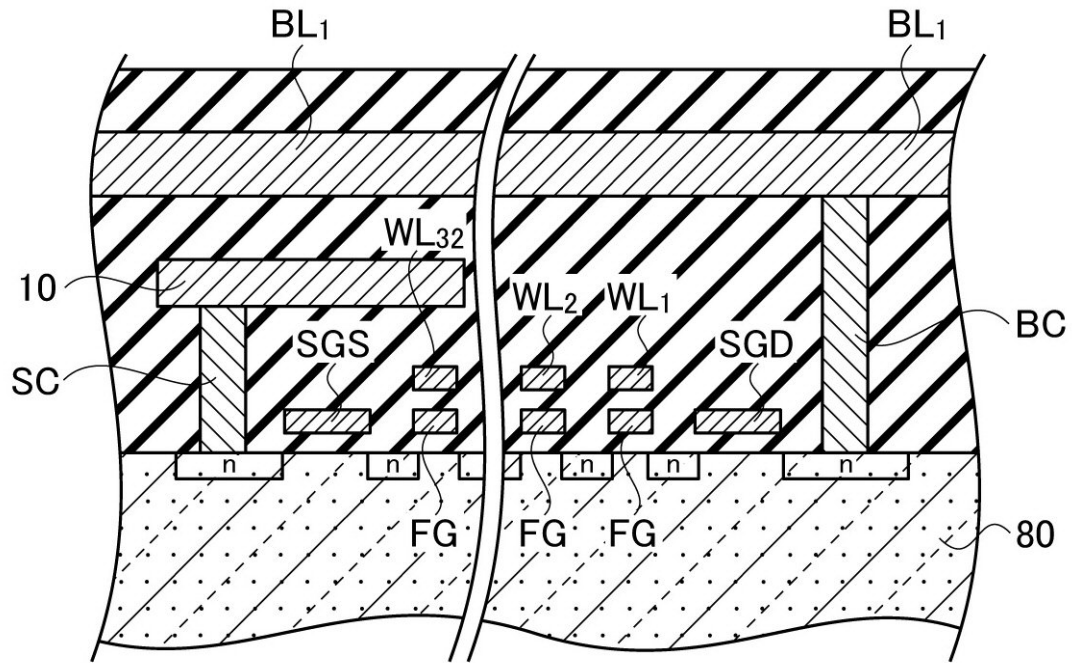
【図 1 1】



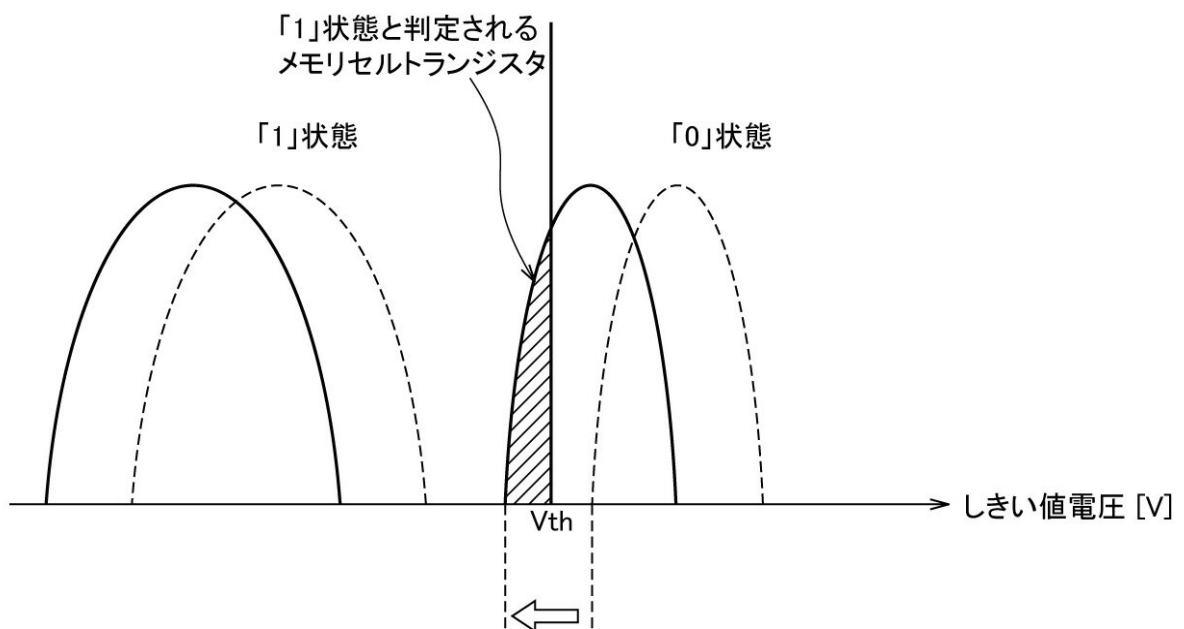
【図 1 2】



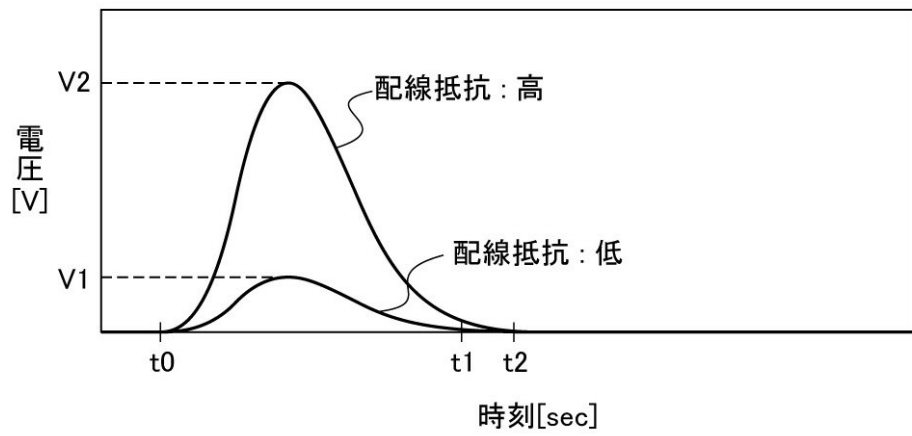
【図 1 3】



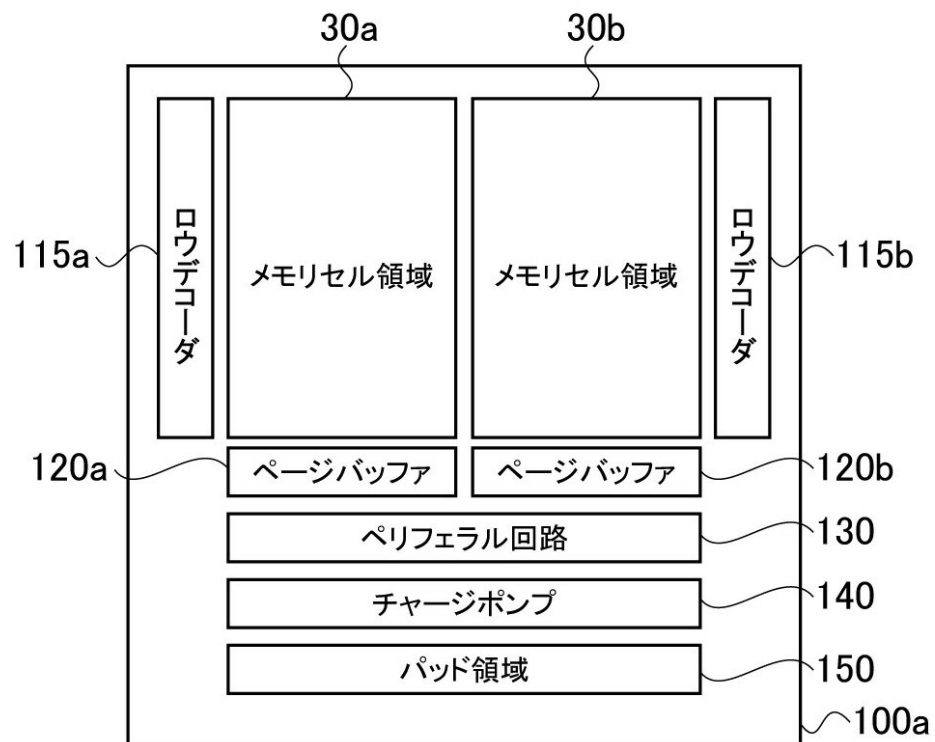
【図 1 4】



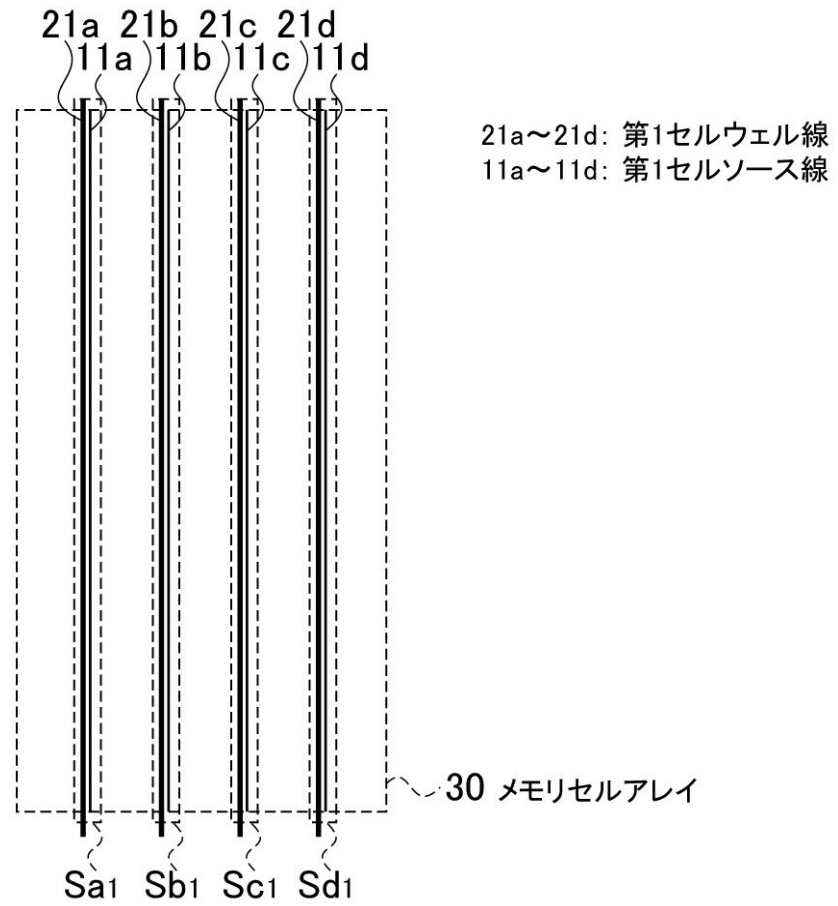
【図 1 5】



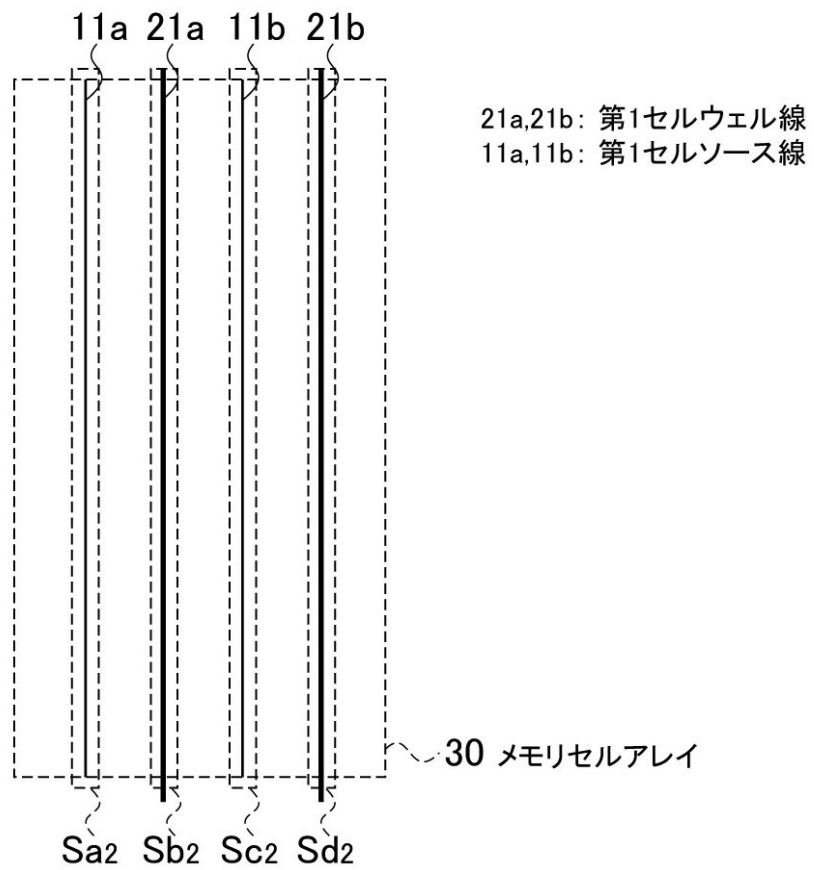
【図 1 6】



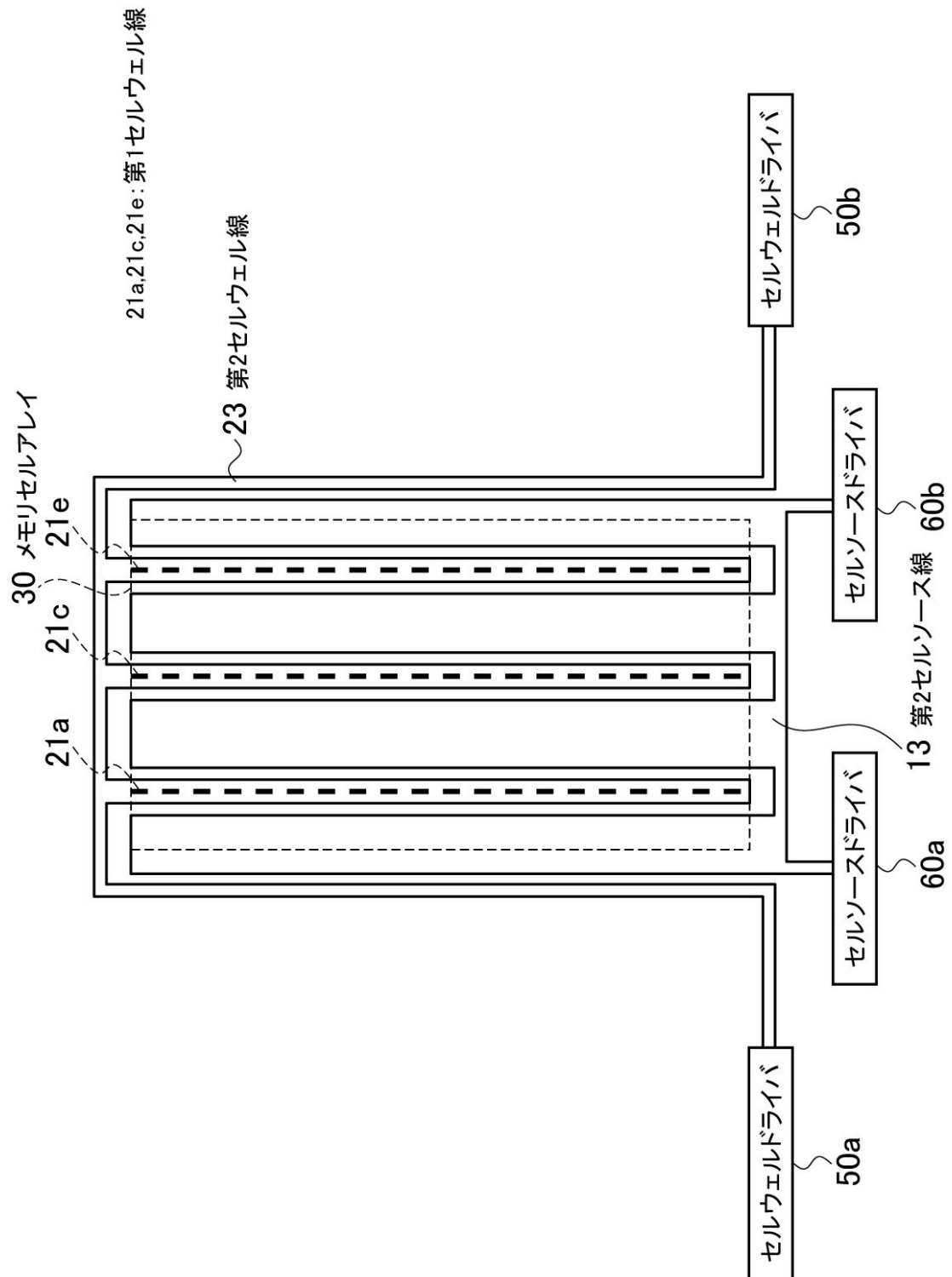
【図 17】



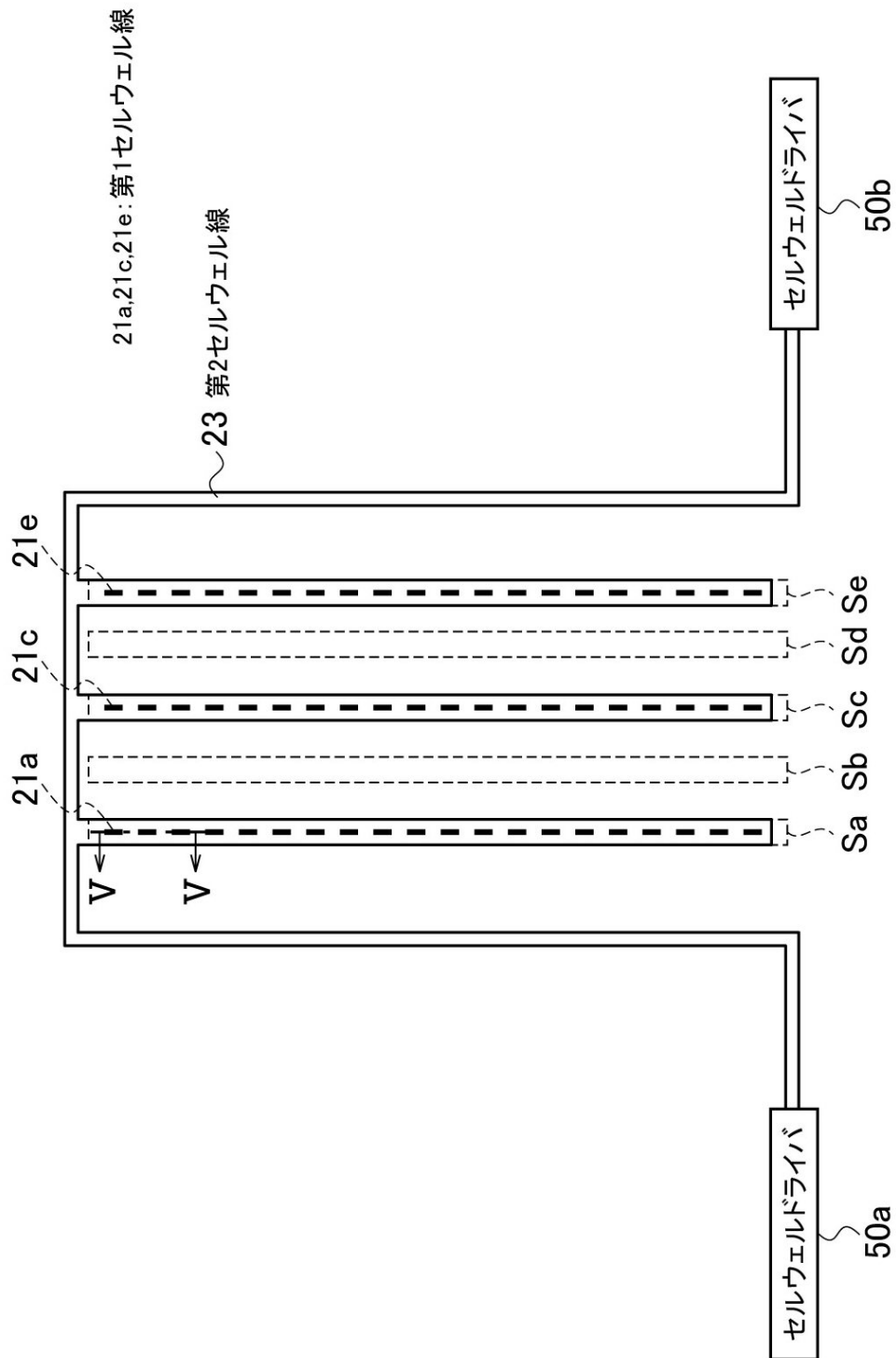
【図 18】



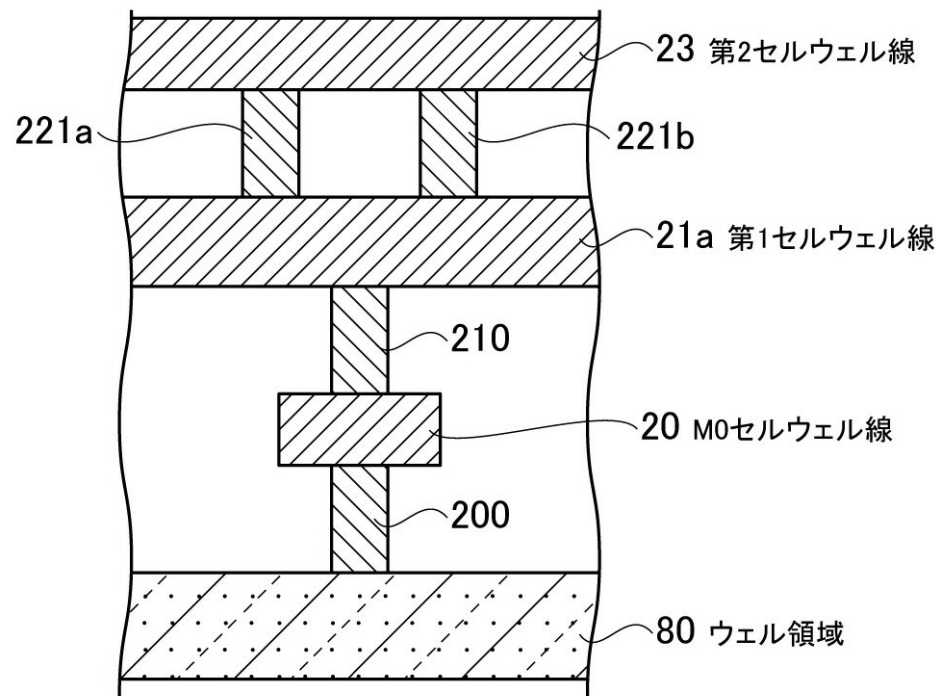
【図 19】



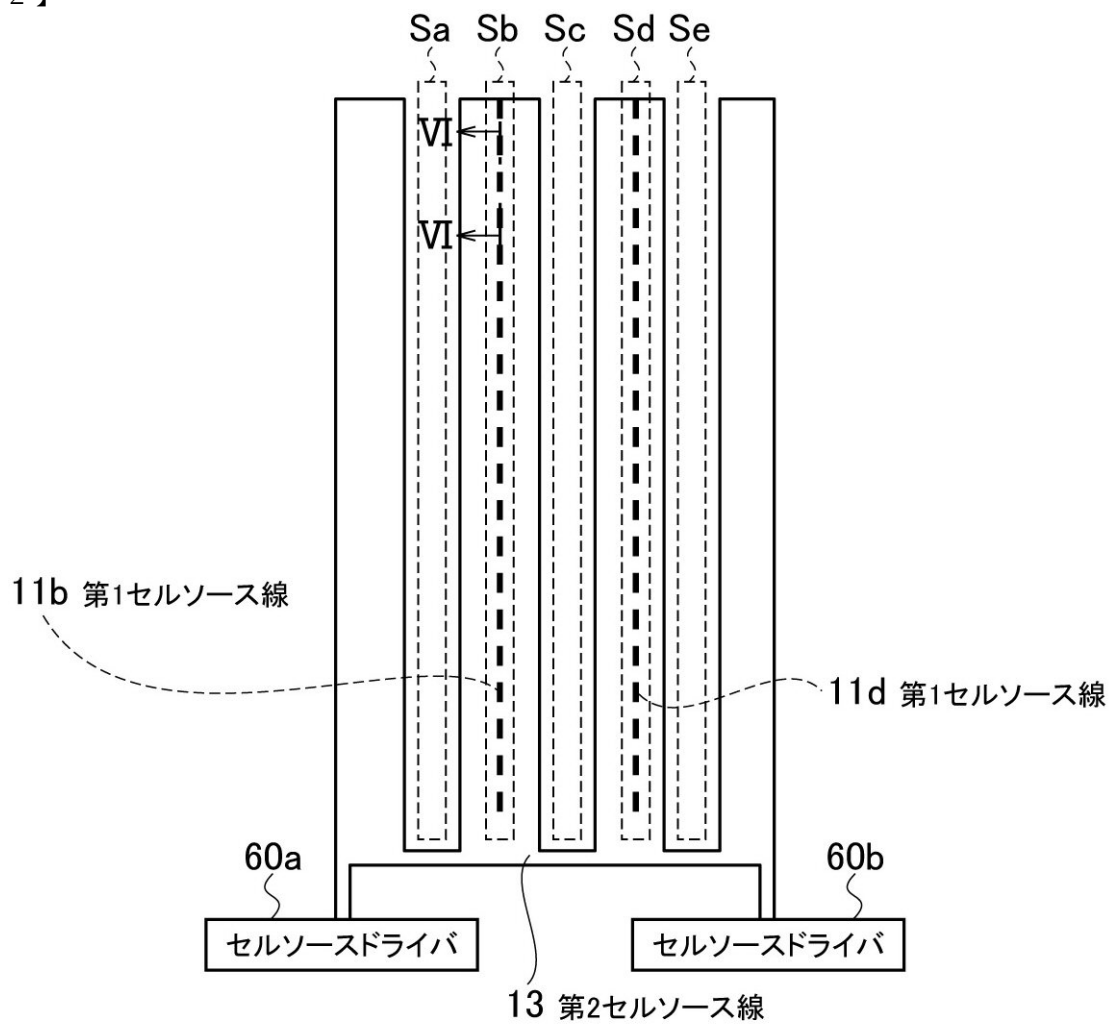
【 図 2 0 】



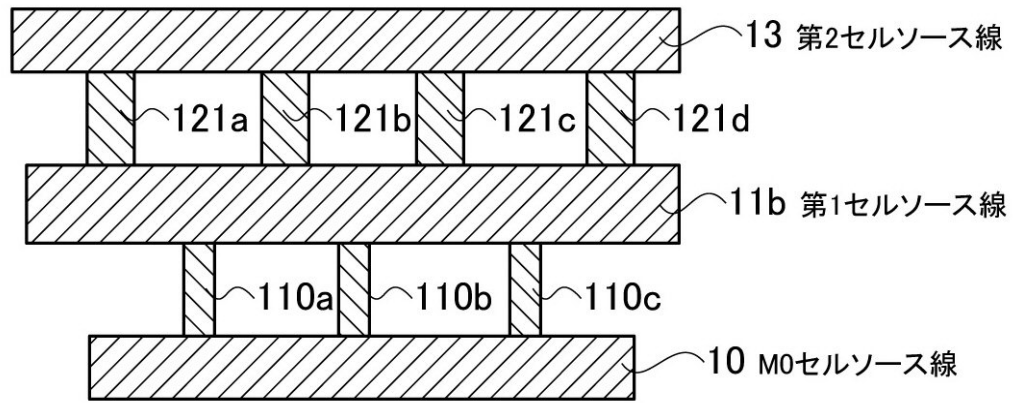
【図 2 1】



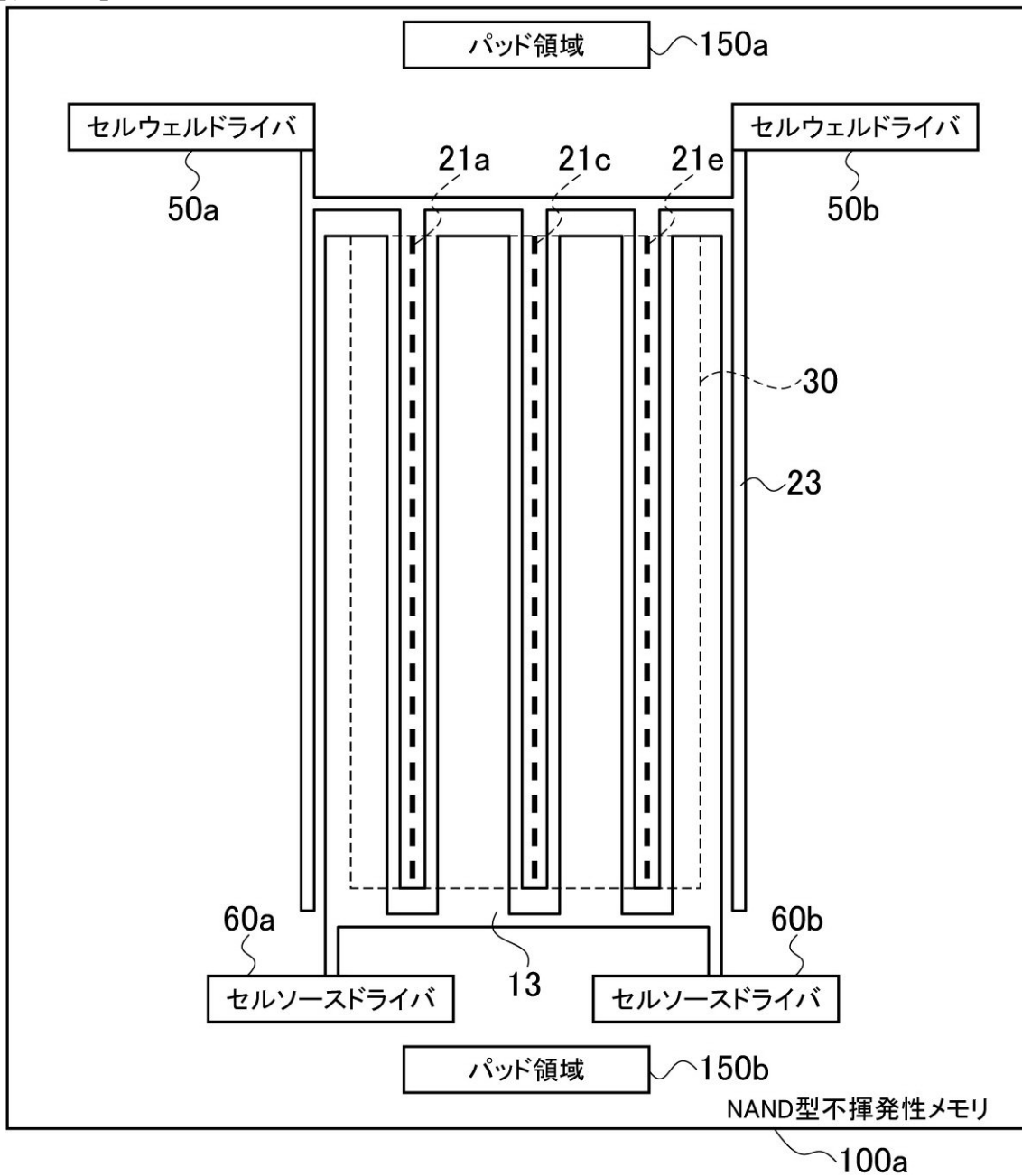
【図 2 2】



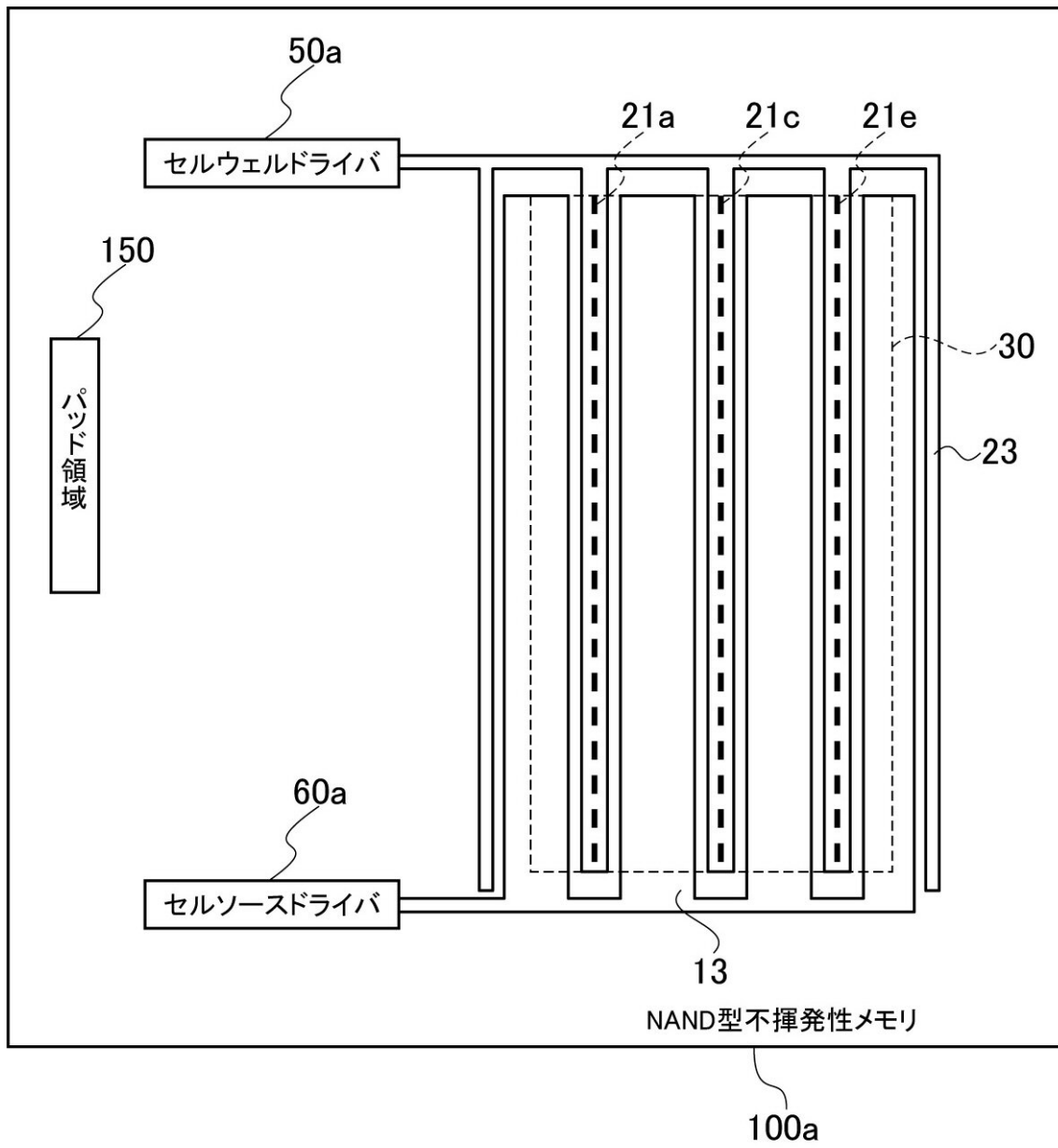
【図 2 3】



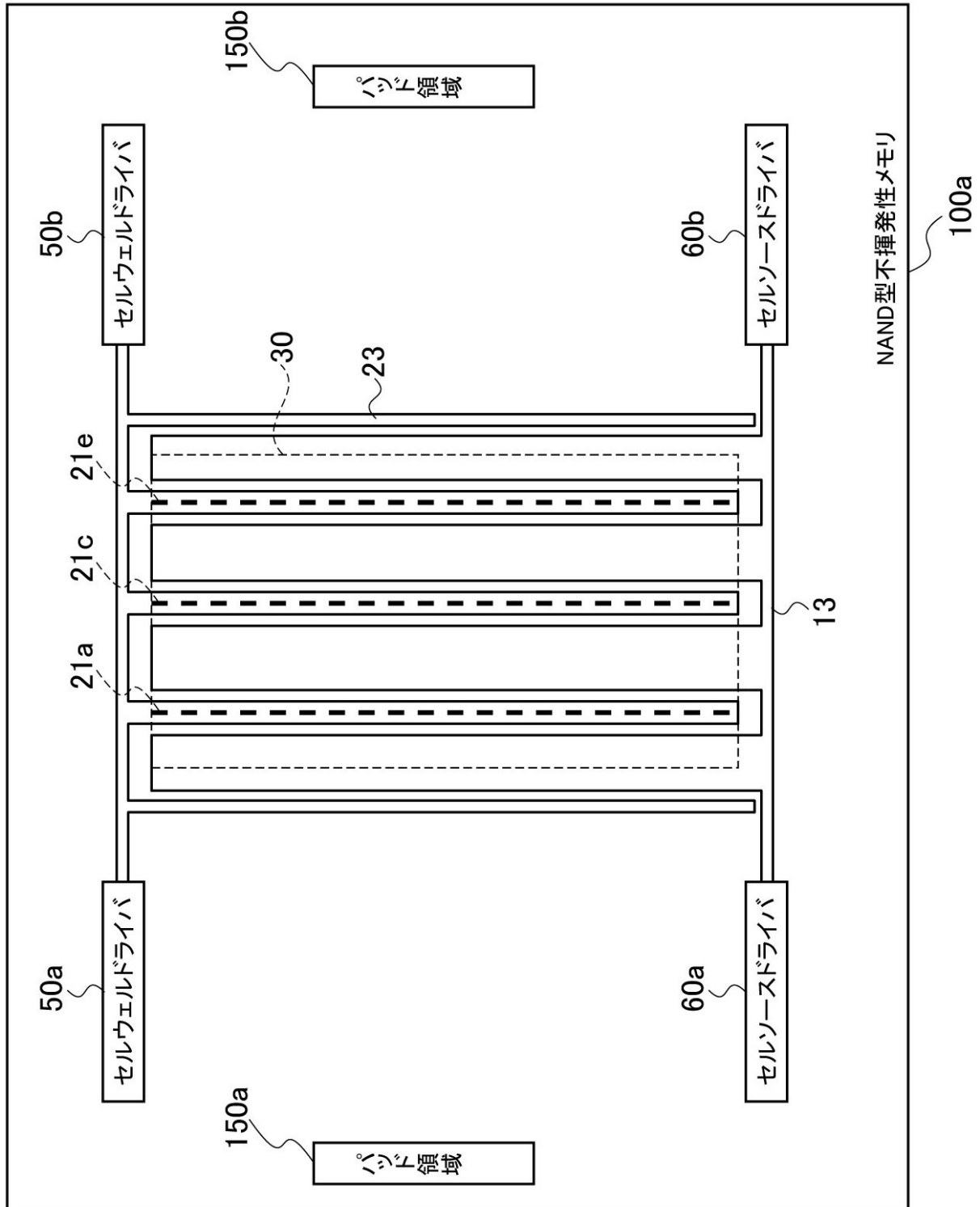
【図 2 4】



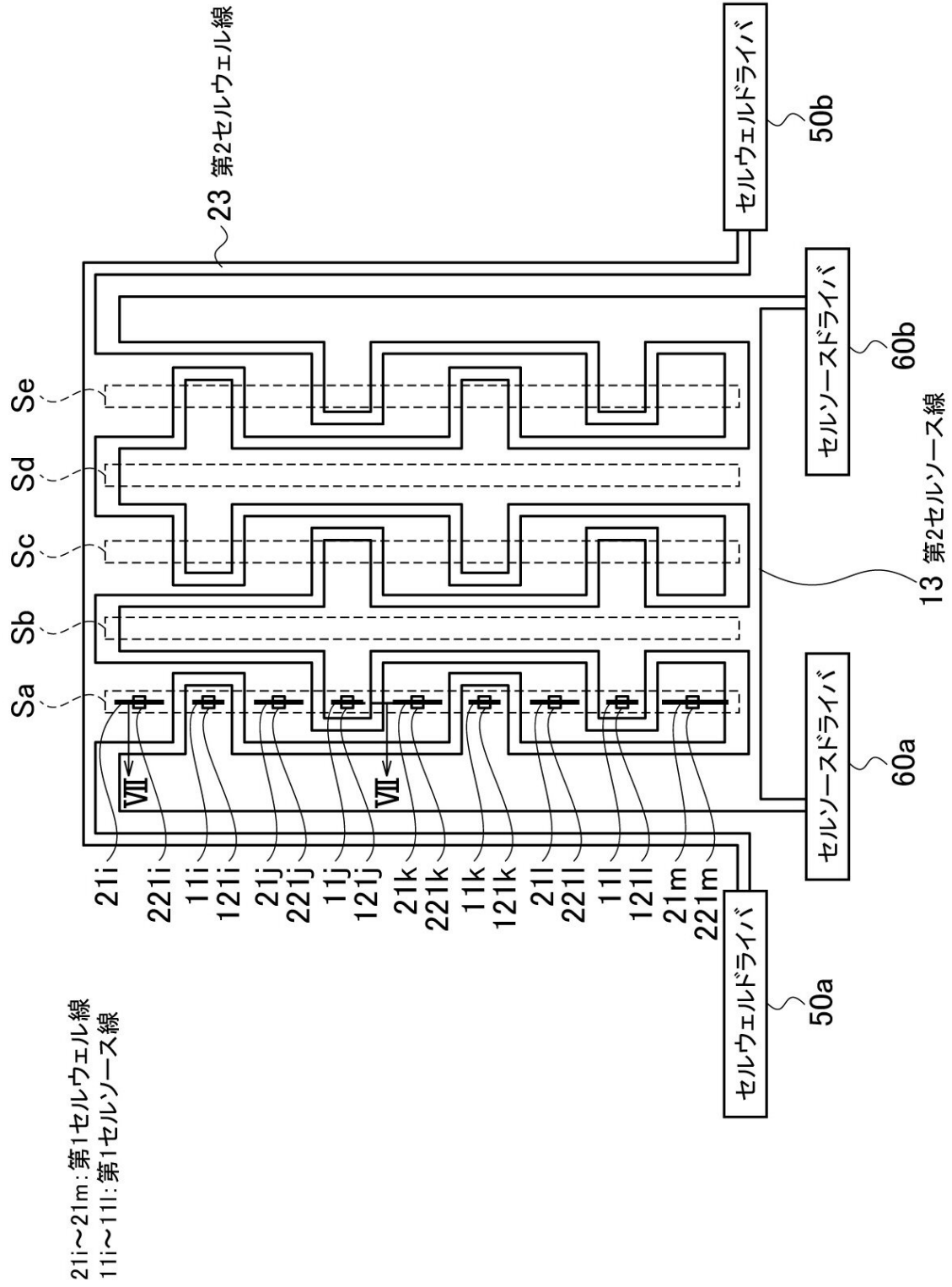
【図 25】



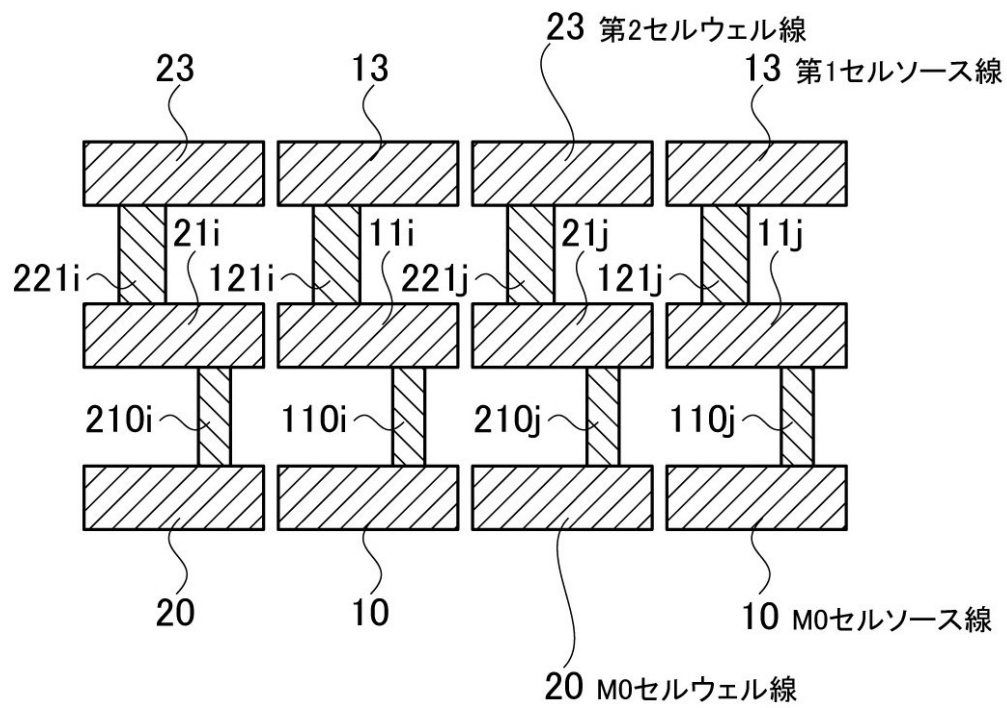
【図 26】



【図 27】



【図 28】



21i, 21j: 第1セルウェル線  
11i, 11j: 第1セルソース線

---

フロントページの続き

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 阿部 巧

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 福田 浩一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 前嶋 洋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

Fターム(参考) 5F083 EP02 EP23 EP76 JA36 JA37 JA39 LA12 LA16 LA20 MA06

MA16 MA19

5F101 BA01 BB02 BD02 BD21 BD33 BD34 BE02