



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 198 482

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita
(22) Přihlášeno 20 05 77
(21) PV 3332 - 77

(11)

(B1)

(51) Int. Cl.¹ H 03 K 19/20

(40) Zveřejněno 17 09 79
(45) Vydáno 01 8 82

(75)

Autor vynálezu KOKEŠ ANTONÍN CSc., RNDr., PRAHA

(54) Dvouvstupový synchronní klopný obvod s předpamětí

1

Vynález se týká dvouvstupového synchronního klopného obvodu s předpamětí, určeného k příjmu a kódování náhodně se vyskytujících povelů pro zařízení, které pracuje v synchronním pracovním cyklu.

Elektronická zařízení pracující synchronním způsobem mohou přijímat některé povelý jen v diskretních okamžicích, vázaných na jejich pracovní cyklus. Povelý vydávané jinými, nezávislými zdroji signálů, např. člověkem, se vyskytují asynchronně. Proto je nutno řešit příjem takových signálů individuálně vzhledem ke způsobu ovládání a k vlastnostem zařízení.

Podstata vynálezu spočívá v tom, že první vstupní signál je přiveden na vstup prvního klopného obvodu, jehož pomocný výstup je připojen k nulovacímu vstupu klopného obvodu typu R-S. Výstup klopného obvodu typu R-S je spojen s nastavovacím vstupem prvního klopného obvodu, na jehož synchronizační vstup a zároveň na synchronizační vstup druhého klopného obvodu je přiveden synchronizační signál. Druhý vstupní signál je přiveden na vstup druhého klopného obvodu, jehož pomocný výstup je připojen k nastavovacímu vstupu klopného obvodu typu R-S. Invertovaný výstup klopného obvodu R-S je spojen s nastavovacím vstupem druhého klopného obvodu. Výstup prvního klopného obvodu zároveň s výstupem druhého klopného obvodu a s výstupem klopného obvodu typu R-S představují výstupy dvouvstupového synchronního klopného obvodu s předpamětí.

Vlastnosti dvouvstupového klopného obvodu s předpamětí popisuje pravdivostní tabulka:

198 482

výskyt vstupního signálu v inter- valu před synch- ro pulsem		výstupní proměnné		
vstup (11)	vstup (12)	$(34)_{n+1}$	$(15)_{n+1}$	$(25)_{n+1}$
ne	ne	$(34)_n$	$(15)_n$	$(25)_n$
ano	ne	1	$\overline{(15)_n \cdot (34)_n}$	1
ne	ano	0	1	$\overline{(25)_n \cdot (34)_n}$
ano	ano	není	definováno	

Index n značí stav před, index $n+1$ značí stav po okamžiku synchronizačního pulzu. Horizontální čára nad výrazem značí inverzi.

Obvod s vlastnostmi podle uvedené pravdivostní tabulky nebyl dosud řešen.

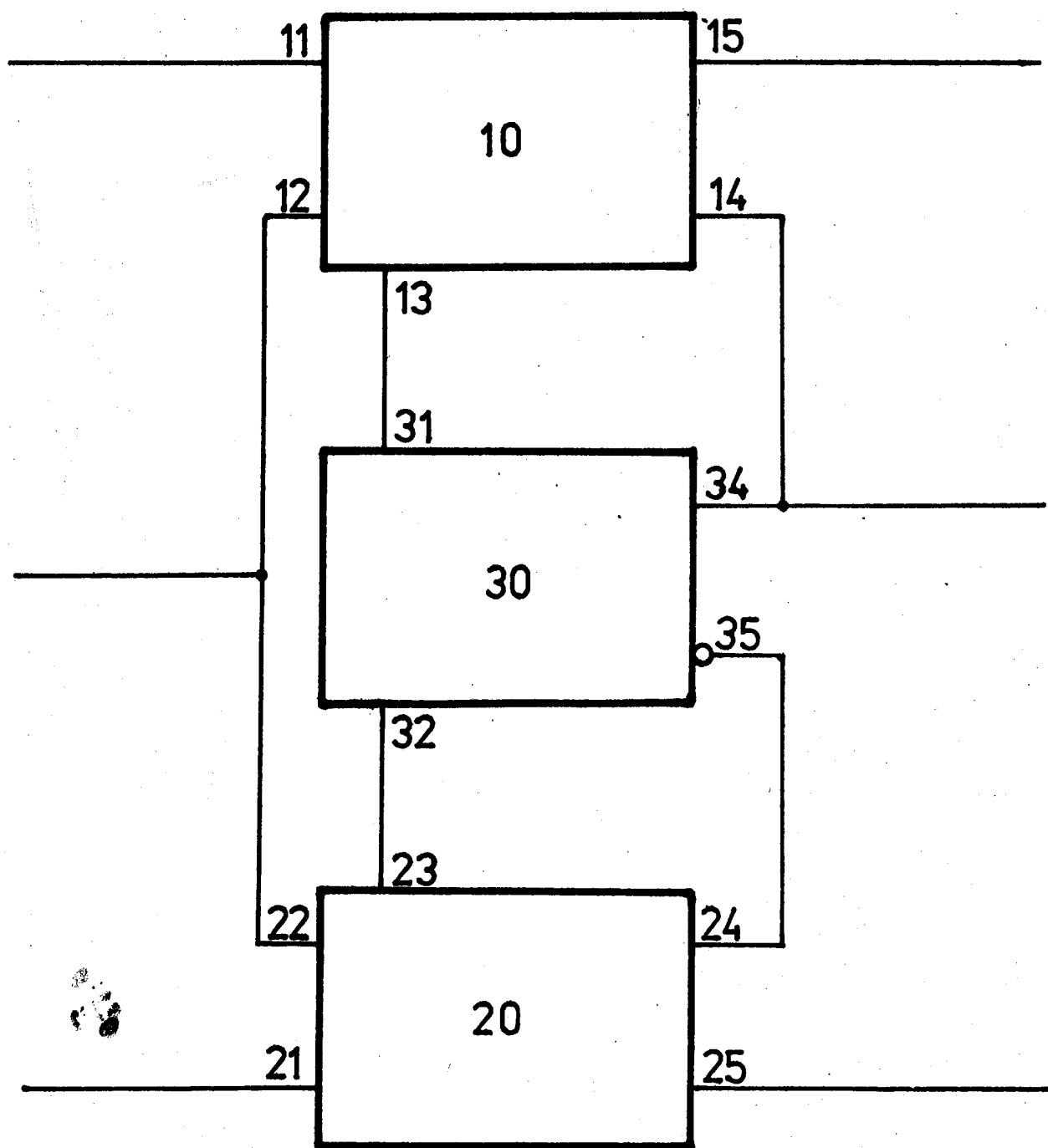
Na připojených výkresech jsou znázorněna zapojení obvodu podle vynálezu. Na obr. 1 je celkové zapojení obvodu podle vynálezu, na obr. 2 je zapojení prvního, respektive druhého klopného obvodu.

První klopný obvod 10 a druhý klopný obvod 20 (obr. 1) jsou ve své vnitřní funkci shodné. Jejich vstupy 11 a 21 představují vstupy synchronního klopného obvodu s předpamětí. Jejich synchronizační vstupy 12 a 22 jsou spojeny a je na ně přiveden synchronizační signál. Pomocný výstup 13 prvního klopného obvodu 10 ovládá pomocí nastavovacího vstupu 31 klopný obvod typu R-S 30, jehož nulovací vstup 32 je ovládán pomocným výstupem 23 druhého klopného obvodu 20. Nastavovací vstup 14 prvního klopného obvodu 10 je ovládán výstupem 34 klopného obvodu typu R-S 30, jehož invertovaný výstup 35 ovládá nastavovací vstup 24 druhého klopného obvodu 20.

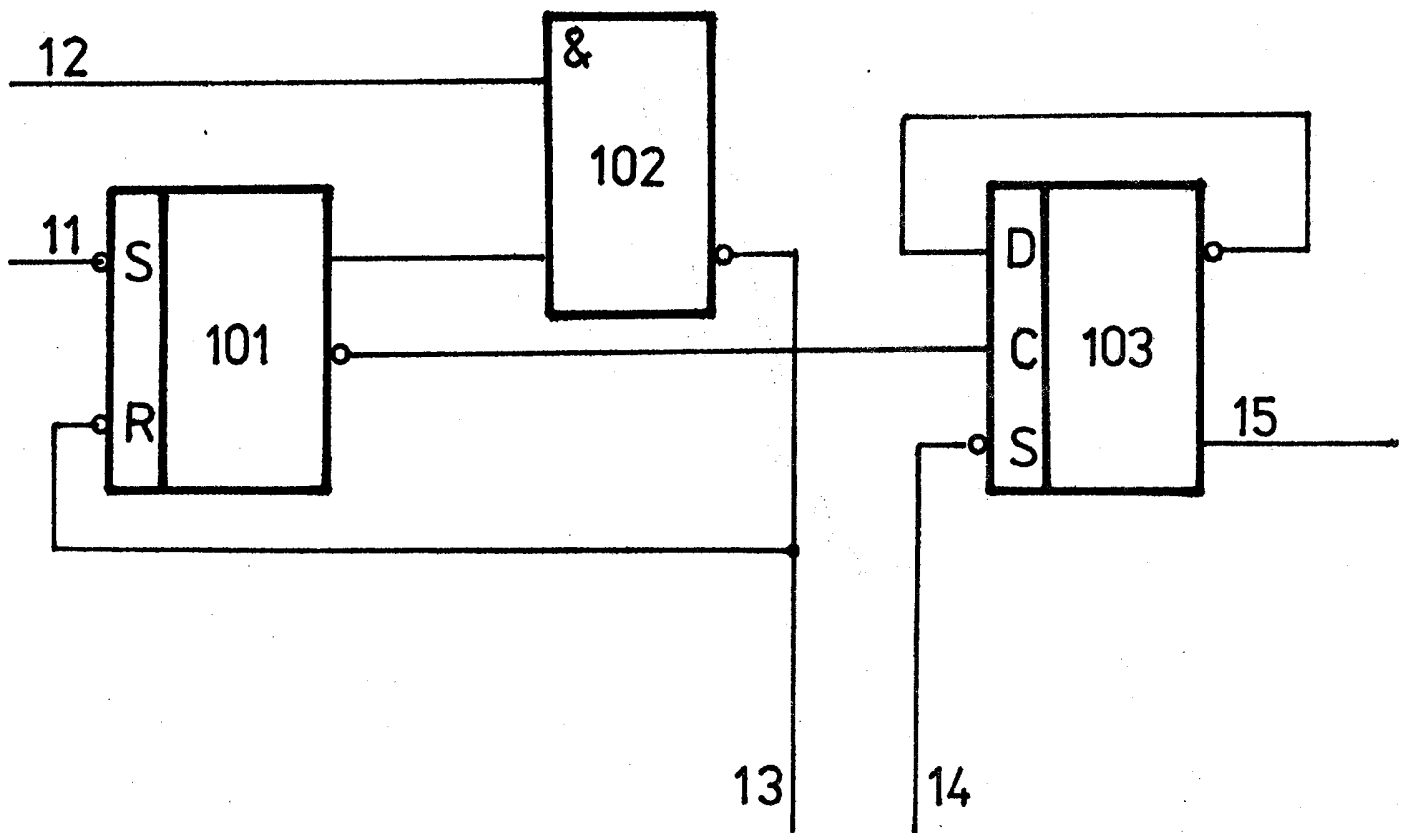
Na obr. 2 je zapojení prvního, respektive druhého klopného obvodu. Vstupní signál 11 je přiveden na nastavovací vstup klopného obvodu typu R-S 101. Hradlo NAND 102 ovládá svým výstupem nulovací vstup klopného obvodu typu R-S 101. Na první vstup 12 hradla NAND 102 je přiveden synchronizační puls, na druhý vstup je připojen výstup klopného obvodu typu R-S 101, zatímco jeho invertovaný výstup je spojen s hodinovým vstupem klopného obvodu typu D 103. Nastavovací vstup tohoto klopného obvodu typu D představuje nastavovací vstup 14 prvního klopného obvodu. Výstup klopného obvodu typu D 103, představuje výstup 15 klopného obvodu 10. Invertovaný výstup klopného obvodu typu D 103 je spojen s jeho vstupem D.

PŘEDMĚT VYNÁLEZU

1. Dvouvstupový synchronní klopný obvod s předpamětí, vyznačený tím, že první vstupní signál je přiveden na vstup (11) prvního klopného obvodu (10), jehož pomocný výstup (13) je připojen k nulovacímu vstupu (31) klopného obvodu typu R-S (30), jehož výstup (34) je spojen s nastavovacím vstupem (14) prvního klopného obvodu (10), na jehož synchronizační vstup (12), spojený se synchronizačním vstupem (22) druhého klopného obvodu (20) je přiveden synchronizační signál, přičemž druhý vstupní signál je přiveden na vstup (21) druhého klopného obvodu (20), jehož pomocný výstup (23) je připojen k nastavovacím vstupu (32) klopného obvodu typu R-S (30), jehož invertovaný výstup (35) je spojen s nastavovacím vstupem (24) druhého klopného obvodu (20), přičemž výstup (15) prvního klopného obvodu (10), zároveň s výstupem (25) druhého klopného obvodu (20) a s výstupem (34) klopného obvodu typu R-S (30), tvoří výstupy dvouvstupového synchronního obvodu s předpamětí.
2. Dvouvstupový synchronní klopný obvod podle bodu 1, vyznačený tím, že první klopný obvod (10) je tvořen klopným obvodem typu R-S (101), jehož nastavovací vstup tvoří vstup (11) prvního klopného obvodu (10), přičemž výstup klopného obvodu typu R-S (101) je spojen s prvním vstupem hradla NAND (102), jehož výstup spojený s nulovacím vstupem klopného obvodu typu R-S (101) zároveň tvoří pomocný výstup prvního klopného obvodu (10), přičemž invertovaný výstup klopného obvodu typu R-S (101) je spojen s hodinovým vstupem klopného obvodu typu D (103), jehož výstup tvoří výstup (15) prvního klopného obvodu (10), zatímco jeho invertovaný výstup je spojen s jeho vstupem D, přičemž jeho nastavovací vstup vytváří nastavovací vstup (14) prvního klopného obvodu (10), zatímco druhý vstup hradla NAND (102) tvoří synchronizační vstup (12) prvního klopného obvodu (10).
3. Dvouvstupový synchronní klopný obvod podle bodů 1 a 2, vyznačený tím, že druhý klopný obvod (20) je totožný s prvním klopným obvodem (10).
4. Dvouvstupový synchronní klopný obvod podle bodu 1, vyznačený tím, že mezi nastavovací vstup (14) prvního klopného obvodu (10) a výstupem (34) klopného obvodu typu R-S (30) je zařazen integrující člen RC.
5. Dvouvstupový synchronní klopný obvod s předpamětí podle bodu 1, vyznačený tím, že mezi nastavovací vstup (14) prvního klopného obvodu (10) a výstup (34) klopného obvodu typu R-S (30) je zařazen derivující člen RC.



Obr. 1



Obr. 2