

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 5 月 21 日 (21.05.2015)



(10) 国际公布号
WO 2015/070463 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01) H01L 29/786 (2006.01)
H01L 21/336 (2006.01)
- (21) 国际申请号: PCT/CN2013/087357
- (22) 国际申请日: 2013 年 11 月 18 日 (18.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310562123.X 2013 年 11 月 12 日 (12.11.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 李文辉 (LI, Wenhui); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
曾志远 (TSENG, Chihyuan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市深南中路新闻大厦 1 号楼 3 楼 307 室, Guangdong 518027 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN FILM TRANSISTOR SUBSTRATE MANUFACTURING METHOD, AND THIN FILM TRANSISTOR SUBSTRATE MANUFACTURED VIA SAME

(54) 发明名称: 薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板

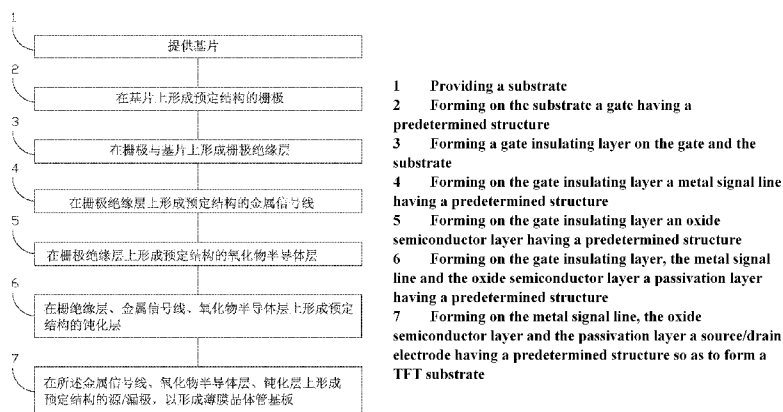


图 2 / Fig. 2

(57) Abstract: Provided are a method of manufacturing a thin film transistor (TFT) substrate, and a TFT substrate manufactured via same, the method comprising: step 1, providing a substrate (20); step 2, forming on the substrate (20) a gate (22) having a predetermined structure; step 3, forming a gate insulating layer (24) on the gate (22) and the substrate (20); step 4, forming on the gate insulating layer (24) a metal signal line (26) having a predetermined structure; step 5, forming on the gate insulating layer (24) an oxide semiconductor layer (28) having a predetermined structure; step 6, forming on the gate insulating layer (24), the metal signal line (26) and the oxide semiconductor layer (28) a passivation layer (32) having a predetermined structure; step 7, forming on the metal signal line (26), the oxide semiconductor layer (28) and the passivation layer (32) a source/drain electrode (34) having a predetermined structure so as to form a TFT substrate.

(57) 摘要:

[见续页]



WO 2015/070463 A1



本发明提供一种薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板，所述方法包括：步骤 1、提供基片（20）；步骤 2、在基片（20）上形成预定结构的栅极（22）；步骤 3、在栅极（22）与基片（20）上形成栅极绝缘层（24）；步骤 4、在栅极绝缘层（24）上形成预定结构的金属信号线（26）；步骤 5、在栅极绝缘层（24）上形成预定结构的氧化物半导体层（28）；步骤 6、在栅极绝缘层（24）、金属信号线（26）、氧化物半导体层（28）上形成预定结构的钝化层（32）；步骤 7、在所述金属信号线（26）、氧化物半导体层（28）、钝化层（32）上形成预定结构的源/漏极（34），以形成薄膜晶体管基板。

薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板

技术领域

本发明涉及液晶显示领域，尤其涉及一种薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板。

背景技术

薄膜晶体管（TFT）在电子装置中被广泛地作为开关装置和驱动装置使用。具体地，因为薄膜晶体管可形成在玻璃基片或塑料基片上，所以它们通常用在诸如液晶显示装置（LCD）、有机发光显示装置（OLED）、电泳显示装置（EPD）等平板显示装置领域。

氧化物半导体由于具有较高的电子迁移率（氧化物半导体迁移率 $>10\text{cm}^2/\text{Vs}$ ，a-Si 迁移率仅 $0.5\sim0.8\text{cm}^2/\text{Vs}$ ），而且相比低温多晶硅（LTPS），氧化物半导体制程简单，与a-Si制程相容性较高，可以应用于液晶显示装置（LCD）、有机发光显示装置（OLED）、柔性显示（Flexible）等领域，且与高世代生产线兼容，可应用于大中小尺寸显示，具有良好的应用发展前景，为当前业界研究热门。当前对氧化物半导体的研究，以铟镓锌氧化物（InGaZnO，IGZO）半导体最为成熟。

薄膜晶体管基板包括薄膜晶体管和像素电极。现有的氧化物半导体薄膜晶体管基板，如图1所示，在氧化物半导体层100制作完成后，需制作金属源/漏（Source/Drain）电极200，金属源/漏（Source/Drain）电极200的湿蚀刻制程通常使用强酸及其混合物（如 $\text{HNO}_3/\text{H}_3\text{PO}_4/\text{CH}_3\text{COOH}$ 等）易造成背沟道（Back channel etching, BCE）处氧化物半导体层破坏，若使用干蚀刻制程，则存在蚀刻均一性较差的问题。为解决之一问题，现有技术通常在氧化物半导体层100形成后及金属源/漏电极200形成前，制作一层刻蚀阻挡层（ESL）300，用于保护背沟道处的氧化物半导体层，避免其在金属源/漏电极200蚀刻等制程中遭破坏，但额外制作一层刻蚀阻挡层需额外增加一道光刻制程，一道光刻制程包括成膜、曝光、显影、蚀刻、剥离等工序，因而额外制作一层刻蚀阻挡层将大大增加生产成本，进而降低生产良率。

发明内容

本发明的目的在于提供一种薄膜晶体管基板的制造方法，其能有效避

免金属信号线和源/漏极的蚀刻制程对氧化物半导体层的破坏，提高薄膜晶体管基板的稳定性与均一性，提升生产良率，增加氧化物半导体薄膜晶体管基板大量生产的可能性，并能减少一道光刻制程，大幅降低生产成本，提高生产良率。

- 5 本发明的另一目的在于提供一种薄膜晶体管基板，结构简单，具有较高的稳定性与均一性，其制作方法简单，能减少一道光刻制程，大幅降低生产成本，提高生产良率。

为实现上述目的，本发明提供一种薄膜晶体管基板的制造方法，包括以下步骤：

- 10 步骤 1、提供基片；
步骤 2、在基片上形成预定结构的栅极；
步骤 3、在栅极与基片上形成栅极绝缘层；
步骤 4、在栅极绝缘层上形成预定结构的金属信号线；
步骤 5、在栅极绝缘层上形成预定结构的氧化物半导体层；
15 步骤 6、在栅极绝缘层、金属信号线、氧化物半导体层上形成预定结构的钝化层；

步骤 7、在所述金属信号线、氧化物半导体层、钝化层上形成预定结构的源/漏极，以形成薄膜晶体管基板。

- 20 所述基片为玻璃基片；所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化锌、氧化铝或氧化锡形成。

所述步骤 6 中，在形成钝化层的同时，还形成一预定结构的刻蚀阻挡层，该刻蚀阻挡层位于所述氧化物半导体层上，所述钝化层位于所述刻蚀阻挡层两侧，所述钝化层与所述刻蚀阻挡层由相同材料或不同材料制成。

- 25 所述步骤 7 中，在形成源/漏极的同时，还形成像素电极，该像素电极形成于钝化层上，并与源/漏极电性连接，所述源/漏极与像素电极均由透明导电氧化物形成。

所述透明导电氧化物为氧化铟锡。

本发明还提供一种薄膜晶体管基板的制造方法，包括以下步骤：

- 30 步骤 1、提供基片；
步骤 2、在基片上形成预定结构的栅极；
步骤 3、在栅极与基片上形成栅极绝缘层；
步骤 4、在栅极绝缘层上形成预定结构的金属信号线；
步骤 5、在栅极绝缘层上形成预定结构的氧化物半导体层；
步骤 6、在栅极绝缘层、金属信号线、氧化物半导体层上形成预定结

构的钝化层;

步骤 7、在所述金属信号线、氧化物半导体层、钝化层上形成预定结构的源/漏极,以形成薄膜晶体管基板;

其中,所述步骤 6 中,在形成钝化层的同时,还形成一预定结构的刻蚀阻挡层,该刻蚀阻挡层位于所述氧化物半导体层上,所述钝化层位于所述刻蚀阻挡层两侧,所述钝化层与所述刻蚀阻挡层由相同材料或不同材料制成。

所述基片为玻璃基片;所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化锌、氧化铝或氧化锡形成。

所述步骤 7 中,在形成源/漏极的同时,还形成像素电极,该像素电极形成于钝化层上,并与源/漏极电性连接,所述源/漏极与像素电极均由透明导电氧化物形成。

所述透明导电氧化物为氧化铟锡。

本发明还提供一种薄膜晶体管基板,包括:

一基片;
一栅极,位于所述基片上;
一栅极绝缘层,位于所述基片以及所述栅极上;
一金属信号线,位于所述栅极绝缘层上;
一氧化物半导体层,位于所述栅极绝缘层上且位于所述金属信号线一侧;
一钝化层,位于所述栅极绝缘层、金属信号线及氧化物半导体层上;
一源/漏极,位于所述金属信号线、氧化物半导体层、钝化层上,所述源/漏极与所述金属信号线电性连接;以及

一像素电极,位于所述钝化层上并与所述源/漏极直接相接,且与所述源/漏极位于同一层,所述源/漏极与像素电极均由透明导电氧化物形成。

所述基片为玻璃基片。

所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化锌、氧化铝或氧化锡形成。

还包括位于氧化物半导体层上的刻蚀阻挡层,所述刻蚀阻挡层与所述钝化层同时形成,且由相同的材料或不同的材料制成。

所述源/漏极与像素电极同时形成,所述透明导电氧化物为氧化铟锡。

本发明的有益效果:薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板,将氧化物半导体层在金属信号线之后形成,同时在源/漏极形成之前制作一层刻蚀阻挡层,并使用透明导电氧化物(TCO)代替传统

的源/漏极制成材料，避免金属信号线和源/漏极的蚀刻制程对氧化物半导体层的破坏，提高薄膜晶体管基板的稳定性与均一性，提升生产良率，增加氧化物半导体薄膜晶体管基板大量生产的可能性，且，将所述刻蚀阻挡层与钝化层同层制作，将源漏电极与像素电极同层制作，可以少制作一层，减少一道光刻制程（包括成膜、曝光、显影、蚀刻、剥离等工序），从而可以大幅降低生产成本，提高生产良率。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有的薄膜晶体管基板的结构示意图；

图 2 为本发明薄膜晶体管基板的制造方法的流程图；

图 3 至图 8 为用本发明薄膜晶体管基板的制造方法制造薄膜晶体管基板的一实施例的制程示意图；

图 9 至 14 为用本发明薄膜晶体管基板的制造方法制造薄膜晶体管基板的另一实施例的制程示意图；

图 15 为本发明薄膜晶体管基板一实施例的结构示意图；

图 16 为本发明薄膜晶体管基板另一实施例的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 2，并参考图 3 至图 8，本发明提供一种薄膜晶体管基板的制造方法，包括以下步骤：

步骤 1、提供基片 20。

所述基片 20 为透明基片，优选玻璃基片或塑料基片，在本实施例中，基片 20 为玻璃基片。

步骤 2、在基片 20 上形成预定结构的栅极 22。

通过第一道光刻制程在基片 20 上形成预定结构的栅极 22，其具体形成方式可为：先在基片 20 上沉积一第一金属层，再通过掩模板或半掩模

板对该第一金属层进行曝光、显影、蚀刻以形成预定结构的栅极 22，即完成第一道光刻制程。所述第一金属层一般为铝层、铜层、钼层其中之一或其组合。

步骤 3、在栅极 22 与基片 20 上形成栅极绝缘层 24。

5 通过第二道光刻制程在栅极 22 与基片 20 上形成栅极绝缘层 24。所述栅极绝缘层 24 一般包括氧化硅、氮化硅其中之一或其组合，其形成方式与上述栅极 22 的形成方式类似，在此不作赘述。

步骤 4、在栅极绝缘层 24 上形成预定结构的金属信号线 26。

10 通过第三道光刻制程在栅极绝缘层 24 上形成预定结构的金属信号线 26，其具体形成方式可为：在栅极绝缘层 24 上沉积一第二金属层，再通过掩模板或半掩模板对该第二金属层进行曝光、显影、蚀刻以形成预定结构的金属信号线 26。

所述第二金属层一般为铝层、铜层、钼层其中之一或其组合。

步骤 5、在栅极绝缘层 24 上形成预定结构的氧化物半导体层 28。

15 通过第四道光刻制程在栅极绝缘层 24 上形成预定结构的氧化物半导体层 28，其形成方式与上述栅极 22 或金属信号线 26 的形成方式类似，在此不作赘述。

20 所述氧化物半导体层 28 为铟镓锌氧化物 (IGZO) 半导体层、铟镓氧化物半导体层、氧化锌半导体层、氧化铝半导体层或氧化锡半导体层其中之一，优选为铟镓锌氧化物半导体层。所述氧化物半导体层 28 位于所述金属信号线 26 一侧，优选地，所述氧化物半导体层 28 与所述金属信号线 26 在水平方向上错开。

25 所述氧化物半导体层 28 在所述金属信号线 26 形成之后制作，可避免所述金属信号线 26 的蚀刻制程对氧化物半导体层的破坏，提高薄膜晶体管基板的稳定性与均一性，提升生产良率，增加氧化物半导体薄膜晶体管基板大量生产的可能性。

步骤 6、在栅极绝缘层 24、金属信号线 26、氧化物半导体层 28 上形成预定结构的钝化层 32。

30 通过第五道光刻制程在栅极绝缘层 24、金属信号线 26、氧化物半导体层 28 上形成预定结构的钝化层 32，所述钝化层 32 的形成方式与上述栅极 22 或金属信号线 26 的形成方式类似，在此不作赘述。

值得一提的是，在金属信号线 26 上形成钝化层 32 后，须将金属信号线 26 上对应的钝化层 32 蚀刻掉，形成接触孔，露出所述金属信号线 26，以使在钝化层 32 之后形成的源/漏极 34 与所述金属信号线 26 电性连接。

所述蚀刻方式可以为干法蚀刻，也可以为湿法蚀刻。

步骤 7、在所述金属信号线 26、氧化物半导体层 28、钝化层 32 上形成预定结构的源/漏极 34，以形成薄膜晶体管基板。

5 所述步骤 7 中，在形成源/漏极 34 的同时，还形成像素电极 36，该像素电极 36 形成于钝化层 32 上，并与源/漏极 34 电性连接，所述源/漏极 34 与像素电极 36 均由透明导电氧化物（TCO）形成，在本实施例中，所述透明导电氧化物优选为氧化铟锡。

所述源/漏极 34 与像素电极 36 的形成方式与上述栅极 22 或金属信号线 26 的形成方式类似，在此不作赘述。

10 值得一提的是，本发明薄膜晶体管基板可以应用于液晶显示装置（LCD）、有机发光显示装置（OLED）、电泳显示装置（EPD）等平板显示装置领域，可以应用于非柔性或柔性显示等主动性显示应用领域，可以应用于大中小尺寸显示。

请参阅图 9 至 14，并参考图 16，为本发明薄膜晶体管基板的制造方法另一实施例的流程及制程示意图，在本实施例中，步骤 1 至 5 及步骤 7 与上述实施例相同，其区别在于步骤 6，在本实施例的步骤 6 中，在形成钝化层 32 的同时，还形成一预定结构的刻蚀阻挡层 30，该刻蚀阻挡层 30 位于所述氧化物半导体层 28 上，所述钝化层 32 位于所述刻蚀阻挡层 30 两侧，所述钝化层 32 与所述刻蚀阻挡层 30 由相同材料或不同材料制成。
20 本实施例中，所述钝化层 32 与所述刻蚀阻挡层 30 由相同的材料制成。

所述刻蚀阻挡层 30 用于保护背沟道处的氧化物半导体层 28，避免其在所述源/漏极 34 蚀刻等制程中遭破坏。

本实施例中，将所述刻蚀阻挡层 30 与钝化层 32 同层制作，可以减少制作一层，即减少一道光刻制程（包括成膜、曝光、显影、蚀刻、剥离等工
25 序），从而可以大幅降低生产成本，提高生产良率。

请参阅图 15，本发明还提供一种薄膜晶体管基板，包括：一基片 20、一栅极 22、一栅极绝缘层 24、一金属信号线 26、一氧化物半导体层 28、一钝化层 32、一源/漏极 34 以及一像素电极 36。

30 所述基片 20 为透明基片，优选玻璃基片或塑料基片，在本实施例中，基片 20 为玻璃基片。

所述栅极 22 位于所述基片 20 上。在基片 20 上形成所述栅极 22 的方法为：先在基片 20 上沉积一第一金属层，再通过掩模板或半掩模板对该第一金属层进行曝光、显影、蚀刻以形成预定结构的栅极 22。所述第一金属层一般为铝层、铜层、钼层其中之一或其组合。

所述栅极绝缘层 24 位于所述基片 20 以及所述栅极 22 上。所述栅极绝缘层 24 一般包括氧化硅、氮化硅其中之一或其组合。

所述金属信号线 26 位于所述栅极绝缘层 24 上。所述金属信号线 26 的制作方法为：先在栅极绝缘层 24 上沉积一第二金属层，再通过掩模板或半掩模板对该第二金属层进行曝光、显影、蚀刻以形成预定结构的金属信号线 26。所述第二金属层一般为铝层、铜层、钼层其中之一或其组合。

所述金属信号线 26 在所述氧化物半导体层 28 形成之前制作，可避免所述金属信号线 26 的蚀刻制程对氧化物半导体层 28 的破坏，提高薄膜晶体管基板的稳定性与均一性，提升生产良率，增加氧化物半导体薄膜晶体管基板大量生产的可能性。

所述氧化物半导体层 28 位于所述栅极绝缘层 24 上且位于所述金属信号线 26 一侧。所述氧化物半导体层 28 为铟镓锌氧化物半导体层 (IGZO)，优选地，所述氧化物半导体层 28 与所述金属信号线 26 在水平方向上错开。

所述钝化层 32 位于所述栅极绝缘层 24、金属信号线 26 及氧化物半导体层 28 上。

所述源/漏极 34 位于所述金属信号线 26、氧化物半导体层 28、钝化层 32 上，所述源/漏极 34 与所述金属信号线 26 电性连接。

所述像素电极 36 位于所述钝化层 32 上并与所述源/漏极 34 直接相接，且与所述源/漏极 34 位于同一层，所述源/漏极 34 与像素电极 36 同时形成。

所述源/漏极 34 与像素电极 36 均由透明导电氧化物 (TCO) 制成。本实施例中，所述透明导电氧化物 (TCO) 可以为氧化铟锡。

请参阅图 16，为本发明薄膜晶体管基板的另一实施例的结构示意图，在本实施例中，所述薄膜晶体管基板还包括一刻蚀阻挡层 30，该刻蚀阻挡层 30 位于所述氧化物半导体层 28 上。所述刻蚀阻挡层 30 用于保护背沟道处的氧化物半导体层 28，避免其在所述源/漏极 34 蚀刻等制程中遭到破坏。

所述钝化层 32 位于所述刻蚀阻挡层 30 两侧。所述钝化层 32 与所述刻蚀阻挡层 30 位于同一层，且同时制成。所述钝化层 32 与所述刻蚀阻挡层 30 可以由相同的材料制成，也可以由不同的材料制成。本实施例中，所述钝化层 32 与所述刻蚀阻挡层 30 由相同的材料制成。

本实施例中，将所述刻蚀阻挡层 30 与钝化层 32 同层制作，可以减少制作一层，即减少一道光刻制程（包括成膜、曝光、显影、蚀刻、剥离等工

序)，从而可以大幅降低生产成本，提高生产良率。

综上所述，本发明的薄膜晶体管基板的制造方法及用该方法制造的薄膜晶体管基板，将氧化物半导体层在金属信号线之后形成，同时在源/漏极形成之前制作一层刻蚀阻挡层，并使用透明导电氧化物（TCO）代替传统的源/漏极制成材料，避免金属信号线和源/漏极的蚀刻制程对氧化物半导体层的破坏，提高薄膜晶体管基板的稳定性与均一性，提升生产良率，增加氧化物半导体薄膜晶体管基板大量生产的可能性，且，将所述刻蚀阻挡层与钝化层同层制作，将源漏电极与像素电极同层制作，可以少制作一层，减少一道光刻制程（包括成膜、曝光、显影、蚀刻、剥离等工序），从而可以大幅降低生产成本，提高生产良率。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种薄膜晶体管基板的制造方法，包括以下步骤：

步骤 1、提供基片；

5 步骤 2、在基片上形成预定结构的栅极；

步骤 3、在栅极与基片上形成栅极绝缘层；

步骤 4、在栅极绝缘层上形成预定结构的金属信号线；

步骤 5、在栅极绝缘层上形成预定结构的氧化物半导体层；

10 步骤 6、在栅极绝缘层、金属信号线、氧化物半导体层上形成预定结构的钝化层；

步骤 7、在所述金属信号线、氧化物半导体层、钝化层上形成预定结构的源/漏极，以形成薄膜晶体管基板。

2、如权利要求 1 所述的薄膜晶体管基板的制造方法，其中，所述基片为玻璃基片；所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化
15 锌、氧化铝或氧化锡形成。

3、如权利要求 1 所述的薄膜晶体管基板的制造方法，其中，所述步骤 6 中，在形成钝化层的同时，还形成一预定结构的刻蚀阻挡层，该刻蚀阻挡层位于所述氧化物半导体层上，所述钝化层位于所述刻蚀阻挡层两侧，所述钝化层与所述刻蚀阻挡层由相同材料或不同材料制成。

20 4、如权利要求 1 所述的薄膜晶体管基板的制造方法，其中，所述步骤 7 中，在形成源/漏极的同时，还形成像素电极，该像素电极形成于钝化层上，并与源/漏极电性连接，所述源/漏极与像素电极均由透明导电氧化物形成。

25 5、如权利要求 4 所述的薄膜晶体管基板的制造方法，其中，所述透明导电氧化物为氧化铟锡。

6、一种薄膜晶体管基板的制造方法，包括以下步骤：

步骤 1、提供基片；

步骤 2、在基片上形成预定结构的栅极；

步骤 3、在栅极与基片上形成栅极绝缘层；

30 步骤 4、在栅极绝缘层上形成预定结构的金属信号线；

步骤 5、在栅极绝缘层上形成预定结构的氧化物半导体层；

步骤 6、在栅极绝缘层、金属信号线、氧化物半导体层上形成预定结构的钝化层；

步骤 7、在所述金属信号线、氧化物半导体层、钝化层上形成预定结构的源/漏极，以形成薄膜晶体管基板；

其中，所述步骤 6 中，在形成钝化层的同时，还形成一预定结构的刻蚀阻挡层，该刻蚀阻挡层位于所述氧化物半导体层上，所述钝化层位于所述刻蚀阻挡层两侧，所述钝化层与所述刻蚀阻挡层由相同材料或不同材料制成。

7、如权利要求 6 所述的薄膜晶体管基板的制造方法，其中，所述基片为玻璃基片；所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化锌、氧化铝或氧化锡形成。

8、如权利要求 6 所述的薄膜晶体管基板的制造方法，其中，所述步骤 7 中，在形成源/漏极的同时，还形成像素电极，该像素电极形成于钝化层上，并与源/漏极电性连接，所述源/漏极与像素电极均由透明导电氧化物形成。

9、如权利要求 8 所述的薄膜晶体管基板的制造方法，其中，所述透明导电氧化物为氧化铟锡。

10、一种薄膜晶体管基板，包括：

一基片；

一栅极，位于所述基片上；

一栅极绝缘层，位于所述基片以及所述栅极上；

一金属信号线，位于所述栅极绝缘层上；

一氧化物半导体层，位于所述栅极绝缘层上且位于所述金属信号线一侧；

一钝化层，位于所述栅极绝缘层、金属信号线及氧化物半导体层上；

一源/漏极，位于所述金属信号线、氧化物半导体层、钝化层上，所述源/漏极与所述金属信号线电性连接；以及

一像素电极，位于所述钝化层上并与所述源/漏极直接相接，且与所述源/漏极位于同一层，所述源/漏极与像素电极均由透明导电氧化物形成。

11、如权利要求 10 所述的薄膜晶体管基板，其中，所述基片为玻璃基片。

12、如权利要求 10 所述的薄膜晶体管基板，其中，所述氧化物半导体层由铟镓锌氧化物、铟镓氧化物、氧化锌、氧化铝或氧化锡形成。

13、如权利要求 10 所述的薄膜晶体管基板，还包括位于氧化物半导体层上的刻蚀阻挡层，所述刻蚀阻挡层与所述钝化层同时形成，且由相同的材料或不同的材料制成。

14、如权利要求 10 所述的薄膜晶体管基板，其中，所述源/漏极与像素电极同时形成，所述透明导电氧化物为氧化铟锡。

1/9

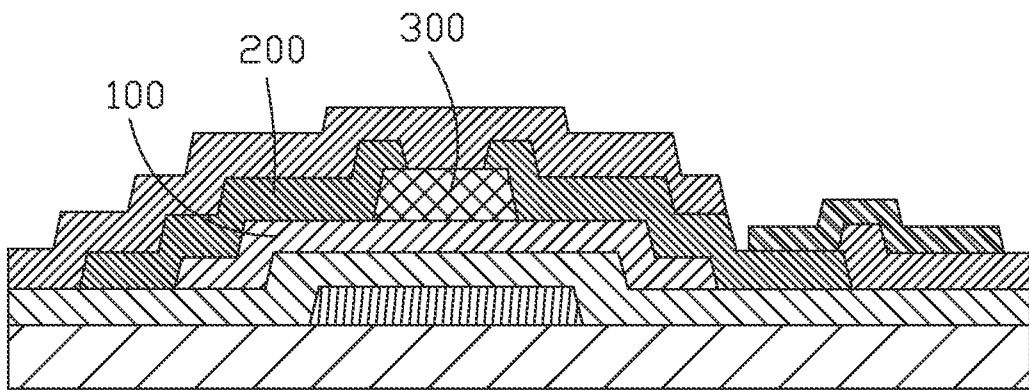


图1

2/9

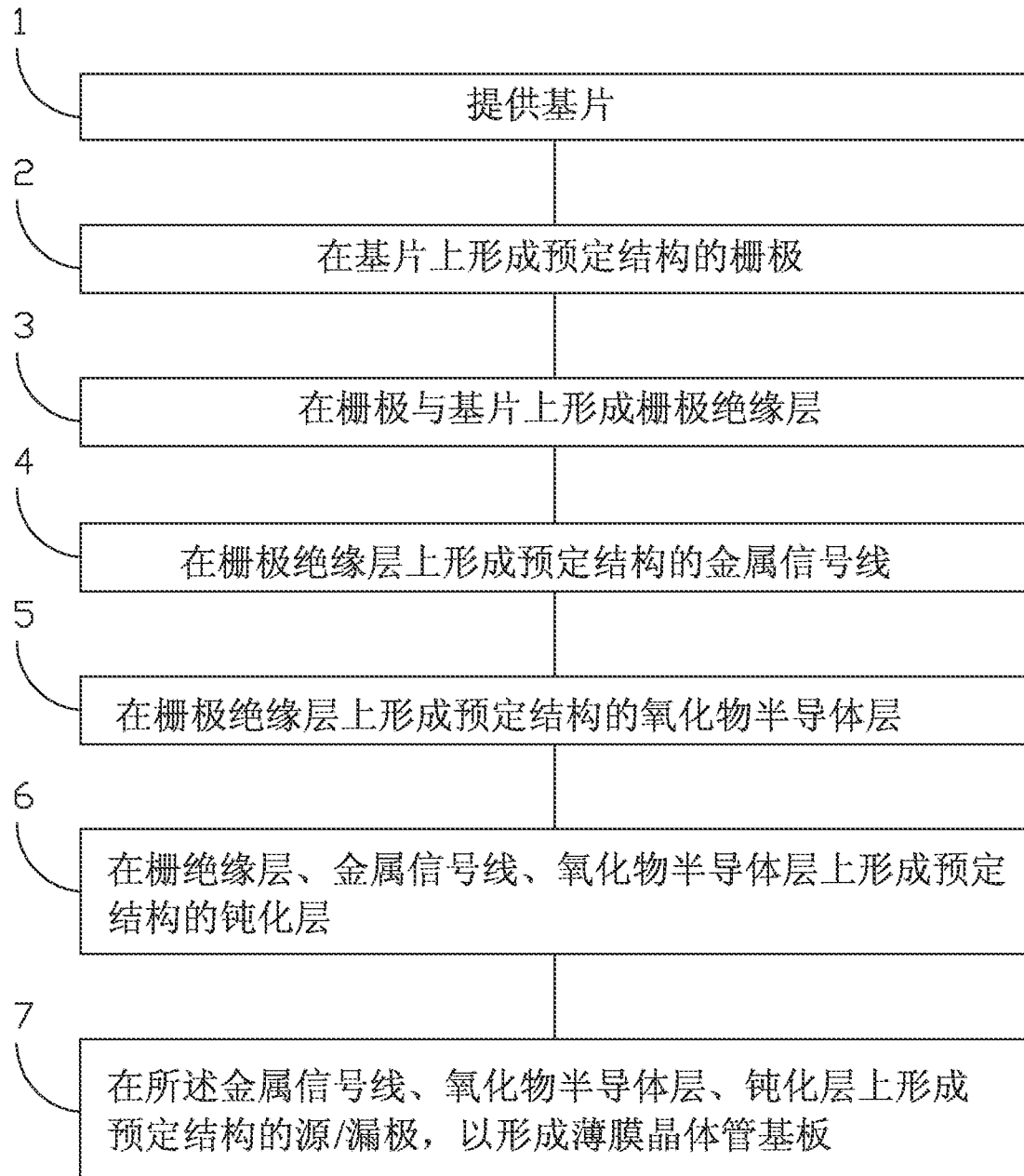


图2

3/9

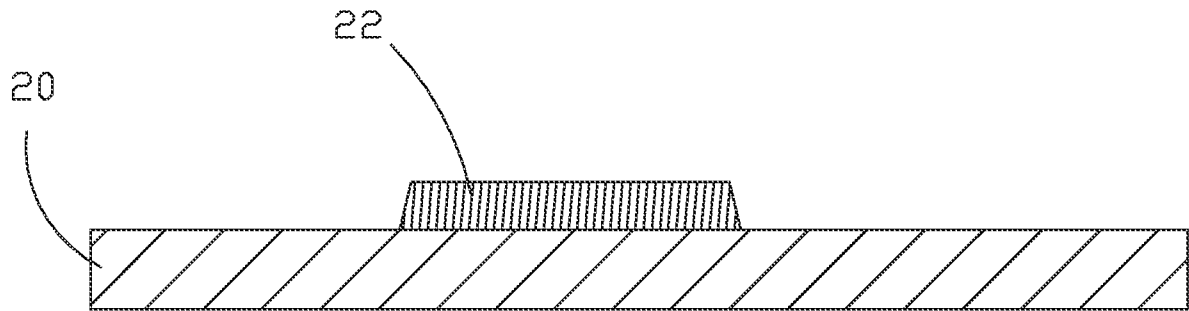


图3

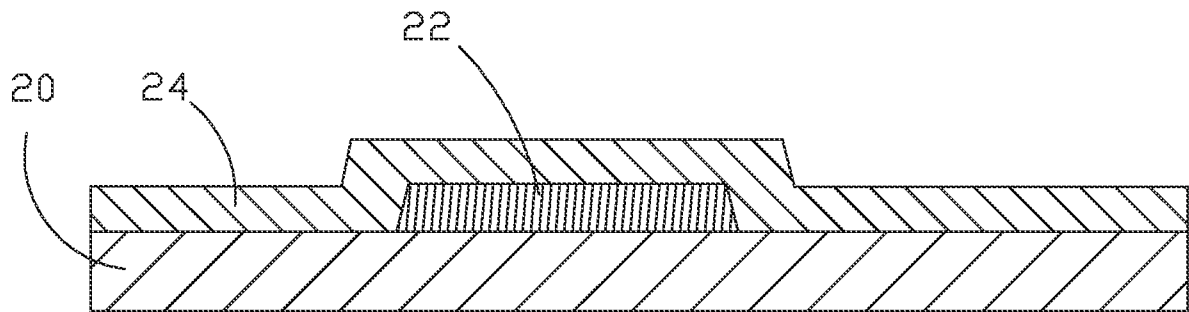


图4

4/9

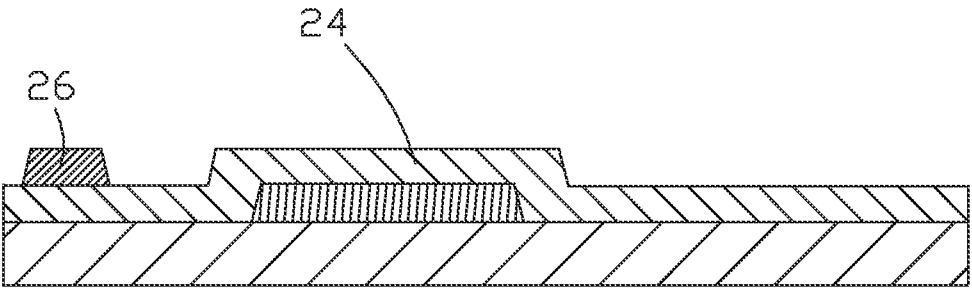


图5

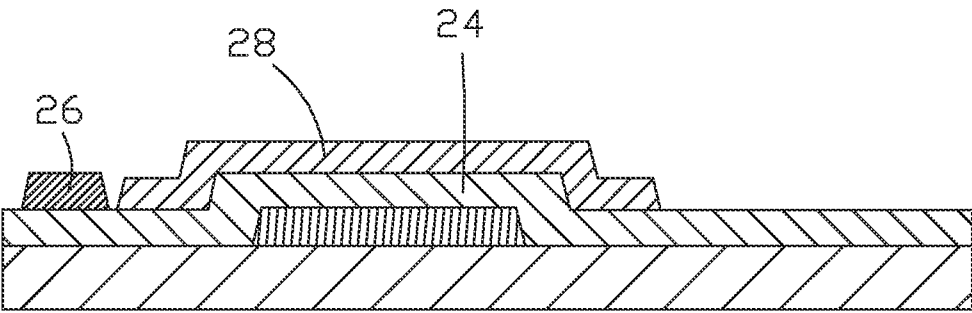


图6

5/9

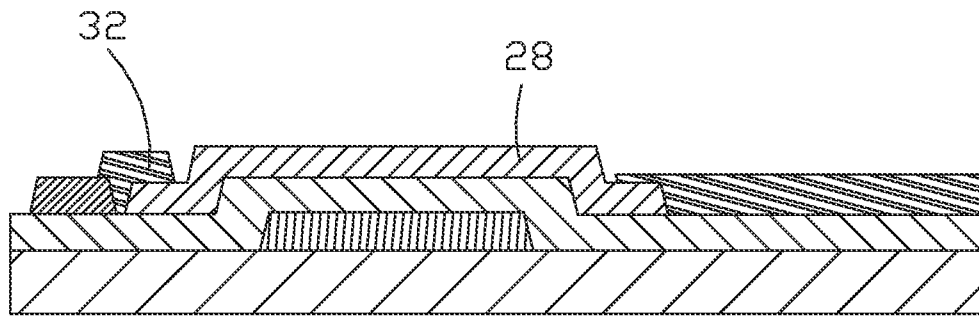


图7

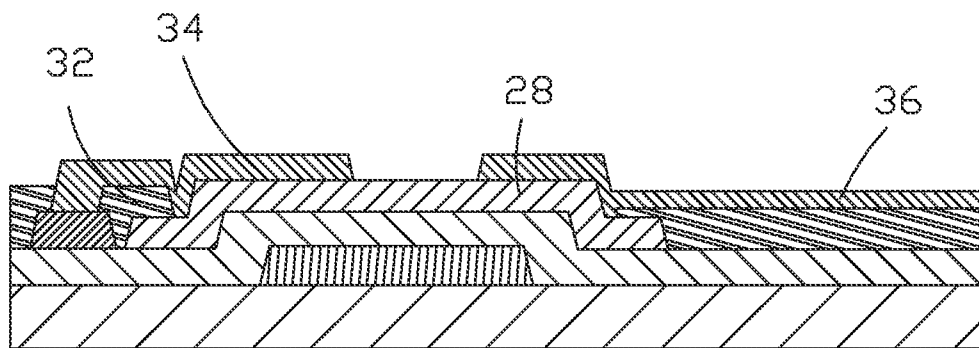


图8

6/9

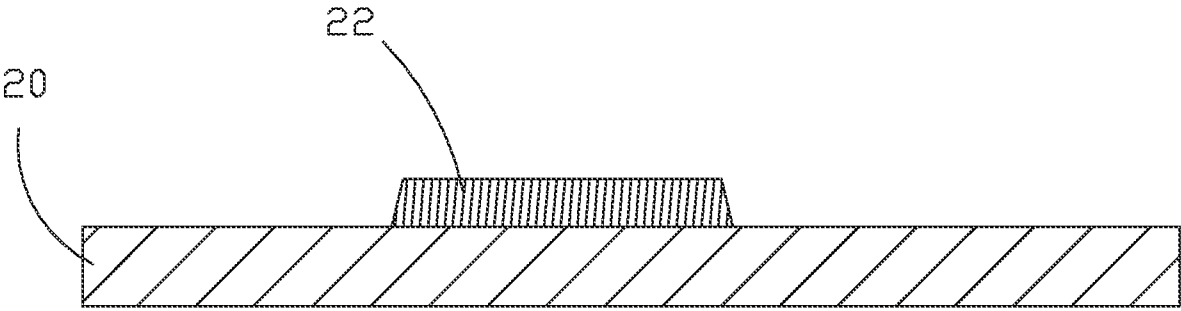


图9

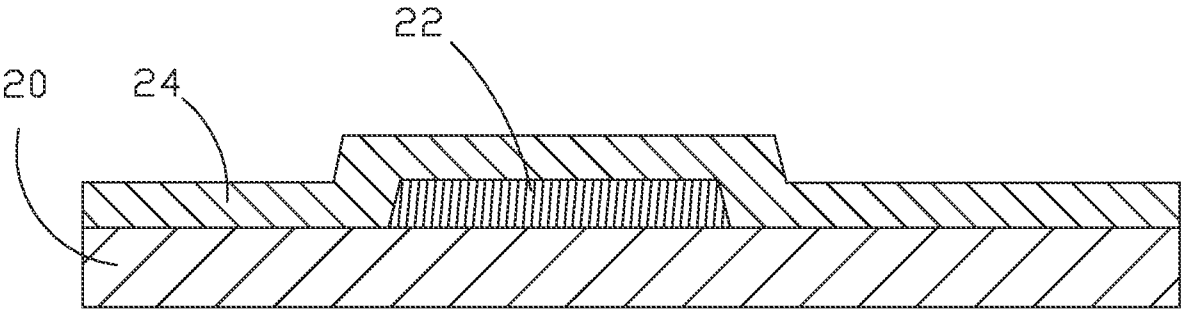


图10

7/9

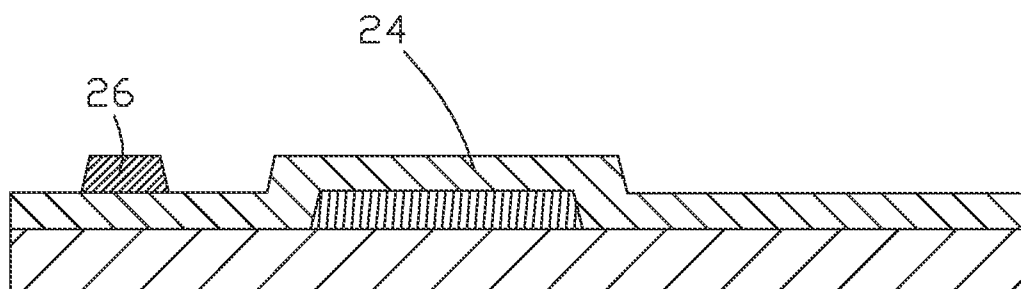


图11

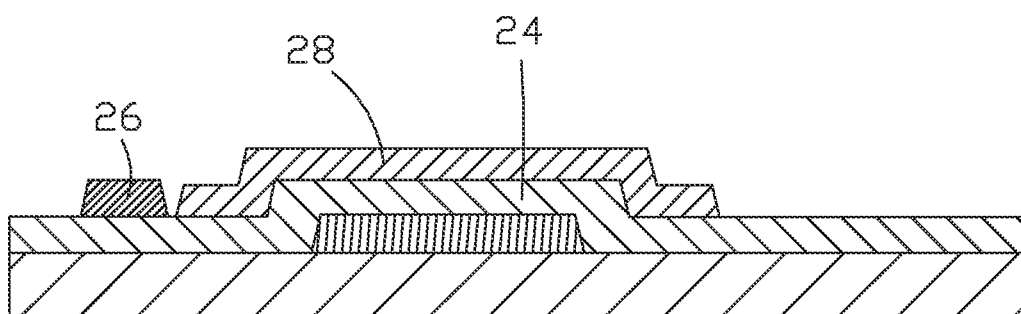


图12

8/9

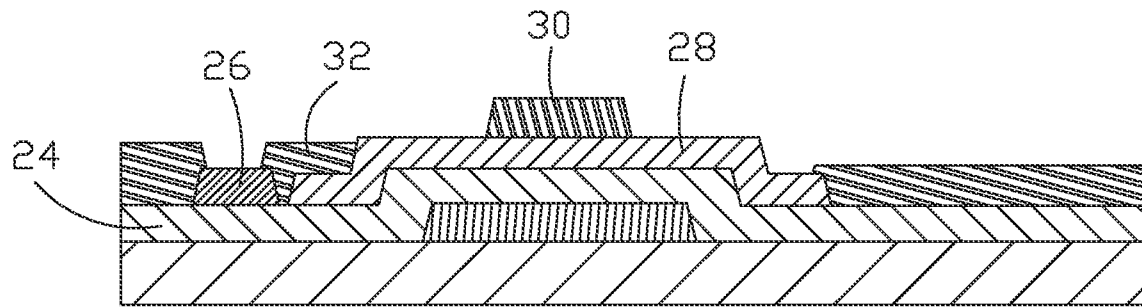


图13

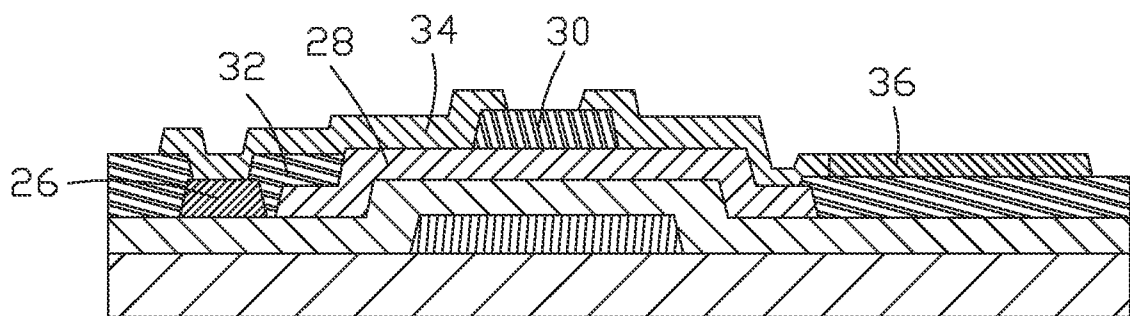


图14

9/9

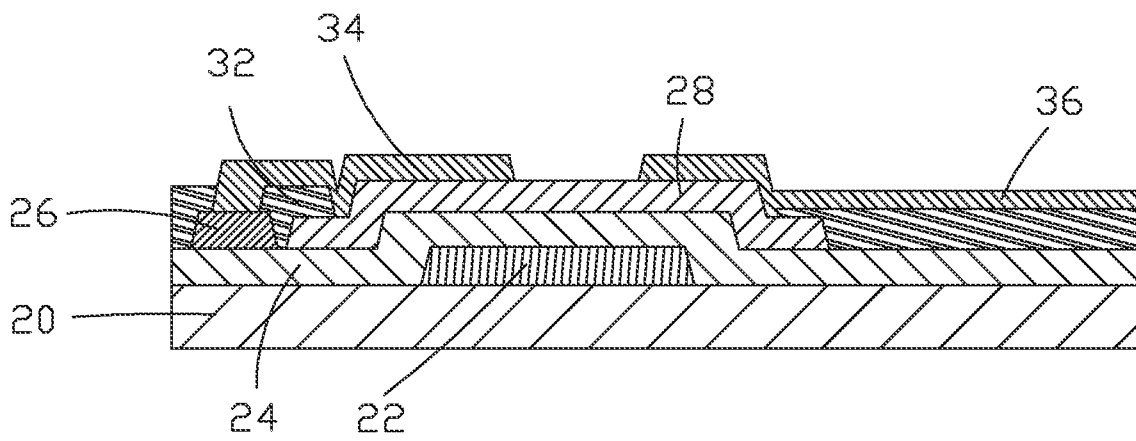


图15

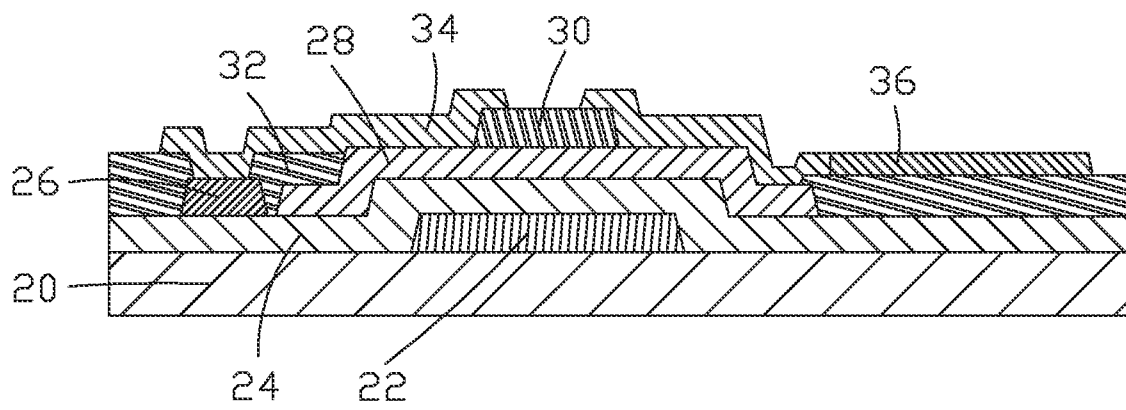


图16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/087357

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i; H01L 21/336 (2006.01) i; H01L 29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, CNKI: pixel electrode, TFT, thin film transistor, metal, signal, data, active, channel, semiconductor, oxide semiconductor, layer, same, pixel, electrode, stop+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102636927 A (BOE TECHNOLOGY GROUP CO., LTD.), 15 August 2012 (15.08.2012), description, paragraphs [0040]-[0058], and figures 3-9	1, 2, 4, 5, 10-12, 14
A	CN 102645808 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 22 August 2012 (22.08.2012), the whole document	1-14
A	CN 1353329 A (PANASONIC CORPORATION), 12 June 2002 (12.06.2002), the whole document	1-14
A	CN 202373580 U (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 August 2012 (08.08.2012), the whole document	1-14
A	JPH 0728077 A (MATSUSHITA DENKI SANGYO KK), 31 January 1995 (31.01.1995), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 July 2014 (03.07.2014)	Date of mailing of the international search report 04 August 2014 (04.08.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CHE, Xiaolu Telephone No.: (86-10) 62089965

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/087357

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102636927 A	15 August 2012	None	
CN 102645808 A	22 August 2012	WO 2013155830 A1	24 October 2013
CN 1353329 A	12 June 2002	US 2002056838 A1	16 May 2002
		KR 20020038482 A	23 May 2002
		TW 588209 B	21 May 2004
		SG 102643 A1	26 March 2004
		EP 1209748 A1	29 May 2002
		JP 2003050405	21 February 2003
CN 202373580 U	08 August 2012	None	
JP H0728077 A	31 January 1995	None	

A. 主题的分类 G02F 1/1362 (2006.01) i; H01L 21/336 (2006.01) i; H01L 29/786 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, DWPI, CNKI: 薄膜晶体管, 金属, 信号, 数据, 有源, 沟道, 半导体, 氧化物半导体, 同, 层, 像素电极, 阻挡, 停止, TFT, thin film transistor, metal, signal, data, active, channel, semiconductor, oxide semiconductor, layer, same, pixel, electrode, stop+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102636927A (京东方科技集团股份有限公司) 2012年 8月 15日 (2012 - 08 - 15) 说明书第 [0040] - [0058] 段, 附图 3-9	1, 2, 4, 5, 10-12, 14
A	CN 102645808A (京东方科技集团股份有限公司等) 2012年 8月 22日 (2012 - 08 - 22) 全文	1-14
A	CN 1353329A (松下电器产业株式会社) 2002年 6月 12日 (2002 - 06 - 12) 全文	1-14
A	CN 202373580U (北京京东方光电科技有限公司) 2012年 8月 08日 (2012 - 08 - 08) 全文	1-14
A	JP H0728077A (MATSUSHITA DENKI SANGYO KK) 1995年 1月 31日 (1995 - 01 - 31) 全文	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2014年 7月 03日		国际检索报告邮寄日期 2014年 8月 04日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 车晓璐 电话号码 (86-10)62089965

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/087357

检索报告引用的专利文件		公布日 (年/月/日)	同族专利		公布日 (年/月/日)
CN	102636927A	2012年 8月 15日	无		
CN	102645808A	2012年 8月 22日	WO	2013155830A1	2013年 10月 24日
CN	1353329A	2002年 6月 12日	US	2002056838A1	2002年 5月 16日
			KR	20020038482A	2002年 5月 23日
			TW	588209B	2004年 5月 21日
			SG	102643A1	2004年 3月 26日
			EP	1209748A1	2002年 5月 29日
			JP	2003050405	2003年 2月 21日
CN	202373580U	2012年 8月 08日	无		
JP	H0728077A	1995年 1月 31日	无		