



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년07월20일
(11) 등록번호 10-2135073
(24) 등록일자 2020년07월13일

- (51) 국제특허분류(Int. Cl.)
G01R 23/02 (2006.01) G01R 29/02 (2006.01)
- (21) 출원번호 10-2014-7028348
- (22) 출원일자(국제) 2013년03월05일
심사청구일자 2018년02월20일
- (85) 번역문제출일자 2014년10월08일
- (65) 공개번호 10-2014-0136983
- (43) 공개일자 2014년12월01일
- (86) 국제출원번호 PCT/US2013/029121
- (87) 국제공개번호 WO 2013/148085
국제공개일자 2013년10월03일
- (30) 우선권주장
13/433,154 2012년03월28일 미국(US)
13/450,123 2012년04월18일 미국(US)
- (56) 선행기술조사문헌
JP09321614 A*
JP62147371 A*
KR1019910008514 B1*
JP08500676 A
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
테라다인 인코퍼레이티드
미국 01864 매사추세츠주 노스 리딩 엔알700-2-3
리버파크 드라이브 600
- (72) 발명자
반 데르 바그트 잔 파울 앤써니
미국 캘리포니아 92009 칼스배드 코르테 카르도
7924
사츠케프 로날드 에이.
미국 매사추세츠 01810 앤도버 윈크레스트 씨클 4
칸날 그레고리 에이.
미국 캘리포니아 94041 마운틴 뷰 로레토 스트리트
325
- (74) 대리인
특허법인와이에스장

전체 청구항 수 : 총 25 항

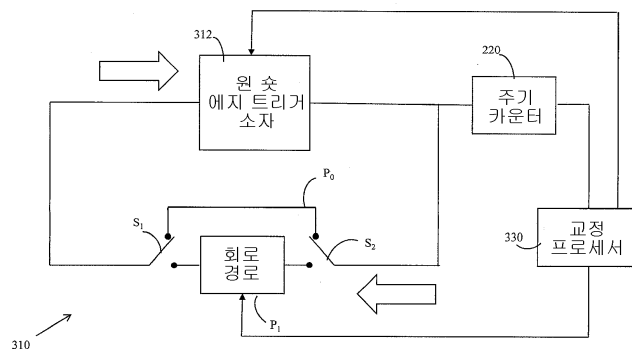
심사관 : 오용균

(54) 발명의 명칭 에지 트리거 교정

(57) 요약

회로 경로 내의 전파 지연을 측정하기 위한 회로. 이러한 회로는 상기 회로 경로와 루프에서 접속될 수 있는 원 슛 에지 트리거 소자를 포함하고 있다. 상기 회로 경로를 전파하는 에지 신호는 상기 원 슛 소자를 트리거하여 펄스를 출력한다. 상기 펄스는 상기 루프를 돌아 전파하여, 다시 상기 원 슛 소자를 트리거하여 펄스를 생성하여, 반복된 일련의 펄스를 생성한다. 이러한 펄스 사이의 주기는 상기 루프 동안의 에지의 전파 시간에 의해 영향을 받아서 상기 회로 경로가 상기 루프에 접속되고 접속되지 않은 주기의 차이는 상기 회로 경로에서의 전파 지연을 가리킨다. 이러한 회로는 상승 및 하강 에지와 연관된 전파 지연을 독립적으로 측정하여서 교정하도록 구성될 수 있다. 상승 및 하강 에지에 대한 전파 지연을 개별적으로 같게하는 교정은 자동 검사 시스템의 타이밍 정확도를 증가시킬 수 있다.

대표도 - 도3



명세서**청구범위****청구항 1**

적어도 하나의 회로 경로를 따른 지연을 측정하기 위한 장치로서,

상기 장치는 상기 적어도 하나의 회로 경로를 포함하는 루프를 형성하도록 구성된 회로를 포함하고, 상기 회로는,

에지 트리거 소자; 및

상기 루프에 결합된 주기 측정 소자를 포함하고,

상기 에지 트리거 소자는 상기 루프에서 신호의 상승 트리거 에지 및 하강 트리거 에지 중 어느 하나에만 응답하고,

트리거 에지에 대한 응답 후에, 상기 에지 트리거 소자는 상기 루프에서 상기 신호의 추가 트리거 에지와 독립적인 시간에 리셋하는 것을 특징으로 하는 지연 측정 장치.

청구항 2

제1항에 있어서, 상기 에지 트리거 소자는 S-R 래치를 포함하는 것을 특징으로 하는 지연 측정 장치.

청구항 3

제2항에 있어서, 상기 S-R 래치는 세트 입력부 및 리셋 입력부 및 출력부를 갖고 있고, 상기 장치는 상기 S-R 래치의 상기 출력부와 상기 리셋 입력부 사이에 결합된 지연 소자를 더 포함하는 것을 특징으로 하는 지연 측정 장치.

청구항 4

제3항에 있어서, 상기 S-R 래치는 출력 펄스를 생성함으로써 상기 리셋 입력부에서의 제1 펄스 및 상기 세트 입력부에서의 제2 펄스에 응답하고, 상기 출력 펄스는 상기 제1 펄스와 상기 제2 펄스 사이의 마지막 트리거 에지에 기초하여 세트하고 리셋하는 것을 특징으로 하는 지연 측정 장치.

청구항 5

제4항에 있어서, 상기 제1 펄스 및 상기 제2 펄스 중 하나는 상기 제1 펄스 및 상기 제2 펄스 중 다른 하나에 의해 둘러싸인 것을 특징으로 하는 지연 측정 장치.

청구항 6

제4항에 있어서, 상기 제1 펄스 및 상기 제2 펄스 중 하나는 상기 제1 펄스 및 상기 제2 펄스 중 다른 하나와 중첩하는 것을 특징으로 하는 지연 측정 장치.

청구항 7

제1항에 있어서, 상기 적어도 하나의 회로 경로는 복수의 회로 경로를 포함하고,

상기 루프는,

멀티플렉서; 및

디멀티플렉서를 더 포함하고,

상기 멀티플렉서 및 디멀티플렉서는 상기 복수의 회로 경로 중 하나의 회로 경로를 상기 루프에서 선택적으로 접속하도록 구성된 것을 특징으로 하는 지연 측정 장치.

청구항 8

제1항에 있어서,

상기 에지 트리거 소자의 입력부에 접속된 게이트를 더 포함하고, 상기 게이트는 출력부, 제1 입력부 및 제2 입력부를 포함하고, 상기 게이트의 제1 입력부 및 출력부는 상기 루프에 접속되어 있고, 상기 게이트는,

상기 제2 입력부에서의 신호가 제1 상태에 있을 때 상기 제1 입력부에서의 제1 상태의 신호에 응답하여 상기 제1 상태로 신호를 상기 게이트의 출력부에서 제공하고;

상기 제2 입력부에서의 신호가 제2 상태에 있을 때 상기 제1 입력부에서의 제2 상태의 신호에 응답하여 상기 제1 상태로 신호를 상기 게이트의 출력부에서 제공하도록 구성된 것을 특징으로 하는 지연 측정 장치.

청구항 9

제8항에 있어서,

상기 게이트는 제1 게이트이고;

상기 장치는 상기 에지 트리거 소자의 출력부에 접속된 제2 게이트를 포함하고, 상기 제2 게이트는 출력부, 제1 입력부 및 제2 입력부를 포함하고, 상기 제2 게이트의 제1 입력부 및 출력부는 상기 루프에 접속되어 있고, 상기 제2 게이트는,

상기 제2 게이트의 제2 입력부에서의 신호가 제1 상태에 있을 때 상기 제2 게이트의 제1 입력부에서의 상기 제1 상태의 신호에 응답하여 상기 제1 상태로 신호를 상기 제2 게이트의 출력부에서 제공하고;

상기 제2 게이트의 제2 입력부에서의 신호가 제2 상태에 있을 때 상기 제2 게이트의 제1 입력부에서의 상기 제2 상태의 신호에 응답하여 상기 제1 상태로 신호를 상기 제2 게이트의 출력부에서 제공하도록 구성되어 있고,

상기 제2 게이트의 제2 입력부는 상기 제1 게이트의 제2 입력부에 결합된 것을 특징으로 하는 지연 측정 장치.

청구항 10

제1항에 있어서, 상기 에지 트리거 소자를 상기 루프로부터 선택적으로 접속하고 접속해제하도록 구성된 스위칭 소자를 더 포함하는 것을 특징으로 하는 지연 측정 장치.

청구항 11

제1항에 있어서, 상기 에지 트리거 소자는 윈 슛 회로를 포함하는 것을 특징으로 하는 지연 측정 장치.

청구항 12

제1항에 있어서,

상기 에지 트리거 소자는,

세트 입력부 및 리세트 입력부 및 출력부;

상기 세트 입력부에 결합된 제1 입력부, 상기 리세트 입력부에 결합된 제2 입력부 및 제1 래치 출력부를 포함하는 제1 래치;

상기 세트 입력부에 결합된 제1 입력부, 반전 소자를 통해 상기 리세트 입력부에 결합된 제2 입력부 및 제2 래치 출력부를 포함하는 제2 래치; 및

상기 세트 입력부에 결합된 제1 입력부, 상기 리세트 입력부에 결합된 제2 입력부, 상기 제1 래치 출력부에 결합된 제3 입력부, 및 상기 제2 래치 출력부에 결합된 제4 입력부를 갖고 있는 제3 래치를 포함하는 것을 특징으로 하는 지연 측정 장치.

청구항 13

제1항에 있어서,

상기 에지 트리거 소자는 세트 입력부 및 리세트 입력부 및 출력부를 포함하고;

상기 출력부는 딜레이를 통해 상기 리셋 입력부에 결합되어 있고;

상기 세트 입력부 및 리셋 입력부 모두가 어서트되는 상태에서부터 상기 세트 입력부 및 리셋 입력부 중 하나만이 어서트되는 후속 상태로 변할 때 상기 에지 트리거 소자는 상기 출력부에서의 값을 유지하도록 구성된 것을 특징으로 하는 지연 측정 장치.

청구항 14

제13항에 있어서, 상기 에지 트리거 소자는 상기 세트 입력부 및 리셋 입력부 중 하나만이 어서트되는 상태에서부터 상기 세트 입력부 및 리셋 입력부 모두가 어서트되는 후속 상태로 변할 때 상기 출력부에서의 값을 반전시키도록 구성된 것을 특징으로 하는 지연 측정 장치.

청구항 15

적어도 하나의 회로 경로를 따른 에지-특정(edge-specific) 지연을 측정하기 위한 방법으로서는,

상기 적어도 하나의 회로 경로 중 하나의 회로 경로를 적어도 하나의 루프에서 접속하는 단계;

상기 적어도 하나의 루프 중 하나의 루프를 제1 타입 펄스가 관통하는 제1 주파수를 측정하는 단계로서, 상기 제1 타입 펄스는 상기 회로 경로를 관통하는 신호의 제1 에지와 동기화되어 생성되는 것인 상기 제1 주파수를 측정하는 단계; 및

상기 적어도 하나의 루프 중 하나의 루프를 제2 타입 펄스가 관통하는 제2 주파수를 측정하는 단계로서, 상기 제2 타입 펄스는 상기 회로 경로를 관통하는 신호의 제2 에지와 동기화되어 생성되는 것인 상기 제2 주파수를 측정하는 단계를 포함하고,

상기 적어도 하나의 루프는

에지 트리거 소자; 및

상기 루프에 결합된 주기 측정 소자를 포함하고,

상기 에지 트리거 소자는 상기 루프에서 신호의 상승 트리거 에지 및 하강 트리거 에지 중 어느 하나에만 응답하고,

트리거 에지에 대한 응답 후에, 상기 에지 트리거 소자는 상기 루프에서 상기 신호의 추가 트리거 에지와 독립적인 시간에 리셋하는 것을 특징으로 하는 에지-특정 지연 측정 방법.

청구항 16

제15항에 있어서,

상기 제1 주파수를 측정하는 단계는,

제1 시간에,

상기 적어도 하나의 루프중 하나의 루프에 접속된 소자를, 제1 극성의 에지에 응답하여 펄스를 출력하도록 구성하는 단계; 및

상기 루프에서 제1 발진 주파수를 측정하는 단계를 포함하고,

상기 제2 주파수를 측정하는 단계는,

제2 시간에,

상기 소자를 제2 극성의 에지에 응답하여 펄스를 출력하도록 구성하는 단계; 및

상기 루프에서 제2 발진 주파수를 측정하는 단계를 포함하는 것을 특징으로 하는 에지-특정 지연 측정 방법.

청구항 17

제16항에 있어서, 상기 제1 발진 주파수 및 상기 제2 발진 주파수에 기초하여 상기 회로 경로를 조정하기 위해 적어도 하나의 고정 값을 저장하는 단계를 더 포함하는 것을 특징으로 하는 에지-특정 지연 측정 방법.

청구항 18

제17항에 있어서,

상기 적어도 하나의 교정 값을 저장하는 단계는,

상기 제1 주파수에 기초하여 상기 회로 경로를 따라 전파하는 신호의 상승 에지의 지연; 및

상기 제2 주파수에 기초하여 상기 회로 경로를 따라 전파하는 신호의 하강 에지의 지연을 개별적으로 조정하는 것을 특징으로 하는 에지-특정 지연 측정 방법.

청구항 19

제15항에 있어서, 상기 적어도 하나의 회로 경로는 자동 검사 시스템에서 복수의 회로 경로를 포함하고;

상기 방법은 상기 복수의 회로 경로의 각각에 대해,

상기 회로 경로를 상기 적어도 하나의 루프중 하나의 루프에서 접속하는 단계;

상기 루프에 대한 상기 제1 주파수를 측정하는 동작 및 상기 제2 주파수를 측정하는 동작을 실행하는 단계; 및

상기 측정된 제1 주파수 및 상기 측정된 제2 주파수에 기초하여 상기 회로 경로를 조정하는 단계를 연속으로 더 포함하는 것을 특징으로 하는 에지-특정 지연 측정 방법.

청구항 20

집적회로로서,

회로 경로; 및

상기 회로 경로를 통합하는 루프에 접속가능한 교정 회로를 포함하고,

상기 교정 회로는,

에지 트리거 소자; 및

에지가 상기 루프를 돌아 전파하는 속도를 측정하도록 구성된 회로를 포함하고,

상기 에지 트리거 소자의 트리거 에지에 대한 응답 후에, 상기 에지 트리거 소자는 상기 루프에서 신호의 추가 트리거 에지와 독립적인 시간에 리셋하는 것을 특징으로 하는 집적 회로.

청구항 21

제20항에 있어서,

상기 에지 트리거 소자는 세트 입력부 및 리세트 입력부 및 출력부를 갖고 있는 S-R 래치를 포함하고,

상기 교정 회로는 상기 S-R 래치의 출력부와 상기 리세트 입력부 사이에 결합된 지연 소자를 더 포함하는 것을 특징으로 하는 집적 회로.

청구항 22

제21항에 있어서, 상기 S-R 래치는 상기 출력부에서의 하나의 펄스로 상기 세트 입력부에서의 펄스에 의해 둘러싸인 상기 리세트 입력부에서의 펄스에 응답하고, 상기 출력부에서의 펄스는 상기 세트 입력부에서의 펄스의 상승 에지로부터 상기 리세트 입력부에서의 펄스의 상승 에지까지 뺀 것을 특징으로 하는 집적 회로.

청구항 23

제20항에 있어서,

상기 회로 경로는 제1 단부 및 제2 단부를 포함하고,

상기 교정 회로는,

상기 회로 경로의 제1 단부를 상기 교정 회로에 선택적으로 결합하도록 구성된 제1 스위칭 소자; 및

상기 회로 경로의 제2 단부를 상기 교정 회로에 선택적으로 결합하도록 구성된 제2 스위칭 소자를 더 포함하는 것을 특징으로 하는 집적 회로.

청구항 24

제23항에 있어서,

상기 집적 회로는 각각 제1 단부 및 제2 단부를 갖고 있는 복수의 회로 경로를 포함하는 디지털 핀 전자 칩이고,

상기 제1 스위칭 소자는 상기 복수의 회로 경로의 제1 단부를 상기 교정 회로에 선택적으로 결합하도록 구성된 멀티플렉서를 포함하고,

상기 제2 스위칭 소자는 상기 복수의 회로 경로의 제2 단부를 상기 교정 회로에 선택적으로 결합하도록 구성된 디멀티플렉서를 포함하는 것을 특징으로 하는 집적 회로.

청구항 25

복수의 제24항의 디지털 핀 전자 칩을 포함하는 것을 특징으로 하는 검사 시스템.

발명의 설명

기술 분야

배경 기술

- [0001] 반도체 장치와 같은 전자 부품은 이들의 제조 동안 자동 검사 기기를 사용하여 자주, 때로 여러번 검사된다. 이러한 검사를 수행하기 위해, 자동 검사 기기는 동작 조건의 범위가 특정 장치에서 검사될 수 있도록 검사 신호를 생성하거나 측정하는 기기를 포함할 수 있다. 예를 들어, 기기는 반도체 장치에서 디지털 로직을 검사할 수 있도록 일 패턴의 디지털 신호를 생성하거나 측정할 수 있다.
- [0002] 최신 반도체 장치는 광대한 수, 가능하게는 수백 또는 심지어 수천의 검사 포인트를 가질 수 있다. 이에 따라, 검사 시스템은 검사 포인트에 대한 신호를 독립적으로 생성하거나 측정하도록 각각 설계된 다수의 채널을 가질 수 있다. 각 검사 포인트에서 생성되거나 측정되는 특정 값은 검사 시스템의 채널 모두를 제어하는 검사 프로그램에 의해 좌우될 수 있다. 검사 신호의 값을 규정하는 것에 더해, 검사 프로그램은 검사 신호가 인가되거나 측정될 시간을 규정할 수 있다. 예측된 값을 생성하지만 잘못된 시간에 생성하는 장치는 반도체 장치를 사용하는 시스템이 오기능하도록 할 수 있기 때문에 반도체 장치의 철저한 검사를 위해 검사 신호의 타이밍을 제어할 수 있는 것이 중요하다.
- [0003] 검사 신호가 하나의 검사 포인트에서 인가되거나 측정되는 시간은 검사 신호가 다른 검사 포인트에서 인가되거나 측정되는 시간과 관련하여 규정될 수 있다. 이에 따라, 다수의 채널에서의 검사 신호가 조정되는 것이 자주 필요하다. 검사 시스템은 상이한 채널에서 신호의 생성을 동기화하도록 설계되어 있다. 하지만, 단지 신호가 생성되는 시간을 동기화는 것은 검사 신호가 피검사 장치의 검사 포인트에서 조정되는 것을 보장하기에는 충분하지 않을 수 있다. 전파 지연의 차이는 신호의 상대 타이밍을 변경할 수 있어서 검사 결과의 정확도에 영향을 준다. 검사 정확도를 증가시키기 위해서 검사 시스템을 교정하는 것이 알려져 있다. 교정은 검사 시스템의 채널 동안의 상대 전파 지연을 측정하는 단계를 수반할 수 있다. 그다음, 이러한 채널에 걸친 전파 지연은 조정될 수 있다. 이러한 교정은 검사 시스템이 제조될 때, 또는 일단 검사 시스템이 설치될 때, 주기적인 스케줄로 또는 사용량에 따른 시간을 포함하는 다양한 시간에 이루어질 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0004] 전자 신호 경로에서의 전자 신호의 하강 또는 상승 트리거 에지 어느 하나와 연관된 지연이 측정될 수 있다. 일부 실시예에서, 지연 측정 회로는 어느 하나의 에지를 선택적으로 측정하도록 구성될 수 있다. 이러한 회로는 상승 및 하강 에지의 지연을 개별적으로 측정하여 교정에 의해 이러한 에지 특정 지연을 개별적으로 조정할 수 있도록 사용될 수 있다.
- [0005] 일부 실시예에서, 지연 측정 회로는 상승 트리거 에지 또는 하강 트리거 에지 어느 하나에 응답하는 에지 트리거 소자를 포함할 수 있다. 이러한 지연 측정 회로는 루프를 형성하기 위해 에지 트리거 소자가 회로 경로에 선택적으로 결합될 수 있도록 하는 스위칭 소자를 포함할 수 있다. 이러한 루프에 주기 측정 소자가 결합될 수 있다.
- [0006] 동작중에, 이러한 회로 경로를 통해 전송된 에지는 에지 트리거 소자를 트리거하여, 다른 트리거 에지를 포함하는 펄스 또는 다른 형태의 신호를 생성하도록 할 수 있다. 이러한 에지는 회로 경로를 통해 전송되어, 또 다른 에지를 생성하도록 에지 트리거 소자로 되돌아갈 수 있다. 루프에서의 이러한 동작은 회로 경로를 통한 에지의 전파 지연에 의존하는 양 만큼 시간적으로 분리된, 에지 트리거 소자에 의해 생성되는 에지의 반복된 시퀀스를 세울 수 있다. 이러한 에지 사이의 시간을 주기 측정 소자들에 의해 측정함으로써, 회로 경로 동안의 전파 지연에 대한 정보가 얻어질 수 있다.
- [0007] 이에 따라, 하나의 특징에서, 본 발명은 적어도 하나의 회로 경로를 따른 지연을 결정하기 위한 장치와 관련되어 있다. 상기 장치는 상기 적어도 하나의 회로 경로를 포함하는 루프를 형성하도록 구성된 회로를 포함한다. 상기 회로는 에지 트리거 소자 및 상기 루프에 결합된 주기 측정 소자를 포함한다. 상기 에지 트리거 소자는 상기 루프에서 신호의 상승 트리거 에지 및 하강 트리거 에지중 하나에만 응답한다.
- [0008] 다른 특징에서, 본 발명은 적어도 하나의 회로 경로를 따른 에지-특정(edge-specific) 지연을 측정하기 위한 방법에 관한 것이다. 상기 방법은 상기 적어도 하나의 회로 경로중 하나의 회로 경로를 적어도 하나의 루프에서 접속하는 단계를 포함한다. 상기 적어도 하나의 루프중 하나의 루프를 제1 타입 펄스가 관통하는 제1 주파수가 측정될 수 있다. 상기 제1 타입 펄스는 상기 회로 경로를 관통하는 신호의 제1 에지와 동기화되어 생성될 수 있다. 상기 적어도 하나의 루프중 하나의 루프를 제2 타입 펄스가 관통하는 제2 주파수가 측정될 수 있다. 상기 제2 타입 펄스는 상기 회로 경로를 관통하는 신호의 제2 에지와 동기화되어 생성된다.
- [0009] 일부 실시예에서, 이러한 지연 측정 기술은 반도체 장치의 제조에서 사용되는 검사 시스템을 교정하여 반도체 장치의 제조 공정을 향상시키는데 사용될 수 있다.
- [0010] 또 다른 특징에서, 본 발명은 집적회로와 관련되어 있다. 상기 집적 회로는 교정 소자를 갖는 회로 경로를 포함한다. 상기 교정 회로는 상기 회로 경로를 통합하는 루프에 접속가능하다. 상기 교정 회로는 에지 트리거 소자 및, 에지가 상기 루프를 돌아 전파하는 속도를 측정하도록 구성된 회로를 포함한다.
- [0011] 상기 내용은 첨부된 청구범위에 의해 한정되는, 본 발명의 비제한적인 요약이다.

도면의 간단한 설명

- [0012] 첨부된 도면은 일정한 비율로 도시된 것이 아니다. 도면에서, 다양한 도면에 도시된 각 동일하거나 거의 동일한 부품은 유사한 부재번호로 나타나 있다. 이해를 위해, 모든 부품이 모든 도면에 표시되지 않을 수 있다. 도면에서,
 - 도 1a는 자동 검사 시스템의 실시예의 개략도이다.
 - 도 1b는 지연의 에지에 민감한(edge-sensitive) 측정값에 기초하여 교정될 수 있는 다수의 신호 경로를 도시하는 자동 검사 시스템의 일부의 실시예의 개략도이다.
 - 도 2는 종래의 지연 측정 기술을 사용하는 자동 검사 시스템 내의 교정 회로의 실시예의 개략도이다.
 - 도 3은 에지에 민감한 지연을 교정하기 위한 교정 회로 실시예의 개략도이다.
 - 도 4는 도 3의 원 샷(one shot) 에지 트리거 소자를 구현하는데 사용될 수 있는, 표준 SR 플립플롭 및 참된(true) 에지 트리거 SR 플립플롭의 동작을 비교하는 타임 차트의 스케치이다.
 - 도 5는 도 4에 도시된 시간 순서에 따라 동작하는 참된 에지 트리거 SR 플립플롭의 동작을 설명하는 진리표이다.

도 6은 도 4의 타이밍 차트에 따라 동작하는 참된 에지 트리거 수정된 SR 플립플롭의 회로 구현의 개략도이다.

도 7a는 도 6의 Y-래치 부품의 동작을 설명하는 진리표이다.

도 7b는 도 6의 Q-래치 부품의 동작을 설명하는 진리표이다.

도 8은 상승 또는 하강 에지와 연관된 지연을 측정하도록 구성될 수 있는 에지에 민감한 지연을 측정하기 위한 회로의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명자는 전자 시스템에서 에지에 민감한 지연을 측정하기 위한 회로 및 방법의 장점을 인식하고 이해하였다. 에지에 민감한 지연을 측정하는 기능은, 예를 들어, 지연에 대하여 전자 회로를 교정하는데 적용될 수 있다. 이러한 측정값은 별개로 각 에지에 대한 회로 경로를 통한 전파 지연을 조정하는데 사용될 수 있다. 상승 및 하강 에지의 어느 하나 또는 모두의 타이밍은 이러한 방식으로 조정될 수 있다.
- [0014] 상승 또는 하강 트리거 에지 중 오직 하나의 트리거 에지만 응답하는 회로에 대해, 트리거 에지의 전파 지연에 대한 교정은 보다 정확한 동작에 이를 수 있다. 특히, 차동 신호를 처리하는 회로 경로에 대한 종래의 지연 측정 기술은 상승 및 하강 에지 모두에 대해 평균 에지 전파 시간을 보고하는 경향이 있다. 상승 및 하강 에지가 조합된 회로의 평균 전파 지연을 제공하도록 조정하는 것은 이러한 에지가 트리거 에지로서 별개로 사용될 때 반드시 정확한 동작으로 이어지는 것은 아니다. 본 발명자는 또한, 상승 및 하강 에지의 평균 지연에 대한 트리거 에지의 전파 지연에 기초한 교정 사이의 차이가 신호 주파수가 증가함에 따라 보다 큰 영향을 받을 수 있다는 것을 인식하고 이해하였는데, 그 이유는 그 기간이 보다 작아지고 트리거 에지와 연관된 부정확도가 보다 상당한 백분율의 기간이 되기 때문이다. 이러한 시나리오는 많은 타입의 반도체 장치를 완전히 검사하기 위해 고주파수에서 동작하는 자동 검사 시스템에서 일어날 수 있다.
- [0015] 하지만, 에지에 민감한 지연 측정은 다른 상황에서 중요할 수 있다. 다른 예로서, 펄스는 상승 및 하강 에지 모두를 갖고 있다. 상승 및 하강 에지가 상이한 속도로 회로 경로를 통해 전파하면, 상승 에지와 하강 에지 사이의 시간은 수축되거나 팽창할 수 있어서, 펄스의 형상의 변화에 이를 수 있고, 이것은 일부 시나리오에서 바람직하지 않을 수 있다.
- [0016] 상승 및 하강 에지에 대한 전파 지연의 차이는 다양한 방식으로 일어날 수 있다. 예를 들어, 차이는 회로 경로에 사용된 바이어스 레벨 때문에 일어날 수 있다. 특정 예로서, 로직 엘리먼트의 차동 입력 스테이지에서의 트랜지스터는 상승 에지에 응답하여 턴온하는 트랜지스터가 하강 에지에 응답하여 턴온하는 트랜지스터 보다 빨리 턴온하도록 바이어스될 수 있다. 그 결과, 상승 에지의 전파 지연은 하강 에지의 전파 지연 보다 작을 수 있다. 이러한 경우에, 바이어스 레벨을 조정하는 것은 상승 및 하강 에지에 응답하는 트랜지스터에 대한 턴온 시간을 같게 함으로써 에지-특정 지연을 교정할 수 있다. 그다음 평균 지연을 교정하는 다른 기술을 사용하면 상승 및 하강 에지 모두에 대한 원하는 전파 지연에 이를 수 있다. 따라서, 회로 경로의 교정은 다른 교정 기술을 사용하는 대신에 또는 그에 더하여 상승 및 하강 에지 지연을 균등하게 하도록 바이어스 레벨을 제어하는 값을 비휘발성 메모리에 기록하는 단계를 포함할 수 있다.
- [0017] 일부 실시예에서, 조정되는 바이어스 레벨은 바이어스 전압을 나타낼 수 있다. 다른 실시예에서, 에지에 민감한 지연을 변경하도록 조정되는 바이어스 레벨은 바이어스 전류 레벨일 수 있다. 바이어스 레벨을 조정하는 것에 더하여, 다른 회로 파라미터가 에지에 민감한 지연을 조정하기 위해 조정될 수 있다. 일부 실시예에서, 레지스턴스 또는 커패시턴스를 변경하는 것과 같은 공지된 기술이 사용될 수 있다. 에지에 민감한 지연 측정값이 교정 공정의 일부로서 사용될 때, 이러한 기술 및 다른 기술이 에지에 민감한 지연을 설명하기 위해 하나 이상의 회로 파라미터를 조정하도록 사용될 수 있다. 임의의 적절한 조정 기술이 사용될 수 있고, 임의의 회로 경로에 사용되는 특정 조정 기술은 이러한 회로 경로의 설계에 의존할 수 있다.
- [0018] 이러한 지연 측정 및 교정 기술이 자동 검사 시스템을 포함하는 임의의 적절한 타입의 전자 시스템에 사용될 수 있다. 자동 검사 시스템에 다수의 채널이 존재한다. 에지에 민감한 지연의 차이가 상이한 채널에서 검사 신호를 생성하거나 측정하는 동작의 타이밍의 부정확함에 이르지 않도록 보장하기 위해 각 채널에 교정 기술이 사용된다면 보다 정확한 검사가 이루어질 수 있다.
- [0019] 도 1a는 에지에 민감한 지연 교정 기술이 에지에 민감한 지연 측정에 기초하여 적용될 수 있는 자동 검사 시스템의 개략도이다. 도 1a는 기기(110A, ..., 110I)가 도시된 다수의 기기를 포함하는 검사 시스템(100)을 도시하고 있다. 이러한 기기의 각각은 피검사 장치(140)에 대한 검사 신호를 생성하고 및/또는 측정하는 회로를 포함

할 수 있다. 각 기기의 특정 기능은 본 발명에 중요하지 않고, 임의의 적절한 타입의 기기가 검사 시스템(100)에 사용될 수 있다. 예를 들어, 기기(110A, ..., 110I)는 상이한 기기는 상이한 타입의 아날로그 또는 디지털 신호를 생성하거나 측정하는 다수의 타입의 기기를 포함할 수 있다.

[0020] 도 1a는 자동 검사 시스템의 크게 단순화된 도면이라는 것을 이해해야 한다. 예를 들어, 도시되지 않았지만, 검사 시스템(100)은 기기(110A, ..., 110I)의 동작을 제어하는 제어 회로를 포함할 수 있다. 또한, 검사 시스템(100)은 측정값을 처리하고 피검사 장치(140)가 정확하게 동작하고 있는지를 판정하는 처리 회로를 포함할 수 있다. 또한, 9개의 기기(110A, ..., 110I)가 도시되어 있지만, 검사 시스템(100)은 임의의 수의 기기 또는 검사 신호를 생성하고 및/또는 측정하기 위한 다른 리소스를 포함할 수 있다는 것을 이해해야 한다. 또한, 도 1a가 단일 피검사 장치(140)가 검사되고 있는 시나리오를 도시하고 있지만, 자동 검사 시스템(100)은 다수의 장치를 검사하도록 구성될 수 있다.

[0021] 검사 신호를 생성하거나 측정하는 기기 또는 다른 부품의 수 및 피검사 장치의 수에 관계없이, 검사 시스템(100)은 피검사 장치와 기기 사이에 신호를 전송하는 신호 전달 부품을 포함할 수 있다. 도 1a의 예에서, 신호 전달 부품은 버스(120) 및 장치 인터페이스 보드(130)로 도시되어 있다. 그러나, 검사 시스템(100)의 신호 전달 부분은 상이하거나 추가의 부품을 포함할 수 있다는 것을 이해해야 한다.

[0022] 검사 시스템(100)은 당업계에 공지된 바와 같은 기술을 포함하는 임의의 적절한 방법으로 구성될 수 있다.

[0023] 크게 단순화되어 있지만, 도 1a는 예지에 민감한 교정 기술이 사용될 수 있는 시나리오를 도시하고 있다. 심지어 단일 피검사 장치를 검사하는데 사용된 상이한 신호는 검사 시스템의 상이한 채널을 통해 전파할 수 있다. 상이한 채널은 상이한 기기(110A, ..., 110I)를 사용하여 구현될 수 있어서, 상이한 채널은 상이한 부품을 통해 상이한 회로 경로를 포함한다. 상이한 채널이 동일한 기기에 구현될 때도, 채널은 상이한 부품을 통과하는 상이한 회로 경로를 가질 수 있다. 상이한 경로에서의 상이한 부품이 상이한 양의 지연을 가질 수 있기 때문에, 각 채널은 상이한 양의 지연을 가질 수 있다.

[0024] 도 1b는 2개의 채널(162A, 162B)의 일부를 개략적으로 도시하고 있다. 이러한 예에서, 채널(162A, 162B)은 디지털 감시 기기에 채널을 나타낼 수 있다. 채널(162A, 162B)은 피검사 장치(140)(도 1a)에 결합된 입출력(I/O) 라인(192A, 192B)에서 각각 디지털 신호를 생성하고 및/또는 측정할 수 있다. 도 1b가 단순을 위해 2개의 채널을 도시하고 있음을 이해해야 한다. 디지털 검사 기기는 8개 이상의 디지털 채널을 포함할 수 있다. 또한, 자동 검사 시스템은 검사 시스템(100)(도 1a)이 수백 또는 수천의 디지털 채널을 포함하도록 다수의 디지털 기기를 포함할 수 있다. 그럼에도 불구하고, 채널(162A, 162B)의 설명은 타이밍 교정의 사용이 자동 검사 시스템의 성능을 향상시킬 수 있다는 것을 보여준다.

[0025] 도 1b의 예에서, 디지털 기기는 패턴 생성기(160)를 포함하고 있다. 패턴 생성기(160)는 채널(162A, 162B)의 각각에서 생성하거나 측정하는 일 패턴의 디지털 신호에 의해, 각 검사가 수행되도록 프로그램화될 수 있다. 패턴 생성기(160)는 타이밍 생성기(170)와 결합하여 작동한다. 도시된 예에서, 패턴 생성기(160)는 검사기 동작의 다수의 사이클의 각각에서 채널의 각각을 제어하는 값을 출력할 수 있다. 이러한 값은 이러한 사이클과 연관된 채널의 동작을 각 채널에 대해 가리킬 수 있다. 예를 들어, 이러한 값은 채널 내의 회로가 피검사 장치 상의 검사 포인트에 결합된 출력 라인(192A 또는 192B)과 같은 I/O 라인을 구동할 것을 나타낼 수 있다. 또한, 패턴 생성기(160)의 출력은 I/O 라인(192A 또는 192B)에서 구동하는 값을 나타낼 수 있다. 대안으로, 패턴 생성기에 의해 출력된 값은 각 채널이 I/O 라인(192A 또는 192B)에서의 신호를 측정할 것을 나타낼 수 있다.

[0026] 타이밍 생성기(170) 역시 프로그램화될 수 있다. 타이밍 생성기(170)의 프로그램화는 각 채널의 시작에 대해, 패턴 생성기(160)의 출력에 의해 측정된 동작이 일어날 때를 나타낼 수 있다.

[0027] 이러한 기능을 지원하기 위해, 채널(162A, 162B)의 각각은 채널의 I/O 라인에 검사 신호를 생성하거나 I/O 라인에서 감지된 신호를 패턴 생성기(160)에 의해 제공된 값에 비교하는 회로를 포함한다. 예를 들어, 채널(162A)은 패턴 생성기(160)의 출력에 의해 규정된 포맷을 갖는 검사 신호를 생성하기 위한 회로(180A)를 포함하고 있다. 이러한 검사 신호가 생성되는 시간은 타이밍 생성기(170)의 출력에 의해 제어될 수 있다. 이러한 포맷팅된 검사 신호는 버퍼 증폭기(188A) 또는 다른 적절한 회로를 통해 I/O 라인(192A)으로 전송될 수 있다. 채널(162B)은 마찬가지로 특정 포맷으로 검사 신호를 생성하는 회로(180B) 및 I/O 라인(192B)을 구동하는 버퍼(188B)를 포함하고 있다.

[0028] 각 채널은 채널의 I/O 라인 상의 검사 신호가 측정될 것을 패턴 생성기(160)가 규정하는 검사 사이클 동안 동작할 수 있는 비교 회로를 포함한다. 예를 들어, 비교 회로(184A)는 버퍼(190A)를 통해 I/O 라인(192A)에서의 값

을 수신할 수 있다. 비교 회로(184A)는 패턴 생성기(160)에 의해 비교 회로(184A)에 제공된 예측된 값에 해당 감지된 값을 비교할 수 있다. 이러한 비교 동작은 타이밍 생성기(170)에 의해 출력된 하나 이상의 신호에 의해 규정된 시간에 일어날 수 있다. 따라서, 비교 회로(184A)는 입력/출력 라인(192A)가 지정된 시간에, 예측된 값을 가졌는지를 나타내는 값을 생성할 수 있다.

[0029] 채널(162B)은 마찬가지로 비교 회로(184B)를 갖고 있다. 비교 회로(184B)는 버퍼(190B)를 통해 I/O 라인(192B)에서의 검사 신호의 값을 수신한다. 비교 회로(184B)의 동작의 타이밍은 마찬가지로 타이밍 생성기(170)의 출력에 의해 제어된다.

[0030] 이러한 방식으로, 각 채널에서 실행되는 동작의 타입 및 이러한 동작이 수행되는 시간 모두는 패턴 생성기(160) 및 타이밍 생성기(170)의 프로그램화에 의해 규정될 수 있다. 상이한 채널의 동작의 타이밍이 공통 타이밍 소스, 이러한 예에서 타이밍 생성기(170)로부터 규정되지만, 전파 지연의 차이는 동일한 시간에 일어나도록 프로그램화된 동작이 실제로 상이한 시간에 일어나도록 할 수 있다. 도 1B는 단순한 예로서 생성 회로(180A)가 비교 회로(184B) 보다 타이밍 생성기(170)에 보다 가까운 것을 도시하고 있다. 그 결과, 타이밍 생성기(170)로부터 비교 회로(184B)로의 타이밍 신호의 전파 지연은 D_4 의 지연을 수반할 수 있다. 이와 대조적으로, 생성 회로(180A)로의 지연은 D_4 보다 작을 수 있는 지연 D_1 을 수반할 수 있다. 다른 채널의 다른 부품이 상이한 양의 지연을 가질 수 있다. 예를 들어, 비교 회로(184A)로의 지연은 D_2 일 수 있고 생성 회로(180B)로의 지연은 D_3 일 수 있다.

[0031] 상이한 부품에 도달하는 타이밍 신호의 전파의 지연에 더하여, 이러한 회로는 자체가 상이한 전파 지연을 갖고 동작할 수 있다. 도 1b에 도시된 회로를 구현하는데 사용된 부품의 무작위 편차는 이러한 부품의 상이한 동작 속도를 초래할 수 있다. 예를 들어, 생성 회로(180A)는 생성 회로(180B) 보다 데이터 값을 구동하는 명령에 보다 신속하게 응답할 수 있다. 이러한 차이는 회로가 동일한 방식으로 동작하도록 설계되었을지라도 존재할 수 있다.

[0032] 자동 검사 시스템의 상이한 채널을 통한 지연의 차이는 검사 결과의 정확도에 영향을 줄 수 있다. 예를 들어, 검사는 피검사 장치가 특정량의 시간에 입력에 응답하는지를 판정하는 단계를 수반할 수 있다. 이러한 검사를 수행하기 위해, 입력 신호는 자동 검사 시스템의 하나의 채널에서 생성될 수 있다. 예를 들어, 채널(162A)은 희망의 I/O 라인(192A)에 희망의 입력을 생성하도록 프로그램화될 수 있다. 피검사 장치의 응답은 상이한 채널에서 측정될 수 있다. 예를 들어, 채널(162B)은 I/O 라인(192B)에서의 응답을 측정하도록 프로그램화될 수 있다. 이러한 경우에, 채널(162A)은 제1 시간에 신호를 생성하도록 프로그램화될 수 있고 채널(162B)은 예측된 응답이 제2 시간에 일어났는지를 판정하기 위해 출력을 측정하도록 프로그램화될 수 있다. 제2 시간은 피검사 장치의 예측된 응답 시간을 나타내는 제1 시간 후에 임의의 양의 시간 후에 일어나도록 프로그램화될 수 있다. 그러나, 채널(162A, 162B)과 연관된 상이한 지연이 존재한다면, 채널(162A, 162B)에서 수행되는 동작 사이의 의도된 시간차는 유지되지 않는다. 예를 들어, 채널(162B)에서 채널(162A)동안에서 보다 적은 지연이 존재한다면, 피검사 장치의 응답은 의도된 것보다 인가된 입력에 대해 보다 빨리 측정될 수 있다. 역으로, 채널(162B) 동안에서의 지연이 162A 동안의 지연 보다 크다면, 측정은 예측된 것 보다 입력에 대해 보다 나중에 일어날 수 있다. 어느 경우든 프로그램화된 시간 이외에서 예측 결과를 체크하는 검사 시스템 때문에 부정확한 검사 결과가 얻어질 수 있다.

[0033] 따라서, 자동 검사 시스템의 채널과 연관된 교정 회로를 포함하는 것이 당업계에 알려져 있다. 각 채널 동안의 지연을 측정하도록 기술이 사용될 수 있고 각 채널 동안의 지연의 양을 변경하도록 교정 회로가 조정될 수 있다. 따라서, 도 1B는 생성 회로(180A)와 연관된 182A에 교정 회로를 도시하고 있다. 교정 회로(186A)는 비교 회로(184A)와 연관된 것으로 도시되어 있다. 마찬가지로, 교정 회로(182B, 186B)는 생성 회로(180B, 184B)와 각각 연관된 것으로 도시되어 있다. 동작중에, 채널의 각각 동안의 상대 지연이 측정될 수 있고 교정 값이 결정되고 사용되어 교정 회로(182A, 182B, 186A, 186B)와 같은 교정 회로를 조정할 수 있다. 예를 들어, 교정 값은 비휘발성 메모리 또는 교정 회로 내의 다른 적절한 저장 구조에 저장된 디지털 값으로서 기록될 수 있다. 하지만, 당업계에 공지된 바와 같은 기술을 사용하는 것을 포함하여, 임의의 적절한 조정 기술이 상이한 채널의 교정 회로에 사용될 수 있다는 것을 이해해야 한다.

[0034] 교정 값이 어떻게 회로에 적용되는지에 관계없이, 이러한 값은 채널 동안의 지연을 균등하게 하도록 선택될 수 있다. 적절한 값을 결정하기 위해, 하나 이상의 채널에서 상대 지연을 측정하는 기술이 채용될 수 있다. 도 2는 상대 지연을 측정하기 위해 채용될 수 있는 종래의 교정 회로를 도시하고 있다. 도 2의 교정 회로는 때때로

링 발진기 저주파수(Ring-oscillator Low Frequency), 또는 "RLF" 루프로서 기술되는 구성을 갖고 있다. 회로 경로 P₁에서의 지연을 측정하기 위해, 회로 경로가 루프(210) 내로의 스위치이다. 이러한 예에서, 회로 경로 P₁은 스위치 S₁ 및 S₂의 적절한 구성에 의해 루프(210) 내에 연결될 수 있다. 회로 경로 P₁가 루프(210) 내에 연결되지 않을 때, 회로 경로 P₀가 루프(210)에 접속될 수 있다.

[0035] 이러한 예에서, 경로 P₀은 아무런 회로 소자를 포함하지 않은 것으로 도시되어 있다. 따라서, 회로 경로 P₁가 루프(210) 내에 연결될 때 전파 지연을 도입하는 회로 소자를 포함할 수 있지만, 회로 P₀은 아무런 지연을 도입하지 않는 것으로 도시되어 있고 기준 회로 경로로서 동작할 수 있다. 루프(210)의 작용은 루프에 포함된 회로 경로 P₁에 의해 그리고 루프 내에 이러한 회로 경로 없이 측정될 수 있다. 따라서, 루프(210)의 동작에 대한 회로 경로 P₁의 효과는 루프내에 연결되는 회로 경로 P₁에 의한 측정값 및 루프내에 연결되는 회로 경로 P₀에 의한 측정값에 의해 결정될 수 있다. 이러한 측정값들 사이의 차이는 회로 경로 P₁의 효과를 나타낼 수 있다. 구체적으로, 이러한 차이는 루프 내에 스위칭 경로 P1에 의해 도입된 지연을 나타낼 수 있다.

[0036] 이러한 예에서, 경로 P₀는 아무런 회로 소자를 포함하지 않은 것으로 도시되어 있다. 경로 P₀는 기준 경로 P로서 기능하여 다른 경로에 의해 도입된 지연은 경로 P₀에 의해 도입된 지연의 양과 비교하여 측정될 수 있다. 상대 지연이 경로 P₀가 지연을 도입하는지에 관계없이 측정될 수 있다는 것을 이해해야 한다. 따라서, 기준 경로 P₀의 특정 마크업은 도 2에 도시된 지연 측정 회로의 동작에 중요하지 않다.

[0037] 도 2의 예에서, 측정되는 루프(210)의 특징은 신호가 루프(210) 둘레를 전파하는데 필요한 시간양이다. 신호는 임의의 적절한 방식으로 루프에서 시작될 수 있다. 일부 실시예에서, 펄스와 같은 신호가 도 2에 명확하게 도시되지 않은 입력 소자에 의해 루프(210) 내에 주입될 수 있다. 다른 실시예에서, 루프(210)는 임의의 분명한 입력 없이 루프(210) 내의 전자 잡음에 의해 신호가 시작될 수 있도록 본질적으로 불안정할 수 있다.

[0038] 신호가 루프에서 시작되는 방식에 관계없이, 루프(210)의 다른 부품이 이러한 신호가 루프(210) 둘레를 전파하는 것을 유지시키도록 구성될 수 있다. 이러한 예에서, 이러한 다른 부품은 지연 체인(212)을 포함한다. 지연 체인(212)은 인버터(212₁, 212₂, 212₃)으로 이루어져 있다. 3개의 인버터가 도시되어 있지만, 임의의 적절한 수의 인버터가 지연 체인(212)에 포함될 수 있음을 이해해야 한다. 또한, 인버터가 도시되어 있지만, 임의의 적절한 부품이 지연 체인(212)에 포함될 수 있음을 이해해야 한다.

[0039] 이러한 예에서, 지연 체인(212) 내의 소자는 지연 체인(212)에 입력된 신호가 반전되는 지연 체인(212)의 출력으로서, 경로 P₁의 입력부에 인가될 때 P₁이 그 최초의 출력에 대해 반전된 신호를 다시 출력하도록 하는 지연 체인(212)의 출력을 생성하도록 선택된다. 동일한 프로세스를 한번 더 반복하면 최초의 출력과 동일한 극성을 갖는 회로 경로 P₁의 출력 신호에 이를 수 있다. 이러한 프로세스는 무제한 반복될 수 있는데, 신호 및 그 역이 루프(210) 내의 임의의 특정 포인트를 주기적으로 통과하고, 주기가 상승 에지의 루프 둘레의 전파 지연 및 하강 에지의 전파 지연의 합과 동일할 수 있다. 임의의 특정 포인트에서 나타나는 신호 사이의 시간은 루프(210) 둘레의 신호의 전파 지연에 의존할 것이다.

[0040] 회로 경로 P₁이 루프(210) 내에 연결된 상태에서, 신호 사이의 주기는 기준 회로 경로 P₀가 루프(210) 내에 연결될 때보다 길어질 것이다. 기준 회로 경로 P₀가 루프에 포함될 때에 대한 경로 P₁이 루프에 포함될 때의 신호의 주기의 변화를 측정함으로써, 루프 내로의 스위칭 회로 경로 P₁와 연관된 지연의 증가가 결정될 수 있다.

[0041] 지연의 양은 루프(210)를 통과하는 신호의 주기의 증가와 관련될 것이다. 이러한 주기를 측정하기 위해 도 2의 교정 회로는 주기 카운터(220)를 포함한다. 주기 카운터(220)는 임의의 적절한 방법으로 구현될 수 있다. 이러한 예에서, 주기 카운터(220)는 지연 체인(212)을 떠나는 신호에 의해 클럭킹되는 카운터이다. 이러한 주기를 결정하기 위해, 이러한 카운터는 공지된 시간 간격에 대해 작동될 수 있다. 계산된 신호의 수에 의해 나누어지는 이러한 간격은 루프(210) 둘레를 통과하는 신호 사이의 시간을 표시한다.

[0042] 지연 체인(212)은 회로 경로 P₁을 나와 지연 체인(212)에 입력되는 신호가 회로 경로 P₁에 인가되어 신호를 재생성하도록 할 수 있는 지연 체인(212)의 출력을 유발하도록 보장하기 위해 임의의 적절한 방법으로 구성될 수 있다. 설명된 실시예에서, 지연 체인(212)은 홀수의 인버터 소자를 포함한다. 이러한 구성은 회로 경로 P₁의 출

력을 반전하는 회로 경로 P_1 로의 입력을 반전한다. 이러한 동작은 회로 경로 P_1 이 반전된 입력에 응답하여 신호의 비반전된 버전을 출력하는 경우에 적절할 수 있다. 하지만, 지연 체인(212)은 임의의 적절한 구성을 가질 수 있고 특정 구성이 회로 경로 P_1 의 동작에 기초하여 선택될 수 있다는 것을 이해해야 한다.

[0043] 이러한 교정 동작은 임의의 적절한 회로에 의해 제어될 수 있다. 이러한 예에서, 교정 프로세서(230)가 도시되어 있다. 교정 프로세서(230)은 자동 검사 시스템에 통합된 회로 부품을 나타낼 수 있다. 대안으로 또는 추가로, 교정 프로세서(230)는 검사 시스템(100)(도 1a)와 같은 검사 시스템을 작동시키도록 프로그램화된 범용 컴퓨터의 일부로서 구현될 수 있다.

[0044] 교정 프로세서(230)의 특정 구현에 관계없이, 교정 프로세서(230)는 루프(210)에서 발견하는 신호의 주기를 측정하기 위해 기준 경로 P_0 를 루프(210) 내로 접속하고 주기 카운터(220)를 제어하도록 동작할 수 있다. 교정 프로세서(230)는 이러한 값을 포착한 후에 스위치 S_1 및 스위치 S_2 를 동작시켜 기준 경로 P_0 를 루프(210)로부터 분리하고 회로 경로 P_1 를 루프(210) 내에 접속할 수 있다. 그다음, 교정 프로세서(230)는 주기 카운터(220)의 출력을 다시 판독할 수 있다. 루프(210)내에 기준 경로 P_0 와 회로 경로 P_1 가 있는 경우에 대해 주기 카운터(220)의 출력을 비교함으로써, 교정 프로세서(230)는 회로 경로 P_1 와 연관된, 지연의 기준량에 대한, 지연량을 결정할 수 있다. 교정 프로세서(230)는 이러한 계산된 지연량에 기초하여, 회로 경로 P_1 에 대한 하나 이상의 교정 값을 결정한다. 교정 프로세서(230)는 이러한 교정 값을 계산하도록 프로그램화될 수 있어서, 회로 경로 P_1 에 인가될 때, 회로 경로 P_1 동안의 지연이 임의의 공칭 값을 달성할 수 있다. 교정 프로세서(230)는 측정된 지연값이 공칭 값과 같을 때까지 교정 프로세서(230)가 상이한 교정 값을 회로 경로 P_1 에 프로그램화하는 반복 공정을 포함하는 임의의 적절한 방식으로 교정 값을 계산할 수 있다.

[0045] 도 2에 명확하게 도시되어 있지 않지만, 교정 회로는 루프(210) 내에 다수의 회로 경로를 접속하도록 구성될 수 있다. 교정 처리는 모든 회로 경로에서 동일한 지연을 달성하도록 각 경로에 대한 교정 값을 설정하는 단계를 수반할 수 있다. 이러한 방식으로, 회로 경로중 상이한 경로에서 전파 지연에 상이하게 영향을 줄 수도 있는 상이한 전파 지연, 스위칭 속도 또는 다른 효과에 대해 보상할 수 있다.

[0046] 도 2의 교정 회로는 종래의 교정 기술을 사용한다. 본 발명자는 도 2의 회로를 적용함으로써, 예지에 민감한 지연이 측정될 수 있다는 것을 인식하고 이해하였다. 이러한 측정에 의해, 예지에 민감한 교정이 실행될 수 있다. 도 3은 예지에 민감한 지연 측정 및 예지에 민감한 교정을 위해 구성된 교정 회로의 실시예를 도시하고 있다.

[0047] 도 3의 교정 회로는 마찬가지로, 기준 회로 경로 P_0 및 이러한 기준 회로 경로 P_0 에 대해 지연이 측정될 수 있는 회로 경로 P_1 를 포함하고 있다. 이러한 경로중 하나는 스위치 S_1 및 스위치 S_2 의 동작에 의해 루프(310)에 연결될 수 있다. 도 3의 교정 회로는 마찬가지로 신호가 반복적으로 루프(310) 둘레에 전파하도록 함으로써 동작한다. 이에 따라, 회로 경로 P_1 의 상대 지연은 루프(310) 둘레로 전파하는 신호의 주기를 결정함으로써 측정될 수 있다. 이에 따라, 주기 카운터(220)가 루프(310)에 결합될 수 있다. 주기 카운터(220)의 출력은 교정 프로세서(330)에 의해 판독될 수 있다. 교정 프로세서(230)와 같이, 교정 프로세서(330)는 하나 이상의 회로 경로 동안의 지연을 측정하고 해당 회로 경로에 인가할 교정 값을 결정하여 회로의 지연을 달성하도록 프로그램화될 수 있다. 이러한 프로세스는 다수의 회로 경로 동안의 지연을 같게 하기 위해 다수의 회로 경로에 대해 실행될 수 있다.

[0048] 그러나, 도 2에 도시된 구성 회로에 대조적으로, 교정 프로세서(330)는 회로 경로 P_1 를 전파하는 특정 타입의 예지의 지연을 설정하는 교정 값을 결정하도록 구성될 수 있다. 예를 들어, 교정 프로세서(330)는 회로 경로 P_1 를 전파하는 상승 예지와 연관된 지연을 결정할 수 있다. 다른 시나리오에서, 교정 프로세서(330)는 회로 경로 P_1 를 전파하는 하강 예지의 예지를 교정하도록 교정 값을 설정할 수 있다. 또 다른 가능성으로서, 교정 프로세서(330)는 회로 경로 P_1 를 전파하는 상승 예지 및 하강 예지와 연관된 지연을 별개로 측정하고 교정 값을 설정하여 상승 예지 및 하강 예지의 각각에 대해 회로의 전파 지연을 달성할 수 있다. 동일한 처리가 다른 회로 경로에 대해 반복될 수 있어서, 다수의 회로 경로의 예지에 민감한 교정이 이루어진다.

[0049] 도시된 실시예에서, 교정 프로세서(330)는 루프(310) 내의 예지 트리거 소자의 통합을 통해 예지에 민감한 지연

을 측정하도록 작동된다. 이러한 에지 트리거 소자는 그 입력부에서의 트리거 에지에 응답한다. 이러한 트리거 에지는 상승 에지 또는 하강 에지일 수 있다. 일부 실시예에서, 원 숫 트리거 소자(312)가 임의의 주어진 시간에, 상승 에지 또는 하강 에지에 응답하도록 구성될 수 있는데, 양측 에지에 응답하는 것은 아니다. 루프(310) 내의 이러한 에지 트리거 소자에 의해, 교정 프로세서는 상승 에지에 응답하도록 에지 트리거 소자를 구성함으로써 상승 에지 지연에 대해 회로 경로 P₁을 교정할 수 있다. 그다음, 교정 프로세서(330)는 하강 에지에 응답하도록 이러한 에지 트리거 소자를 재구성할 수 있고, 하강 에지의 전파와 연관된 지연의 교정을 위한 지연 측정을 반복한다.

[0050] 도 3의 예에서, 루프(310) 내의 에지 트리거 소자는 원 숫 에지 트리거 소자(312)이다. 그 입력부에서 트리거 에지를 수신하는 것에 응답하여, 원 숫 에지 트리거 소자(312)는 그 출력부에서 펄스를 생성할 수 있다. 이러한 펄스의 폭은 원 숫 에지 트리거 소자(312)의 설계에 의존할 수 있고 원 숫 에지 트리거 소자(312)로의 입력 신호의 포맷과 관계없을 수 있다. 루프(310)는 원 숫 에지 트리거 소자(312)에 의해 출력된 후에 회로 경로 P₁에 입력으로서 인가된 각 펄스에 의해 회로 경로 P₁이 다른 트리거 에지를 포함하는 신호를 출력하도록 구성될 수 있다. 이러한 방식으로, 원 숫 에지 트리거 소자(312)가 펄스를 반복적으로 출력하는 프로세스가 시작된다. 루프(210)에서, 이러한 펄스의 주기는 루프(310)를 구성하는 소자를 통한 지연에 의존할 수 있다.

[0051] 원 숫 에지 트리거 소자(312)는 임의의 적절한 방식으로 구성될 수 있다. 그러나, 본 발명자는 전통적인 원 숫 회로가 처음에 존재한 루프 신호가 사라지는데 이를 수 있고 수정된 SR 플립플롭 설계에 기초한 구현이 일부 실시예에서 바람직할 수 있다는 것을 인식하고 이해하였다. SR 플립플롭은 세트 입력, S 및 리셋 입력, R을 갖고 있다. 표준 SR 플립플롭은 S 입력이 어서트(assert)될 때, 플립플롭의 출력이 어서트된다. 역으로, 리셋 입력이 어서트될 때, 출력이 디어서트(de-assert)된다. S 또는 R 입력중 어느 것도 어서트되지 않을 때, SR 플립플롭은 그 상태를 유지한다. 표준 SR 플립플롭에서, S 및 R 입력 모두를 어서트하는 것은 유효한 동작이 아니다. 따라서, S 및 R 입력이 표준 SR 플립플롭에서 동시에 어서트되면, 출력은 정확히 규정할 수 없다. 정확히 규정할 수 없는 출력의 예는 논리 하이 레벨과 논리 로우 레벨 사이에 있는 상태이다. 일반적으로, 정확히 규정할 수 없는 출력 상태는 후속 회로의 작용을 예측할 수 없도록 하는 임의의 출력 상태이다.

[0052] 도 4는 표준 SR 플립플롭의 다양한 동작 상태를 도시하고 있다. 타임라인(410)은 표준 SR 플립플롭의 S 입력에서의 신호를 도시하고 있다. 타임라인(420)은 SR 플립플롭의 R 입력에서의 신호를 도시하고 있다. 도시된 예에서, 에지(412)는 S 입력이 어서트된 시간을 나타낸다. 따라서, 타임라인(430)에 도시된 출력은 어서트되는 S 입력에 응답하여 출력이 세트되는 것을 나타내는 상응하는 에지(432)를 갖고 있다.

[0053] 이와 대조적으로, 에지(422)는 R 입력이 어서트되는 시간의 시작을 나타낸다. 따라서, 출력은 하강 에지(434)를 갖고 있고, 이는 어서트되는 R 입력에 응답하여 디어서트되는 것을 나타낸다.

[0054] 타임라인(440)은 S 및 R 입력의 트리거 에지에 응답하여 출력이 세트되거나 리셋되는 참된 에지 트리거 SR 플립플롭에 대한 희망 작용을 나타내고 있다. 참된 SR 트리거되는 플립플롭에서의 출력은 S 또는 R 신호 어느 하나의 최신 트리거 에지에 응답할 수 있다. 최신 트리거 에지가 세트 입력에서 발생할 때, 참된 SR 트리거되는 플립플롭의 출력은 세트될 것이다. 최신 트리거 에지가 R 입력에 있다면, 참된 SR 에지 트리거 플립플롭의 출력은 리셋될 것이다.

[0055] 타임라인(440)은 S 및 R 입력 각각에서의 트리거 에지(412, 422)에 응답한 작용을 도시하고 있다. 타임라인(440)에 도시된 참된 SR 에지 트리거 플립플롭의 출력은 S 입력에서의 상승 에지(412)에 응답하여 일어나는 에지(442)에 의해 표시된 바와 같이 어서트된다. 참된 SR 에지 트리거 플립플롭의 출력은 R 입력의 트리거 에지(422)에 응답하여 일어나는 하강 에지(444)에 의해 표시된 바와 같이, 디어서트된다. S 및 R 입력이 동시에 일어나지 않는 시나리오에서, 표준 SR 플립플롭의 출력은 참된 SR 에지 트리거 플립플롭과 동일하다. 그러나, S 및 R 입력이 동시에 어서트되면, 표준 SR 플립플롭의 동작은 참된 SR 에지 트리거 플립플롭의 것과 매치하지 않을 수 있다.

[0056] 도시된 시나리오에서, S 입력은 S 및 R 입력이 동시에 어서트되지 않도록 에지(422)에서 R 입력이 어서트되기 전에 디어서트된다. S 및 R 입력이 동시에 어서트되지 않는 한, 표준 SR 플립플롭은 출력이 S 입력 상의 상승 에지에 응답하여 어서트되고 리셋 입력 상의 상승 에지에 응답하여 디어서트되는, 에지 트리거 동작을 보여준다. S 및 R 입력이 동시에 어서트되는 S 및 R 입력의 다른 조합이 도시되어 있다. S 및 R 입력이 동시에 어서트되면, 표준 SR 플립플롭은 참된 에지 트리거 동작을 나타낼 수 없다. 도 4는 S 및 R 입력이 동시에 일어나는 시나리오를 나타내고 있다. 이러한 시나리오는 R 입력이 S 입력을 부분적으로 중첩하거나 S 입력이 R

입력을 둘러싸는 형태를 취할 수 있다. 중첩은 상승 에지(414, 424)에 관련되어 표시되어 있다.

[0057] 타임라인(410)은 S 입력이 어서트되는 에지(414)를 포함하고 있다. 타임라인(420)은 R 입력이 어서트되는 에지(424)를 포함하고 있다. 에지(422)에 대조적으로, 에지(424)는 S 입력이 아직 어서트되어 있는 시간 T_1 에서 일어난다. 따라서, 표준 SR 플립플롭의 출력이 타임라인(430)에 도시된 바와 같이 어서트되어 있는 S 입력에 응답하여 에지(436)를 갖고 있지만, 표준 SR 플립플롭은 R 입력이 어서트되는 시간 T_1 까지만 이러한 상태를 유지할 수 있다. 시간 T_1 에서, 시간 T_2 까지, S 및 R 입력 모두가 어서트된다. 따라서, 표준 SR 플립플롭의 출력은 시간 T_1 과 시간 T_2 사이에서 정확히 규정할 수 없다. 하지만, 시간 T_2 에서, R 입력이 시간 T_2 에서 어서트된 상태로 남지만 S 입력은 디어서트되기 때문에 출력이 리세트한다.

[0058] 타임라인(440)은 타임라인(410 및 420)에 도시된 부분적으로 중첩된 S 및 R 입력에 정확하게 응답하는 종래의 SR 플립플롭의 출력을 나타낸다. 이러한 래치는 여기에 언급되어 통합된 R. A. Sartschev에 의한 특허 US 6,291,981 B1에 개시되어 있다. S 입력에서의 트리거 에지(414)에 응답하여, 참된 SR 에지 트리거 플립플롭의 출력은 상승 에지(446)를 보여준다. 종래의 SR 플립플롭의 출력은 이러한 예에서 트리거 에지(424)로 표시된, R 입력에서의 그다음 트리거 에지까지 어서트된 상태로 남는다. 따라서, 종래 SR 플립플롭의 출력은 R 입력에서의 트리거 에지(424)에 응답하여 시간 T_1 에서 디어서트된다.

[0059] 타임라인(450)은 종래 SR 플립플롭의 작용과 유사한, 타임라인(410 및 420)에 도시된 중첩하는 S 및 R 입력에 응답하는 참된 SR 에지 트리거 플립플롭의 희망의 작용을 나타내고 있다. S 입력에서의 트리거 에지(414)에 응답하여, 참된 SR 에지 트리거 플립플롭의 출력은 상승 에지(456)를 보여주고 있다. 참된 SR 에지 트리거 플립플롭의 출력은 본 예에서 트리거 에지(424)로 표시된, R 입력에서의 그다음 트리거 에지까지 어서트된 상태로 남는다. 따라서, 참된 SR 에지 트리거 플립플롭의 출력은 R 입력에서의 트리거 에지(424)에 응답하여 시간 T_1 에서 디어서트된다. 출력을 시간 T_1 과 시간 T_2 사이에 중첩의 기간 동안 정확히 규정할 수 없는 표준 SR 플립플롭에 대조적으로, 종래 SR 플립플롭 및 참된 SR 에지 트리거 플립플롭은 시간 T_1 과 시간 T_2 사이에 디어서트된 출력을 갖는다.

[0060] S 입력은 에지(416과 426)와 관련하여 설명된 바와 같이 R 입력을 둘러쌀 수 있다. 이러한 예에서, S 입력은 에지(416)에서 어서트되고 시간 T_5 까지 어서트된 상태로 남는다. R 입력은 에지(426)에 의해 표시된 시간 T_3 에서 어서트된다. R 입력은 시간 T_4 까지 어서트된 상태로 남는다. 둘러싸는 시나리오에서 볼 수 있는 바와 같이, 표준 SR 플립플롭 역시 플립플롭이 최신 에지에 응답하는 참된 에지 트리거 작용을 보여주지 않는다. 볼 수 있는 바와 같이, S 입력에서의 에지(416)에 응답하여, 출력은 에지(438)로 어서트된다. 이러한 작용은 출력이 최근 수신된 에지에 의존하는 참된 SR 에지 트리거 플립플롭의 작용에 상응한다. 타임라인(440 및 450) 역시 상승 에지(448 및 458)가 S 입력의 상승 에지(416)에 응답하여 어서트되는 출력을 각각 나타내는 이러한 바람직한 작용을 도시하고 있다. 종래 SR 플립플롭의 타임라인(440) 및 참된 SR 에지 트리거 플립플롭의 타임라인(450)에 도시된 바와 같이, 출력은 R 입력의 그다음 상승 에지에 응답하여 디어서트된다. 이러한 상승 에지는 시간 T_3 에서 일어나는 에지(426)로서 도시되어 있다. 따라서, 타임라인(440)은 시간 T_3 에서 디어서트되는 종래의 SR 플립플롭의 출력을 보여주고 타임라인(450)은 시간 T_3 에서 디어서트되는 참된 SR 트리거된 플립플롭의 출력을 보여준다. 이와 대조적으로, 종래의 SR 플립플롭에 있어서, 이러한 바람직한 작용은 리세트 입력이 S 입력에 의해 둘러싸여 있을 때 일어나지 않을 수 있다. 도시된 바와 같이, R 입력이 상승 에지(426)에서 어서트될 때, S 및 R 입력 모두는 시간 T_3 부터 시간 T_4 까지 어서트된다. 타임라인(440)에 도시된 바와 같이 리세트되는 것과 달리, 타임라인(430)에 도시된 바와 같이 표준 SR 플립플롭의 출력은 시간 T_3 과 시간 T_4 사이의 시간에서 정확히 규정되지 않는다.

[0061] 도 4는 표준 SR 플립플롭이 사용될 때 희망의 작용으로부터의 추가 편차를 보여준다. 시간 T_4 에서, 리세트 입력이 디어서트된다. 그러나, S 입력은 시간 T_5 까지 어서트된 상태로 남아 있다. 시간 T_4 와 시간 T_5 사이의 간격 동안, 표준 SR 플립플롭은 타임라인(430)에 도시된 바와 같이, 어서트된 출력을 가질 것이다. 그러나, 시간 T_4 에서 세트 입력의 상승 에지가 전혀 발생하지 않는다. 따라서, 타임라인(440)에 도시된 바와 같이, 참된 에지 트리거 SR 플립플롭은 시간 T_4 와 시간 T_5 사이에서 리세트 상태로 남는다.

- [0062] 종래의 SR 플립플롭은 시간 T_4 전에는 참된 에지 트리거 SR 플립플롭과 같이 작용한다. 시간 T_4 에서, 리셋 입력이 디어서트된다. 그러나, S 입력은 그 시간에 어서트되어 있고 시간 T_5 까지 어서트된 상태로 남아 있다. 표준 SR 플립플롭의 경우에서와 같이, 시간 T_4 과 시간 T_5 의 간격 동안, 종래 SR 플립플롭은 타임라인(440)에 도시된 바와 같이 어서트된 출력을 가질 것이다. 이것은 바람직한 참된 에지 트리거 작용으로부터 벗어난 것이다.
- [0063] 본 발명자는 에지 트리거 소자(312)(도 3)와 같은, 에지에 민감한 지연 측정에 사용되는 에지 트리거 소자가 타임라인(440)에 도시된 작용을 갖는 참된 SR 플립플롭에 의해 구현될 수 있다는 것을 인식하고 이해하였다. 도 5는 이러한 에지 트리거 소자를 위한 진리표이다.
- [0064] 도 5는 에지에 민감한 지연 측정 회로 내의 에지 트리거 소자의 일부로서 사용될 수 있는 참된 에지 트리거 SR 플립플롭에 대한 진리표이다. 종래의 SR 플립플롭과 같은 에지 트리거 SR 플립플롭은 S 및 R 입력을 갖고 있다. 참된 참된 SR 에지 트리거 플립플롭은 출력 Q를 갖고 있다. 도 5의 진리표는 시간 n에서의 출력 Q의 값을 보여준다. 시간 n에서의 출력 Q의 값은 Q_n 이라는 표제의 열에 표시되어 있다. 시간 n에서의 S 및 R 입력의 값은 S_n 및 R_n 이라는 표제의 열에 각각 표시되어 있다. 도 5 역시 시간 n에 앞서는 시간에 대한 입력 값을 보여준다. 시간 n에 앞서는 시간에서의 S 및 R 입력을 위한 값은 S_{n-1} 및 R_{n-1} 표제의 열에 각각 표시되어 있다. 이러한 방식으로, 시간 n 및 n-1에서 상이한 값을 갖는 S 및 R 입력에서의 변화를 설명한다. 시간 n은 최신 변화 이후이고 시간 n-1은 최신 변화 이전이고, 오직 최신 변화가 시간 n-1과 n 사이에 일어난다. 행(512, 514, 516, 518, 520, 521, 522 및 524)은 입력 S_{n-1} , R_{n-1} , S_n 및 R_n 의 상이한 결합을 나타낸다. 행(512 및 514)은 세트 및 리셋 입력이 중첩되지 않는 동작 상태를 나타낸다. 행(512)에서, S 입력은 S_n 표제의 열의 1에 의해 표시된 바와 같이 시간 n에서 어서트되고 R 입력은 일정하고 디어서트된다. 이러한 입력 조합에 응답하여, 출력은 Q_n 표제의 열의 1에 의해 표시된 바와 같이 시간 n에 어서트된다.
- [0065] 행(514)은 R 입력이 시간 n에 어서트되고 S 입력이 일정하고 디어서트될 때의 작용을 설명한다. Q_n 표제의 열의 0에 의해 볼 수 있는 바와 같이, 참된 에지 트리거 SR 플립플롭의 출력은 이러한 조합의 입력에 응답하여 디어서트된다.
- [0066] 행(516)은 시간 n에서 S 입력에 상승 에지가 존재하고 R 입력이 일정하고 어서트된 시나리오를 나타낸다. 이러한 상승 에지는 S_n 표제의 열의 1의 값 및 S_{n-1} 표제의 열의 0에 의해 알 수 있다. 어서트된 출력은 Q_n 표제의 열의 1의 값에 의해 표현되어 있다.
- [0067] 행(518)은 R 입력의 상승 에지가 시간 n에서 일어나는 시나리오를 나타낸다. 이러한 상승 에지는 R_{n-1} 표제의 열의 0 값과 비교되는 R_n 표제의 열의 1에 의해 알 수 있다. S_n 및 S_{n-1} 표제의 열 모두의 1의 값에 의해 알 수 있는 바와 같이 세트 입력에서는 아무런 에지도 발생하지 않았다. S 입력은 일정하고 어서트되어 있다.
- [0068] 행(520)은 R_n 표제의 열의 0 및 R_{n-1} 표제의 열의 1에 의해 볼 수 있는 바와 같이, R 입력이 시간 n에 디어서트되어 있는 시나리오를 나타낸다. 행(520)에 나타난 입력이 R 입력에서 시간 n에 에지를 포함하지만, 도시된 실시예에서, SR 에지 트리거 플립플롭은 상승 에지에 민감하다. 행(520)에 나타난 입력에 기초하여 시간 n에 발생하는 R 입력에서의 에지는 하강 에지이다. 따라서, 이러한 에지는 플립플롭의 상태를 리셋하지 않는다. 마찬가지로, S_n 및 S_{n-1} 표제의 열 모두의 1에 의해 알 수 있는 바와 같이, S 입력에서는 아무런 트리거 에지도 존재하지 않는다. 따라서, 시간 n에서 출력 Q_n 은 시간 n-1에서와 동일하다. 이러한 출력은 열 Q_n 에서 값 Q_{n-1} 로 표시되어 있다.
- [0069] 행(522)은 마찬가지로 R 입력의 변화가 하강 에지를 수반하기 때문에 출력 Q_n 이 Q_{n-1} 에서의 상태를 유지하도록 시간 n에서 아무런 트리거 에지가 일어나지 않는 시나리오를 나타내고 있다.
- [0070] 합성 행(524)은 마찬가지로 시간 n에서 아무런 트리거 에지가 발생하지 않는 시나리오를 나타낸다. S 및 R 입력 모두가 행(524)에 설명된 상태의 0이기 때문에 트리거 에지가 상승 에지인 이러한 예에서, 시간 n에서 출력에는 아무런 변화가 일어나지 않는다. 따라서, Q_n 의 값은 Q_n 표제의 열에 표시된 바와 같이 값 Q_{n-1} 과 동일한 값으로 남아 있다.
- [0071] 도 5의 진리표에 따라 동작하는 회로 소자는 참된 SR 에지 트리거 플립플롭의 작용을 구현할 것이다. 회로 부품의 임의의 적절한 배열이 도 5에 도시된 진리표를 달성하는 회로를 구현하기 위해 사용될 수 있다. 도 6은 회로 부품의 적절한 배열의 예를 제공한다. 이러한 예에서, 참된 에지 트리거 SR 플립플롭이 Y 래치(610), Y 래치(612) 및 Q 래치(614)와 같은 3개의 래치에 의해 구현된다. Y 래치(610)는 S 및 R 입력을 수신한다. Y 래

치(612)도 마찬가지로 S 및 R 입력을 수신한다. 그러나, R 입력은 Y 래치(612)에 인가될 때 반전된다.

- [0072] Y 래치(610) 출력 Y 및 Y 래치(612) 출력 X는 Q 래치에 인가된다. 또한, S 및 R 입력은 참된 SR 에지 트리거 플립플롭(600)의 출력 Q를 생성하기 위해 Q 래치에 의해 수신된다.
- [0073] 도 7a는 Y 래치(610) 및 Y 래치(612)의 동작에 대한 진리표이다. 도 7a의 진리표로부터 Y 래치(610) 및 Y 래치(612)가 SR 플립플롭과 같이 작동하는 것을 알 수 있다. 그러나, Y 래치(610) 및 Y 래치(612)의 출력은 S 및 R 입력이 동시에 어서트될 때도 결정된다. 도 7a에 도시된 바와 같이, 세트 및 리셋 입력 모두 어서트되면, Y 래치는 그 상태를 유지한다. 이러한 동작은 행(720)에 나타나 있다. 행(714, 716, 718)은 최대 S 및 R 입력중 하나가 어서트되는 동작 상태를 나타낸다. 이러한 행은 표준 SR 플립플롭과 동일한 동작을 나타낸다. S 입력이 어서트될 때, 출력 Y는 행(716)에 나타난 바와 같이 어서트된다. 역으로, 입력 R이 어서트될 때, 출력 Y가 행(718)에 의해 나타난 바와 같이 디어서트된다. S 및 R 입력 어떤 것도 어서트되지 않을 때, 출력 Y는 행(714)의 값 Y_{n-1} 에 의해 나타난 바와 같이 그 상태를 유지한다.
- [0074] 도 7a는 또한 동일한 행에서 S_n 및 R_n 의 표시된 값에 논리적으로 등가인 어서션(assertion)의 열을 전망에 표시하고 있는데, 여기에서, 보통, *는 논리곱 연산을 나타내고 +는 논리합 연산을 나타낸다. 이러한 Y 래치 테이블에서 아무런 특정 단순화가 명백하지 않을지라도, 이러한 통지는 Q 래치(614)에 대해 명백해지는 바와 같이, 보다 복잡한 진리표의 의미를 분명히 할 수 있다.
- [0075] 도 7b는 Q 래치(614)의 동작에 대한 진리표이다. Q 래치(614)는 표준 SR 플립플롭과 동일한 동작을 나타내지 않는다. 도 7b에 나타난 바와 같이, $S*(Xb+Yb)$, 또는 (NOT S) AND ((not X) OR (not Y))가 어서트될 때 합성 행(722)에 나타난 바와 같이 출력 Q가 어서트된다는 것을 알 수 있다. 역으로, $R*(Xb+Y)$, 또는 (NOT R) AND ((NOT X) OR (NOT Y))가 어서트될 때, 출력 Q는 합성 행(724)에 나타난 바와 같이 디어서트된다. $(Sb+Rb)*X+Sb*Rb$, 또는 (((NOT S) OR (NOT R)) AND X) OR ((NOT S) AND (NOT R))가 어서트될 때, 출력 Q는 행(726)의 값 Q_{n-1} 에 의해 표시된 바와 같이, 그 상태를 유지한다.
- [0076] 도 7a 및 도 7b의 진리표와 함께 도 6의 회로예에 의해 도 5에 도시된 완전한 진리표를 얻을 수 있고, 이는 그 동작이 참된 에지 트리거 SR 플립플롭의 동작을 나타낸다는 것을 증명한다.
- [0077] 일부 실시예에서, Y 래치는 표준 SR 플립플롭을 형성하는데 사용되는 것과 유사한 트랜지스터의 배열을 사용하여 구성될 수 있다. 이렇게 설계된 특정 회로는 행(720)에 나타난 동작 상태를 수용하도록 적용될 수 있다. 그러나, 임의의 적절한 회로 설계가 Y 래치를 구현하는데 사용될 수 있다.
- [0078] 일부 실시예에서, Q 래치는 표준 표준 SR 플립플롭 또는 Y 래치의 것과 유사하지만 보다 더 복잡한 배열의 트랜지스터를 사용하여 구성될 수 있다. 이러한 특정 회로는 행(722, 724, 726)에 나타난 동작 상태를 수용하도록 적용될 수 있다. 그러나, 임의의 적절한 회로 설계가 Q 래치를 구현하는데 사용될 수 있다.
- [0079] 참된 에지 트리거 플립플롭이 구현되는 방법에 관계없이, 이러한 장치는 에지에 민감한 지연 측정을 위해 사용될 수 있다. 도 8은 참된 SR 에지 트리거 플립플롭을 사용하여 에지에 민감한 지연을 측정하기 위한 회로를 도시하고 있다. 도 8의 회로는 임의의 하나 이상의 회로 경로의 지연을 측정하도록 사용될 수 있다. 도시된 실시예에서, 회로 경로 $P_0...P_N$ 이 도시되어 있다. 회로 경로 P_0 는 기준 회로 경로를 나타낼 수 있다. 회로 경로 $P_1...P_N$ 과 같은 다른 회로 경로는 회로 경로 사이의 에지에 민감한 지연의 차이를 제거하도록 교정되는 회로 경로를 나타낼 수 있다.
- [0080] 회로 경로 $P_1...P_N$ 의 특정 기능은 도 8의 회로가 적용되는 전자 시스템의 성질에 의존할 수 있다. 예를 들어, 검사 시스템(100)(도 1a)와 함께 적용되는 경우에, 회로 경로 $P_1...P_N$ 의 각각은 자동 검사 시스템의 채널 내의 회로의 일부를 나타낼 수 있다. 예를 들어, 회로 경로 $P_1...P_N$ 에 의해 나타난 부분은 도 1b에 도시된 바와 같은 공통 패턴 생성기에 의해 제어되는 디지털 채널의 부분이다. 그러나, 회로 경로 $P_1...P_N$ 의 이러한 특정 구조 또는 기능이 본 발명에 핵심이 아니고, 에지에 민감한 지연 측정 및 교정이 임의의 적절한 타입의 회로 경로에 의해 채용될 수 있음을 이해해야 한다. 도 3의 실시예에 있어서, 지연이 측정될 경로는 루프(810) 내에 선택적으로 연결될 수 있다. 도 8에 도시된 예에서, 디멀티플렉서(822)와 멀티플렉서(824)에 의해 연결이 이루어진다. 회로 경로 $P_1...P_N$ 중 어느 것이 루프(810)에 접속될 지를 제어하기 위해 제어 신호 `rlf_pre_select` 및 `rlf_post_select`가 디멀티플렉서(822) 및 멀티플렉서(824)에 각각 인가될 수 있다. 제어 신호 `rlf_pre_select` 및 `rlf_post_select`는 교정 프로세서(330)(도 3)와 같은 임의의 적절한 부품에 의해 생성될 수 있다. 이러한

제어 신호는 디멀티플렉서(822) 및 멀티플렉서(824)가 회로 경로 $P_0 \dots P_N$ 중 하나를 유일하게 선택하도록 구성될 수 있다.

- [0081] 루프(810)는 원 숫 에지 트리거 소자(812)가 루프(810)에 포함되도록 구성될 수 있다. 탄력적으로, 도 8에 도시된 회로는 원 숫 에지 트리거 소자(812)가 루프(810)에 포함되는지 및 심지어 루프(810)가 형성되는지 여부를 제어하는 부품을 포함하고 있다. 루프가 형성될지를 제어하는 하나의 부품은 AND 게이트(826)이다.
- [0082] AND 게이트(826)은 입력 rlf_en에 기초하여 루프(810)를 선택적으로 형성할 수 있다. AND 게이트(826)의 제1 입력부에 결합된 신호 rlf_en가 어서트될 때, AND 게이트(826)의 출력은 AND 게이트(826)의 제2 입력부에 인가되는 신호의 값에 의존할 것이다. AND 게이트(826)의 제2 입력부에서의 신호가 어서트되면, AND 게이트(826)의 출력 역시 어서트될 것이다. 역으로, AND 게이트(826)의 제2 입력부에서의 신호가 어서트되지 않으면, AND 게이트(826)의 출력도 마찬가지로 어서트되지 않을 것이다. 이러한 방식으로, AND 게이트(826)는 신호 rlf_en가 어서트될 때 AND 게이트(826)의 제2 입력부에서의 신호를 통과시킬 것이다.
- [0083] 신호 rlf_en가 어서트되지 않으면, AND 게이트(826)의 출력은 AND 게이트(826)로의 제2 입력부에서의 신호의 상태에 관계없이, 디어서트된 상태로 남게 될 것이다.
- [0084] 이러한 방식으로, AND 게이트(826)는 신호 rlf_en가 어서트될 때 루프(810)를 허용하도록 멀티플렉서(824)의 출력을 선택적으로 통과시킬 것이다. rlf_en가 어서트되지 않을 때 아무런 신호도 전파되지 않을 것이다.
- [0085] 신호 rlf_en는 교정 프로세서(330)(도 3)와 같은 임의의 적절한 부품에 의해 제어될 수 있다. 교정 프로세서(330)는 도 8의 회로가 지연 측정에 사용되는 동안 rlf_en를 어서트할 수 있다. 지연 측정에 사용되지 않을 때, 신호 rlf_en는 디어서트되어, 신호가 루프(810)에 형성되는 것을 방지하는데, 이러한 신호는 도 8의 회로가 포함되는 전자 장치의 다른 소자를 간섭할 수도 있다.
- [0086] 도 8은 또한 도 8의 회로가 에지에 민감한 지연 측정 또는 종래의 지연 측정을 제공하는지를 결정하기 위해 사용될 수 있는 부품 및 제어 신호를 도시하고 있다. 이러한 예에서, 루프(810)는 멀티플렉서(828)를 포함하고 있다. 멀티플렉서(828)는 루프(810)에 전파되는 신호를 선택하도록 구성되어 있다. 도시된 시나리오에서, 멀티플렉서(828)는 에지 트리거 소자(812)의 출력과 경로(814)를 따른 신호 사이에 선택한다. 멀티플렉서(828)가 에지 트리거 소자(812)의 출력을 선택하도록 제어될 때, 도 8의 회로는 에지 트리거 소자(812)에 대한 트리거 에지와 동기화되는 시간에 신호가 루프(812)를 전파하도록 구성될 것이다. 따라서, 멀티플렉서(828)의 동작에 의해, 루프(810)는 에지에 민감한 지연 측정을 제공하는 루프(310)(도 3)의 구성과 유사한 구성을 가질 수 있다.
- [0087] 역으로, 멀티플렉서(828)가 경로(814)를 선택할 때, 루프(810)를 전파하는 신호의 일부 지연은 경로(814)를 따라 생성될 수 있다. 또한, 루프(810)는 반전 입력을 갖는 디멀티플렉서(822)에 의해 유발된 반전을 가질 것이다. 따라서, 멀티플렉서(828)가 그 입력으로서 경로(814)를 선택할 때, 루프(810)는 루프(210)(도 2)와 유사한 구성을 가질 수 있다. 이러한 루프는 종래 시스템에서와 같이, 상승 에지에 대한 지연 및 하강 에지에 대한 지연의 합과 동일한 지연, 그래서 상승 에지 및 하강 에지의 평균 지연의 두배를 측정하도록 구성되어 있다.
- [0088] 이러한 방식으로, 멀티플렉서(828)의 제어에 의해, 도 8의 회로는 종래의 지연 측정을 수행하도록 구성될 수 있거나 에지에 민감한 지연 측정을 수행하도록 구성될 수 있다. 에지에 민감한 지연 측정을 위해, 에지 트리거 소자(812)가 루프에 포함되어 있다. 종래의 지연 측정을 위해, 에지 트리거 소자(812)가 사용되지 않는다. 따라서, 도 8은 에지 트리거 소자(812)가 루프(810)에 포함되는지를 제어하기 위해 멀티플렉서(828)에 인가되는 제어 신호가 에지 트리거 소자(812)가 전력을 수신하는지에 대해서도 제어한다는 것을 도시하고 있다. 도시된 바와 같이, 제어 신호 rlf_edge_en는 멀티플렉서(828)가 루프(810)에 포함되기 위한 회로 경로(814)를 선택할 때 에지 트리거 소자(812)로의 전력을 억제하도록 구성되어 있다. 이러한 기능은 옵션이지만, 도 8의 회로를 통합하는 전자 장치에 의해 소비되는 전력을 감소시킬 수 있고 전자 장치의 다른 부분의 동작을 간섭할 수도 있는 잡음의 생성을 감소시킬 수 있다. 신호 rlf_edge_en는 임의의 적절한 방식으로 제공될 수 있다. 하지만, 일부 실시예에서, 제어 신호 rlf_edge_en는 교정 프로세서(330)(도 3)와 같은 교정 프로세서에 의해 제공될 수 있다. 간소화를 위해 다른 전력 감소 옵션이 도 8에 도시되어 있지 않지만 다른 옵션이 활성화될 때 회로의 기본 동작을 변경하지 않고 추가될 수 있다.
- [0089] 에지 트리거 소자(812)는 임의의 적절한 방식으로 구현될 수 있다. 도시된 실시예에서, 에지 트리거 소자는 참된 RS 에지 트리거 플립플롭(832)을 포함하고 있다. 참된 RS 에지 트리거 플립플롭(832)은 도 5에 도시된 바와 같은 진리표를 구현할 수 있다. 이러한 부품은 도 6에 도시된 회로 구조에 의해 구현될 수 있다. 그러나, 임

의 적절한 예지 트리거 소자가 사용될 수 있다. RS 예지 트리거 플립플롭(832)의 예에서 R 및 S 입력을 포함한다. 회로 부품은 플립플롭(832)과 함께 사용될 수 있어서 그 동작을 제어할 수 있다. AND 게이트(836, 838)가 R 및 S 입력부에 각각 접속되어 있다. AND 게이트(836, 838)은 신호가 R 및 S 입력부에 인가되는 것을 선택적으로 허용하거나 차단하도록 제어될 수 있다. 도 8의 예에서, 제어 신호 rlf_edge_start가 AND 게이트(836, 838)의 각각으로의 입력으로서 제공된다. 신호 rlf_edge_start가 어서트될 때, AND 게이트(836, 838)가 AND 게이트(836, 838)의 각각의 다른 입력부에 인가되는 모든 신호를 통과시킬 것이다. 역으로, 제어 신호 rlf_edge_start가 디어서트될 때, AND 게이트(836, 838)는 AND 게이트(836, 838)의 출력을 디어서트된 상태로 유지할 것이다. 따라서, 아무런 예지도 참된 RS 예지 트리거 플립플롭(832)의 R 및 S 입력부에 결합되지 않을 것이고, 참된 RS 예지 트리거 플립플롭(832)은 상태를 변경하지 않아, 효과적으로 예지 트리거 소자(812)가 임의의 출력을 생성하는 것을 차단할 것이다.

[0090] 또한, 억제 목적을 위해 2개의 AND 게이트를 사용하면 rlf_edge_start가 어서트될 때 양호하게 정의된 초기 상태 (S,R)=(0,0)를 생성할 수 있다. 특별히 예지 트리거 원 솟(812)가 막 전력이 공급된 경우에, Q의 초기 상태가 알려지지 않을 수 있다는 것에 주목해야 한다. 따라서, 시스템이 일단 이네이블되고 외부 루프 선택이 이루어졌다고 가정하면, Q의 초기 상태에 의존하는, 입력 S 및 R중 하나만이 어서트될 것이다. 이것은 입력부 R로 돌아가는 경로 834가 측정될 외부 지연을 수반하는 입력 S로 돌아가는 루프 보다 짧은 지연을 갖는 경우에 (S,R,Q) = (1,0,0)로 진전할 수도 있는 바람직하지 않은 초기 상태 (S,R,Q) = (1,1,0)를 회피하게 된다. 상태 (S,R,Q) = (1,0,0)은 주기적 신호에 이르지 않는 플립플롭(832)의 안정 상태이다.

[0091] 도 8에 도시된 실시예에서, 예지 트리거 소자(812)는 원 솟 예지 트리거 소자이다. 예지 트리거 소자(812)로의 입력부에 인가되는 트리거 예지에 응답하여, 예지 트리거 소자(812)의 출력은 이러한 입력부의 트리거 예지와 동기화된 유사한 트리거 예지를 갖는 펄스가 될 것이다. 이러한 펄스는 원 솟 예지 트리거 소자(812)의 동작에 의해 달성되는 기간을 가질 것이다. 도 8에 도시된 실시예에서, 고정된 기간의 펄스는 참된 RS 예지 트리거 플립플롭(832)의 출력부 및 R 입력부 사이의 피드백 경로의 지연 소자(834)에 의해 생성된다. 도시된 실시예에서, 참된 RS 예지 트리거 플립플롭(832)은 상승 예지에 트리거된다. 따라서, S 입력부에 인가된 상승 예지는 출력 Q가 어서트되는 결과를 초래할 것이다. 이러한 어서트된 값은 지연 소자(834)를 전파하여 R 입력부에 상승 예지를 제공할 것이다. R 입력부에서의 상승 예지는 출력 Q를 디어서트할 것이다. 플립플롭(832)가 참된 RS 예지 트리거 플립플롭(832)이기 때문에, 출력 Q는 S 입력부의 상태에 관계없이 R 입력부에서의 트리거 예지의 수신시에 디어서트될 것이다. 이러한 R 입력은 지연 소자(834)의 양에 의해 결정되는 S 입력부에서의 트리거 예지 이후의 시간의 양 뒤에 수신될 것이다. 따라서, 지연 소자(834)에 의해 도입된 지연의 양은 참된 RS 예지 트리거 플립플롭(832)의 S 입력부에서의 상승 예지에 응답하여 Q 출력부에서의 펄스의 폭을 제어한다.

[0092] 임의의 적절한 양의 지연이 임의의 적절한 방법으로 지연 소자(834)에 의해 도입될 수 있다. 일부 실시예에서, 지연 소자(834)는 지연 체인(212)(도 2)와 유사한 적은 수의 논리 게이트, 또는 아무런 네트 반전이 없는, 지연을 도입하는 다른 회로로 구성될 수 있다.

[0093] 도시된 실시예에서, RS 예지 트리거 플립플롭(832)은 그 S 입력부에 인가되는 상승 예지에서 트리거된다. 그러나, 예지 트리거 소자(812)는 임의의 적절한 트리거 예지에 응답하여 제어될 수 있다. 이러한 트리거 예지는 상승 예지 또는 하강 예지일 수 있다. 또한, 예지 트리거 소자(812)가 구성가능하기 때문에, 때로 상승 예지에 그리고 다른 때는 하강 예지에 응답하도록 구성될 수 있다. 이러한 기능에 의해 동일한 회로가 상승 예지 또는 하강 예지 또는 모두와 연관된 예지에 민감한 지연을 측정하여서 교정하는데 사용될 수 있다.

[0094] 예지 트리거 소자(812)에 대한 트리거 예지의 극성의 제어는 제어 신호 rlf_edge_pol를 통해 달성될 수 있다. 도시된 실시예에서, 신호 rlf_edge_pol가 디어서트될 때, 예지 트리거 소자(812)의 입력부에서의 상승 예지는 XOR 게이트(842)를 통해 참된 RS 예지 트리거 플립플롭(832)의 S 입력부에 상승 예지로서 결합된다. 이러한 상태에서, 예지 트리거 소자(812)는 상승 예지에 응답한다. 역으로, 제어 신호 rlf_edge_pol가 어서트될 때, XOR 게이트(842)는 예지 트리거 소자(812)로의 입력을 반전하도록 동작한다. 따라서, 예지 트리거 소자(812)의 입력부에서의 하강 예지는 참된 RS 예지 트리거 플립플롭(832)의 S 입력부에 상승 예지로서 결합되지만, 예지 트리거 소자(812)의 입력부에서의 상승 예지는 하강 예지로서 결합된다. 이러한 방식으로, 참된 RS 예지 트리거 플립플롭(832)은 예지 트리거 소자(812)의 입력부에서의 하강 예지에 응답한다.

[0095] 유사한 극성 반전이 참된 RS 예지 트리거 플립플롭(832)의 출력부에서 일어난다. 제어 신호 rlf_edge_pol가 디어서트될 때, XOR 게이트(844)는 참된 RS 예지 트리거 플립플롭(832)의 출력부에 결합된다. 이에 따라, 참된

RS 에지 트리거 플립플롭(832)의 Q 출력에서의 상승 에지는 에지 트리거된 소자(812)의 출력부에서 상승 에지로서 나타난다. 역으로, 제어 신호 rlf_edge_pol가 어서트될 때, XOR 게이트(844)는 참된 RS 에지 트리거 플립플롭(832)의 출력 Q에서의 값을 반전한다. 이러한 방식으로, 에지 트리거된 소자(812)에 대한 트리거 에지로서 동작하는 하강 에지와 동기화되어 하강 에지가 생성된다. 이러한 하강 에지는 그다음 루프(810)에 다시 결합된다.

[0096] 루프(810) 내의 부품이 구성되는 방식에 관계없이, 신호는 루프(810)에 전파하여 루프(810) 둘레의 신호의 각 통과에 대해 노드(850)에서의 상태를 변경한다. 도 2 및 도 3에 관련하여 상술된 바와 같이, 이러한 통과 사이의 시간은 루프(810) 내의 전체 지연에 의존한다. 이에 따라, 노드(850)에서 검출된 신호 사이의 주기는 회로 경로 $P_0 \dots P_N$ 중 하나에 의해 루프(810) 내에 도입되는 지연의 양을 표시한다. 이러한 시간차는 임의의 적절한 방식으로 측정될 수 있다. 일부 실시예에서, 주기 카운터(220)(도 3)와 같은 주기 카운터가 사용될 수 있다.

[0097] 하지만, 주파수를 측정할 수 있는 임의의 소자가 역시 루프(810)를 전파하는 신호의 연속 통과 사이의 주기를 측정하는데 사용될 수 있도록 주기와 주파수 사이에 관계가 존재함을 이해해야 한다. 따라서, 도 8은 노드(850)가 주파수 카운터에 결합되어 있음을 도시하고 있다. 하지만, 루프(810) 둘레의 신호의 전파 시간을 직접 또는 간접적으로 측정하는 임의의 부품이 노드(850)에, 또는 도 8에 도시된 회로 내의 임의의 다른 적절한 노드에 결합될 수 있음을 이해해야 한다.

[0098] 이러한 방식으로, 도 8에 도시된 회로는 전자 장치에서 교정 시스템의 일부로서 사용될 수 있다. 도 8에 도시된 제어 신호는 교정 프로세서(330)(도 3)와 같은 교정 프로세서 또는 임의의 다른 적절한 부품에 의해 생성될 수 있다. 이러한 교정 프로세서는 기준 경로 P_0 및 다른 경로 $P_1 \dots P_N$ 의 각각에서 에지에 민감한 지연을 측정하도록 신호를 생성할 수 있다. 이러한 교정 프로세서는 측정된 전파 지연의 차이에 기초하여, 회로 경로 $P_1 \dots P_N$ 의 각각에 대한 교정 값을 선택할 수 있다. 이렇게 선택된 값은 상승 에지 또는 하강 에지의 어느 하나, 또는 양측을 위한 에지에 민감한 지연에 대해 조정할 수 있다. 그다음, 이러한 교정 값은 도 3와 관련하여 상술된 바와 같이 회로 경로에 인가될 수 있다. 하지만, 상술된 바와 같이, 도 8의 회로 역시 종래의 지연 측정 기술을 사용하여 회로 경로 $P_0 \dots P_N$ 동안의 지연을 측정하도록 제어될 수 있다. 이에 따라, 교정 프로세서는 회로 경로 동안의, 특정 에지에 구속되지 않은, 평균 지연을 대안으로 또는 추가적으로 측정하고 도 2와 관련하여 상술된 바와 같이 이러한 지연에 대해 조정하도록 구성될 수 있다. 이러한 방식으로, 실질적인 융통성이 회로 경로 내의 지연을 교정하는데 있어 제공될 수 있다. 이러한 융통성에 의해 여기에 기술된 바와 같은 지연 측정 및 교정 기술은 많은 형태의 시스템에 적용될 수 있다. 예를 들어, 여기에 기술된 바와 같은 교정 기술은 반도체 장치를 위한 제조 공정에 사용될 수 있다. 타이밍 부정확성이 실제로 사양에 따라 동작하고 있지만 부적절하게 동작하고 있는 것으로 분류되는 반도체 장치의 수를 증가시키기 때문에, 타이밍 정확성은 시스템 검사 장치에서 이들의 제조 동안 매우 유익할 수 있다. 예를 들어, 예측된 응답이 대략 예측된 시간에 검출되었음에도 불구하고 검사 시스템이 반도체 장치를 고장 또는 문제가 되는 것으로 표시할 수 있는 경우, 응답이 일어난 실제 시간이 장치 사양에 있어서 허용된 시간의 창 안에 있는지를 정확하게 결정할 수 없는 경우에 유익할 수 있다. 예측된 응답의 측정된 시간이 검사 시스템의 타이밍 정확도 보다 허용된 창의 끝에 가까울 때, 장치는 고장으로 표시될 수 있다.

[0099] 보다 양호한 교정에 의해 달성될 수 있는 보다 양호한 타이밍 정확도에 의해 이러한 종류에 들어가는 장치의 수를 줄일 수 있다. 보다 양호한 교정이 반도체 장치의 제조의 일부로서 사용되는 자동 검사 기기를 교정하는데 기술이 사용될 수 있는 여기에 상술된 바와 같은 에지에 민감한 교정의 방법에 의해 제공될 수 있다. 그다음, 제조 공정의 작동이 검사 결과에 기초하여 조건적으로 수행될 수 있다.

[0100] 이러한 조건적 작동은 개별적인 장치와 관련될 수 있거나 전체적으로 제조 공정과 관련될 수 있다. 예를 들어, 검사 결과는 때로 개별적인 장치를 "통에 넣기(bin)" 위해 제공 공정에서 사용된다. 일부 시나리오에서, 양호한 장치 또는 불량한 장치에 상응하는 2개의 통이 제공될 수 있다. 모든 검사를 통과하는 장치는 양호한 통에 할당될 수 있고, 이들을 장치 패키지에 밀봉하고 소비자에게 배송되기 위해 준비되는 것과 같이 추가 처리될 수 있다. 역으로, 하나 이상의 검사에 실패한 장치는 이들이 나중에 제조 과정으로부터 제거되고 버려질 수 있는 시점에서 나중에 식별되기 위해 표시될 수 있다.

[0101] 일부 시나리오에서, 다수의 레벨의 성능에 상응하는 2개 보다 많은 통이 제공될 수 있다. 예를 들어, 장치가 저주파수에서 동작될 때 모든 검사를 통과할 수 있지만 고주파수에서 동작될 때 검사에 실패할 수 있다. 이러

한 장치는 저속 통에 할당될 수 있다. 이러한 장치는 저속 장치로서 판매될 수 있도록 완전한 기능의 장치와 상이하게 패키징되고 라벨이 붙여질 수 있다. 유사한 통에 넣기 동작이 메모리 어레이를 포함하는 장치에 대해 수행될 수 있다. 검사 동안 드러난 장치 상의 메모리 어레이의 결합은 메모리 어레이의 사용가능한 크기를 제한할 수 있다. 그럼에도 불구하고, 이러한 장치는 보다 작은 메모리 어레이를 갖는 장치로서 후속 라벨 붙여지고 판매되기 위해 통에 분류되어질 수 있다.

[0102] 다른 형태의 동작 역시 검사 결과에 기초하여 조건적으로 수행될 수 있다. 예를 들어, 일부 장치는 예비 회로를 갖도록 제조된다. 검사는 고장 회로를 예비 회로로 대체함으로써 수리될 수 있는 결합을 드러낼 수 있다. 검사 결과는 장치를 변경함으로써 완전한 기능의 장치를 얻을 수 있거나, 적어도 열화된 성능 사양을 갖고 판매될 수 있는 수리소로 결합이 있지만 수리가능한 장치를 조건적으로 발송하도록 사용될 수 있다.

[0103] 검사 결과에 기초하여 조건적으로 취해진 다른 동작이 제조 공정에 전체적으로 영향을 줄 수 있다. 예를 들어, 제조 라인에서 증가하는 고장 비율을 드러내는 검사 결과는 기기의 일부가 오염되거나 조정이 필요하다는 것을 의미할 수 있다. 따라서, 검사 결과에 기초하여 취해진 조건 작동은 제조 기기의 세정 또는 조정을 포함할 수 있다.

[0104] 본 발명의 적어도 하나의 실시예의 다수의 특징을 기술할 때, 다양한 변경, 수정 및 향상이 당업자에게 용이하게 가능하다는 것을 이해할 것이다.

[0105] 예를 들어, 루프(310) 내의 원 숫 예지 트리거 소자(312)는 하나의 입력이 신호이고 다른 입력은 이러한 입력 신호의 지연되고 반전된 카피인 2-입력 AND 게이트의 전통 방식과 같은, SR 플립플롭을 포함하지 않는 방식으로 실현될 수 있다. 이것은 아무런 내부 메모리를 갖지 않는 단순한 결합 회로이다. 주지된 바와 같이, 충분히 긴 입력 펄스를 위해, 이러한 회로는 반전된 입력의 의도된 지연과 대략 동일한 폭의 출력 펄스를 생성할 수 있다. 그러나, 입력 펄스가 회로 내의 의도된 지연 보다 짧은 경우에 수정된다. 이러한 보다 짧은 입력에 대해, 출력 펄스는 의도된 지연의 폭 보다는 입력 펄스의 폭과 대략 동일한 폭을 가질 수 있다. 따라서, 짧은 펄스를 위해, 결합된 원 숫 회로는 순수한 지연과 같이 작용할 수 있다. 도 3의 회로 경로 P₁이 하강 예지 신호에 대한 것 보다 상승 예지 신호에 대해 보다 긴 지연을 갖는 경우에, 인입 펄스의 폭을 감소시킬 수 있다. 따라서, 언급된 단순한 원 숫 회로의 출력부에서의 특정 폭의 펄스는 감소된 펄스 폭을 갖고 그 입력부에 복귀할 수 있다. 다수의 왕복 후에 일관된 펄스 폭 감소에 의해 신호가 완전히 사라질 수 있다. 하지만, 이러한 결합은 펄스폭 연장 회로의 추가에 의해 제거될 수 있다. 이러한 회로는 또한 주지되어 있고, 펄스 연장량이 신호 루프 복귀 경로에서 수축하는 임의의 기대되는 펄스 보다 크기만 하다면, 회로는 희망의 지속적인 발진 신호를 유지할 수 있다. 이것은 회로의 적용의 보편성을 제한할 수 있는데, 그 이유는 측정되는 기대되는 지연에 기초하여 설계로의 적용이 요구되기 때문이다. 하지만, 이것은 측정되는 지연의 작용을 수정하는 펄스폭에 대한 충분한 지식이 얻어진 경우에 사용될 수 있다.

[0106] 다른 예로서, 상승 예지에 응답한 회로는 예지 트리거 회로의 예로서 사용되었다. 예지 트리거 회로는 트리거 예지가 상승 예지 또는 하강 예지이도록 설계될 수 있다는 것을 이해해야 한다.

[0107] 다른 예로서, 본 발명이 반도체 장치의 제조에 사용된 자동 검사 기기와 관련하여 설명되었지만, 본 발명은 이에 제한되지 않는다. 본 발명의 실시예는 임의의 적절한 타입 또는 다른 타입의 시스템의 검사 기기와 결합되어 사용될 수 있다.

[0108] 또 다른 예로서, 도 1b 및 도 2에 도시된 바와 같은 주기 카운터, 교정 프로세서 및 임의의 필요한 추가 회로 또는 그 부분은 자동 검사 기기 또는 신호 지연 경로의 교정을 필요로 하는 다른 장치의 일부인 단일 고도로 집적된 전자 회로에서 구현될 수 있다.

[0109] 이러한 변경, 수정 및 향상은 본 발명의 일부이고 본 발명의 정신 및 범위 안에 있다. 또한, 본 발명의 장점이 기술되었지만, 본 발명의 모든 실시예가 모든 기술된 장점을 포함하지 않는다는 것을 이해해야 한다. 일부 실시예는 여기에 장점으로 기술된 임의의 특징을 구현할 수 없다. 따라서, 상기 기술 및 도면은 단지 예일 뿐이다.

[0110] 본 발명의 상술된 실시예는 임의의 다수의 방법으로 구현될 수 있다. 예를 들어, 실시예는 하드웨어, 소프트웨어 또는 그 조합으로 구현될 수 있다. 소프트웨어로 제어될 때, 소프트웨어 코드는 단일 컴퓨터 또는 다수의 컴퓨터중에 분배되어, 임의의 적절한 프로세서 또는 프로세서의 집합에서 실행될 수 있다. 이러한 프로세서는 하나 이상의 프로세서가 집적 회로 부품에 있는 집적 회로로서 구현될 수 있다. 하지만, 프로세서는 임의의 적

절한 포맷으로 회로를 사용하여 제어될 수 있다.

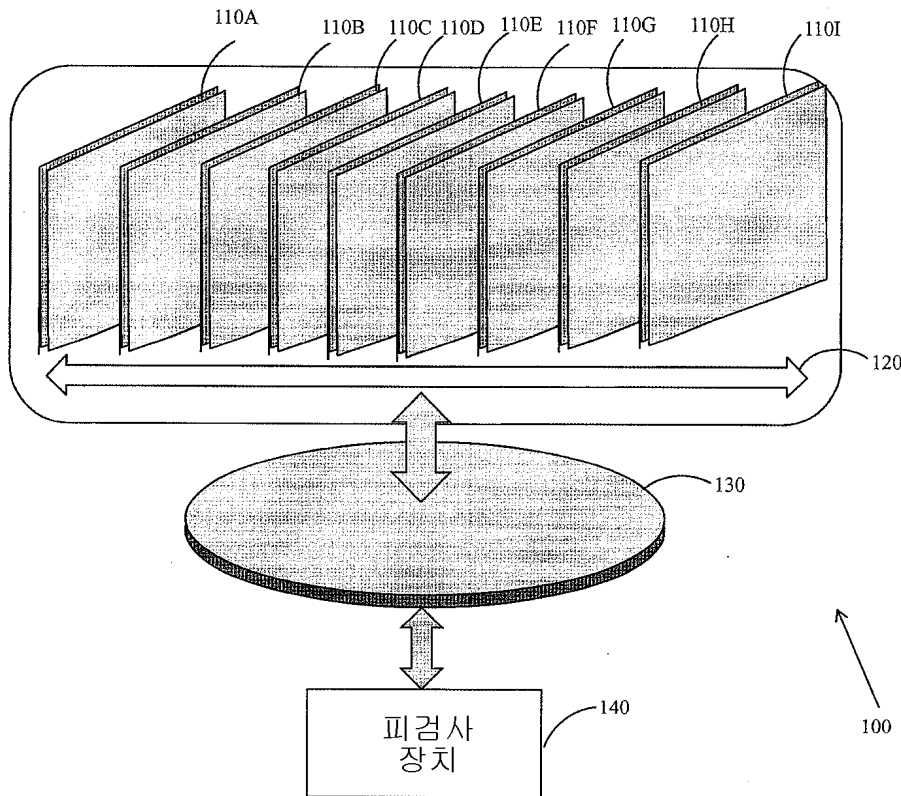
- [0111] 또한, 컴퓨터는 랩탑 컴퓨터, 데스크톱 컴퓨터, 랩톱 컴퓨터, 또는 태블릿 컴퓨터와 같이 다수의 형태중 하나로 구현될 수 있다는 것을 이해해야 한다. 또한, 컴퓨터는 퍼스널 디지털 어시스턴트(PDA), 스마트폰 또는 임의의 적절한 휴대형 또는 고정된 전자 장치를 포함하는 적절한 처리 기능을 갖지만 컴퓨터로서 보통 취급하지 않는 장치에서 구현될 수 있다.
- [0112] 또한, 컴퓨터는 하나 이상의 입력 및 출력 장치를 가질 수 있다. 이러한 장치는 다른 것들 중에, 사용자 인터페이스를 제공하도록 사용될 수 있다. 사용자 인터페이스를 제공하도록 사용될 수 있는 출력 장치의 예는 출력을 가지적으로 제공하는 프린터 또는 디스플레이 스크린 및 출력을 청각적으로 제공하는 스피커 또는 다른 사운드 생성 장치를 포함한다. 사용자 인터페이스에 사용될 수 있는 입력 장치의 예는 키보드 및 마우스, 터치패드 및 디지털이징 태블릿과 같은 포인팅 장치를 포함한다. 다른 예로서, 컴퓨터는 음성 인식 또는 다른 청각 포맷으로 입력 정보를 수신할 수 있다.
- [0113] 이러한 컴퓨터는 기업 내 네트워크 또는 인터넷과 같은 근거리 통신망 또는 원거리 통신망으로서 포함하는 하나 이상의 네트워크에 의해 임의의 적절한 형태로 상호연결될 수 있다. 이러한 네트워크는 임의의 적절한 기술에 기초할 수 있고 임의의 적절한 프로토콜에 따라 동작할 수 있고 무선 네트워크, 유선 네트워크 또는 광섬위 네트워크를 포함할 수 있다.
- [0114] 또한, 여기에 언급된 다양한 방법 또는 프로세서는 다양한 운영 체제 또는 플랫폼중 하나를 채용하는 하나 이상의 프로세서에서 실행가능한 소프트웨어에 의해 제어될 수 있다. 또한, 이러한 소프트웨어는 다수의 적절한 프로그래밍 언어 및/또는 프로그래밍 또는 스크립팅 툴중 하나를 사용하여 기록될 수 있고, 또한 프레임워크 또는 가상 기계에서 실행되는 실행가능한 기계 언어 코드 또는 중간 코드로서 컴파일링될 수 있다.
- [0115] 이러한 측면에서, 본 발명은 하나 이상의 컴퓨터 또는 다른 프로세서에서 실행될 때 상술된 본 발명의 다양한 실시예를 구현하는 방법을 실행하는 하나 이상의 프로그램에 의해 인코딩된 컴퓨터 판독가능 저장 매체(또는 다수의 컴퓨터 판독가능 매체)(예를 들어, 컴퓨터 메모리, 하나 이상의 플로피 디스크, 콤팩트 디스크(CD), 광 디스크, 디지털 비디오 디스크(DVD), 자기 테이프, 플래시 메모리, 필드 프로그래머블 게이트 어레이 또는 다른 반도체 장치의 회로 구성, 또는 다른 접촉식 컴퓨터 저장 매체)로서 구현될 수 있다. 상기 예로부터 알 수 있는 바와 같이, 컴퓨터 판독가능 저장 매체는 컴퓨터 실행가능 명령어를 비일시적 형태로 제공하도록 충분한 시간 동안 정보를 보유할 수 있다. 이러한 컴퓨터 판독가능 저장 매체는 운반가능하여서, 상술된 바와 같은 본 발명의 다양한 특징을 구현하기 위해 저장 프로그램이 하나 이상의 상이한 컴퓨터 또는 다른 프로세서에 로딩될 수 있다. 여기에 사용된 바와 같이, 용어 "컴퓨터 판독가능 저장 매체"는 제품 또는 기계로 생각될 수 있는 컴퓨터 판독가능 매체만을 포함하고 있다. 대안으로 또는 추가적으로, 본 발명은 전파 신호와 같이, 컴퓨터 판독가능 저장 매체 이외의 컴퓨터 판독가능 매체로서 구현될 수 있다.
- [0116] 용어 "프로그램" 또는 "소프트웨어"는 일반적으로, 상술된 바와 같은 본 발명의 다양한 특징을 구현하도록 컴퓨터 또는 다른 프로세서를 프로그램화하도록 채용될 수 있는 임의의 타입의 컴퓨터 코드 또는 컴퓨터 실행가능한 명령어의 세트를 가리키도록 사용되었다. 또한, 본 발명의 하나의 특징에 따라, 실행될 때 본 발명의 방법을 실행하는 하나 이상의 컴퓨터 프로그램은 단일 컴퓨터 또는 프로세서에 상주할 필요가 없고, 본 발명의 다양한 특징을 구현하기 위해 다수의 상이한 컴퓨터 또는 프로세서에 모듈 방식으로 분배될 수 있다는 것을 이해해야 한다.
- [0117] 컴퓨터 실행가능 명령어는 하나 이상의 컴퓨터 또는 다른 장치에 의해 실행되는, 프로그램 모듈과 같은 많은 형태를 가질 수 있다. 일반적으로, 프로그램 모듈은 특정 태스크를 실행하거나 특정 추상 데이터형을 구현하는 루틴, 프로그램, 오브젝트, 컴포넌트, 데이터 스트럭처등을 포함한다. 보통, 프로그램 모듈의 기능은 다양한 실시예에서 원하는 대로 조합되거나 분배될 수 있다.
- [0118] 본 발명의 다양한 특징은 단독으로, 조합되어 또는 상술된 실시예에 특정 기술되지 않은 다양한 배열로 사용될 수 있어서, 상기 설명에서 제시되거나 도면에서 도시된 부품의 상세 및 배열에 그 적용이 제한되지 않는다. 예를 들어, 하나의 실시예에 기술된 특징은 다른 실시예에 기술된 특징과 임의의 방식으로 결합될 수 있다.
- [0119] 또한, 본 발명은 방법으로서 구현될 수 있는데, 그 예가 제공되어 있다. 본 발명의 일부로서 실행되는 동작은 임의의 적절한 방식으로 순서지정될 수 있다. 따라서, 실시예는 동작이 설명된 것과 상이한 순서로 실행되고, 예시된 실시예에서는 연속 동작으로서 도시되어 있지만 일부 동작을 동시에 실행하는 단계를 포함할 수 있는 실시예가 구성될 수 있다.

[0120] 청구 요소를 수정하기 위해 청구항에서 "제1", "제2", "제3" 등과 같은 순서 용어의 사용은 그 자체로 방법의 동작이 실행되는 시간적인 순서 또는 다른 청구 요소에 대한 하나의 청구 요소의 임의의 우선순위, 선행, 또는 순서의 의미를 함축하는 것이 아니고, 청구 요소를 구별하기 위해 특정 명칭을 갖는 하나의 특정 요소를 동일한 명칭(하지만 순서 용어의 사용을 위한 것이다)을 갖는 다른 요소로부터 구별하기 위해 단지 라벨로서 사용되었다.

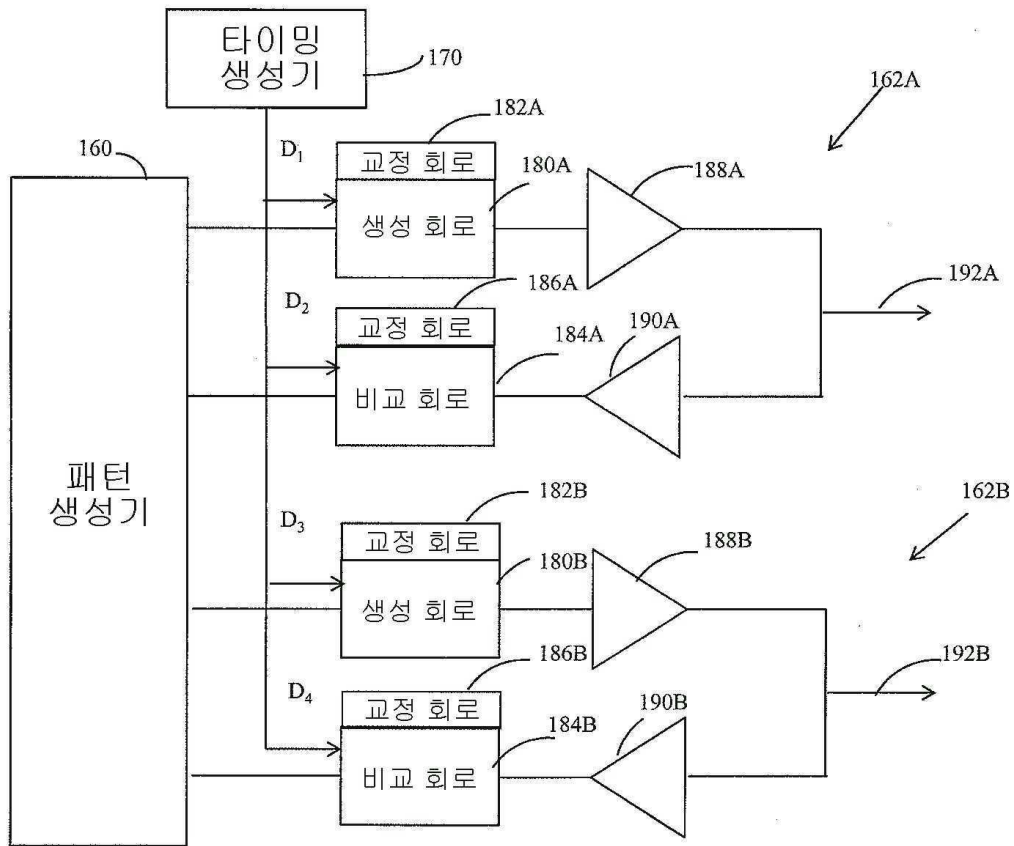
[0121] 또한, 여기 사용된 구 및 용어는 설명을 위한 것이고 제한을 위한 것이 아니다. 여기의 "포함하는", "갖는", "수반하는" 및 그 변형의 사용은 이전에 나열된 아이템 및 추가 아이템은 물론 그 등가물을 포함하는 것을 의미한다.

도면

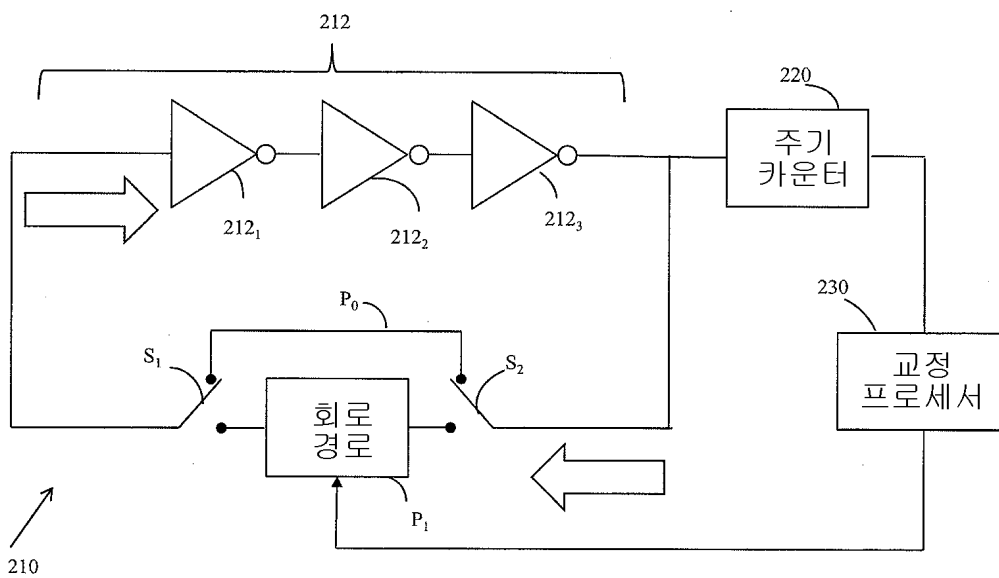
도면 1a



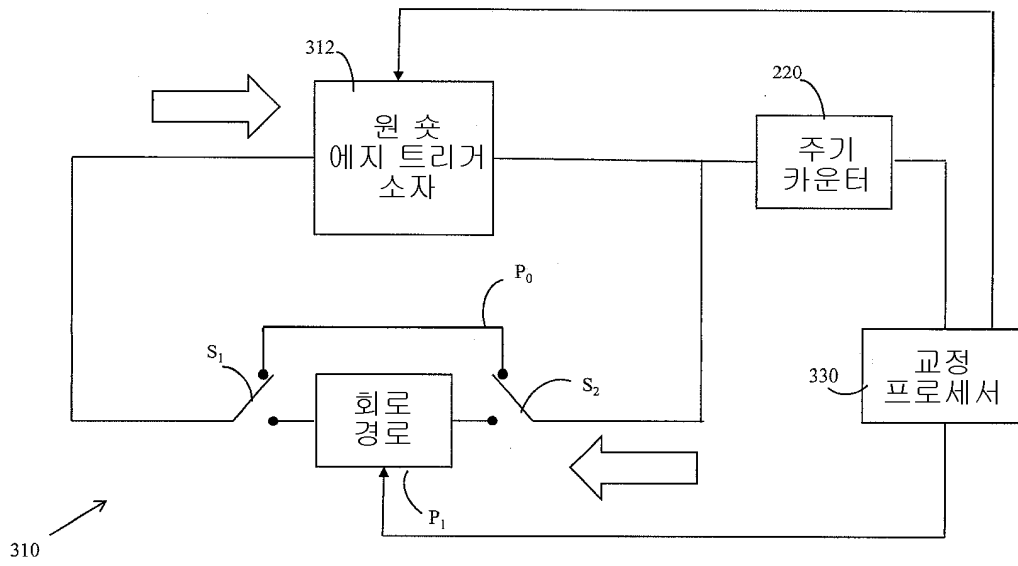
도면1b



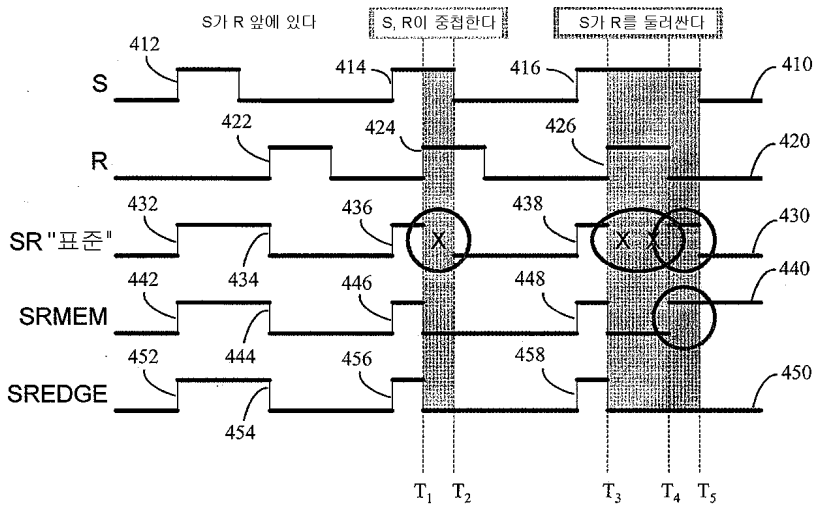
도면2



도면3



도면4

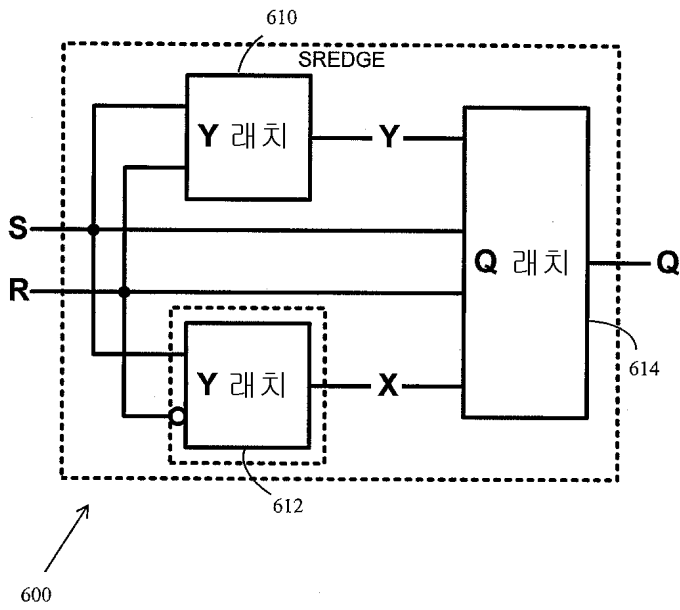


도면5

중첩하고 둘러싸는 S,R을 허용하는 SREDGE

Sn-1	Rn-1	Sn	Rn	SREDGE	Qn	코멘트
0	0	1	0	1	1	512 세트
0	0	0	1	0	0	514 리셋
0	1	1	1	1	1	516 리셋 후의 세트(그리고 00으로 복귀하지 않는 세트)
1	0	1	1	0	0	518 세트 후의 리셋(그리고 00으로 복귀하지 않는 한 리셋)
1	1	1	0	Qn-1	1	520 11로부터 나와 세트: 상태 유지
1	1	0	1	Qn-1	1	522 11로부터 나와 리셋: 상태 유지
0	1	0	0	Qn-1	0	524 SR = 00: 유지
1	0	0	0			

도면6



도면7a

Y 래치 진리표

등가 입력 어서션	S_n	R_n	Y_n
$S_n \cdot R_n$	0	0	Y_{n-1}
$S_n \cdot R_n$	1	0	1
$S_n \cdot R_n$	0	1	0
$S_n \cdot R_n$	1	1	Y_{n-1}

714
716
718
720

도면7b

Q 래치 진리표

등가 입력 어서션	S_n	R_n	Y_n	X_n	Q_n
$S_n \cdot (X_n + Y_n)$	1	x	0	x	1
	1	x	x	0	
$R_n \cdot (X_n + Y_n)$	x	1	1	x	0
	x	1	x	0	
$(S_n + R_n) \cdot X_n + S_n \cdot R_n$	0	x	x	1	Q_{n-1}
	x	0	x	1	
	1	1	x	x	

722
724
726

도면8

에지 극성에 민감한 옵션(회색 상자)을 갖는 RLF 루프 회로

